

## **Ошибки в микросхемах K1986BK01GI**

Настоящий документ содержит описание всех ошибок, выявленных в микросхемах K1986BK01GI на момент создания данной версии документа.

### **Статус документа**

Настоящий документ является НЕКОНФИДЕНЦИАЛЬНЫМ.

### **Адрес в сети Интернет**

<http://www.milandr.ru>

### **Обратная связь по продукту**

Если у Вас есть какие-либо комментарии или предложения по данному продукту, свяжитесь с Вашим поставщиком, указав:

- название продукта;
- комментарии, либо краткое описание Ваших предложений;
- предпочтительный способ связи с Вами и контакты (организация, электронная почта, номер телефона).

### **Обратная связь по документу**

Если у Вас есть какие-либо комментарии или предложения по данному документу, пожалуйста, пришлите их на электронную почту [support@milandr.ru](mailto:support@milandr.ru), указав:

- название документа;
- номер и/или дата документа;
- номер страницы;
- комментарии, либо краткое описание Ваших предложений;
- предпочтительный способ связи с Вами и контакты (организация, электронная почта, номер телефона).

## Оглавление

Обзор.....	5
Категории ошибок .....	5
Сводная таблица ошибок .....	6
Ошибки категории 1 .....	8
1001 Механизм доступа к защищенной области Flash-памяти с помощью стирания может разблокировать доступ без стирания .....	8
Ошибки категории 2 .....	9
2002 Некорректная работа блоков HRPWMx .....	9
2005 Нестабильность работы встроенного регулятора LLDO .....	10
2008 Выводы каналов АЦП работают на выход .....	11
2009 Отключения генератора LSE при отсутствии питания VLLDO .....	12
2010 Нетолерантность приемника CAN FD к двум рецессивным битам в слоте CRC Delimiter .....	13
2011 Разный момент семплирования при одних и тех же настройках у передающего и принимающего устройства CAN FD.....	14
2012 Отсутствие перехода работы блока CAN FD на низкую частоту при ошибке.....	15
Ошибки категории 3 .....	16
3001 Ошибка чтения бита CMP_CLREN регистра COMP_CNTR .....	16
3004 В режимах UART0+JA и UART0+JB в сообщении об ошибке не отправляется символ типа ошибки .....	17
3005 Загрузчик отключает интерфейс JTAG_B при выборе параллельной организации ECC для режима EXTBUS_CFG+JB .....	18
3006 Некорректная логика настройки функций DACx_SYNC.....	19
3007 В режимах UART0+JA и UART0+JB некорректно отправляется код команды CMD_RUN ('R') .....	20
3008 Переполнение счетчика ошибок RX_ERR_CNT контроллера CAN .....	21
3009 Инверсия сигнала аварии comp_prot (nTZx_INT) .....	22
3010 Зависание DMA при обработке запросов от шлюза GATE .....	23
3011 Сигналы межпроцессорной синхронизации формируются только от CPUA .....	24
3012 Запрос программного сброса SYS_RESET_REQ не выполняется при формировании ядром CPUB .....	25
3013 Ошибка чтения слова из OTP при значении поля DELAY_20NS, отличном от нуля.....	26
3014 Загрузчик кратковременно отключает интерфейс JTAG_B после сброса при работе в режиме DUALCORE.....	27
3015 Невозможность чтения памяти Flash при WAITCYCLE = 0x0 при обращении по AHB-шине.....	28
3016 Несоответствие циклов ожидания при обращении к памяти Flash по AHB-шине при WAITCYCLE = 0xA.....	29
3017 Отсутствие функции компенсации задержки передатчика CAN FD .....	30
3018 Разрядность регистров настройки таймингов не покрывает требования стандарта CAN FD .....	31
3019 Некорректная логика запуска преобразований АЦП по событиям в блоке EPWM32	
3020 Ошибочная установка флагов ошибок ECC в блоке FT_CNTR при обращении к регистрам памяти батарейного домена.....	33
3021 Зависание DMA при обработке запросов контроллера DAC .....	35
3022 Таймер временных отсчетов контроллера квадратурных декодеров не формирует временные отсчеты заданного периода .....	36
3023 Некорректное разрешение обработки событий в FT_CNTR.....	37
3024 Несоответствие номера бита UPEVNT в регистре QEPSTS при записи .....	38

3025 Пропуск секундного импульса при использовании калибровки RTC_CLK .....	39
3026 Контроллер интерфейса I2C не отслеживает clock stretching при формировании START и DIV=1-2 .....	40
Лист регистрации изменений .....	41

## Обзор

Настоящий документ содержит описание ошибок в продукте с указанием категории критичности. Каждое описание содержит:

- уникальный идентификатор ошибки;
- текущий статус ошибки;
- где существует отклонение от спецификации и условия, при которых возникает ошибка;
- последствия возникновения ошибки в типичных применениях;
- ограничения, рекомендации и способы обхода ошибки, где это возможно.

## Категории ошибок

Ошибки разделены на три категории критичности:

### Категория 1.

Ошибочное поведение, которое невозможно обойти. Ошибки данной категории серьезно ограничивают использование продукта во всех или в большинстве приложений, что делает устройство непригодным для использования.

### Категория 2.

Ошибочное поведение, которое противоречит требуемому поведению. Ошибки данной категории могут ограничивать или серьезно ухудшать целевое использование указанных функций, но не делают продукт непригодным для использования во всех или в большинстве приложений.

### Категория 3.

Ошибочное поведение, которое не было изначально определено, но не вызывает проблем в приложениях при соблюдении рекомендаций.

## Сводная таблица ошибок

В таблице указывается, в каких версиях микросхем присутствует ошибка. Наличие ошибки обозначено символом “X”.

Версия микросхем определяется датой изготовления, указанной на крышке корпуса микросхемы в формате ГГНН, где ГГ – год изготовления, НН – неделя изготовления.

ID	Описание	Микросхемы, изготавливаемые с даты		
		2116		
<b>Категория 1</b>				
1001	Механизм доступа к защищенной области Flash-памяти с помощью стирания может разблокировать доступ без стирания	X		
<b>Категория 2</b>				
2002	Некорректная работа блоков HRPWMx	X		
2005	Нестабильность работы встроенного регулятора LLDO	X		
2008	Выводы каналов АЦП работают на выход	X		
2009	Отключения генератора LSE при отсутствии питания VLLDO	X		
2010	Нетолерантность приемника CAN-FD к двум рецессивным битам в слоте CRC Delimiter	X		
2011	Разный момент семплирования при одних и тех же настройках у передающего и принимающего устройства CAN-FD	X		
2012	Отсутствие перехода работы блока CAN-FD на низкую частоту при ошибке	X		
<b>Категория 3</b>				
3001	Ошибка чтения бита CMP_CLREN регистра COMP_CNTR	X		
3004	В режимах UART0+JA и UART0+JB в сообщении об ошибке не отправляется символ типа ошибки	X		
3005	Загрузчик отключает интерфейс JTAG_B при выборе параллельной организации ECC для режима EXTBUS_CFG+JB	X		
3006	Некорректная логика настройки функций DACx_SYNC	X		
3007	В режимах UART0+JA и UART0+JB некорректно отправляется код команды CMD_RUN ('R')	X		
3008	Переполнение счетчика ошибок RX_ERR_CNT контроллера CAN	X		
3009	Инверсия сигнала аварии comp_prot (nTZx_INT)	X		

ID	Описание	Микросхемы, изготавливаемые с даты	
		2116	
3010	Зависание DMA при обработке запросов от шлюза GATE	X	
3011	Сигналы межпроцессорной синхронизации формируются только от CPUA	X	
3012	Запрос программного сброса SYS_RESET_REQ не выполняется при формировании ядром CPUB	X	
3013	Ошибка чтения слова из OTP при значении поля DELAY_20NS, отличном от нуля	X	
3014	Загрузчик кратковременно отключает интерфейс JTAG_B после сброса при работе в режиме DUALCORE	X	
3015	Невозможность чтения памяти Flash при WAITCYCLE = 0x0 при обращении по АНВ-шине	X	
3016	Несоответствие циклов ожидания при обращении к памяти Flash по АНВ-шине при WAITCYCLE = 0xA	X	
3017	Отсутствие функции компенсации задержки передатчика CAN-FD	X	
3018	Разрядность регистров настройки таймингов не покрывает требования стандарта CAN-FD	X	
3019	Некорректная логика запуска преобразований АЦП по событиям в блоке EPWM	X	
3020	Ошибочная установка флагов ошибок ECC в блоке FT_CNTR при обращении к регистрам памяти батарейного домена	X	
3021	Зависание DMA при обработке запросов контроллера DAC	X	
3022	Таймер временных отсчетов контроллера квадратурных декодеров не формирует временные отсчеты заданного периода	X	
3023	Некорректное разрешение обработки событий в FT_CNTR	X	
3024	Несоответствие номера бита UPEVNT в регистре QEPSTS при записи	X	
3025	Пропуск секундного импульса при использовании калибровки RTC_CLK	X	
3026	Контроллер интерфейса I2C не отслеживает clock stretching при формировании START и DIV=1-2	X	

## Ошибки категории 1

### 1001 Механизм доступа к защищенной области Flash-памяти с помощью стирания может разблокировать доступ без стирания

#### Статус

Исследование.

#### Описание

Одним из механизмов доступа к защищенной области Flash-памяти является механизм стирания памяти, запускаемый установкой бита ERASE\_START в регистре MDR\_FLASH->CNTR. Однако, если также одновременно установить биты FLASH<sub>x</sub>\_CR, SE[x] (где x соответствует номерам банков, от 0 до 5), TMR, MODE, то стирание соответствующих банков памяти с номерами x не произойдет, но доступ к защищенной области Flash-памяти разблокируется:

FLASH\_CNTR->CNTR = (0x3F<<26) | (0x3F<<9) | (1<<8) | (1<<7) | (1<<4); // Для банков [5:0].

Банки памяти, для которых не произойдет стирание, задаются битами SE[x] и FLASH<sub>x</sub>\_CR – для остальных банков памяти стирание будет осуществлено.

#### Условия и причина

Всегда.

#### Последствия

Доступ к защищенной области Flash-памяти без стирания.

#### Рекомендации и способы обхода

Учитывать при разработке аппаратуры.

## Ошибки категории 2

### 2002 Некорректная работа блоков HRPWMx

#### Статус

Исследование.

#### Описание

При следующих значениях поля сдвига фронта выходного сигнала соответствующий блок HRPWMx может не корректно работать и не выдавать сигнал ШИМ:

- для HRPWM0 при SHIFT = 0-2;
- для HRPWM1 при SHIFT = 0-15;
- для HRPWM2 при SHIFT = 0-2;
- для HRPWM3 при SHIFT = 0-15.

#### Условия и причина

Всегда при использовании некоторых значений сдвига фронта выходного сигнала.

#### Последствия

Невозможность реального использования блоков HRPWMx при некоторых значениях сдвига фронта выходного сигнала.

#### Рекомендации и способы обхода

Учитывать при разработке аппаратуры.

## 2005 Нестабильность работы встроенного регулятора LLDO

### Статус

Будет исправлено в следующей версии продукта.

### Описание

При максимальных частотах работы микропроцессора на выводе VLLDO может наблюдаться генерация напряжения питания цифровой части 1,2 В.

Для устойчивой работы регулятора LLDO наиболее оптимальным является значение тrimминга 3'b101 (TRIM\_Vcc1p6) при VHLDO = 1,45 В, что создает достаточное удаление от зоны возбуждения при тrimминге более 3'b000 и VHLDO > 1,6 В, а также достаточное удаление от зоны насыщения при тrimминге 3'b111 и VHLDO = 1,35 В.

### Условия и причина

Всегда.

### Последствия

Ухудшение характеристик аналоговых блоков, например, АЦП.

### Рекомендации и способы обхода

В поле TRIM\_Vcc1p6 регистра REG\_61\_PWR записать значение равное 3'b101.

## 2008 Выводы каналов АЦП работают на выход

### Статус

Будет исправлено в следующей версии продукта.

### Описание

При подаче напряжения питания выводы, отвечающие за функции входных каналов АЦП (PORTC), кратковременно ( $T_{PORSTn}$ ) работают на выход с выдачей уровня напряжения питания, соответствующего АЦП.

В режиме STANDBY выводы каналов АЦП также работают на выход с выдачей напряжения питания, соответствующего АЦП.

При выключении питания выводы каналов АЦП кратковременно работают на выход с выдачей уровня напряжения питания, соответствующего АЦП.

### Условия и причина

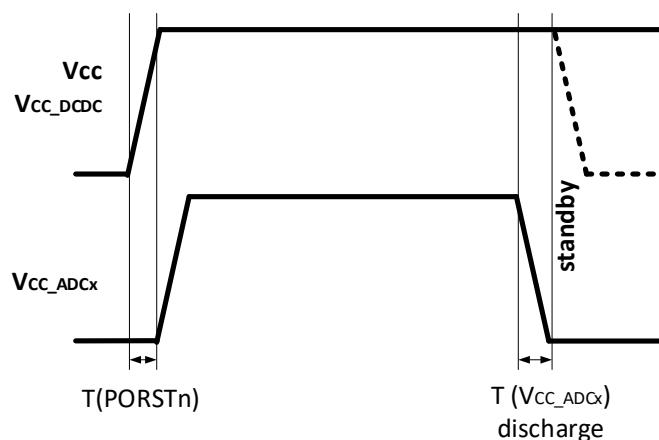
Всегда при отсутствии внутреннего питания VLLDO и наличии внешнего питания АЦП  $V_{CC\_ADCx}$ .

### Последствия

Необходимо учитывать при подключении внешних элементов схемы.

### Рекомендации и способы обхода

- 1 Если АЦП не используется, не подавать напряжение питания АЦП  $V_{CC\_ADCx}$ .
- 2 Если АЦП используется, то питание АЦП  $V_{CC\_ADC}$  задавать позже, чем основное питание  $V_{CC}$  и  $V_{CC\_DCDC}$ , на  $T_{PORSTn} (> 20 \text{ мс})$ .  
Перед выключением основного питания  $V_{CC}$  и  $V_{CC\_DCDC}$  снять питание АЦП  $V_{CC\_ADCx}$  и дождаться момента полной разрядки.  
При переходе в режим STANDBY снимать напряжение питания АЦП с микроконтроллера аналогично порядку снятия основного питания.



## 2009 Отключения генератора LSE при отсутствии питания VLLDO

### Статус

Будет исправлено в следующей версии продукта.

### Описание

Если задано питание V<sub>CC\_VKP</sub>, то при отключении питания VLLDO блок LSE выключается.

### Условия и причина

Всегда при отключении питания VLLDO, если задано V<sub>CC\_VKP</sub>.

### Последствия

Невозможно тактировать блоки от LSE в режиме STANDBY. При выходе из STANDBY LSE продолжает свою работу.

Отключение генератора LSE может вызвать срабатывание механизмов аппаратной защиты. Например, если для RTC перед переходом в STANDBY был выбран источник LSE, то при переходе в STANDBY в регистре RTC\_CS\_TMRx вводится флаг ошибки ERR\_CC, который аппаратно переводит тактирование RTC на источник LSI. Для сброса флага ERR\_CC необходима запись единицы в бит CLR\_ERRx во все регистры RTC\_CS\_TMRx.

### Рекомендации и способы обхода

Учитывать при разработке аппаратуры.

## **2010 Нетолерантность приемника CAN FD к двум рецессивным битам в слоте CRC Delimiter**

### **Статус**

Исправлено не будет.

### **Описание**

При работе с блоком CAN FD, при получении второго рецессивного бита в слоте CRC Delimiter, формируется ошибка – отсутствие ACK.

### **Условия и причины**

Устройство CAN FD отправляет FD-пакет.

Согласно п. 10.4.2.6 стандарта ISO 11898-1 2015 за последовательностью CRC должен следовать разделитель CRC. В стандартном формате кадра разделитель CRC представляет собой один рецессивный бит. В кадрах формата CAN FD разделитель CRC может состоять из одного или двух рецессивных битов. Передатчик должен передавать только один рецессивный бит в качестве разделителя CRC, но должен принимать два рецессивных бита до фронта перехода из рецессивного в доминантный, который инициирует слот подтверждения. Приемник передаст свой бит подтверждения после первого бита разделителя CRC.

### **Последствия**

Ошибка необходимо учитывать при работе с блоком.

### **Рекомендации и способы обхода**

Нет.

## 2011 Разный момент семплирования при одних и тех же настройках у передающего и принимающего устройства CAN FD

### Статус

Исправлено не будет.

### Описание

Точка семплирования передатчика CAN FD на один TQ позже точки семплирования приемника. Соответственно, переключение на высокую частоту в приемнике и передатчике происходит с разницей по времени 1TQ (относительно начала символа). При большом соотношении частот (~5 раз и более) возможны появления ошибок в приемнике из-за нарушения структуры фрейма.

### Условия и причины

Устройство CAN FD отправляет/принимает FD-пакет с переключением на высокую частоту.

### Последствия

Ошибку необходимо учитывать при работе с блоком.

### Рекомендации и способы обхода

При использовании одного контроллера для приема и передачи пакетов – решения нет. Альтернативный вариант – использовать один контроллер только на прием, другой только на передачу пакетов и настраивать модуль передатчика на семплирование на 1TQ ранее.

## **2012 Отсутствие перехода работы блока CAN FD на низкую частоту при ошибке**

### **Статус**

Исправлено не будет.

### **Описание**

При обнаружении ошибки, для передачи ERROR\_FRAME контроллер CAN FD не переходит на низкую частоту. После отправки ERROR\_FRAME контроллер продолжает принимать и передавать пакеты на высокой частоте.

### **Условия и причины**

Устройство CAN FD отправляет/принимает FD-пакет с переключением на высокую частоту и получает или формирует ERROR\_FRAME.

### **Последствия**

Ошибку необходимо учитывать при работе с блоком.

### **Рекомендации и способы обхода**

Нет. Только аппаратный сброс микроконтроллера.

## Ошибки категории 3

### 3001 Ошибка чтения бита CMP\_CLREN регистра COMP\_CNTR

#### Статус

Будет исправлено в следующей версии продукта.

#### Описание

Бит CMP\_CLREN регистра COMP\_CNTR всегда считывается как «0», при этом при записи установка бита CMP\_CLREN происходит, так как после  $CMP\_CLREN = 1$  флаг  $CMP\_RES\_IS2$  при чтении регистра COMP\_EVENT сбрасывается.

#### Условия и причина

Чтение бита CMP\_CLREN регистра COMP\_CNTR блока компаратора.

#### Последствия

Невозможно определить процедурой чтения состояние бита CMP\_CLREN регистра COMP\_CNTR блока компаратора.

#### Рекомендации и способы обхода

При чтении регистра на значение бита не полагаться. Если значение бита используется для последующего кода программы, осуществлять сохранение программно в ОЗУ микроконтроллера.

## **3004 В режимах UART0+JA и UART0+JB в сообщении об ошибке не отправляется символ типа ошибки**

### **Статус**

Будет исправлено в следующей версии продукта.

### **Описание**

В режимах UART0+JA и UART0+JB при возникновении ошибки UART-загрузчик должен отправить сообщение об ошибке, состоящее из двух символов: 0x45 ('E') и символ типа ошибки. В результате ошибки в загрузочной программе символ типа ошибки не передается.

### **Условия и причина**

Всегда.

### **Последствия**

При возникновении ошибки UART-загрузчик отправляет только символ 0x45 ('E').

### **Рекомендации и способы обхода**

Учитывать при разработке аппаратуры.

## **3005 Загрузчик отключает интерфейс JTAG\_B при выборе параллельной организации ECC для режима EXTBUS\_CFG+JB**

### **Статус**

Будет исправлено в следующей версии продукта.

### **Описание**

При выборе 32-разрядной шины данных (CFG0 = 3) с параллельной организацией ECC (CFG1 = 3) для режима EXTBUS\_CFG+JB (MODE[4:0] = 0\_0101) загрузочная программа ошибочно отключает интерфейс JTAG\_B.

### **Условия и причина**

Выбор 32-разрядной шины данных с параллельной организацией ECC для режима EXTBUS\_CFG+JB.

### **Последствия**

В режиме EXTBUS\_CFG+JB с использованием 32-разрядной шины данных и параллельной организацией ECC интерфейс отладки JTAG\_B не доступен.

### **Рекомендации и способы обхода**

Интерфейс JTAG\_B может быть включен в пользовательской программе путем сброса бита DISABLE\_JTAG в регистрах BKP REG\_60\_TMRx.

## 3006 Некорректная логика настройки функций DACx\_SYNC

### Статус

Будет исправлено в следующей версии продукта.

### Описание

При настройке выводов в функцию DACx\_SYNC ожидается, что на этот же вывод пользователем будет задаваться внешний сигнал синхронизации DAC. Однако, это справедливо только для выводов PC[14] и PC[27] (см. таблицу).

Для всех остальных выводов в столбце «Вывод сигнала DACxSYNC» настройка в функцию DACx\_SYNC производится через настройку функций выводов PC[14], PC[19], PC[23], PC[27], причем сами выводы сигнала DACx\_SYNC должны быть сконфигурированы как цифровой вход (FUNC\_0).

Таким образом, чтобы, например, настроить PC[30] в функцию DAC3\_SYNC, необходимо для PC[30] настроить функцию PORT (FUNC\_0) и для вывода PC[27] настроить функцию DACx\_SYNC\_en (FUNC\_3).

Вывод сигнала DACxSYNC	Вывод настройки сигнала внешней синхронизации DACx_SYNC_en			
	PC[14] + FUNC_14	PC[19] + FUNC_3	PC[23] + FUNC_3	PC[27] + FUNC_3
PA[19] + FUNC_0		DAC0_SYNC		
PA[20] + FUNC_0		DAC1_SYNC		
PA[21] + FUNC_0		DAC2_SYNC		
PA[22] + FUNC_0		DAC3_SYNC		
PB[23] + FUNC_0			DAC0_SYNC	
PB[24] + FUNC_0			DAC1_SYNC	
PB[25] + FUNC_0			DAC2_SYNC	
PB[26] + FUNC_0			DAC3_SYNC	
PC[14] + FUNC_14	DAC0_SYNC			
PC[15] + FUNC_0	DAC1_SYNC			
PC[27] + FUNC_3				DAC0_SYNC
PC[28] + FUNC_0	DAC2_SYNC			DAC1_SYNC
PC[29] + FUNC_0	DAC3_SYNC			DAC2_SYNC
PC[30] + FUNC_0				DAC3_SYNC

### Условия и причина

Всегда.

### Последствия

Для возможности использования внешнего сигнала синхронизации DAC используется больше выводов, чем требуется (два вместо одного).

### Рекомендации и способы обхода

Учитывать при разработке аппаратуры.

## **3007 В режимах UART0+JA и UART0+JB некорректно отправляется код команды CMD\_RUN ('R')**

### **Статус**

Будет исправлено в следующей версии продукта.

### **Описание**

В режимах UART0+JA и UART0+JB после получения команды «CMD\_RUN» UART-загрузчик должен отправить код команды CMD\_RUN (0x52 ('R')). Однако, загрузочная программа деинициализирует контроллер UART0, не дожидаясь окончания отправки, из-за чего передача кода команды CMD\_RUN останавливается.

### **Условия и причина**

Всегда.

### **Последствия**

Отправка кода команды CMD\_RUN выполняется некорректно.

### **Рекомендации и способы обхода**

Учитывать при разработке аппаратуры.

## 3008 Переполнение счетчика ошибок RX\_ERR\_CNT контроллера CAN

### Статус

Будет исправлено в следующей версии продукта.

### Описание

В случае, если контроллер CAN постоянно обнаруживает ошибки при приеме данных, то счётчик ошибок приема RX\_ERR\_CNT будет инкрементироваться до верхнего предела (0x1FF), после чего он должен остановиться. Однако, этого не происходит – счётчик после приема очередного кадра с ошибкой переполняется и сбрасывается в 0x000. Из-за этого контроллер CAN, ранее находившийся в пассивном к ошибкам состоянии ERROR PASSIVE ( $RX\_ERR\_CNT > 127$ ), ошибочно переходит в активное к ошибкам состояние ERROR ACTIVE и при обнаружении ошибок начинает посыпать кадры активной ошибки. Данное поведение не соответствует стандарту, потому что для перехода в активное к ошибкам состояние ERROR ACTIVE контроллеру CAN необходимо успешно принять кадр.

### Условия и причина

При постоянном приеме кадров с ошибкой.

### Последствия

Ошибкачный переход контроллера CAN в активное к ошибкам состояние.

### Рекомендации и способы обхода

Учитывать при разработке аппаратуры.

## 3009 Инверсия сигнала аварии comp\_prot (nTZx\_INT)

### Статус

Будет исправлено в следующей версии продукта.

### Описание

Для блока ePWM предусмотрено отключение генерации ШИМ как по низкому уровню от внешних сигналов аварии nTZx\_EXT, так и от внутренних nTZx\_INT, которые формируются в блоке компараторов.

При изменении уровня на выходе компаратора схема детектора фронта, формирующая сигнал CMP\_RES\_IS2, всегда детектирует только передний фронт переключения от компаратора. Таким образом, если установлен CMP\_PE в регистре COMPx\_CNTR, и схема детектора фронта сформировала CMP\_RES\_IS2, то сигнал comp\_prot (nTZx\_INT) принимает значение логической «1», что разрешает работу ШИМ, а не блокирует.

### Условия и причина

Всегда.

### Последствия

Невозможно блокировать ШИМ по сигналу от компараторов.

### Рекомендации и способы обхода

Если необходимо блокировать ШИМ по сигналу от компаратора, то сигнал от компаратора можно проинвертировать битом INV регистра COMPx\_CNTR, и выход компаратора (IO в функции COMP\_OUT\_x) завести на вход IO в функции nTZx\_EXT.

## 3010 Зависание DMA при обработке запросов от шлюза GATE

### Статус

Будет исправлено в следующей версии продукта.

### Описание

По описанию из спецификации, блок GATE может формировать запросы к DMA, если «выходное FIFO (от защищенной стороны к открытой) не пусто» и «входное FIFO (от открытого ядра к защищённому) не полно». Если DMA сконфигурирован на обработку запросов с осуществлением одной транзакции до арбитража, и в FIFO записать два и более слова, то шлюз выставит запрос к DMA, DMA осуществит одну транзакцию и будет ожидать снятия запроса от шлюза, однако этого не происходит, и DMA зависает на обработке текущей транзакции.

### Условия и причина

Всегда.

### Последствия

Зависание DMA.

### Рекомендации и способы обхода

При записи в FIFO дожидаться окончания всех транзакций DMA.

## **3011 Сигналы межпроцессорной синхронизации формируются только от CPUA**

### **Статус**

Исследование.

### **Описание**

В режиме DUALCORE синхронизация процессорных ядер с помощью инструкций WFE и SEV реализована только со стороны процессорного ядра CPUA. Со стороны ядра CPUB синхронизация процессорных ядер не реализована.

### **Условия и причина**

Всегда.

### **Последствия**

Инструкции синхронизации от процессорного ядра CPUB не осуществляют синхронизацию.

### **Рекомендации и способы обхода**

Учитывать в ПО при разработке.

## **3012 Запрос программного сброса SYS\_RESET\_REQ не выполняется при формировании ядром CPUB**

### **Статус**

Исследование.

### **Описание**

В режиме работы DUALCORE сигнал запроса программного сброса SYS\_RESET\_REQ выполняется для обоих процессорных ядер при формировании этого сигнала только процессорным ядром CPUA. При формировании процессорным ядром CPUB запрос сброса SYS\_RESET\_REQ не будет выполнен.

### **Условия и причина**

Всегда.

### **Последствия**

Сброс, формируемый сигналом запроса сброса SYS\_RESET\_REQ от процессорного ядра CPUB, не осуществляется.

### **Рекомендации и способы обхода**

Учитывать в ПО при разработке.

## **3013 Ошибка чтения слова из OTP при значении поля `DELAY_20NS`, отличном от нуля**

### **Статус**

Будет исправлено в следующей версии продукта.

### **Описание**

Для корректной работы памяти OTP предварительно должны быть рассчитаны и записаны параметры задержки в поля регистра `DELAY_0_REG`, исходя из значения частоты тактирования блока. Однако, если в поле `DELAY_20NS` записано значение, отличное от нуля, то фактическое чтение из OTP не происходит, и из регистра `READ_DATA_REG` читается значение `0xdeedbeef`.

### **Условия и причина**

Всегда, когда поле `DELAY_20NS` не равно нулю.

### **Последствия**

Считанные данные из `READ_DATA_REG` не верны.

### **Рекомендации и способы обхода**

При чтении OTP всегда устанавливать `DELAY_20NS` в нуль, при этом частота тактирования контроллера OTP не должна превышать 50 МГц.

## **3014 Загрузчик кратковременно отключает интерфейс JTAG\_B после сброса при работе в режиме DUALCORE**

### **Статус**

Исследование.

### **Описание**

Если микросхема работает в режиме Dualcore, и происходит ее сброс, то загрузчик ошибочно сбрасывает весь регистр REG\_60\_SYSx, а не бит DISABLE\_JTAG, что приводит к отключению JTAG/SW интерфейса с выводов JTAG\_B и подключению его к выводам JTAG\_A, если Пользователем был выбран режим загрузки JTAG\_B (активные выводы определяются битом MODE[0]). Далее загрузчик делает программный сброс для того, чтобы оба ядра работали в режиме Lockstep. Таким образом, до момента определения режима загрузки активны выводы JTAG\_A.

### **Условия и причина**

Всегда, после сброса, если микросхема работала в режиме Dualcore.

### **Последствия**

При смене JTAG\_A на JTAG\_B могут неправильно работать средства отладки.

### **Рекомендации и способы обхода**

Учитывать при разработке и отладке аппаратуры.

## **3015 Невозможность чтения памяти Flash при WAITCYCLE = 0x0 при обращении по АHB-шине**

### **Статус**

Исследование.

### **Описание**

При установке битов WAITCYCLE регистра FLASHCNTR->CNTR в 0x0 не осуществляется чтение из Flash-памяти при обращении по АHB-шине.

При этом в буферы данных могут записываться случайные значения, что приводит к возникновению одиночных и двойных ошибок ECC.

### **Условия и причина**

Условия – всегда при WAITCYCLE = 0x0.

Причина – при WAITCYCLE = 0x0 контроллер Flash не разворачивает диаграмму чтения.

### **Последствия**

Невозможность чтения Flash-памяти (в том числе исполнения кода из нее) при обращении по АHB-шине.

### **Рекомендации и способы обхода**

Устанавливать биты WAITCYCLE в значение, отличное от 0x0.

## **3016 Несоответствие циклов ожидания при обращении к памяти Flash по АHB-шине при WAITCYCLE = 0xA**

### **Статус**

Исследование.

### **Описание**

При WAITCYCLE = 0xA в регистре FLASHCNTR -> CNTR реальное значение времени обращения, вместо ожидаемого времени обращения  $T_{READ} = 9,5 \cdot T_{HCLK}$ , составляет  $T_{READ} = 1,5 \cdot T_{HCLK}$ , что аналогично WAITCYCLE = 0x2.

### **Условия и причина**

Условия – всегда при WAITCYCLE = 0xA.

Причина – при WAITCYCLE = 0xA контроллер Flash использует неверное число циклов обращения, аналогично WAITCYCLE = 0x2.

### **Последствия**

Не соблюдается число циклов обращения при использовании WAITCYCLE = 0xA, реальное число циклов обращения меньше ожидаемого.

### **Рекомендации и способы обхода**

Учитывать в ПО при разработке.

## 3017 Отсутствие функции компенсации задержки передатчика CAN FD

### Статус

Исправлено не будет

### Описание

Функционал с отсутствием функции компенсации задержки передатчика CAN FD не реализован.

### Условия и причины

Всегда, критично при отправке/приеме FD-пакета с переключением на высокую частоту.  
См. п. 11.3.3 стандарта ISO 11898-1 2015.

### Последствия

Ошибка необходимо учитывать при работе с блоком.

### Рекомендации и способы обхода

Использование драйверов с минимальной задержкой. Снижение максимальной частоты.

## 3018 Разрядность регистров настройки таймингов не покрывает требования стандарта CAN FD

### Статус

Исправлено не будет

### Описание

Разрядность следующих регистров настройки таймингов в блоке CAN FD не покрывает требования стандарта: 1. Для задания параметра Prop\_Seg используется регистр CFG1.PHYLDCOR. Разрядность регистра 5 бит является недостаточной для задания значений от 1 до 48. 2. Значения параметра Prop\_Seg одинаково для быстрой и стандартной скорости передачи. 3. Для задания параметра SJW используется регистр CFG1.RJW и CFG1.FRJW. Разрядность регистра CFG1.RJW 2 бита является недостаточной для задания значений от 1 до 8. 4. Разрядность регистра CFG1.FRJW 2 бита является недостаточной для задания значений от 1 до 16.

### Условия и причины

Всегда, критично при отправке/приеме FD-пакета с переключением на высокую частоту. См. п. 11.3.1.2 стандарта ISO 11898-1 2015.

### Последствия

Ошибку необходимо учитывать при работе с блоком.

### Рекомендации и способы обхода

Настройка тайминга с учетом имеющихся ограничений.

## 3019 Некорректная логика запуска преобразований АЦП по событиям в блоке EPWM

### Статус

Исправлено не будет.

### Описание

Настройка поля CONV\_TRIG\_CTRL\_ADCx в блоке АЦП для запуска преобразований по событиям EPWMxSOCA и EPWMxSOCB в определенном блоке EPWM не работает корректно: независимо от настройки поля, преобразования АЦП будут запускаться от событий во всех блоках EPWM (при их активации в регистре ETSEL блока EPWM).

### Условия и причины

Всегда.

### Последствия

Ошибка не позволяет запускать преобразования в блоке АЦП от событий в определенном блоке EPWM в условиях, когда другие блоки EPWM также выдают события EPWMxSOCA/EPWMxSOCB.

### Рекомендации и способы обхода

Если требуется запуск преобразований в блоке АЦП по событиям от определенного блока EPWM, то должна блокироваться выдача событий EPWMxSOCA и EPWMxSOCB в других блоках EPWM – значение поля CONV\_TRIG\_CTRL\_ADCx в блоке АЦП при этом неважно.

## 3020 Ошибочная установка флагов ошибок ECC в блоке FT\_CNTR при обращении к регистрам памяти батарейного домена

### Статус

Исследование.

### Описание

Регистры батарейного домена разделяются на два типа: с ECC (регистры памяти REG\_00-REG\_59) и без ECC (конфигурационные регистры REG\_60-REG\_64 и регистры RTC, выполненные на троированной логике). Обращение (чтение/запись) к регистру с ECC, если ранее выполнялось чтение любого другого регистра батарейного домена, может ошибочно сформировать сигналы одиночной и двойной ошибки, которые фиксируются в блоке FT\_CNTR: флаг BKP\_MEM\_SE в регистре EVENT7 и флаг BKP\_MEM\_DE в регистре EVENT4.

### Условия и причина

Обращение (чтение/запись) к регистру с ECC (регистры REG\_00-REG\_59), если ранее выполнялось чтение любого другого регистра батарейного домена.

Ошибка возникает из-за того, что при обращении к регистру с ECC дополнительно выполняется вычисление и проверка суммы ECC с использованием данных, полученных в предыдущем чтении. Если в предыдущем чтении было обращение к регистру с ECC, то при контроле ECC используются данные и сумма ECC этого регистра. Если в предыдущем чтении было обращение к регистру без ECC, то при контроле ECC используются только данные этого регистра, сумма ECC для сравнения равна 0.

При записи регистра с ECC на протяжении всей транзакции выполняется контроль ECC с использованием данных, полученных в предыдущем чтении. При чтении регистра с ECC во время транзакции сначала выполняется контроль ECC с использованием данных, полученных в предыдущем чтении, а затем используются корректные данные считываемого регистра.

### Последствия

Ошибка формирование сигналов одиночной и двойной ошибки ECC, которые фиксируются в блоке FT\_CNTR: флаг BKP\_MEM\_SE в регистре EVENT7 и флаг BKP\_MEM\_DE в регистре EVENT4.

### Рекомендации и способы обхода

1. Пользовательская программа осуществляет контроль флагов ошибок в блоке FT\_CNTR. Перед обращением (чтение/запись) к регистру с ECC (регистры REG\_00-REG\_59) необходимо выполнить чтение зарезервированного регистра батарейного домена по адресу 0x4000\_1144, чтобы установить данные, которые не формируют ошибок ECC.

Если требуется последовательная запись группы регистров с ECC, то достаточно один раз перед записью выполнить чтение зарезервированного регистра.

Если требуется последовательное чтение группы регистров с ECC, то:

- если проверка флагов ошибок блока FT\_CNTR осуществляется после группового чтения (не важно, где была ошибка, важен факт наличия/отсутствия ошибки), то достаточно один раз перед чтением прочитать зарезервированный регистр;
- если проверка флагов ошибок блока FT\_CNTR осуществляется после каждого чтения (важно определить слово, в котором есть ошибка), то необходимо выполнять чтение зарезервированного регистра перед каждым чтением регистра с ECC.

2. Контроль флагов ошибок в блоке FT\_CNTR не выполняется.

Перед обращением (чтение/запись) к регистрам с ECC (регистры REG\_00-REG\_59)

запретить событиям BKP\_MEM\_SE и BKP\_MEM\_DE формировать сигнал прерывания и сигнал запроса сброса микросхемы. Для этого необходимо сбросить бит 11 в регистре IE\_EVENT7, а также бит 2 в регистре RESET\_EVENT4.

## 3021 Зависание DMA при обработке запросов контроллера DAC

### Статус

Будет исправлено в следующей версии продукта.

### Описание

Если DMA сконфигурирован на обработку запросов от контроллера DAC по событиям "FIFO не полно" или "FIFO заполнено ниже заданного уровня", и на момент окончания работы канала DMA число находящихся в FIFO записей будет меньше, чем необходимо для снятия событий "FIFO не полно" или "FIFO заполнено ниже заданного уровня", канал DMA будет бесконечно ждать снятия запроса от контроллера DAC по этим событиям. Настройки канала DMA не будут обновлены, контроллер DMA зависнет на обработке текущей транзакции.

### Условия и причина

Условия – количество записей в буфере FIFO контроллера DAC на момент окончания работы канала DMA меньше требуемого для снятия запроса к DMA по разрешенным событиям "FIFO не полно" или "FIFO заполнено ниже заданного уровня".

Причина – контроллер DAC при формировании запроса в DMA не сбрасывает сигналы `dma_req` и `dma_sreq` к DMA до тех пор, пока не пройдут формирующие запрос события.

### Последствия

Зависание DMA.

### Рекомендации и способы обхода

Учитывать в ПО при разработке.

## 3022 Таймер временных отсчетов контроллера квадратурных декодеров не формирует временные отсчеты заданного периода

### Статус

Будет исправлено в следующей версии продукта.

### Описание

Таймер временных отсчетов контроллера квадратурных декодеров формирует событие временного отсчета через заданный в регистре QUPRD период однократно. Последующие события временных отсчетов формируются через  $(2^{32} - 1)$  тактов частоты QEP\_CLK.

### Условия и причина

Условия – всегда при использовании таймера временных отсчетов контроллера квадратурных декодеров.

Причина – таймер временных отсчетов не сбрасывается по достижению периода, заданного в регистре QUPRD, и продолжает считать вверх до достижения максимального значения ( $2^{32} - 1$ ). После достижения максимального значения таймер временных отсчетов сбрасывается в 0 и продолжает считать, и при равенстве значения таймера значению периода формируется новое событие временного отсчета. Тем самым первое событие временного отсчета формируется через QUPRD, а последующие события формируются через  $(2^{32} - 1)$  тактов частоты QEP\_CLK.

### Последствия

Временные отсчеты после первого временного отсчета не формируются с заданным периодом. С заданным периодом формируется только первый временной отсчет.

### Рекомендации и способы обхода

Учитывать в ПО при разработке.

Перед разрешением работы таймера временных отсчетов в регистре QUTMR должно быть установлено значение 0.

В случае использования таймера временных отсчетов настроить обработку прерывания по событию UTO от таймера временных отсчетов, в обработчике прерывания по событию UTO осуществлять сброс регистра QUTMR таймера временных отсчетов в 0. При этом для формирования временных отсчетов определенной периодичности необходимо дополнительно учитывать время между формированием события UTO и сбросом регистра QUTMR в обработчике прерывания.

## **3023 Некорректное разрешение обработки событий в FT\_CNTR**

### **Статус**

Будет исправлено в следующей версии продукта.

### **Описание**

В контроллере FT\_CNTR предусмотрено индивидуальное разрешение обработки каждого поступающего события с помощью регистров RESET\_EVENT0-RESET\_EVENT4 и IE\_EVENT5-IE\_EVENT12. Однако из-за ошибки разрешение обработки хотя бы одного события в регистре RESET\_EVENTx или IE\_EVENTx разрешает обработку всех событий, отображаемых в данном регистре EVENTx.

### **Условия и причина**

Разрешение обработки хотя бы 1-го события в регистре RESET\_EVENTx или IE\_EVENTx.

### **Последствия**

Ошибочное разрешение всех событий, отображаемых в регистре EVENTx.

### **Рекомендации и способы обхода**

Учитывать при разработке ПО.

## **3024 Несоответствие номера бита UPEVNT в регистре QEPSTS при записи**

### **Статус**

Будет исправлено в следующей версии продукта.

### **Описание**

Согласно документации, флаг UPEVNT доступен для чтения и записи в 7-м бите регистра QEPSTS. Фактически флаг UPEVNT для чтения доступен в 7-м бите регистра QEPSTS, а для записи (сброса флага UPEVNT) - в 15-м бите регистра QEPSTS.

### **Условия и причина**

Всегда.

### **Последствия**

При записи "1" в 7-й бит регистра QEPSTS флаг UPEVNT не сбрасывается.

### **Рекомендации и способы обхода**

Для получения состояния флага UPEVNT осуществлять чтение 7-го бита регистра QEPSTS. Для сброса флага UPEVNT осуществлять запись "1" в 15-й бит регистра QEPSTS.

## 3025 Пропуск секундного импульса при использовании калибровки RTC\_CLK

### Статус

Исследование.

### Описание

В блоке RTC для формирования частоты SEC\_CLK из частоты RTC\_CLK используется делитель, выполненный на счетчике RTC\_DIV с основанием счета RTC\_PRL. Для калибровки (замедления) RTC\_CLK используется счетчик RTC\_20, который на время RTC\_20 < RTCCAL останавливает счет RTC\_DIV.

Во время работы RTC с калибровкой частоты RTC\_CLK (поле RTCCAL != 0 в регистре REG\_64) при определенных значениях RTCCAL и RTC\_PRL периодически происходит одновременное выполнение событий RTC\_DIV == RTC\_PRL и RTC\_20 == 0, которое приводит к ошибочному сбросу счетчика RTC\_DIV и пропуску импульса SEC\_CLK.

При пропуске импульса SEC\_CLK основной счетчик RTC\_CNT не изменяется и начинает отставать на 1 секунду, флаги SECF, ALRF и OWF в регистре RTC\_CS также не устанавливаются.

### Условия

Установлена калибровка частоты RTC\_CLK (поле RTCCAL != 0) и заданы определенные значения RTCCAL и RTC\_PRL, при которых периодически происходит одновременное выполнение событий RTC\_DIV == RTC\_PRL и RTC\_20 == 0.

### Последствия

Счетчик RTC\_DIV ошибочно сбрасывается, импульс SEC\_CLK не формируется. При пропуске импульса SEC\_CLK основной счетчик RTC\_CNT не изменяется и начинает отставать на 1 секунду, флаги SECF, ALRF и OWF в регистре RTC\_CS также не устанавливаются.

### Рекомендации и способы обхода

Для калибровки частоты RTC\_CLK использовать только ограниченный набор значений RTCCAL, полученный с помощью скрипта<sup>1</sup> для заданного значения RTC\_PRL. Перед настройкой блок RTC должен быть выключен и сброшен. После настройки и включения RTC значения RTCCAL и RTC\_PRL не должны перезаписываться. В этом случае ошибка проявляться не будет.

Пример инициализации RTC:

- включить источник тактирования RTC и выбрать его в RTCSEL регистра REG\_64;
- выключить RTC путем сброса бита RTCEN в регистре REG\_64;
- выдержать паузу не менее 1 периода RTC\_CLK для окончания сброса бита RTCEN;
- выполнить сброс RTC путем последовательного сброса и установки бита RTCRST в регистре REG\_64;
- записать требуемое значение в регистр RTC\_PRL;
- записать допустимое значение в поле RTCCAL регистра REG\_64;
- выполнить другие настройки RTC;
- включить RTC путем установки бита RTCEN в регистре REG\_64.

<sup>1</sup> [https://support.milandr.ru/upload/iblock/285/9bliqywbkpifcoptft5dctv327ycqh9s/bkp\\_RTC\\_cal.py](https://support.milandr.ru/upload/iblock/285/9bliqywbkpifcoptft5dctv327ycqh9s/bkp_RTC_cal.py)

## 3026 Контроллер интерфейса I2C не отслеживает **clock stretching** при формировании **START** и **DIV=1-2**

### Статус

Исследование.

### Описание

Контроллер интерфейса I2C при задании предделителя частоты DIV равного 1 или 2 не отслеживает растяжение тактовой частоты SCL (clock stretching) ведомым устройством при формировании сигнала START. В связи с этим отправка сигнала START (установка битов START и RD/WR в регистре CMD) при удерживании ведомым устройством линии SCL в состоянии низкого уровня будет выполнена без ожидания поднятия SCL в состояние высокого уровня, что приведет к некорректному формированию сигнала START на шине I2C (данная ситуация может наблюдаться при передаче повторного сигнала START).

### Условия

Внутренний делитель частоты DIV равен 1 или 2, ведомое устройство удерживает линию SCL в состоянии низкого уровня, контроллер интерфейса I2C отправляет сигнал START (установка битов START и RD/WR в регистре CMD).

### Последствия

Отправка сигнала START выполняется без ожидания поднятия SCL в состояние высокого уровня, что приводит к некорректному формированию сигнала START на шине I2C.

### Рекомендации и способы обхода

Если ведомое устройство применяет растяжение тактовой частоты SCL (clock stretching), то перед формированием сигнала START необходимо выдержать время, за которое ведомое устройство гарантированно отпустит линию SCL, либо использовать предделитель частоты DIV равный 3 и более.

## Лист регистрации изменений

Дата	Страница	Статус	ID	Категория	Описание
04.04.22					Документ создан
02.08.22	9		2002	2	Добавлено описание
	21		3008	3	Добавлено описание ошибки
	22		3009	3	Добавлено описание ошибки
	23		3010	3	Добавлено описание ошибки
	24		3011	3	Добавлено описание ошибки
	25		3012	3	Добавлено описание ошибки
	26		3013	3	Добавлено описание ошибки
	27		3014	3	Добавлено описание ошибки
	28		3015	3	Добавлено описание ошибки
	29		3016	3	Добавлено описание ошибки
15.01.2026	8		1001	1	Добавлено описание ошибки
	9		2002	2	Исправлено описание ошибки
	13		2010	2	Добавлено описание ошибки
	14		2011	2	Добавлено описание ошибки
	15		2012	2	Добавлено описание ошибки
	30		3017	3	Добавлено описание ошибки
	31		3018	3	Добавлено описание ошибки
	32		3019	3	Добавлено описание ошибки
	33		3020	3	Добавлено описание ошибки
	35		3021	3	Добавлено описание ошибки
	36		3022	3	Добавлено описание ошибки
	37		3023	3	Добавлено описание ошибки
	38		3024	3	Добавлено описание ошибки
	39		3025	3	Добавлено описание ошибки
	40		3026	3	Добавлено описание ошибки
	12		2009	2	Скорректировано описание ошибки