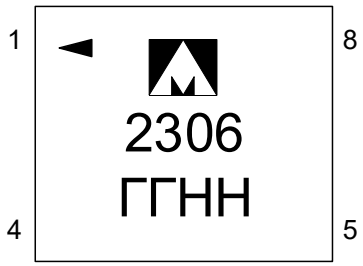
Микросхема ЭСППЗУ Flash-типа с последовательным интерфейсом SPI MDR2306FI



ГГ – год выпуска
НН – неделя выпуска

Тип корпуса:

– 8-выводной пластмассовый корпус DFN8 5×6×1,6 (1,27).

Основные характеристики микросхемы:

– Информационная емкость 64М бит;
– Наличие последовательного интерфейса SPI;
– Четыре блока по 2 Мбайт;
– 1024 сектора по 8 Кбайт;
– Размер страницы для программирования 512 байт;
– Возможность стирания сектора, блока и всей памяти;
– Функция защиты сектора от стирания и записи: аппаратная проверка сектора для предотвращения стирания и записи;
– Аппаратный алгоритм автоматического стирания и верификации страницы, сектора или всей памяти;
– Аппаратный алгоритм автоматической записи и верификации данных по указанному адресу;
– Программный метод детектирования окончания циклов стирания и записи;
– Встроенная схема формирования высоковольтного напряжения программирования и стирания;
– Поддержка режимов dual-SPI и quad-SPI;
– Поддержка режима Hold – приостановка операций на шине SPI посредством внешнего вывода;
– Поддержка режимов Program/Erase Suspend – приостановка операций программирования/стирания;
– Поддержка режима пониженного энергопотребления;
– Время сохранения данных 20 лет;
– 100 000 циклов записи/стирания данных в нормальных климатических условиях;
– 20 000 циклов записи/стирания данных в диапазоне рабочих температур;
– Напряжение питания от 1,8 до 3,6 В;
– Ток потребления в режиме хранения не более 2 мА;
– Ток в режиме пониженного энергопотребления не более 400 мкА;
– Динамический ток потребления не более 20 мА;
– Время выборки не более 6 нс;
– Тепловое сопротивление кристалл-корпус не более 30 °С/Вт;
– Уровень чувствительности к влаге (MSL) 2a;
– Масса микросхем не более 0,12 г;
– Диапазон рабочих температур от минус 40 до плюс 85 °С.

Важно: микросхемы чувствительны к влажности. Порядок обращения должен соответствовать требованиям, приведенным в ТСКЯ.430106.004Д12.

Общее описание и область применения микросхемы

Микросхемы интегральные MDR2306FI (далее – микросхемы) представляют собой энергонезависимые запоминающие устройства типа «Flash» с количеством циклов перезаписи до нескольких десятков тысяч для хранения и оперативной модификации массивов данных, программного обеспечения в системах промышленного и коммерческого применения.

Содержание

1 Структурная блок-схема 4
2 Условное графическое обозначение 5
3 Описание выводов 5
4 Указания по применению и эксплуатации 6
5 Организация памяти 7
6 Описание функционирования микросхем 8
6.1 Аппаратная и программная защита данных 9
6.2 Операция приостановки передачи по шине SPI 11
6.3 Автоматическое помехоустойчивое кодирование по коду Хемминга 12
6.4 Описание команд 13
6.5 Операция чтения данных флэш-памяти в режиме SPI без фиктивного байта 14
6.6 Операция чтения данных флэш-памяти в режиме SPI на максимальной частоте 15
6.7 Операция чтения данных флэш-памяти в режиме Dual SPI 16
6.8 Операция чтения данных флэш-памяти в режиме Quad SPI 16
6.9 Операция программирования буфера данных в режиме SPI 17
6.10 Операция программирования буфера данных в режиме Dual SPI 19
6.11 Операция программирования буфера данных в режиме Quad SPI 20
6.12 Операция стирания сектора 22
6.13 Операция стирания блока 23
6.14 Операция стирания всей памяти 25
6.15 Операция приостановки программирования/стирания 25
6.16 Операция возобновления программирования/стирания 28
6.17 Операция разрешения записи 29
6.18 Операция запрета записи 29
6.19 Операция установки защиты секторов 30
6.20 Операция снятия защиты секторов 31
6.21 Операция чтения регистра защиты секторов 32
6.22 Операция чтения регистра статуса 1 и 2 32
6.22.1 Описание регистра статуса 32
6.22.2 Бит SPRL 35
6.22.3 Бит QE 35
6.22.4 Биты SWP 35
6.22.5 Бит WEL 35
6.22.6 Бит BUSY 36
6.22.7 Бит E_ERR 36
6.22.8 Бит P_ERR 36
6.22.9 Бит WPP 36
6.22.10 Бит APS 37
6.22.11 Биты ES и PS 37

6.23 Операция записи регистра статуса 1 37
6.24 Операция чтения регистра статуса помехоустойчивого кодирования (ECC)...38
6.24.1 Описание регистра статуса....38
6.24.2 Бит DED_V....40
6.24.3 Бит SEC_V 40
6.24.4 Бит DED_R....40
6.24.5 SEC_R бит....40
6.24.6 Бит ECC_EN....40
6.25 Операция сброса....41
6.26 Операция чтения идентификационной информации микросхемы 42
6.27 Операция чтения SFDP параметров микросхемы....42
6.28 Операция входа в режим пониженного потребления....55
6.29 Операция выхода из режим пониженного потребления 55
6.30 Режим автоматической загрузки....56
6.31 Операция чтения конфигурационного регистра автоматической загрузки 57
6.31.1 Описание конфигурационного регистра автоматической загрузки....57
6.31.2 Бит ABE....59
6.31.3 Биты ABSD 59
6.31.4 Биты ABSA 59
6.32 Операция записи конфигурационного регистра автоматической загрузки 59
7 Типовая схема включения микросхем 61
8 Временные диаграммы 62
9 Электрические параметры....64
10 Предельно-допустимые и предельные параметры 65
11 Справочные параметры 68
12 Типовые зависимости 69
13 Габаритный чертеж микросхемы....75
14 Информация для заказа....75

1 Структурная блок-схема

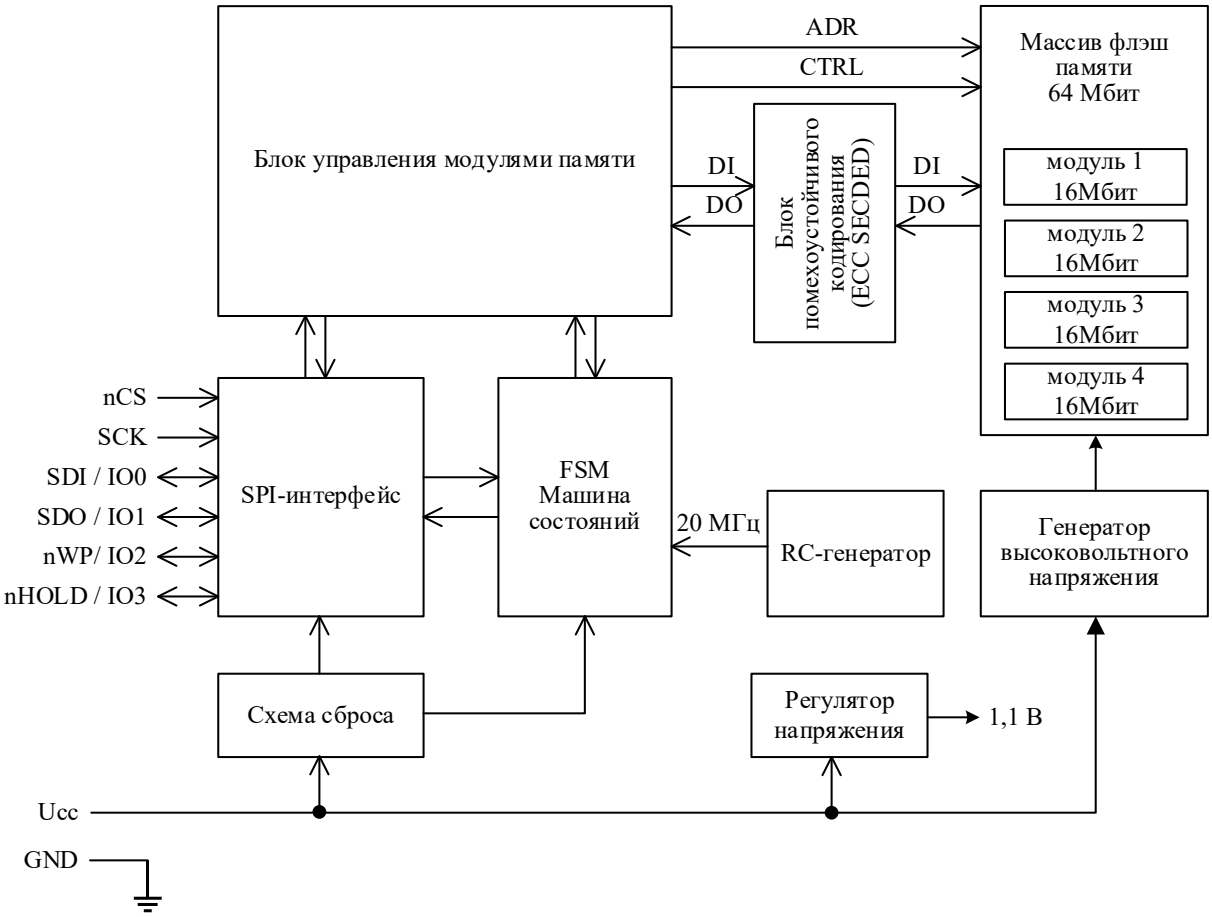


Рисунок 1 – Структурная блок-схема

2 Условное графическое обозначение

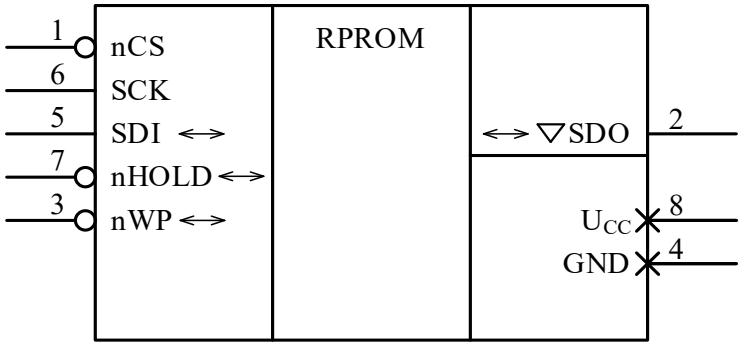


Рисунок 2 – Условное графическое обозначение

3 Описание выводов

Таблица 1 – Описание выводов

Номер вывода	Обозначение вывода	Назначение и функции вывода
1	nCS	Вход сигнала разрешения интерфейса SPI с внутренним резистором доопределения до питания (активный низкий уровень)
2	SDO	Вход/выход данных интерфейса SPI
3	nWP	Вход сигнала защиты от записи с внутренним резистором доопределения до питания (активный низкий уровень); В режиме QUAD SPI – вход/выход данных
4	GND	Общий
5	SDI	Вход/выход данных интерфейса SPI
6	SCK	Вход синхросигнала интерфейса SPI
7	nHOLD	Вход сигнала временной приостановки работы по интерфейсу SPI с внутренним резистором доопределения до питания (активный низкий уровень); В режиме QUAD SPI – вход/выход данных
8	U_{CC}	Питание (1,8 – 3,6) В

4 Указания по применению и эксплуатации

Режимы и условия монтажа в аппаратуре согласно ТСКЯ.430106.004Д12, ГОСТ Р 56427.

Типовая схема включения микросхем приведена на рисунке 34.

Порядок подачи и снятия напряжения питания и входных сигналов на микросхему:

– подача (включение микросхемы) – общий, питание, входные сигналы или одновременно;

– снятие (выключение микросхемы) – одновременно или в обратном порядке.

Рекомендуемая длительность фронта подачи напряжения питания на микросхему не менее 10 мкс. Время до начала первого обращения к памяти не менее t_{PWR_ON} от достижения 90 % значения напряжения питания.

Динамические параметры микросхемы гарантируются для времени нарастания/спада входных сигналов не более 2 нс. Предельное значение времени нарастания/спада входных сигналов не более 50 нс.

5 Организация памяти

Флэш-накопитель микросхемы разделен на универсальные стираемые единицы – четыре физических блока объемом 2 Мбайт, каждый из которых в свою очередь разделен на 256 секторов объемом 8 Кбайт (всего 1024 сектора).

Таблица 2 – Адресное пространство флэш-накопителя микросхемы

Блок (2 Мбайт)	Сектор (8 Кбайт)	Диапазон адресов (в шестнадцатеричной системе счисления)	
BA0	SA0	000000h	001FFFh
	SA1	002000h	003FFFh
	:	:	:
	SA255	1FE000h	1FFFFFh
BA1	SA256	200000h	201FFFh
	SA257	202000h	203FFFh
	:	:	:
	SA511	3FE000h	3FFFFFh
BA2	SA512	400000h	401FFFh
	SA513	402000h	403FFFh
	:	:	:
	SA767	5FE000h	5FFFFFh
BA3	SA768	600000h	601FFFh
	SA769	602000h	603FFFh
	:	:	:
	SA1023	7FE000h	7FFFFFh

6 Описание функционирования микросхем

Микросхема может управляться хост-контроллером, который выдаёт инструкции в режиме мастер SPI. Для базовых команд SPI в последовательном однобитном режиме мастер передает код команды, адрес и данные по последовательному каналу SDI и принимает данные по последовательному каналу SDO. В режиме Dual и Quad SPI код команд и адрес передаются по последовательному каналу SDI/IO0. Данные передаются микросхемой и принимаются мастером группами через битовую пару SDI/IO0 и SDO/IO1 для Dual SPI или битовый квартет SDI/IO0, SDO/IO2, nWP/IO3, nHOLD/IO4 для Quad SPI.

Протокол SPI имеет четыре режима работы (0, 1, 2 или 3), различие между которыми заключается в полярности и фазе сигнала SCK. Микросхема поддерживает два наиболее часто применяемых режима: 0 и 3. Временная диаграмма режимов SPI 0 и 3 приведена на рисунке 3. Различие между ними заключается в неактивном состоянии линии SCK, когда мастер SPI в режиме отсутствия передачи данных. В обоих режимах данные всегда захватываются с шины по переднему фронту SCK и всегда выставляются на шину по заднему фронту SCK.

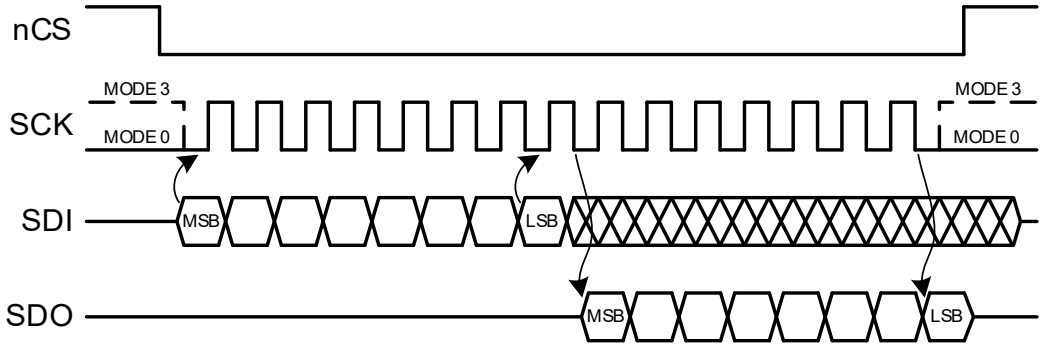


Рисунок 3 – Временная диаграмма режимов SPI 0 и 3

Допустимые инструкции всегда должны начинаться установкой линии nCS в состояние логического «0». После того как nCS установлен, хост-контроллер должен выставить на шину SPI достоверный 8-разрядный код команды. Затем, в зависимости от типа команды, могут выставляться адрес и (или) данные, тактируемые хост-контроллером. Все коды команд и адрес передаются по линии SDI старшими разрядами вперёд (MSB). Данные передаются побайтно, начиная с младшего. Каждый байт данных выставляется на шину старшим разрядом вперёд (MSB). Перевод линии nCS в состояние логической «1» запускает выполнение внутренних операций и завершает операцию чтения.

Неподдерживаемые коды команд игнорируются, микросхема остается в неактивном состоянии. Последующие данные на входе SDI также игнорируются, пока линия nCS не будет переведена в состояние логической «1», а затем в состояние логического «0» для подачи следующей команды. Если линия nCS переводится в состояние логической «1», прежде чем закончится передача кода команды и адресной информации, выполнение операции не начнётся, и микросхема вернётся в неактивное состояние для ожидания следующего кода команды.

Если на вывод nCS подано напряжение высокого уровня и при этом не осуществляются внутренние операции программирования или стирания, то микросхема находится в режиме хранения и ожидает код следующей команды. В этом режиме ток потребления снижается до значения I_{CCS}, выходы в состоянии выключено.

Для передачи адреса, состоящего из адресных бит A22-A0, необходимо послать 3 байта информации по шине SPI. Адресный бит A23, передаваемый по шине всегда игнорируется, так как максимально адресуемый диапазон адресов устройства памяти 000000h-7FFFFFh.

6.1 Аппаратная и программная защита данных

При включении питания микросхема не воспринимает передаваемые на неё команды. Внутренний интерфейс управления автоматически переходит в состояние ожидания кода команды после включения питания через время t_{PWR_ON}. В дополнение к этому нижеописанные методы аппаратной и программной защиты предотвращают случайную запись или стирание данных.

Необходимость подачи кода команды разрешения записи перед командами программирования и стирания программно обеспечивает защиту данных от ошибочной записи и стирания.

В микросхеме реализована схема защиты данных, позволяющая установить диапазон адресов секторов, защищенных от записи и стирания. Информация о защищенных областях памяти хранится в энергонезависимом регистре защиты секторов и кодируется шестью битами BP0 – BP5 (см. таблицу 3).

Таблица 3 – Таблица истинности энергонезависимого регистра защиты секторов

BP5	BP4	BP3	BP2	BP1	BP0	Защищенные сектора	Незащищенные сектора	Диапазон
x	x	0	0	0	0	–	SA0 – SA1023	Все не защищены
0	0	0	0	0	1	SA0	SA1 – SA1023	Младшие 1/1024
0	0	0	0	1	0	SA0 – SA1	SA2 – SA1023	Младшие 1/512
0	0	0	0	1	1	SA0 – SA3	SA4 – SA1023	Младшие 1/256
0	0	0	1	0	0	SA0 – SA7	SA8 – SA1023	Младшие 1/128
0	0	0	1	0	1	SA0 – SA15	SA16 – SA1023	Младшие 1/64
0	0	0	1	1	0	SA0 – SA31	SA32 – SA1023	Младшие 1/32
0	0	0	1	1	1	SA0 – SA63	SA64 – SA1023	Младшие 1/16
0	0	1	0	0	0	SA0 – SA127	SA128 – SA1023	Младшие 1/8
0	0	1	0	0	1	SA0 – SA255	SA256 – SA1023	Младшие 1/4
0	x	1	0	1	0	SA0 – SA511	SA512 – SA1023	Младшие 1/2
0	1	0	0	0	1	SA0 – SA767	SA768 – SA1023	Младшие 3/4
0	1	0	0	1	0	SA0 – SA895	SA896 – SA1023	Младшие 7/8
0	1	0	0	1	1	SA0 – SA959	SA960 – SA1023	Младшие 15/16
0	1	0	1	0	0	SA0 – SA991	SA992 – SA1023	Младшие 31/32
0	1	0	1	0	1	SA0 – SA1007	SA1008 – SA1023	Младшие 63/64
0	1	0	1	1	0	SA0 – SA1015	SA1016 – SA1023	Младшие 127/128
0	1	0	1	1	1	SA0 – SA1019	SA1020 – SA1023	Младшие 255/256

BP5	BP4	BP3	BP2	BP1	BP0	Защищенные сектора	Незащищенные сектора	Диапазон
0	1	1	0	0	0	SA0 – SA1021	SA1022 – SA1023	Младшие 511/512
0	1	1	0	0	1	SA0 – SA1022	SA1023	Младшие 1023/1024
1	0	0	0	0	1	SA1023	SA0 – SA1022	Старшие 1/1024
1	0	0	0	1	0	SA1022 – SA1023	SA0 – SA1021	Старшие 1/512
1	0	0	0	1	1	SA1020 – SA1023	SA0 – SA1019	Старшие 1/256
1	0	0	1	0	0	SA1016 – SA1023	SA0 - SA1015	Старшие 1/128
1	0	0	1	0	1	SA1008 – SA1023	SA0 – SA1007	Старшие 1/64
1	0	0	1	1	0	SA992 – SA1023	SA0 – SA991	Старшие 1/32
1	0	0	1	1	1	SA960 – SA1023	SA0 – SA959	Старшие 1/16
1	0	1	0	0	0	SA896 – SA1023	SA0 – SA895	Старшие 1/8
1	0	1	0	0	1	SA768 – SA1023	SA0 - SA767	Старшие 1/4
1	x	1	0	1	0	SA512 – SA1023	SA0 – SA511	Старшие 1/2
1	1	0	0	0	1	SA256 – SA1023	SA0 – SA255	Старшие 3/4
1	1	0	0	1	0	SA128 – SA1023	SA0 – SA127	Старшие 7/8
1	1	0	0	1	1	SA64 – SA1023	SA0 – SA63	Старшие 15/16
1	1	0	1	0	0	SA32 – SA1023	SA0 – SA31	Старшие 31/32
1	1	0	1	0	1	SA16 – SA1023	SA0 – SA15	Старшие 63/64
1	1	0	1	1	0	SA8 – SA1023	SA0 – SA7	Старшие 127/128
1	1	0	1	1	1	SA4 – SA1023	SA0 – SA3	Старшие 255/256
1	1	1	0	0	0	SA2 – SA1023	SA0 – SA1	Старшие 511/512
1	1	1	0	0	1	SA1 – SA1023	SA0	Старшие 1023/1024
x	x	1	0	1	1	SA0 – SA1023	-	Все защищены
x	x	1	1	0	0			
x	x	1	1	0	1			
x	x	1	1	1	0			
x	x	1	1	1	1			

В дополнение к энергонезависимому регистру защиты секторов в микросхеме имеется вывод nWP, который позволяет аппаратно блокировать операцию стирания этого регистра (снятие защиты), но не блокирует операцию записи (установку защиты). Таким образом, если на вывод nWP будет подано состояние логического «0», энергонезависимый регистр защиты секторов выступает в качестве однократно программируемого ПЗУ.

Вывод nWP защищает от изменений только регистр защиты секторов. Если вывод nWP будет переведен в состояние логического «0» до или после подачи команды записи или стирания данных, или во время выполнения внутренней операции, он не окажет влияния на результат ее выполнения.

Функционал вывода nWP активен только для режимов SPI и Dual SPI, когда конфигурационный бит QE регистра статуса 1 установлен в «0». Когда бит QE установлен в «1», функционал вывода nWP отключается, и этот вывод может использоваться в качестве IO2 для передачи данных в режиме Quad SPI.

Вывод nWP имеет внутреннюю резистивную подтяжку к питанию и может быть оставлен не подключенным, если микросхема не используется в режиме Quad SPI.

В дополнение к аппаратной защите, в микросхеме реализована программная защита энергонезависимого регистра защиты секторов. Программный контроль изменения данного регистра осуществляется при помощи бита SPRL регистра статуса 1. Если бит SPRL в состоянии «1», регистр защиты секторов заблокирован и не может быть модифицирован (микросхема игнорирует эти команды). Если SPRL в состоянии логического «0», регистр разблокирован и может быть модифицирован. После включения питания бит SPRL по умолчанию в состоянии «0».

Функционал бита SPRL и вывода nWP складывается по логическому «ИЛИ». В таблице 4 приведены все методы защиты данных, реализованные в микросхеме.

Таблица 4 – Методы защиты данных в микросхеме

Аппаратная защита	Программная защита (энергозависимая)	Регистр защиты секторов (энергонезависимый)					
вывод nWP блокирует от стирания биты BPx	**бит SPRL** блокирует от записи/стирания биты BPx	**BP5**	**BP4**	**BP3**	**BP2**	**BP1**	**BP0**

6.2 Операция приостановки передачи по шине SPI

Вывод nHOLD используется для приостановки передачи на шине SPI без прерывания текущей команды и без остановки тактирования на SCK.

Для входа в состояние приостановки передачи по шине SPI необходимо перевести вывод nHOLD в состояние логического «0» при nCS, находящемся в состоянии логического «0». По следующему переднему фронту SCK микросхема приостановит работу машины состояний интерфейса SPI (см. рисунок 4). Рекомендуется удерживать nCS в состоянии «0» на протяжении всего времени приостановки передачи. Если nCS перейдет в состояние логической «1» в тот момент, когда микросхема находится в состоянии приостановки передачи по шине SPI, машина состояний интерфейса SPI будет сброшена в состояние по умолчанию (ожидание кода команды). По спаду сигнала nHOLD вывод SDO переходит в высокоимпедансное состояние за время $t_{PLZ(nHOLD-D)}/t_{PHZ(nHOLD-D)}$. В состоянии приостановки передачи выводы SDI и SCK могут принимать любое значение.

Для возобновления работы и выхода из состояния приостановки передачи по шине SPI необходимо перевести вывод nHOLD в состояние логической «1» при nCS, находящемся в состоянии логического «0». По следующему переднему фронту SCK микросхема возобновит работу машины состояний интерфейса SPI. Вывод SDO выходит из высокоимпедансного состояние по фронту сигнала nHOLD за время $t_{PZL(nHOLD-D)}/t_{PZH(nHOLD-D)}$.

Временная диаграмма приостановки передачи по шине SPI по сигналу nHOLD приведена на рисунке 37.

Перевод nHOLD в состояние логического «0» не прерывает выполнение внутренних операций программирования/стирания.

Функционал вывода nHOLD активен только для режимов SPI и Dual SPI, когда конфигурационный бит QE регистра статуса 1 установлен в «0». Когда бит QE установлен в «1» функционал вывода nHOLD отключается и этот вывод может использоваться в качестве IO3 для передачи данных в режиме Quad SPI.

Вывод nHOLD имеет внутреннюю резистивную подтяжку к питанию и может быть оставлен не подключенным, если микросхема не используется в режиме Quad SPI.

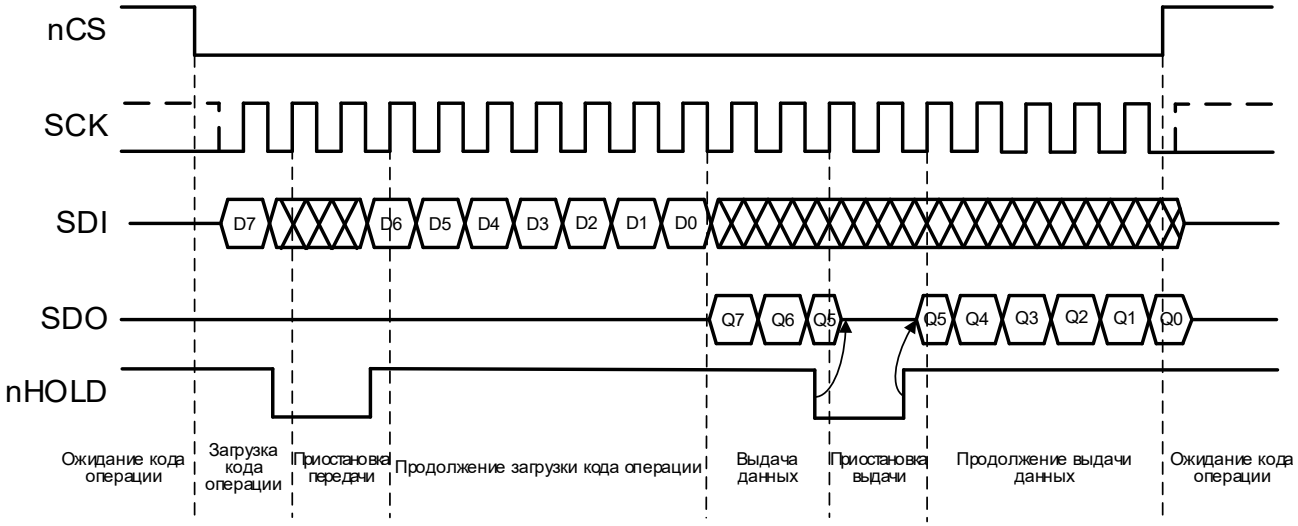


Рисунок 4 – Приостановка передачи по шине SPI

6.3 Автоматическое помехоустойчивое кодирование по коду Хемминга

Для повышения надежности функционирования ЭСППЗУ в процессе эксплуатации, в состав микросхемы входит блок помехоустойчивое кодирование по коду Хеминга (39,32) с исправлением одиночных ошибок и детектированием двойных (SECDED). Кодирование и декодирование применяется ко всем частям адресного пространства ЭСППЗУ, а также для энергонезависимого регистра защиты секторов. Для каждой группы данных длиной 4 байта, выровненной по адресам A1 – A0, вычисляются биты четности, хранящиеся в скрытой области памяти рядом с соответствующей им группой данных. Соответственно минимальная длина буфера данных при программировании – 4 байта (см. подраздел 6.5).

В процессе функционирования ЭСППЗУ блок помехоустойчивого кодирования сигнализирует об обнаружении двойной ошибки и исправлении одиночной посредством записи информации в регистр статуса ECC. Для доступа к данному регистру предусмотрена команда ECCSRRead (см. таблицу 5 и раздел 6.20).

6.4 Описание команд

Перечень команд, поддерживаемых микросхемой, приведён в таблице 5. Описание команд приведено в последующих подразделах.

Таблица 5 – Перечень поддерживаемых команд

Обозначение команды	Код команды	Количество байт адреса	Количество байт данных			Назначение команд
			входных	выходных		
				фиктивных	значащих	
Read	03h (0000 0011b)	3	0	0	1 - 8M	Чтение данных из флэш-памяти по одному каналу на частоте не более 40 МГц
FRead	0Bh (0000 1011b)	3	0	1	1 - 8M	Чтение данных из флэш-памяти по одному каналу на максимальной частоте
DORead	3Bh (0011 1011b)	3	0	1	1 - 8M	Чтение данных из флэш-памяти по двум каналам на макс. частоте
QORead	6Bh (0110 1011)	3	0	1	1 - 8M	Чтение данных из флэш-памяти по четырем каналам на максимальной частоте
Program	02h (0000 0010b)	3	4 - 512 : 4	0	0	Программирование буфера данных во флэш-память, с загрузкой данных в буфер по одному каналу
DIProgram	A2h (1010 0010b)	3	4 - 512 : 4	0	0	Программирование буфера данных во флэш-память, с загрузкой данных в буфер по двум каналам
QIProgram	32h (0011 0010b)	3	4 - 512 : 4	0	0	Программирование буфера данных во флэш-память, с загрузкой данных в буфер по четырем каналам
SErase	20h (0010 0000b)	3	0	0	0	Стирание сектора размером 8К байт
BErase	D8h (1101 1000b)	3	0	0	0	Стирание блока размером 2М байт
CErase	60h (0110 0000b) C7h (1100 0111b)	0	0	0	0	Стирание микросхемы
PESuspend	B0h (1011 0000b)	0	0	0	0	Приостановка программирования или стирания
PEResume	D0h (1101 0000b)	0	0	0	0	Возобновление программирования или стирания
WriteEn	06h (0000 0110b)	0	0	0	0	Установка бита WEL регистра статуса 1 в состояние «1»
WriteDis	04h (0000 0100b)	0	0	0	0	Установка бита WEL регистра статуса 1 в состояние «0»

Обозначение команды	Код команды	Коли-чество байт адреса	Количество байт данных			Назначение команд
			входных	выходных		
				фик-тивных	значащих	
ProtectRead	E0h (1110 0000b)	0	0	0	1	Чтения регистра защиты секторов
Protect	E1h (1110 0001b)	0	1	0	0	Установка защиты секторов
Unprotect	E2h (1110 0010b)	0	0	0	0	Снятие защиты секторов
SR1Read	05h (0000 0101b)	0	0	0	1	Чтение регистра статуса 1
SR2Read	07h (0000 0111b)	0	0	0	1	Чтение регистра статуса 2
SR1Write	01h (0000 0001b)	0	1	0	0	Запись регистра статуса 1
ECCSRRead	18h (0001 1000b)	0	0	0	1	Чтение регистра статуса помехоустойчивого кодирования
IDRead	9Fh (0001 1111b)	0	0	0	2	Чтение кода производителя и кода микросхемы
SFDPRead	5Ah (0101 1010b)	3	0	0	1 - 80	Чтения SFDP-параметров микросхемы
ABRRead	14h (0001 0100)	0	0	0	3	Чтение регистра настроек автоматической загрузки
ABRWrite	15h (0001 0101b)	0	3	0	0	Запись регистра настроек автоматической загрузки
InSleep	B9h (1011 1001b)	0	0	0	0	Вход в режим пониженного потребления
OutSleep	ABh (1010 1011b)	0	0	0	0	Выход из режима пониженного потребления
Reset	F0h (1111 0000b)	0	1	0	0	Сброс

6.5 Операция чтения данных флэш-памяти в режиме SPI без фиктивного байта

Команда Read с кодом 03h применяется при чтении непрерывного потока данных из микросхемы флэш-памяти в режиме SPI с частотой не более 40 МГц.

Для выполнения операции чтения линия nCS должна быть установлена в состояние логического «0» и код команды передан в микросхему. После передачи кода команды должен быть передан адрес (3 байта), определяющий стартовый адрес первого байта.

После передачи адреса сразу без задержки производится выдача данных на линию SDO. Данные передаются побайтно, начиная с младшего. Каждый байт данных выставляется на шину старшим разрядом вперёд (MSB). Микросхема содержит внутренний счётчик адреса, который автоматически инкрементируется после каждого

переданного байта данных. Если считан последний байт (адрес 7FFFFFh) массива памяти, микросхема продолжает чтение с начала массива (адрес 000000h). Задержки при этом не происходит. При установке линии nCS в состояние логической «1» операция чтения прекращается, и линия SDO переходит в высокоимпедансное состояние. Рекомендуется завершать операцию чтения на границе байта.

Временная диаграмма операции чтения с кодом 03h приведена на рисунке 5.

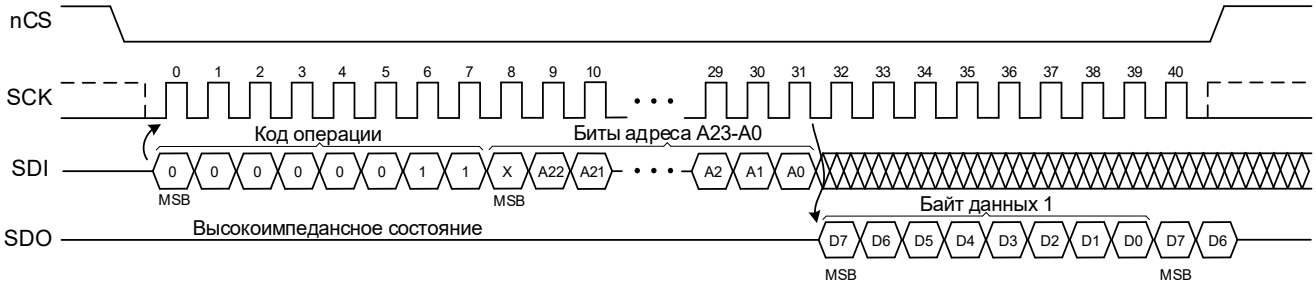


Рисунок 5 – Операция чтения с кодом 03h

6.6 Операция чтения данных флэш-памяти в режиме SPI на максимальной частоте

Команда FRead с кодом 0Bh применяется при чтении непрерывного потока данных из микросхемы в режиме SPI с частотой до 100 МГц.

Для выполнения операции чтения линия nCS должна быть установлена в состояние логического «0» и код команды передан в микросхему. После передачи кода команды должен быть передан адрес (3 байта), определяющий стартовый адрес первого байта данных. Следом за адресными байтами должен быть передан один фиктивный байт данных.

После передачи всей необходимой командной последовательности производится выдача данных на линию SDO. Данные передаются побайтно, начиная с младшего. Каждый байт данных выставляется на шину старшим разрядом вперёд (MSB). Микросхема содержит внутренний счётчик адреса, который автоматически инкрементируется после каждого переданного байта данных. Если считан последний байт (адрес 7FFFFFh) массива памяти, микросхема продолжает чтение с начала массива (адрес 000000h). Задержек при этом не происходит. При установке линии nCS в состояние логической «1» операция чтения прекращается, и линия SDO переходит в высокоимпедансное состояние. Рекомендуется завершать операцию чтения на границе байта.

Временная диаграмма операции чтения с кодом 0Bh приведена на рисунке 6.

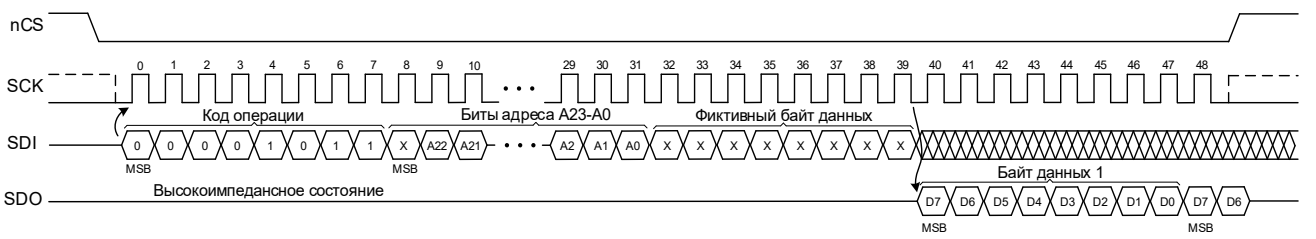


Рисунок 6 – Операция чтения с кодом 0Bh

6.7 Операция чтения данных флэш-памяти в режиме Dual SPI

Команда DORead с кодом 3Bh применяется при чтении непрерывного потока данных из микросхемы в режиме Dual SPI с частотой до 100 МГц. В отличие от команды FRead, команда DORead позволяет читать сразу два бита данных за один такт SCK.

Для выполнения операции чтения линия nCS должна быть установлена в состояние логического «0» и код команды передан в микросхему. После передачи кода команды должен быть передан адрес (3 байта), определяющий стартовый адрес первого байта данных. Следом за адресными байтами должен быть передан один фиктивный байт данных.

После передачи всей необходимой командной последовательности производится считывание данных на линиях SDI/IO0 и SDO/IO1. Данные передаются побайтно, начиная с младшего. Каждый байт данных выставляется на шину старшим разрядом вперёд (MSB). По первому такту SCK бит 7 первого байта данных появится на выходе SDO/IO1, а бит 6 этого же байта данных появится на выходе SDI/IO0. На следующем такте SCK биты 5 и 4 первого байта данных появятся на выходах SDO/IO1 и SDI/IO0 соответственно. Таким образом каждый байт данных будет выдаваться на выход за четыре такта SCK. Микросхема содержит внутренний счётчик адреса, который автоматически инкрементируется после каждого переданного байта данных. Если считан последний байт (адрес 7FFFFFh) массива памяти, микросхема продолжает чтение с начала массива (адрес 000000h). Задержки при этом не происходит. При установке линии nCS в состояние логической «1» операция чтения прекращается, и линии SDI/IO0 и SDO/IO1 переходят в высокоимпедансное состояние. Рекомендуется завершать операцию чтения на границе байта.

Временная диаграмма операции чтения с кодом 3Bh приведена на рисунке 7.

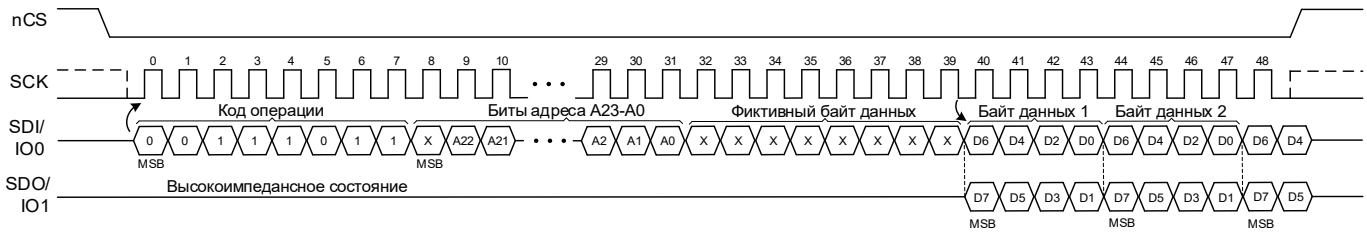


Рисунок 7 – Операция чтения с кодом 3Bh

6.8 Операция чтения данных флэш-памяти в режиме Quad SPI

Команда QORead с кодом 6Bh применяется при чтении непрерывного потока данных из микросхемы памяти в режиме Quad SPI с частотой до 100 МГц. В отличие от команд FRead и DORead, команда QORead позволяет читать сразу четыре бита данных за один такт SCK.

Для работы команды QORead конфигурационный бит QE регистра статуса 1 должен быть установлен в «1». Если бит QE установлен в «0», команда QORead не будет воспринята микросхемой.

Для выполнения операции чтения, линия nCS должна быть установлена в состояние логического «0», и код команды передан в микросхему. После передачи кода команды должен быть передан адрес (3 байта), определяющий стартовый адрес первого байта данных. Следом за адресными байтами должен быть передан один фиктивный байт данных.

После передачи всей необходимой командной последовательности производится считывание данных на линиях SDI/IO0, SDO/IO1, nWP/IO2 и nHOLD/IO3. Данные передаются побайтно, начиная с младшего. Каждый байт данных выставляется на шину старшим разрядом вперёд (MSB). По первому такту SCK бит 7 первого байта данных появится на выходе nHOLD/IO3, бит 6 этого же байта данных появится на выходе nWP/IO2, бит 5 – на выходе SDO/IO1, а бит 4 – на выходе SDI/IO0. На следующем такте SCK биты 3, 2, 1 и 0 первого байта данных появятся на выходах nHOLD/IO3, nWP/IO2, SDO/IO1 и SDI/IO0 соответственно. Таким образом каждый байт данных будет выдаваться на выход за два такта SCK. Микросхема содержит внутренний счётчик адреса, который автоматически инкрементируется после каждого переданного байта данных. Если считан последний байт (адрес 7FFFFFh) массива памяти, микросхема продолжает чтение с начала массива (адрес 000000h). Задержек при этом не происходит. При установке линии nCS в состояние логической «1» операция чтения прекращается, и линии SDI/IO0, SDO/IO1, nWP/IO2 и nHOLD/IO3 переходят в высокоимпедансное состояние. Рекомендуется завершать операцию чтения на границе байта.

Временная диаграмма операции чтения с кодом 6Bh приведена на рисунке 8.

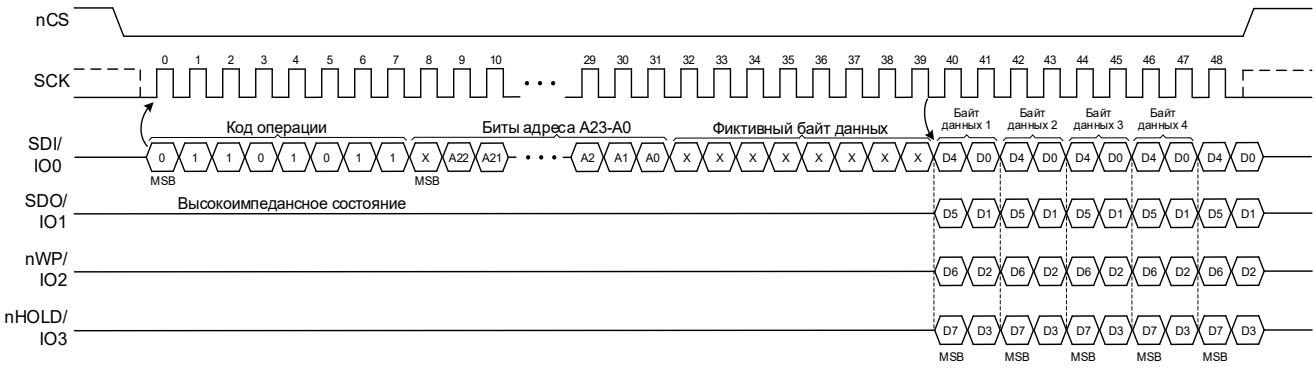


Рисунок 8 – Операция чтения с кодом 6Bh

6.9 Операция программирования буфера данных в режиме SPI

Программирование буфера данных в режиме SPI выполняется с помощью команды Program с кодом 02h и позволяет запрограммировать от 4 до 512 байт в предварительно стёртые ячейки микросхемы памяти. При стирании все ячейки памяти устанавливаются в состояние логической «1» (значение FFh). Перед выполнением команды Program необходимо выполнить команду WriteEn, чтобы установить бит WEL регистра статуса 1 в логическую «1».

Для выполнения команды Program необходимо передать в микросхему по линии SDI код команды (1 байт: 02h), начальный адрес (3 байта) и данные для программирования (от 4 до 512 байт с минимальным шагом заполнения буфера 4 байта).

Младшие 2 бита адреса не учитываются при загрузке данных в буфер. Данные будут загружены с начальным адресом A1 – A0 равным «0».

Если загруженный начальный адрес не попадает на границу 512-байтной страницы (биты адреса A8 – A0 не в состоянии логического «0»), то любые данные, загруженные в буфер и выходящие за пределы конца страницы (A8 – A0 равны 1FFh), будут загружены в начало той же страницы. Например, если начальный адрес, обозначенный A22 – A0, равен 0001FCh, а в буфер загружено восемь байт данных, то первые четыре байта данных будут запрограммированы по адресам 0001FCh и 0001FFh, а четыре последних байта данных будут запрограммированы по адресам 000000h и 000003h. Остальные байты страницы (адреса с 000004h по 0001FCh) не будут запрограммированы и останутся в стертом состоянии (FFh). Кроме того, если в микросхему передано более 512 байт данных, то только последние 512 байт будут сохраняться во внутреннем буфере для последующего программирования.

После перевода линии nCS в состояние логической «1» микросхема начнёт программирование данных из буфера в ячейки памяти с начальным адресом, переданным в команде Program. Данные должны быть загружены в буфер в количестве, кратном 4 байтам, прежде, чем линия nCS перейдёт «1». Если переданная посылка не будет кратна 4 байтам, микросхема прервёт операцию, и данные не будут запрограммированы в ячейки памяти.

Если адрес, переданный в команде Program, оказывается в пределах сектора, находящегося в защищённом состоянии, операция программирования не будет выполнена, микросхема вернётся в неактивное состояние после перевода линии nCS в логическую «1», а бит APS регистра статуса 2 установится в «1». Значение бита WEL в регистре статуса 1 будет сброшено в «0» перед началом операции программирования, если команда Program принята успешно, даже если адресные биты, переданные в команде, указывают на защищённый сектор. Значение бита WEL в регистре статуса 1 не будет сброшено в состояние логического нуля, если операция программирования прервана неполным адресом или данными.

Время ожидания окончания операции программирования минимально разрешенного размера буфера (4 байта) не менее t_{PR_WRD}, буфера 512 байт – не менее t_{PR_PG}. Во время операции программирования рекомендуется пользоваться операцией чтения регистра статуса 1, который показывает статус выполнения внутренней операции программирования. Это позволит сократить время ожидания выполнения операции.

Микросхема выполняет алгоритм детектирования ошибки при программировании: если после операции программирования ячейки памяти не содержат ожидаемое значение, то бит P_ERR регистра статуса 2 устанавливается в логическую «1». Биты не могут быть запрограммированы обратно из «0» в «1». Попытка сделать это может прервать операцию и установить бит P_ERR регистра статуса 2 в логическую «1». Только операция стирания может перевести биты данных из состояния «0» в «1».

Временная диаграмма операции программирования с командой Program приведена на рисунке 9.

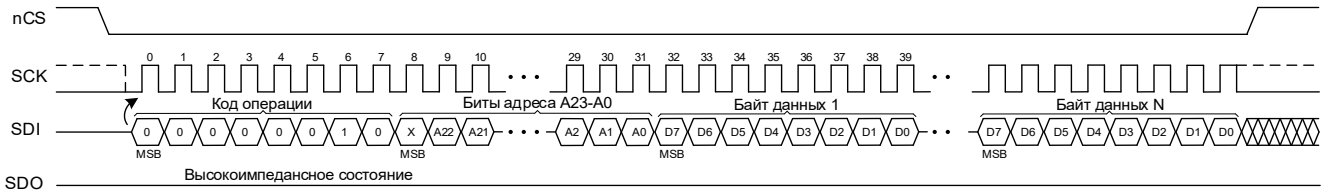


Рисунок 9 – Операция программирования с кодом 02h

6.10 Операция программирования буфера данных в режиме Dual SPI

Программирование буфера данных в режиме Dual SPI выполняется с помощью команды DIProgram (код A2h), позволяющей запрограммировать от 4 до 512 байт в предварительно стёртые ячейки микросхемы памяти. В отличие от команды Program, команда DIProgram позволяет передавать на микросхему сразу два бита данных за один такт SCK. Перед выполнением команды DIProgram необходимо выполнить команду WriteEn, чтобы установить бит WEL регистра статуса 1 в логическую «1».

Для выполнения команды DIProgram необходимо передать в микросхему по линии SDI код команды (1 байт: A2h) и начальный адрес (3 байта), а данные для программирования по линиям SDI/IO0 и SDO/IO1 (от 4 до 512 байт с минимальным шагом заполнения буфера 4 байта). Младшие 2 бит адреса не учитываются при загрузке данных в буфер. Данные будут загружены с начальным адресом A1 – A0 равным «0».

После загрузки начального адреса данные для программирования передаются в микросхему на выводы SDI/IO0 и SDO/IO1 по два бита за один такт SCK. Данные передаются побайтно, начиная с младшего. Каждый байт данных выставляется на шину старшим разрядом вперёд (MSB). По первому такту SCK бит 7 первого байта данных должен быть передан по линии SDO/IO1, а бит 6 этого же байта данных должен быть передан по линии SDI/IO0. На следующем такте SCK биты 5 и 4 первого байта данных передаются по линиям SDO/IO1 и SDI/IO0 соответственно. Таким образом каждый байт данных будет передаваться за четыре такта SCK. Как и в случае с командой Program, все данные, поступающие в микросхему, сохраняются во внутреннем буфере перед программированием в ячейки памяти.

Если загруженный начальный адрес не попадает на границу 512-байтной страницы (биты адреса A8 – A0 не в состоянии логического «0»), то любые данные, загруженные в буфер и выходящие за пределы конца страницы (A8 – A0 равны 1FFh), будут загружены в начало той же страницы. Например, если начальный адрес, обозначенный A22 – A0, равен 0001FCh, а в буфер загружено 8 байт данных, то первые 4 байта данных будут запрограммированы по адресам 0001FCh и 0001FFh, а последние 4 байта данных будут запрограммированы по адресам 000000h и 000003h. Остальные байты страницы (адреса с 000004h по 0001FCh) не будут запрограммированы и останутся в стертом состоянии (FFh). Кроме того, если в микросхему передано более 512 байт данных, то только последние 512 байт будут сохранятся во внутреннем буфере для последующего программирования.

После перевода линии nCS в состояние логической «1» микросхема начнёт программирование данных из буфера в ячейки памяти с начальным адресом, переданным

в команде DIProgram. Данные должны быть загружены в буфер в количестве кратном 4 байтам прежде, чем линия nCS перейдёт в «1». Если переданная посылка не будет кратна 4 байтам, микросхема прервёт операцию и данные не будут запрограммированы в ячейки памяти.

Если адрес, переданный в команде DIProgram, оказывается в пределах сектора, находящегося в защищённом состоянии, операция программирования не будет выполнена, микросхема вернётся в неактивное состояние после перевода линии nCS в логическую «1», а бит APS регистра статуса 2 установится в «1». Значение бита WEL в регистре статуса 1 будет сброшено в «0» перед началом операции программирования, если команда DIProgram принята успешно, даже если адресные биты, переданные в команде, указывают на защищённый сектор. Значение бита WEL в регистре статуса 1 не будет сброшено в состояние логического «0», если операция программирования прервана неполным адресом или данными.

Время ожидания окончания операции программирования минимально разрешенного размера буфера (4 байта) не менее t_{PR_WRD}, буфера 512 байт – не менее t_{PR_PG}. Во время операции программирования рекомендуется пользоваться операцией чтения регистра статуса 1, который показывает статус выполнения внутренней операции программирования. Это позволит сократить время ожидания выполнения операции.

Микросхема выполняет алгоритм детектирования ошибки при программировании: если после операции программирования ячейки памяти не содержат ожидаемое значение, то бит P_ERR регистра статуса 2 устанавливается в логическую «1». Биты не могут быть запрограммированы обратно из «0» в «1». Попытка сделать это может прервать операцию и установить бит P_ERR регистра статуса 2 в логическую «1». Только операция стирания может перевести биты данных из состояния «0» в «1».

Временная диаграмма операции программирования с командой DIProgram приведена на рисунке 10.

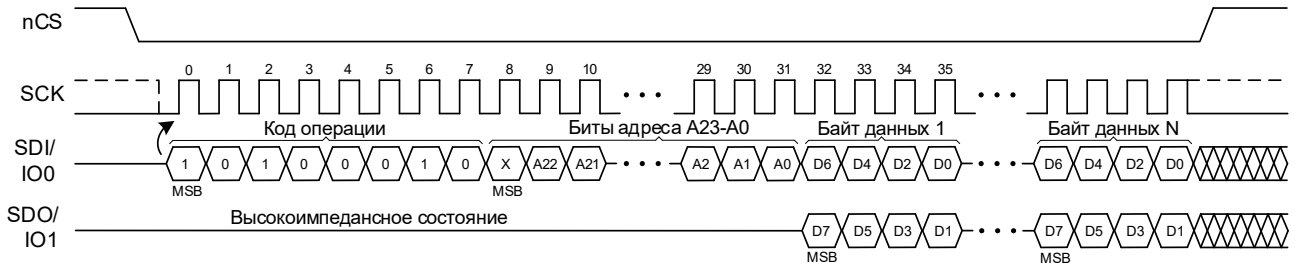


Рисунок 10 – Операция программирования с кодом A2h

6.11 Операция программирования буфера данных в режиме Quad SPI

Программирование буфера данных в режиме Quad SPI выполняется с помощью команды QIProgram (код 32h), позволяющей запрограммировать от 4 до 512 байт в предварительно стёртые ячейки микросхемы памяти. В отличие от команд Program и DlProgram, команда QIProgram позволяет передавать на микросхему сразу четыре бита данных за один такт SCK. Перед выполнением команды QIProgram необходимо

выполнить команду Write Enable, чтобы установить бит WEL регистра статуса 1 в логическую «1».

Для работы команды QIProgram конфигурационный бит QE регистра статуса 1 должен быть установлен в «1». Если бит QE установлен в «0», команда QIProgram не будет воспринята микросхемой.

Для выполнения команды QIProgram необходимо передать в микросхему по линии SDI код команды (1 байт: 32h) и начальный адрес (3 байта), а данные для программирования по линиям SDI/IO0 и SDO/IO1, nWP/IO2 и nHOLD/IO3 (от 4 до 512 байт с минимальным шагом заполнения буфера 4 байта). Младшие 2 бит адреса не учитываются при загрузке данных в буфер. Данные будут загружены с начальным адресом A1 – A0 равным «0».

После загрузки начального адреса данные для программирования передаются в микросхему на выводы SDI/IO0 и SDO/IO1, nWP/IO2 и nHOLD/IO3 по четыре бита за один такт SCK. Данные передаются побайтно, начиная с младшего. Каждый байт данных выставляется на шину старшим разрядом вперёд (MSB). По первому такту SCK бит 7 первого байта данных должен быть передан по линии nHOLD/IO3, бит 6 этого же байта данных должен быть передан по линии nWP/IO2, бит 5 – по SDO/IO1, а бит 4 – по SDI/IO0. На следующем такте SCK биты 3, 2, 1 и 0 первого байта данных передаются по линиям nHOLD/IO3, nWP/IO2, SDO/IO1 и SDI/IO0 соответственно. Таким образом каждый байт данных будет передаваться за два такта SCK. Как и в случае с командами Program и DIProgram, все данные, поступающие в микросхему, сохраняются во внутреннем буфере перед программированием в ячейки памяти.

Если загруженный начальный адрес не попадает на границу 512-байтной страницы (биты адреса A8 – A0 не в состоянии логического «0»), то любые данные, загруженные в буфер и выходящие за пределы конца страницы (A8 – A0 равны 1FFh), будут загружены в начало той же страницы. Например, если начальный адрес, обозначенный A22 – A0, равен 0001FCh, а в буфер загружено восемь байт данных, то первые четыре байта данных будут запрограммированы по адресам 0001FCh и 0001FFh, а четыре последних байта данных будут запрограммированы по адресам 000000h и 000003h. Остальные байты страницы (адреса с 000004h по 0001FCh) не будут запрограммированы и останутся в стертом состоянии (FFh). Кроме того, если в микросхему передано более 512 байт данных, то только последние 512 байт будут сохранятся во внутреннем буфере для последующего программирования.

После перевода линии nCS в состояние логической «1» микросхема начнёт программирование данных из буфера в ячейки памяти с начальным адресом, переданным в команде QIProgram. Данные должны быть загружены в буфер в количестве кратном 4 байтам прежде, чем линия nCS перейдёт «1». Если переданная посылка не будет кратна 4 байтам, микросхема прервёт операцию и данные не будут запрограммированы в ячейки памяти.

Если адрес, переданный в команде QIProgram, оказывается в пределах сектора, находящегося в защищённом состоянии, операция программирования не будет выполнена, микросхема вернётся в неактивное состояние после перевода линии nCS в

логическую «1», а бит APS регистра статуса 2 установится в «1». Значение бита WEL в регистре статуса 1 будет сброшено в «0» перед началом операции программирования, если команда QIProgram принята успешно, даже если адресные биты, переданные в команде, указывают на защищённый сектор. Значение бита WEL в регистре статуса 1 не будет сброшено в состояние логического «0», если операция программирования прервана неполным адресом или данными.

Время ожидания окончания операции программирования минимально разрешенного размера буфера (4 байта) не менее t_{PR_WRD}, буфера 512 байт – не менее t_{PR_PG}. Во время операции программирования рекомендуется пользоваться операцией чтения регистра статуса 1, который показывает статус выполнения внутренней операции программирования. Это позволит сократить время ожидания выполнения операции.

Микросхема выполняет алгоритм детектирования ошибки при программировании: если после операции программирования ячейки памяти не содержат ожидаемое значение, то бит P_ERR регистра статуса 2 устанавливается в логическую единицу. Биты не могут быть запрограммированы обратно из «0» в «1». Попытка сделать это может прервать операцию и установить бит P_ERR регистра статуса 2 в логическую «1». Только операция стирания может перевести биты данных из состояния «0» в «1».

Временная диаграмма операции программирования с командой QIProgram приведена на рисунке 11.

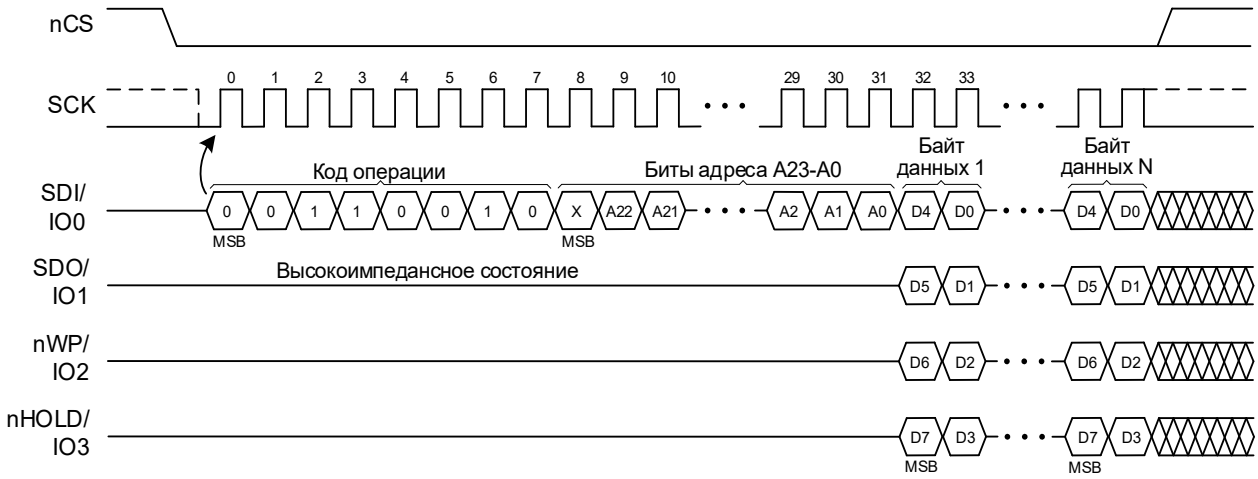


Рисунок 11 – Операция программирования с кодом 32h

6.12 Операция стирания сектора

Сектор размером 8 Кбайт может быть стёрт (все биты установлены в состояние логической «1») командой SErase. Для выполнения команды используется код операции 20h.

Прежде чем выполнить команду SErase, необходимо выполнить команду WriteEn для установки бита WEL регистра статуса 1 в состояние логической «1».

Для выполнения команды SErase необходимо установить линию nCS в состояние логического «0», передать код команды (1 байт: 20h) и адрес стираемого сектора (3 байта). Все последующие данные, загружаемые в устройство, игнорируются. После

перевода линии nCS в состояние логической «1», начинается стирание соответствующего сектора.

Младшие адресные биты A12 – A0 не декодируются при определении номера стираемого сектора, поэтому они могут быть в состоянии логического «0» или «1». Адрес сектора состоит из адресных бит A22 – A13, позволяющих выбрать один из 1024 секторов. Адресное пространство микросхемы представлено в таблице 2.

Несмотря на то, что младшие адресные биты не декодируются, все три адресных байта должны быть переданы в микросхему прежде, чем линия nCS перейдёт в состояние логической «1». Если это произойдёт не на границе байта (кратно 8 тактам SCK), микросхема прервёт операцию и стирание не будет выполнено.

Если адресные биты, переданные в команде, указывают на защищённый сектор, команда SErase также не будет выполнена, микросхема вернется в неактивное состояние после установки линии nCS в логическую «1», а бит APS регистра статуса 2 установится в «1».

Значение бита WEL в регистре статуса 1 будет сброшено в состояние логического «0» перед началом операции стирания, если команда SErase принята успешно, даже если адресные биты, переданные в команде, указывают на защищённый сектор. Значение бита WEL в регистре статуса 1 не будет сброшено, если операция стирания прервана неполным адресом.

Время ожидания окончания операции стирания сектора не менее $t_{ER_SEC.}$ Во время операции стирания рекомендуется пользоваться операцией чтения регистра статуса 1, который показывает статус выполнения внутренней операции стирания. Это позволит сократить время ожидания выполнения операции.

Микросхема выполняет алгоритм детектирования ошибки при стирании сектора: если после операции стирания хотя бы одна ячейка памяти не равна «1», то бит E_ERR регистра статуса 2 устанавливается в логическую «1».

Временная диаграмма операции стирания сектора приведена на рисунке 12.

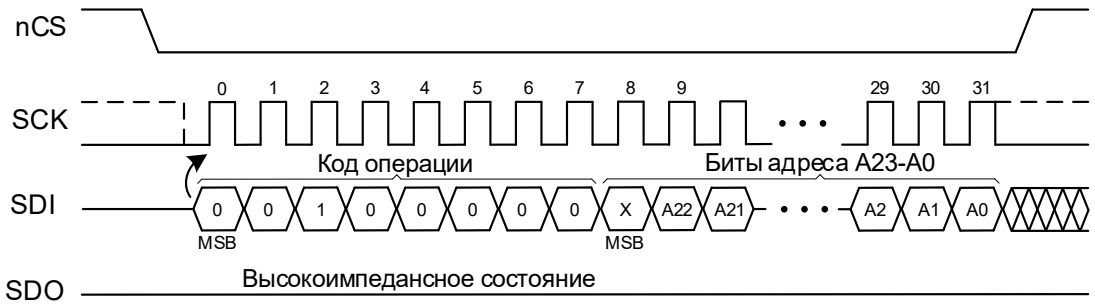


Рисунок 12 – Операция стирания сектора с кодом 20h

6.13 Операция стирания блока

Блок размером 2M байт может быть стёрт (все биты установлены в состояние логической «1») командой BErase. Для выполнения команды используется код операции D8h.

Прежде чем выполнить команду BErase, необходимо выполнить команду WriteEn для установки бита WEL регистра статуса 1 в состояние логической «1».

Для выполнения команды BErase необходимо установить линию nCS в состояние логического «0», передать код команды (1 байт: D8h) и адрес стираемого блока (3 байта). Все последующие данные, загружаемые в устройство, игнорируются. После перевода линии nCS в состояние логической «1» начинается стирание соответствующего блока.

Младшие адресные биты A20 – A0 не декодируются при определении номера стираемого блока, поэтому они могут быть в состоянии логического «0» или «1». Адрес блока состоит из адресных бит A22 – A21, позволяющих выбрать один из четырех блоков. Адресное пространство микросхемы представлено в таблице 2.

Несмотря на то, что младшие адресные биты не декодируются, все три адресных байта должны быть переданы в микросхему прежде, чем линия nCS перейдёт в состояние логической «1». Если это произойдёт не на границе байта (кратно 8 бит), микросхема прервёт операцию и стирание не будет выполнено.

Если адресные биты, переданные в команде, указывают на блок, в котором есть один или более защищённый сектор, команда BErase также не будет выполнена, микросхема вернется в неактивное состояние после установки линии nCS в логическую «1», а бит APS регистра статуса 2 установится в логическую «1».

Значение бита WEL в регистре статуса 1 будет сброшено в состояние логического «0» перед началом операции стирания, если команда BErase принята успешно, даже если адресные биты, переданные в команде, указывают блок, в котором есть защищённые сектора. Значение бита WEL в регистре статуса 1 не будет сброшено, если операция стирания прервана неполным адресом.

Время ожидания окончания операции стирания блока не менее t_{ER_BLK}. Во время операции стирания рекомендуется пользоваться операцией чтения регистра статуса 1, который показывает статус выполнения внутренней операции стирания. Это позволит сократить время ожидания выполнения операции.

Микросхема выполняет алгоритм детектирования ошибки при стирании блока: если после операции стирания хотя бы одна ячейка памяти не равна «1», то бит E_ERR регистра статуса 2 устанавливается в логическую «1».

Временная диаграмма операции стирания блока приведена на рисунке 13.

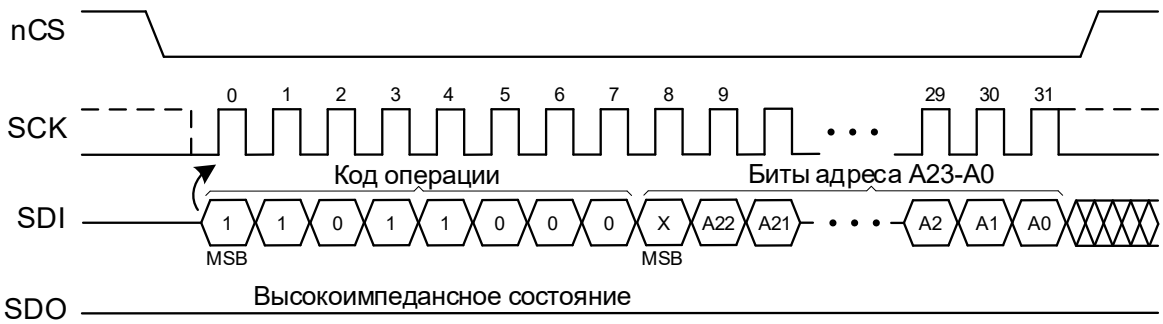


Рисунок 13 – Операция стирания блока с кодом D8h

6.14 Операция стирания всей памяти

Вся память может быть стёрта (все биты установлены в состояние логической «1») командой CErase. Перед выполнением команды CErase необходимо выполнить команду WriteEn, которая устанавливает бит WEL регистра статуса в логическую «1».

Для выполнения команды CErase необходимо передать в микросхему код 60h или C7h (оба кода действительны). При стирании всей памяти нет необходимости передавать в микросхему адресные байты. Любые данные после передачи кода операции будут игнорироваться. После перевода линии nCS в логическую «1» начнется процесс стирания всей памяти. nCS должен переключиться на границе байта (кратно 8 тактам SCK), в противном случае операция стирания не будет выполнена. Если блоки массива памяти имеют защищенные сектора, команда CErase не будет выполнена, микросхема вернётся в неактивное состояние после перевода линии nCS в логическую «1», а бит APS регистра статуса 2 установится в логическую «1».

Значение бита WEL в регистре статуса будет сброшено в состояние логического «0» перед началом операции стирания, если команда CErase принята успешно, даже если блоки массива памяти имеют в своем составе защищенные сектора. Значение бита WEL в регистре статуса не будет сброшено в состояние логического «0», если команда была передана не полностью.

Время ожидания окончания операции стирания всей памяти не менее t_{ER_CHIP}. Во время операции стирания рекомендуется пользоваться операцией чтения регистра статуса 1, который показывает статус выполнения внутренней операции стирания. Это позволит сократить время ожидания выполнения операции.

Микросхема также выполняет алгоритм детектирования ошибки при стирании: если после операции стирания хотя бы одна ячейка памяти не равна «1», то бит E_ERR регистра статуса 2 устанавливается в логическую «1».

Временная диаграмма операции стирания всей памяти приведена на рисунке 14.

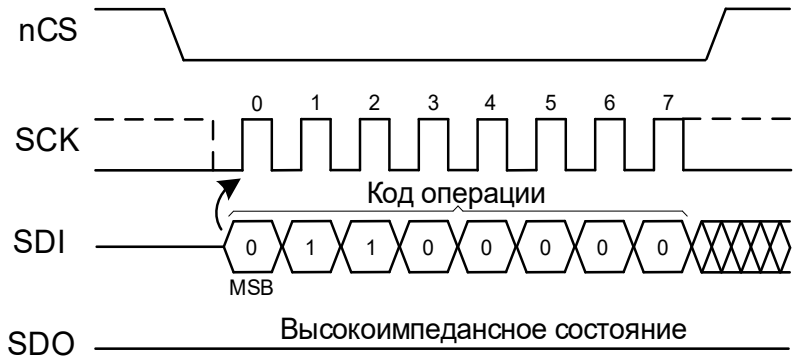


Рисунок 14 – Операция стирания всей памяти с кодом 60h

6.15 Операция приостановки программирования/стирания

В сложных системах часто возникают высокоприоритетные системные запросы, которые требуют немедленного считывания данных из флэш-памяти или программирование данных во флэш-память. В таких случаях система может не дожидаться микросекунд или миллисекунд, необходимых для завершения цикла

программирования или стирания флэш-памяти. Команда PESuspend позволяет приостановить выполнение операции программирования или стирания блока/сектора, чтобы можно было выполнить другие операции с микросхемой. Например, приостановив операцию стирания в определенном секторе или блоке, система может выполнить такие операции, как программирование или чтение в другом блоке. В таблице 6 приведены операции, которые разрешены и не разрешены во время приостановки программирования или стирания.

Таблица 6 – Перечень разрешенных команд во время приостановки программирования или стирания

Обозначение команды	Приостановка программирования	Приостановка стирания	Комментарии
Read	+	+	После приостановки программирования доступны **все сектора**, кроме задействованного при программировании. После приостановки стирания доступны **все блоки**, кроме задействованного при стирании
FRead	+	+	
DORead	+	+	
QORead	+	+	
Program	-	+	После приостановки стирания доступны **все блоки**, кроме задействованного при стирании
DIProgram	-	+	
QIProgram	-	+	
SErase	-	-	
BErase	-	-	
CErase	-	-	
PESuspend	-	-	
PEResume	+	+	
WriteEn	+	+	
WriteDis	+	+	
ProtectRead	+	+	
Protect	-	-	
Unprotect	-	-	
SR1Read	+	+	
SR2Read	+	+	
SR1Write	-	-	
ECCSRRead	+	+	
IDRead	+	+	
SFDPRead	-	-	
ABRRead	+	+	
ABRWrite	-	-	
InSleep	-	-	
OutSleep	-	-	
Reset	+	+	

Примечание – В таблице использованы обозначения:
+ – команда разрешена;
- – команда запрещена

Поскольку необходимость приостановить операцию программирования или стирания возникает немедленно, нет необходимости устанавливать бит WEL регистра статуса 1 в состояние «1» перед подачей команды PESuspend. Для приостановки операции программирования или стирания необходимо передать код B0h. Любые данные после передачи кода команды будут игнорироваться. nCS должен переключиться в состояние логической «1» на границе байта (кратно 8 тактам SCK), в противном случае операция приостановки программирования/стирания не будет выполнена. После перевода линии nCS в логическую «1», выполняемая в данный момент операция программирования или стирания будет приостановлена за время $t_{W(SUSP_PR)}$ / $t_{W(SUSP_ER)}$. Бит PS или бит ES в регистре статуса 2 устанавливается в состояние логической «1», указывая на то, что операция программирования или стирания была приостановлена. Кроме того, бит BUSY в регистре статуса 1 укажет, что устройство готово к получению команды для запуска другой операции.

При попытке чтения с помощью команд Read, FRead, DORead, QORead из страницы 512 байт, для которой приостановлена операция программирования, а также для блока 2M байта, для которого приостановлена операция стирания, на выходах микросхемы появятся неопределенные данные.

Операции программирования данных (Program, DIProgram, QIProgram) запрещены для блока объемом 2 Мбайт, для которого приостановлена операция стирания, даже если это операция стирания сектора в этом блоке. Если попытаться выполнить программирование в этот блок, то команда не будет выполнена, микросхема вернётся в неактивное состояние после перевода линии nCS в логическую «1», бит APS регистра статуса 2 установится в логическую «1», а бит WEL в регистре статуса 1 будет сброшен в состояние логического «0». Операции стирания запрещены для всех секторов/блоков, если была приостановлена операция программирования или стирания. При попытке стирания команда не будет воспринята микросхемой, а значение бита WEL в регистре статуса 1 не будет сброшено в состояние логического «0».

Если передана команда сброса (Reset) в то время, когда в секторе/блоке приостановлено стирание, операция прервется, и содержимое этого сектора/блока останется в неопределенном состоянии. Однако, если команда Reset передана, когда приостановлено программирование, операция прервется, но в неопределенном состоянии останется только содержимое страницы, в которую производилось программирование. Остальные страницы в секторе объемом 8 Кбайт сохранят свое предыдущее содержимое.

Если будет передана команда, запрещенная во время приостановки программирования или стирания, например, команда Protect, то микросхема ее проигнорирует, и операция не будет выполнена. Состояние бита WEL в регистре статуса 1, а также биты BP регистра защиты секторов не будут затронуты.

Временная диаграмма операции приостановки программирования/стирания приведена на рисунке 15.

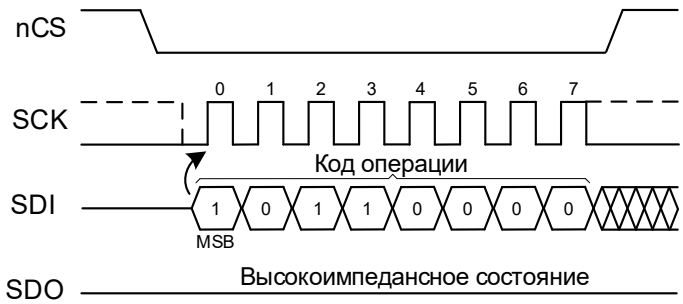


Рисунок 15 – Операция приостановки программирования/стирания

6.16 Операция возобновления программирования/стирания

Команда PEResume позволяет возобновить приостановленную ранее операцию программирования или стирания с того места, на котором она была приостановлена. Как и в случае с командой PESuspend, нет необходимости подавать команду WriteEn перед подачей команды PEResume.

Для возобновления программирования или стирания необходимо передать в микросхему код команды D0h. Любые данные после передачи кода будут игнорироваться. nCS должен переключиться на границе байта (кратно 8 тактам SCK), в противном случае операция стирания не будет выполнена. После перевода линии nCS в логическую «1» приостановленная в данный момент операция программирования или стирания будет возобновлена за время $t_{W(RESUME)}$. Бит PS или бит ES в регистре статуса 2 будет сброшен в состояние «0», чтобы указать, что операция программирования или стирания больше не приостановлена. Кроме того, бит BUSY в регистре статуса 1 будет указывать на то, что устройство занято выполнением операции программирования или стирания.

Пока устройство занято возобновлением операции программирования или стирания, любые попытки подать команду PESuspend будут игнорироваться. Поэтому, если возобновленная операция программирования или стирания должна быть впоследствии снова приостановлена, система должна либо выждать все время t_{RESUME} перед подачей команды PESuspend, либо проверить состояние бита BUSY или соответствующих битов PS или ES в регистре статуса 2, чтобы определить, возобновилась ли ранее приостановленная операция программирования или стирания.

Временная диаграмма операции возобновления программирования/стирания приведена на рисунке 16.

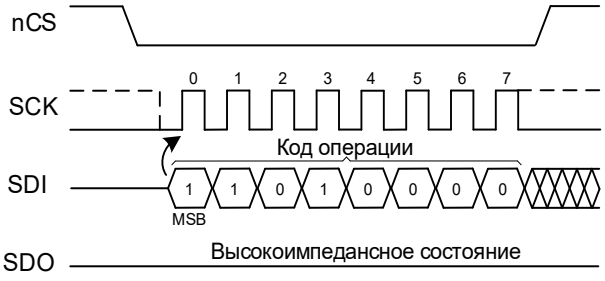


Рисунок 16 – Операция возобновления программирования/стирания

6.17 Операция разрешения записи

Команда WriteEn используется для установки бита разрешения записи WEL регистра статуса 1 в состояние «1». Бит WEL должен быть установлен перед выполнением команд Program, DIProgram, QIProgram, SErase, BErase, CErase, Protect, Unprotect, SR1Write. Это позволяет выполнять эти команды в два этапа, уменьшая возможность случайного или ошибочного выполнения этих команд. Если бит WEL в регистре статуса 1 не установлен перед подачей одной из этих команд, команда не будет выполнена.

Для выполнения команды WriteEn необходимо передать в микросхему код 06h. Любые данные после передачи кода команды будут игнорироваться. nCS должен переключиться на границе байта (кратно 8 тактам SCK), в противном случае операция установки бита WEL не будет выполнена. После перевода линии nCS в логическую «1» бит WEL регистра статуса 1 устанавливается в «1». Код операции должен быть полностью загружен в модуль памяти перед изменением сигнала nCS, иначе операция будет прервана и бит WEL не изменится.

6.18 Операция запрета записи

Команда WriteDis используется для сброса бита разрешения записи WEL регистра статуса 1 в состояние «0». После этого команды Program, DIProgram, QIProgram, SErase, BErase, CErase, Protect, Unprotect, SR1Write не могут быть выполнены. Другие условия сброса бита WEL приведены в подразделе 6.22 «Операция чтения регистра статуса 1 и 2».

При выдаче команды WriteDis линия nCS должна быть в логическом «0», код команды 04h должен загружаться в модуль памяти. Загрузка адресных байтов в модуль памяти не требуется, все данные переданные после кода операции игнорируются. После перехода линии nCS в состояние логической «1» бит WEL регистра статуса сбрасывается в «0». Код операции должен быть полностью загружен в модуль памяти перед изменением сигнала nCS, иначе операция будет прервана и бит WEL не изменится.

Временные диаграммы операций разрешения и запрета записи приведены на рисунках 17 и 18.

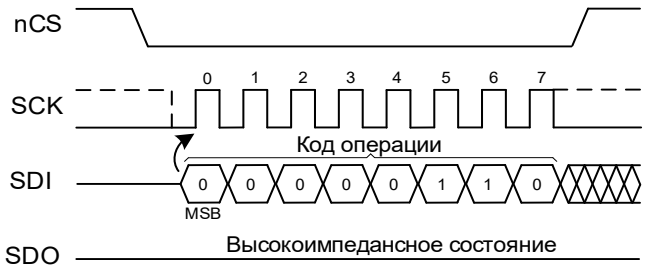


Рисунок 17 – Операция разрешения записи

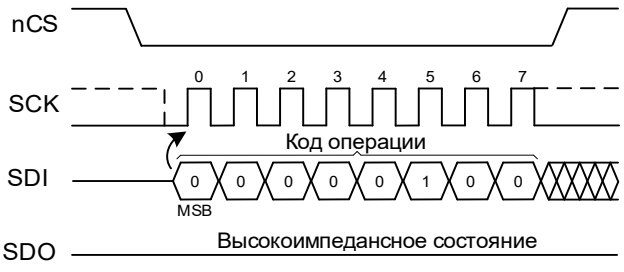


Рисунок 18 – Операция запрета записи

6.19 Операция установки защиты секторов

Микросхема имеет 6-битный энергонезависимый регистр защиты секторов, который позволяет установить защиту от операций программирования и стирания для выбранного диапазона адресов секторов флэш-накопителя. Размер диапазона определяется значением битов BP (см. таблицу 3). При поставке микросхемы все биты регистра защиты по умолчанию находятся в состоянии логического «0», что означает все сектора не защищены и могут быть запрограммированы или стёрты.

Перед подачей команды Protect необходимо командой WriteEn установить бит разрешения записи WEL в состояние «1». Для выполнения команды Protect необходимо передать в микросхему код команды (1 байт: E1h) и данные с новым значением битов BP (1 байт). Старшие 2 бита данных не учитываются при загрузке данных, поскольку регистр защиты 6-битный. В таблице 3 указаны возможные значения битов BP. Любые дополнительные данные, передаваемые в устройство памяти, после этого игнорируются.

После перевода линии nCS в состояние логической «1» микросхема начнёт программирование нового значения битов BP в ячейки памяти энергонезависимого регистра защиты секторов.

Перевод линии nCS в «1» должен происходить на границе байта (кратно 8 тактам SCK), в противном случае модуль памяти прервёт операцию, и биты BP не будут запрограммированы в ячейки памяти.

При повторной попытке установить защиту без предварительного снятия этой защиты операция не будет выполнена, модуль памяти вернётся в неактивное состояние после перевода линии nCS в логическую «1», а бит APS регистра статуса 2 установится в логическую «1». Значение бита WEL в регистре статуса 1 будет сброшено в состояние логического «0» перед началом операции установки защиты, если команда Protect принята успешно, даже если была произведена повторная попытка установки защиты. Для изменения состояния битов BP из «1» в «0» в энергонезависимом регистре защиты данных, сначала необходимо произвести снятие защиты командой Unprotect и только после этого переходить к установке защиты при помощи команды Protect.

Время ожидания окончания операции установки защиты секторов не менее $t_{PRT.}$ Во время установки защиты секторов рекомендуется пользоваться операцией чтения регистра статуса 1, который показывает статус выполнения внутренней операции программирования. Это позволит сократить время ожидания выполнения операции.

Микросхема выполняет алгоритм детектирования ошибки при установке защиты: если после выполнения операции программирования, ячейки энергонезависимого регистра защиты секторов не содержат ожидаемое значение, то бит P_ERR регистра статуса 2 устанавливается в «1».

Для защиты от случайного или ошибочного снятия, или установки защиты секторов имеется возможность блокировки регистра от изменения с помощью бита SPRL регистра статуса 1. Если регистр защиты секторов заблокирован, любая попытка подачи команды Protect будет игнорироваться, микросхема сбросит бит WEL регистра статуса 1 в логический «0» и вернется в состояние ожидания кода команды.

Временная диаграмма операции установки защиты секторов приведена на рисунке 19.

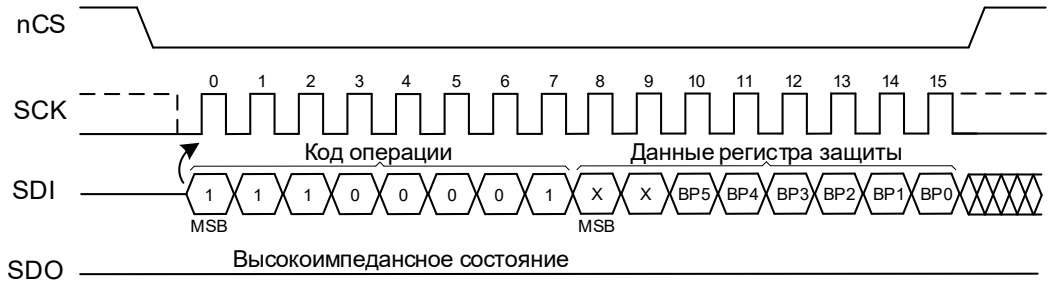


Рисунок 19 – Операция установки защиты секторов

6.20 Операция снятия защиты секторов

Подача команды Unprotect сбрасывает в состояние всех «0» регистр защиты секторов.

Перед подачей команды Unprotect необходимо командой WriteEn установить бит разрешения записи WEL в состояние «1». Для выполнения команды Unprotect необходимо передать в микросхему только код команды (1 байт: E2h). В отличие от команды Protect не нужно передавать байт данных с состоянием битов BP, поскольку команда Unprotect может перевести биты BP только в состояние все «0» означающее, что все сектора памяти не защищены от записи и стирания. Поэтому любые дополнительные данные, передаваемые в устройство памяти, после передачи кода команды игнорируются.

После перевода линии nCS в состояние логической «1» микросхема начнёт стирание битов BP в ячейках памяти (перевод в состояние «0») энергонезависимого регистра защиты секторов.

Перевод линии nCS в «1» должен происходить на границе байта (кратно 8 тактам SCK), в противном случае модуль памяти прервёт операцию, и биты BP не будут изменены в «0».

Время ожидания окончания операции снятия защиты секторов не менее t_{UNPRT}. Во время снятия защиты секторов рекомендуется пользоваться операцией чтения регистра статуса 1, который показывает статус выполнения внутренней операции стирания. Это позволит сократить время ожидания выполнения операции.

Микросхема выполняет алгоритм детектирования ошибки при снятии защиты: если после выполнения операции стирания, ячейки энергонезависимого регистра не равны «0», то бит E_ERR регистра статуса 2 устанавливается в «1».

Для защиты от случайного или ошибочного снятия, или установки защиты секторов имеется возможность блокировки регистра от изменения с помощью бита SPRL регистра статуса 1. Если регистр защиты секторов заблокирован, любая попытка подачи команды Unprotect будет игнорироваться, микросхема сбросит бит WEL регистра статуса 1 в логический «0» и вернется в состояние ожидания кода команды.

Временная диаграмма операции снятия защиты секторов приведена на рисунке 20.

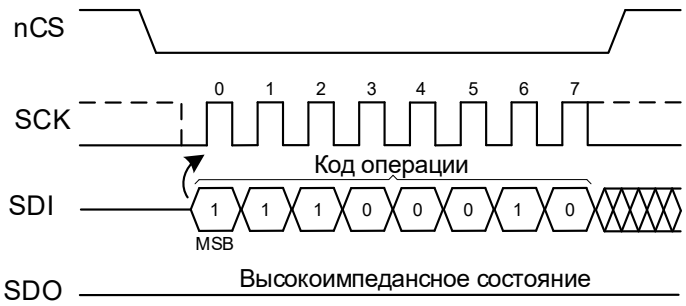


Рисунок 20 – Операция снятия защиты секторов

6.21 Операция чтения регистра защиты секторов

Регистр защиты секторов может быть прочитан для определения текущего состояния защиты секторов флэш-накопителя от операций программирования и стирания.

Для чтения регистра защиты секторов, линия nCS должна быть в состоянии логического «0» и код команды (1 байт: E0h) загружен в микросхему. После загрузки кода команды микросхема начинает выдачу данных на линию SDO с битами BP регистра защиты. Старшие 2 бита данных в байте незначащие, поскольку регистр защиты 6-битный. В таблице 3 указаны возможные значения битов BP.

Перевод линии nCS в состояние логической «1» прерывает операцию чтения и переводит линию SDO в высокоимпедансное состояние. Линия nCS может перейти в неактивное состояние в любой момент времени, чтение полного байта не требуется.

В дополнение к операции чтения регистра защиты секторов в регистре статуса 1 биты SWP позволяют определить, что все секторы, часть или ни один из секторов не защищены от изменения.

Временная диаграмма операции чтения статуса регистра защиты секторов приведена на рисунке 21.

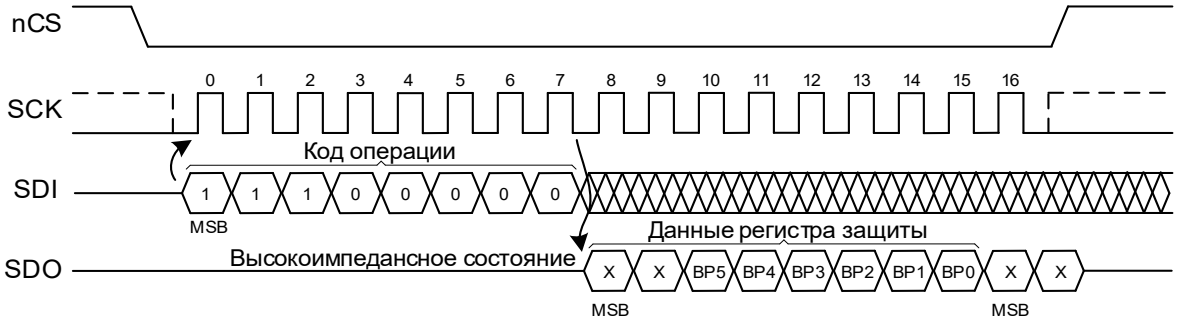


Рисунок 21 – Операция чтения регистра защиты секторов

6.22 Операция чтения регистра статуса 1 и 2

6.22.1 Описание регистра статуса

Регистры статуса 1 и 2 предназначены для определения состояния занятости/готовности микросхемы, статуса защищенности секторов и многих других

функций. Регистры могут быть прочитаны в любое время, даже во время выполнения внутренних операций программирования и стирания.

Для чтения регистра статуса 1 необходимо установить линию nCS в состояние логического «0» и передать в микросхему код команды (1 байт: 05h), а для чтения регистра статуса 2 – код команды (1 байт: 07h). После получения кода команды микросхема выставляет данные соответствующего регистра статуса на линию SDO. После выгрузки байта выдача данных повторяется до тех пор, пока линия nCS остаётся в состоянии логического «0» и присутствуют импульсы на выводе SCK. Данные регистра статуса постоянно обновляются в процессе выполнения внутренних операций, поэтому повторное чтение приведёт к выдаче новых данных.

Временная диаграмма операции чтения регистра статуса приведена на рисунке 22.

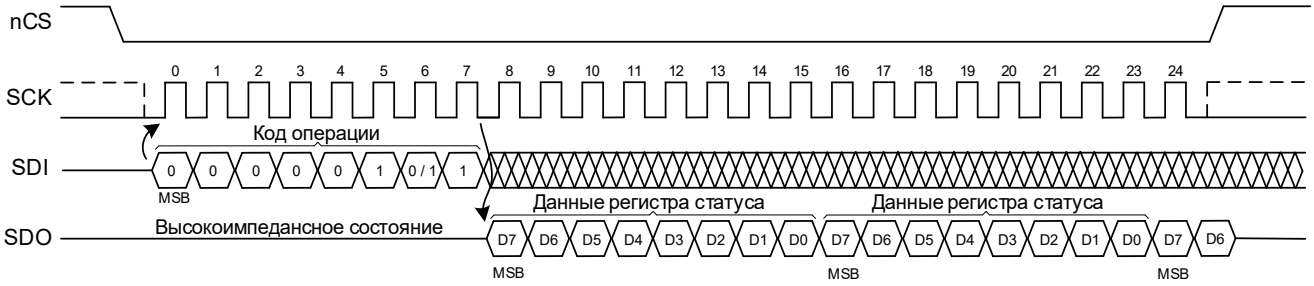


Рисунок 22 – Операция чтения регистра статуса

Перевод линии nCS в состояние логической «1» прерывает операцию чтения регистра статуса и переводит линию SDO в высокоимпедансное состояние. Изменение состояния линии nCS может происходить в любое время, чтения полного байта данных не требуется.

Назначение бит регистров статуса 1 и 2 приведено в таблицах 7 и 8.

Таблица 7 – Назначение бит регистра статуса 1

Номер бита	Название бита		Доступ	Описание	
7	SPRL	Бит блокировки регистра защиты сектора	R/W	0	Регистр защиты секторов не заблокирован (по умолчанию)
				1	Регистр защиты секторов заблокирован для изменений
6	QE	Бит конфигурации Quad SPI	R/W	0	Команды Quad SPI недоступны (по умолчанию при поставке). Функционал входов nWP и nHOLD активен
				1	Команды Quad SPI доступны. Функционал входов nWP и nHOLD заменен на IO2 и IO3
5:4	-	Зарезервировано	R	0	Зарезервировано
3:2	SWP	Биты состояния защищённости секторов	R	00	Все сектора не защищены (по умолчанию при поставке)
				01	Некоторые сектора защищены. Чтение регистра защиты секторов позволит определить, какие конкретно сектора защищены

Номер бита	Название бита		Доступ	Описание	
				10	Зарезервированы для будущего использования
				11	Все сектора защищены
1	WEL	Бит разрешения записи	R	0	Микросхема не доступна для записи (по умолчанию)
				1	Микросхема доступна для записи
0	BUSY	Бит состояния готовности микросхемы	R	0	Микросхема готова
				1	Микросхема занята внутренней операцией

Примечания

1 Только биты 7 и 6 регистра статуса 1 могут быть модифицированы командой SR1Write.

2 Обозначение доступа:
R/W – чтение и запись;
R – только чтение

Таблица 8 – Назначение бит регистра статуса 2

Номер бита	Название бита		Доступ	Описание	
7	-	Зарезервировано	R	0	Зарезервировано
6	E_ERR	Бит ошибки при стирании	R	0	Ошибок при стирании не обнаружено
				1	Обнаружена ошибка при стирании
5	P_ERR	Бит ошибки при программировании	R	0	Ошибок при программировании не обнаружено
				1	Обнаружена ошибка при программировании
4	WPP	Бит состояния вывода nWP	R	0	На входе nWP активный «0». Регистр BPR заблокирован для снятия защиты
				1	На входе nWP неактивная «1». Регистр BPR разблокирован
3	APS	Бит попытки стирания/записи в защищенном секторе	R	0	Не обнаружена попытка стирания/записи в заблокированный или занятый сектор
				1	Обнаружена попытка стирания/записи в заблокированный или занятый сектор
2	-	Зарезервировано	R	0	Зарезервировано
1	ES	Бит приостановки стирания	R	0	Нет блоков с приостановленным стиранием
				1	В одном из блоков приостановлено стирание
0	PS	Бит приостановки программирования	R	0	Нет секторов с приостановленным программированием
				1	В одном из секторов приостановлено программирование

Примечание – Обозначение доступа:
R – только чтение

6.22.2 Бит SPRL

Бит SPRL применяется для контроля модификации битов энергонезависимого регистра защиты секторов. Если SPRL в состоянии логической «1», регистр защиты не может быть модифицирован командами Protect и Unprotect (микросхема игнорирует эти команды). Если SPRL в состоянии логического «0», регистр защиты секторов может быть модифицирован. После включения питания бит SPRL по умолчанию в состоянии логического «0». Команда Reset не влияет на состояние бита SPRL. Для изменения состояния бита SPRL применяется команда SR1Write.

6.22.3 Бит QE

Бит QE применяется для изменения функционала выводов nWP и nHOLD. Когда этот бит установлен в «1», он расширяет шину данных устройства до 4-битной – то есть переводит в режим Quad SPI. Выводы nWP и nHOLD теряют свой основной функционал и становятся сигналами ввода/вывода данных IO2 и IO3 соответственно. Все команды кроме QIProgram и QORead по-прежнему функционируют без изменений. Бит QE должен быть установлен в «1» при использовании команд QIProgram и QORead. Если QE в состоянии «0», команды QIProgram и QORead недоступны (микросхема игнорирует эти команды). Бит QE хранится в энергонезависимом конфигурационном регистре и сохраняет свое состояние после выключения питания. По умолчанию при поставке бит QE находится в состоянии «0». Для изменения состояния бита QE применяется команда SR1Write. Команда Reset не изменяет состояние бита QE.

6.22.4 Биты SWP

Биты SWP сигнализируют о состоянии защищенности секторов микросхемы. Возможны три комбинации битов, показывающие, что микросхема не защищена от программирования/стирания, частично или полностью защищена. Если биты SWP указывают, что микросхема имеет защищенные сектора, то для определения этих секторов требуется чтение битов BP регистра защиты сектора с помощью команды ProtectRead.

6.22.5 Бит WEL

Бит WEL показывает текущий статус внутреннего состояния разрешения записи. Когда этот бит в состоянии логического «0», модуль памяти не доступен для таких команд, как Program, DIProgram, QIProgram, SErase, BErase, CErase, Protect, Unprotect, SR1Write. После включения питания бит WEL в состоянии логического «0». Бит WEL может быть сброшен автоматически в «0» при следующих условиях:

– успешное завершение команды Write Disable;

– после корректной подачи команды Reset;

– после корректной подачи команды программирования буфера Program/DIProgram/QIProgram;

- после корректной подачи команды стирания SErase/BErase/CErase;
- после корректной подачи команды Protect/Unprotect;
- после корректной подачи команды SR1Write.

6.22.6 Бит BUSY

Бит BUSY применяется для определения статуса выполнения внутренней операции программирования/стирания, установки/снятия защиты секторов или записи регистра статуса. Состояние логического «0» бита BUSY сигнализирует, что все внутренние операции завершены, микросхема находится в состоянии ожидания кода команды. Состояние логической «1» бита BUSY сигнализирует о занятости микросхемы внутренней операцией.

6.22.7 Бит E_ERR

Бит E_ERR показывает, завершилась ли последняя операция стирания, снятия защиты секторов или записи регистра статуса успешно. Если хотя бы один бит во время этих операций не был стёрт, бит E_ERR устанавливается в состояние «1». Если операция была прервана командой Reset бит E_ERR также устанавливается в состояние «1». Бит E_ERR не устанавливается в единицу, если операция прервана при попытке стереть защищенную область, или, если бит WEL не был установлен перед выполнением операции. Бит E_ERR сбрасывается перед началом каждой операции стирания, снятия защиты секторов и записи регистра статуса.

6.22.8 Бит P_ERR

Бит P_ERR показывает, завершилась ли последняя операция программирования, установки защиты секторов или записи регистра статуса успешно. Если хотя бы один бит во время этих операции не соответствует ожидаемому, бит P_ERR устанавливается в состояние «1». Если операция была прервана командой Reset бит P_ERR также устанавливается в состояние «1». Бит P_ERR не устанавливается в «1», если операция прервана при попытке записать данные в защищенную область, или, если бит WEL не был установлен перед выполнением операции. Бит P_ERR сбрасывается перед началом каждой операции программирования, установки защиты секторов и записи регистра статуса.

6.22.9 Бит WPP

Бит WPP показывает, состояние вывода nWP. Если nWP в состоянии логического «0», то этот бит будет в состоянии «0» и наоборот. Если активен режим Quad SPI и бит QE установлен в «1», бит WPP устанавливается в состояние логической «1».

6.22.10 Бит APS

Бит APS сигнализирует о попытке программирования или стирания в защищенную области памяти, а также о попытке изменить состояние битов BP энергонезависимого регистра защиты секторов, с уже установленной ранее защитой секторов. Бит APS сбрасывается перед началом каждой операции программирования, стирания или установки защиты секторов. Бит APS устанавливается в состояние логической «1» при следующих условиях:

– попытка стирания командой BErase блока, в котором есть защищенные сектора;

– попытка стирания командой SErase сектора, который попадает в диапазон защищенных секторов;

– попытка стирания командой CErase всего массива памяти, в котором есть блоки с защищенными секторами;

– попытка программирования командами Program, DIProgram, QIProgram данных в страницу, которая попадает в диапазон защищенных секторов;

– попытка установки защиты секторов командой Protect в случае, когда уже установлена защита на какой-либо диапазон секторов (биты BP регистра защиты секторов не все равны «0»).

6.22.11 Биты ES и PS

Бит ES показывает наличие в данный момент в микросхеме приостановленной операции стирания, бит PS – приостановленной операции программирования.

6.23 Операция записи регистра статуса 1

Эта операция необходима для модификации битов SPRL и QE регистра статуса 1. Перед выполнением команды SR1Write необходимо выдать команду WriteEn для установки бита WEL регистра статуса 1 в логическую «1».

При выполнении команды SR1Write линия nCS должна быть в состоянии логического «0» и код команды 01h должен быть загружен в микросхему вместе с одним байтом данных. Только биты 7 и 6 байта данных воспринимаются модулем памяти, остальные биты могут принимать любое значение. Любые дополнительные байты данных, посылаемые после этого модулю памяти, игнорируются. После перевода линии nCS в состояние логической «1» возможно несколько сценариев.

Если модифицирован только бит SPRL, бит WEL регистра статуса сбрасывается в состояние логического «0», бит SPRL устанавливается в новое состояние, ожидания выполнения операции не требуется.

Если модифицированы биты SPRL и QE, бит WEL регистра статуса сбрасывается в состояние логического «0», бит SPRL устанавливается в новое состояние, а для записи нового состояния бита QE в энергонезависимый конфигурационный регистр инициируется цикл программирования/стирания. Время ожидания окончания операции записи бита QE не менее $t_{CYW(NVR)}$. Во время записи этого бита рекомендуется

пользоваться операцией чтения регистра статуса 1, который показывает статус выполнения внутренней операции. Это позволит сократить время ожидания выполнения операции.

Микросхема выполняет алгоритм детектирования ошибки при записи состояния бита QE: если после выполнения операции ячейка энергонезависимого конфигурационного регистра не содержит ожидаемое значение «0», устанавливается бит E_ERR регистра статуса 2; если ячейка не содержит ожидаемое значение «1», устанавливается бит P_ERR регистра статуса 2.

Полный байт данных должен быть загружен в модуль памяти перед изменением состояния линии nCS в логическую «1», то есть на границе байта (кратно 8 тактам SCK), иначе микросхема прервёт операцию, состояние бит SPRL и QE не изменится, значение бита WEL регистра статуса 1 также не изменится.

Временная диаграмма операции записи регистра статуса 1 приведена на рисунке 23.

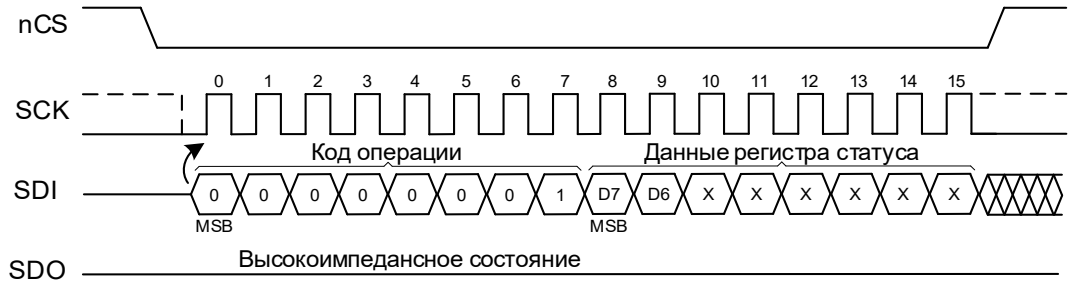


Рисунок 23 – Операция записи регистра статуса 1

6.24 Операция чтения регистра статуса помехоустойчивого кодирования (ECC)

6.24.1 Описание регистра статуса

Регистр статуса ECC служит для определения результатов работы блока помехоустойчивого кодирования. Регистр может быть прочитан в любое время, даже во время выполнения внутренних операций программирования и стирания.

Для чтения регистра статуса ECC необходимо установить линию nCS в состояние логического «0» и передать в микросхему код команды (1 байт: 18h). После получения кода команды микросхема выставляет данные на линию SDO на каждом такте SCK. После выгрузки байта, выдача данных повторяется до тех пор, пока линия nCS не перейдет в состояние логической «1» и присутствуют импульсы на выводе SCK. Данные регистра статуса постоянно обновляются в процессе выполнения внутренних операций, поэтому повторное чтение приведёт к выдаче новых данных.

Временная диаграмма операции чтения регистра статуса приведена на рисунке 24.

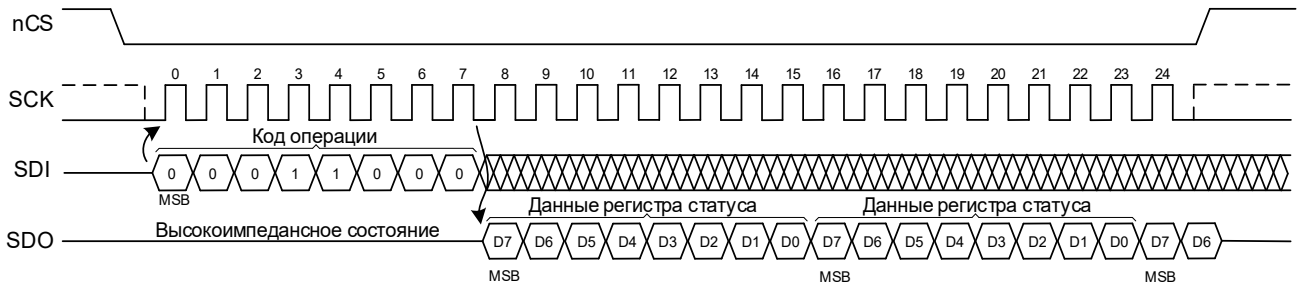


Рисунок 24 – Операция чтения регистра статуса помехоустойчивого кодирования

Перевод линии nCS в «1» прерывает операцию чтения регистра статуса и переводит линию SDO в высокоимпедансное состояние. Изменение состояния линии nCS может происходить в любое время, чтения полного байта данных не требуется.

Назначение бит регистра статуса ECC приведено в таблице 9.

Таблица 9 – Назначение бит регистра статуса ECC

Номер бита	Название бита		Доступ	Описание	
7:5	-	Зарезервировано	R	0	Зарезервировано
4	DED_V	Бит обнаружения двойной ошибки при верификации	R	0	Двойных ошибок не обнаружено при выполнении последней операции программирования или стирания или установки/снятия защиты секторов
				1	Обнаружена двойная ошибка при выполнении последней операции программирования или стирания или установки/снятия защиты секторов
3	SEC_V	Бит обнаружения одиночной ошибки при верификации	R	0	Одиночных ошибок не обнаружено при выполнении последней операции программирования или стирания или установки/снятия защиты секторов
				1	Обнаружена и исправлена одиночная ошибка при выполнении последней операции программирования или стирания или установки/снятия защиты секторов
2	DED_R	Бит обнаружения двойной ошибки при чтении	R	0	Двойных ошибок при чтении не обнаружено
				1	Обнаружена двойная ошибка во время последней операции чтения
1	SEC_R	Бит обнаружения одиночной ошибки при чтении	R	0	Одиночных ошибок при чтении не обнаружено
				1	Обнаружена и исправлена одиночная ошибка во время последней операции чтения
0	ECC_EN	Бит разрешения обнаружения и исправления ошибок	R	1	Разрешено обнаружение и исправление ошибок
Примечание – Обозначение доступа:					

Номер бита	Название бита	Доступ	Описание
R – только чтение			

6.24.2 Бит DED_V

Бит DED_V сигнализирует об обнаружении двойной ошибки при выполнении последней запущенной команды программирования/стирания или установки/снятия защиты секторов (Program, DIProgram, QIProgram, SErase, BErase, CErase, CBErase, Protect, Unprotect). Обнаружение двойной ошибки означает, что данные при выполнении последней запущенной операции программирования/стирания или установки/снятия защиты секторов не были скорректированы блоком помехоустойчивого кодирования, поскольку встроенный алгоритм SECDED позволяет исправлять только одиночные ошибки.

6.24.3 Бит SEC_V

Бит SEC_V сигнализирует об обнаружении и исправлении одиночной ошибки при выполнении последней запущенной команды программирования/стирания или установки/снятия защиты секторов (Program, DIProgram, QIProgram, SErase, BErase, CErase, CBErase, Protect, Unprotect). Обнаружение и исправление одиночной ошибки означает, что данные при выполнении последней запущенной операции программирования/стирания или установки/снятия защиты секторов были скорректированы блоком помехоустойчивого кодирования.

6.24.4 Бит DED_R

Бит DED_R сигнализирует об обнаружении двойной ошибки во время последней операции чтения или чтения регистра защиты секторов (Read, FRead, DORead, QORead, ProtectRead). Обнаружение двойной ошибки означает, что данные при чтении не были скорректированы блоком помехоустойчивого кодирования, поскольку встроенный алгоритм SECDED позволяет исправлять только одиночные ошибки.

6.24.5 SEC_R бит

Бит SEC_R сигнализирует об обнаружении и исправлении одиночной ошибки во время последней операции чтения или чтения регистра защиты секторов (Read, FRead, DORead, QORead, ProtectRead). Обнаружение и исправление одиночной ошибки означает, что данные при чтении были скорректированы блоком помехоустойчивого кодирования.

6.24.6 Бит ECC_EN

Бит ECC_EN – это бит разрешения обнаружения и исправления ошибок при выполнении операций программирования/стирания, установки/снятия защиты секторов,

чтения и чтения регистра защиты секторов. В данной версии микросхемы этот бит всегда в состоянии логической «1», соответственно блок помехоустойчивого кодирования производит обнаружении двойной и исправлении одиночной ошибок при выполнении вышеупомянутых операций.

6.25 Операция сброса

В некоторых приложениях необходимо преждевременно прервать операцию программирования или стирания. Команда Reset позволяет немедленно прервать любую исполняемую операцию и вернуть микросхему в состояние ожидания кода команды. Для этого нет необходимости в передаче команды WriteEn перед подачей команды Reset. То есть команда Reset не зависит от состояния бита WEL регистра статуса 1.

При выполнении команды Reset линия nCS должна быть в состоянии логического «0», код команды F0h загружен в модуль памяти. Адресные байты не передаются в этой команде, но необходимо передать подтверждающий байт D0h сразу после кода операции. Любые дополнительные байты, передаваемые в модуль памяти после подтверждающего байта, игнорируются. Когда линия nCS переходит в состояние логической «1», текущая исполняемая операция прерывается. Микросхема перейдет в состояние ожидания кода команды за время не более 40 мкс при прерывании операции программирования или стирание сектора и за время не более 180 мкс при прерывании операции стирания блока или всей микросхемы. Если операция программирования или стирания прерывается таким образом, результат её корректного выполнения не гарантируется.

Не рекомендуется прерывать операции программирования/стирания, поскольку это может снизить количество возможных циклов перезаписи и уменьшить ресурс микросхемы.

Команда Reset не оказывает влияния на биты энергонезависимого регистра защиты секторов, биты SPRL и QE регистра статуса 1, биты ABE, ABSD, ABSA регистра AutoBoot. Однако биты WEL, PS, ES будут сброшены в состояние по умолчанию. Если операция сброса выполняется во время приостановки стирания, приостановленная операция прерывается, и содержимое стираемой области остается в неопределенном состоянии. Если операция сброса выполняется во время приостановки программирования, приостановленная операция прерывается, и содержимое страницы, в которую производилось программирование, останется неопределенным. Остальные страницы в секторе, в котором расположена эта страница, сохранят свое предыдущее содержимое. Если операция сброса выполняется в момент, когда не активна ни одна из операций программирования или стирания, микросхема произведет реконфигурацию и станет доступна в пределах времени 2,5 мкс.

Код команды и подтверждающий байт должны быть полностью загружены в модуль памяти перед изменением линии nCS в состояние логической «1», то есть на границе байта (кратно 8 тактам SCK) иначе операция сброса не будет выполнена.

Временная диаграмма операции сброса приведена на рисунке 25.

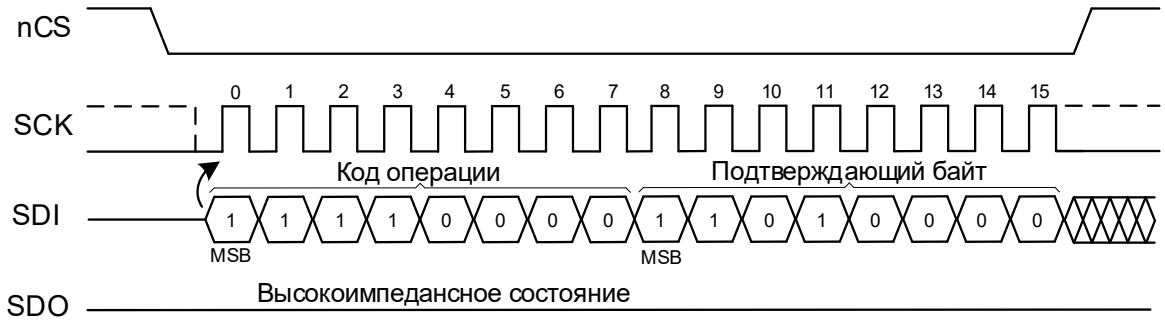


Рисунок 25 – Операция сброса

6.26 Операция чтения идентификационной информации микросхемы

Для чтения идентификационной информации используется команда IDRead. Для осуществления данной операции необходимо перевести линию nCS в состояние логического «0» и подать код команды 9Fh. После этого микросхема начинает выдачу идентификационных данных на линию SDO на каждом такте SCK. Первые байт – идентификационный код производителя, следующий байт – идентификационный код микросхемы. После этого происходит повтор выдачи данных до перевода линии nCS в состояние логической «1», которое прекращает операцию чтения и переводит линию SDO в высокоимпедансное состояние. Изменение линии nCS возможно в любое время, то есть чтение полного байта не требуется.

Значение байт идентификационной информации приведено в таблице 10.

Таблица 10 – Значение байт идентификационной информации

Номер байта	Тип	Значение
1	Идентификационный код производителя	01h
2	Идентификационный код микросхемы	DCh

Временная диаграмма операции чтения идентификационной информации приведена на рисунке 26.

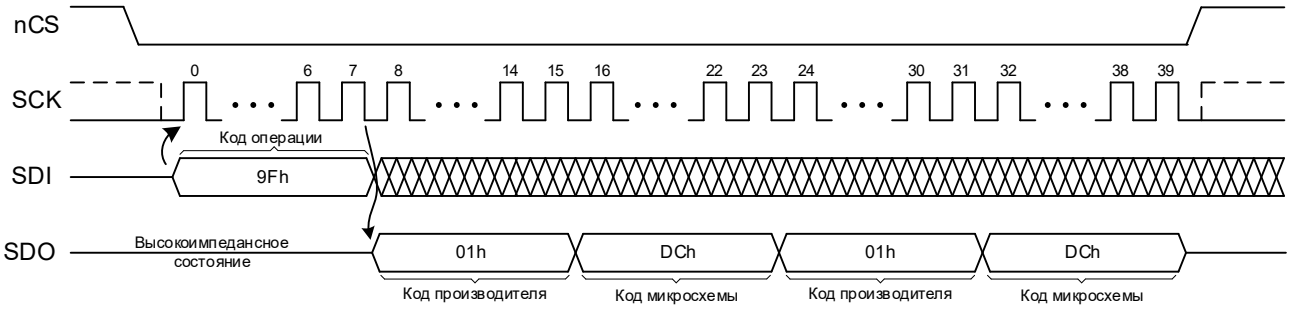


Рисунок 26 – Операция чтения идентификационной информации микросхемы

6.27 Операция чтения SFDP параметров микросхемы

Стандарт Serial Flash Discoverable Parameter (SFDP) обеспечивает последовательный метод описания функциональных возможностей последовательных флэш-устройств в стандартном наборе таблиц внутренних параметров. Эти таблицы

параметров могут опрашиваться программным обеспечением хост-системы для внесения корректировок, необходимых для размещения различных функций от разных производителей. SFDP является стандартом JEDEC, JESD216. Концепция аналогична той, что изложена во введении к стандарту JEDEC JESD68 по CFI (Common Flash Interface).

Команда SFDPRead с кодом 5Ah применяется для чтения данных из встроенной таблицы SFDP с частотой до 100 МГц. Эта командная последовательность такая же, как и для операции чтения с командой FRead: линия nCS должна быть установлена в состояние логического «0», и код команды (1 байт: 5Ah) передан в микросхему. После передачи кода команды должен быть передан адрес (3 байта), определяющий стартовый адрес первого слова для чтения внутри таблицы SFDP (от 00h до 4Fh). Следом за адресными байтами должен быть передан один фиктивный байт данных.

После передачи всей необходимой командной последовательности производится выдача данных на линию SDO. Данные передаются побайтно, начиная с младшего. Каждый байт данных выставляется на шину старшим разрядом вперёд (MSB). Если считано последнее слово (адрес 4Fh) таблицы SFDP, микросхема продолжает чтение, но на выходе будут неизвестные данные. При установке линии nCS в состояние логической «1» операция чтения прекращается, и линия SDO переходит в высокоимпедансное состояние. Рекомендуется завершать операцию чтения на границе байта.

Временная диаграмма операции чтения SFDP приведена на рисунке 27.

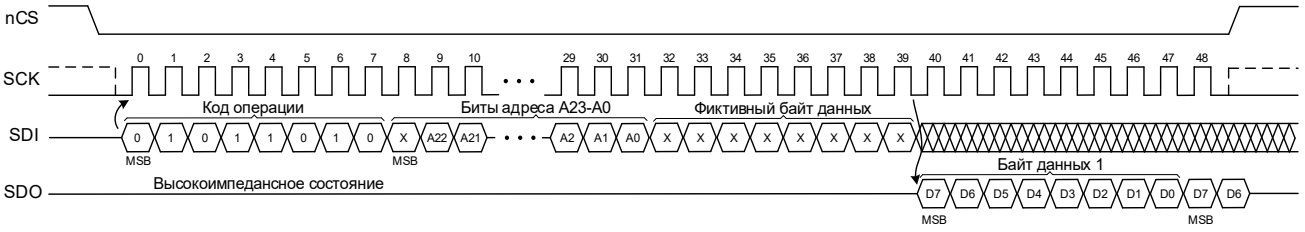


Рисунок 27 – Операция чтения SFDP параметров микросхемы

Данные таблицы параметров SFDP приведены в таблице 11.

Таблица 11 – Таблица параметров последовательных флэш-устройств (SFDP)

Байт адреса	Бит адреса	Данные	Описание
Заголовок SFDP таблицы: 1-ое слово (SFDP Header: 1st DWORD)			
00h	A7:A0	53h	**Аббревиатура «SFDP» в формате ASCII** ASCII “S”
01h	A15:A8	46h	ASCII “F”
02h	A23:A16	44h	ASCII “D”
03h	A31:A24	50h	ASCII “P”
Заголовок SFDP таблицы: 2-ое слово (SFDP Header: 2nd DWORD)			
04h	A7:A0	06h	**Версия SFDP: дополнительный номер** 06h – JEDEC JESD216 Revision B

Байт адреса	Бит адреса	Данные	Описание
05h	A15:A8	01h	**Версия SFDP: основной номер** 01h – номер версии, совместимый с любым программным обеспечением, использующем таблицу SFDP
06h	A23:A16	00h	**Количество заголовков таблицы параметров флэш-устройств** 00h – один заголовок таблицы параметров флэш-устройств
07h	A31:A24	FFh	**Не используется** FFh – по умолчанию
Заголовок таблицы параметров: 1-ое слово (Parameter Header: 1st DWORD)			
08h	A7:A0	00h	**Идентификационный номер** 00h – указывает, что таблица параметров определена JEDEC JC-42.4
09h	A15:A8	06h	**Дополнительный номер версии таблицы SFDP** 06h – JESD216 revision B
0Ah	A23:A16	01h	**Основной номер версии таблицы SFDP** 01h – номер версии, совместимый с любым программным обеспечением, использующем таблицу SFDP
0Bh	A31:A24	10h	**Длинна таблицы параметров в словах** 10h – 16 слов, каждое слово 4 байта данных
Заголовок таблицы параметров: 2-ое слово (Parameter Header: 2nd DWORD)			
0Ch	A7:A0	10h	**Указатель адреса начала таблицы параметров (3 байта)** 10h – 0-ой байт адреса начала таблицы параметров
0Dh	A15:A8	00h	00h – 1-ый байт адреса начала таблицы параметров
0Eh	A23:A16	00h	00h – 2-ой байт адреса начала таблицы параметров
0Fh	A31:A24	FFh	**Не используется** FFh – по умолчанию
Таблица параметров: 1-ое слово (JEDEC Basic Flash Parameter Table: 1st DWORD)			
10h	A1:A0	FFh	**Размер стираемого блока/сектора** 11b – для флэш-устройств, не поддерживающих стирание блока/сектора размером 4 Кбайта
	A2		**Гранулярность записи** 1b – для флэш-устройств с программированием буфером размером 64 байта и больше
	A3		**Инструкция разрешения записи, необходимая для записи в энергозависимый регистр статуса** 1b – для флэш-устройств, требующих запись 00h в регистр статуса для разрешения операций программирование/стирание
	A4		**Код команды разрешения записи для записи в энергозависимый регистр статуса** 1b – код – 06h (если бит A3 установлен в 1) Примечание – Если регистр статуса флэш-памяти является энергонезависимым, то биты A3 и A4 устанавливаются в 00b
	A7:A5		**Не используется** 111b – по умолчанию
11h	A15:A8	FFh	**Код команды стирания блока/сектора размером 4 Кбайта** FFh – для флэш-устройств, не поддерживающих стирание блока/сектора размером 4 Кбайта

Байт адреса	Бит адреса	Данные	Описание
12h	A16	C1h	**Поддержка (1-1-2) быстрого чтения (Fast Read)** 1b – для флэш-устройств, поддерживающих (1-1-2) быстрое чтение Примечания: 1 (1-1-2) – означает, что код команды задается только по 1-ой входной линии (SDI), адрес также задается только по 1-ой входной линии (SDI), а данные выдаются по 2-м выходным линиям (SDI и SDO). 2 Быстрое чтение – это чтение на более высокой частоте реализуемое за счет конвейеризации выходных данных в течении N тактов ожидания после подачи кода команды и адреса
	A18:A17		**Количество байтов адреса** Количество байтов, используемых при адресации к матрице ячеек памяти флэш при проведении операций чтение, программирование и стирание. 00b: 3 байта адреса
	A19		**Поддержка передачи данных по фронту и спаду тактового сигнала** 0b – для флэш-устройств, не поддерживающих передачу данных по фронту и спаду тактового сигнала
	A20		**Поддержка (1-2-2) быстрого чтения (Fast Read)** 0b – для флэш-устройств, не поддерживающих (1-2-2) быстрое чтение Примечание – (1-2-2) – означает, что код команды задается по 1-ой входной линии (SDI), адрес задается по 2-м входным линиям (SDI и SDO) и данные выдаются также по 2-м выходным линиям (SDI и SDO)
	A21		**Поддержка (1-4-4) быстрого чтения (Fast Read)** 0b – для флэш-устройств, не поддерживающих (1-4-4) быстрое чтение Примечание – (1-4-4) – означает, что код команды задается по 1-ой входной линии (SDI), адрес задается по 4-м входным линиям (SDI, SDO, nWP, nHOLD) и данные выдаются также по 4-м выходным линиям (SDI, SDO, nWP, nHOLD)
	A22		**Поддержка (1-1-4) быстрого чтения (Fast Read)** 1 – для флэш-устройств, поддерживающих (1-1-4) быстрое чтение Примечание – (1-1-4) – означает, что код команды задается по 1-ой входной линии (SDI), адрес задается также по 1-ой входной линии (SDI), а данные выдаются по 4-м выходным линиям (SDI, SDO, nWP, nHOLD)
	A23		**Не используется** 1b – по умолчанию
13h	A31:A24	FFh	**Не используется** FFh – по умолчанию

Байт адреса	Бит адреса	Данные	Описание
Таблица параметров: 2-ое слово (JEDEC Basic Flash Parameter Table: 2nd DWORD)			
14h	A7:A0	FFh	**Информационная емкость флэш** 03FFFFFFh – 64 Мбит
15h	A15:A8	FFh	
16h	A23:A16	FFh	
17h	A31:A24	03h	
Таблица параметров: 3-е слово (JEDEC Basic Flash Parameter Table: 3rd DWORD)			
18h	A4:A0	00h	**(1-4-4) быстрое чтение. Необходимое количество тактов ожидания до появления корректных данных** 00000b – такты ожидания не требуются, так как (1-4-4) быстрое чтение не поддерживается
	A7:A5		**(1-4-4) быстрое чтение. Количество тактов SCK, необходимых для передачи битов режима** 000b – такты SCK для передачи битов режима не требуются, так как (1-4-4) быстрое чтение не поддерживается
19h	A15:A8	FFh	**(1-4-4) быстрое чтение. Код команды** FFh – (1-4-4) быстрое чтение не поддерживается
1Ah	A20:A16	08h	**(1-1-4) быстрое чтение. Необходимое количество тактов ожидания до появления корректных данных** 01000b – требуется 8 тактов ожидания до появления корректных данных
	A23:A21		**(1-1-4) быстрое чтение. Количество тактов SCK, необходимых для передачи битов режима** 000b – передача битов режима не поддерживается
1Bh	A31:A24	6Bh	**(1-1-4) быстрое чтение. Код команды** 6Bh – код команды (1-1-4) быстрого чтения
Таблица параметров: 4-е слово (JEDEC Basic Flash Parameter Table: 4th DWORD)			
1Ch	A4:A0	08h	**(1-1-2) быстрое чтение. Необходимое количество тактов ожидания до появления корректных данных** 01000b – требуется 8 тактов ожидания до появления корректных данных
	A7:A5		**(1-1-2) быстрое чтение. Количество тактов SCK, необходимых для передачи битов режима** 000b – передача битов режима не поддерживается
1Dh	A15:A8	3Bh	**(1-1-2) быстрое чтение. Код команды** 3Bh – код команды (1-1-2) быстрого чтения
1Eh	A20:A16	00h	**(1-2-2) быстрое чтение. Необходимое количество тактов ожидания до появления корректных данных** 00000b – такты ожидания не требуются, так как (1-2-2) быстрое чтение не поддерживается
	A23:A21		**(1-2-2) быстрое чтение. Количество тактов SCK, необходимых для передачи битов режима** 000b – такты SCK для передачи битов режима не требуются, так как (1-2-2) быстрое чтение не поддерживается
1Fh	A31:A24	FFh	**(1-2-2) быстрое чтение. Код команды** FFh – (1-2-2) быстрое чтение не поддерживается

Байт адреса	Бит адреса	Данные	Описание
Таблица параметров: 5-е слово (JEDEC Basic Flash Parameter Table: 5th DWORD)			
20h	A0	EEh	**Поддержка (2-2-2) быстрого чтения (Fast Read)** 0b – для флэш-устройств, не поддерживающих (2-2-2) быстрое чтение. Примечание – (2-2-2) – означает, что код команды задается по 2-м входным линиям (SDI и SDO), адрес задается по 2-м входным линиям (SDI и SDO) и данные выдаются также по 2-м выходным линиям (SDI и SDO)
	A3:A1		**Не используются** 111b – по умолчанию
	A4		**Поддержка (4-4-4) быстрого чтения (Fast Read)** 0b: Для флэш-устройств, НЕ поддерживающих (4-4-4) быстрое чтение. Примечание – (4-4-4) – означает, что код команды задается по 4 м входным линиям (SDI, SDO, nWP, nHOLD), адрес также задается по 4-м входным линиям (SDI, SDO, nWP, nHOLD) и данные выдаются по 4-м выходным линиям (SDI, SDO, nWP, nHOLD)
	A7:A5		**Не используются** 111b – по умолчанию
21h	A15:A8	FFh	**Не используются** FFh – по умолчанию
22h	A23:A16	FFh	**Не используются** FFh – по умолчанию
23h	A31:A24	FFh	**Не используются** FFh – по умолчанию
Таблица параметров: 6-е слово (JEDEC Basic Flash Parameter Table: 6th DWORD)			
24h	A7:A0	FFh	**Не используются** FFh – по умолчанию
25h	A15:A8	FFh	**Не используются** FFh – по умолчанию
26h	A20:A16	00h	**(2-2-2) быстрое чтение. Необходимое количество тактов ожидания до появления корректных данных** 00000b – такты ожидания не требуются, так как (2-2-2) быстрое чтение не поддерживается
	A23:A21		**(2-2-2) быстрое чтение. Количество тактов SCK, необходимых для передачи битов режима** 000b – такты SCK для передачи битов режима не требуются, так как (2-2-2) быстрое чтение не поддерживается
27h	A31:A24	FFh	**(2-2-2) быстрое чтение. Код команды** FFh – (2-2-2) быстрое чтение не поддерживается
Таблица параметров: 7-е слово (JEDEC Basic Flash Parameter Table: 7th DWORD)			
28h	A7:A0	FFh	**Не используются** FFh – по умолчанию
29h	A15:A8	FFh	**Не используются** FFh – по умолчанию

Байт адреса	Бит адреса	Данные	Описание
2Ah	A20:A16	00h	**(4-4-4) быстрое чтение. Необходимое количество тактов ожидания до появления корректных данных** 00000b – такты ожидания не требуются, так как (4-4-4) быстрое чтение не поддерживается
	A23:A21		**(4-4-4) быстрое чтение. Количество тактов SCK, необходимых для передачи битов режима** 000b – такты SCK для передачи битов режима не требуются, так как (4-4-4) быстрое чтение не поддерживается
2Bh	A31:A24	FFh	**(4-4-4) быстрое чтение. Код команды** FFh – (4-4-4) быстрое чтение не поддерживается
Таблица параметров: 8-е слово (JEDEC Basic Flash Parameter Table: 8th DWORD)			
2Ch	A7:A0	0Dh	**Стираемая область 1. Размер** Количество байт. Указывается, как степень 2. 0Dh – размер стираемой области – сектор 8 Кбайт (2^{13} байт)
2Dh	A15:A8	20h	**Стираемая область 1. Код команды** 20h – код команды стирания сектора размером 8 Кбайт
2Eh	A23:A16	15h	**Стираемая область 2. Размер** Количество байт. Указывается, как степень 2. 15h – размер стираемой области – блок 2 Мбайта (2^{21} байт)
2Fh	A31:A24	D8h	**Стираемая область 2. Код команды** D8h – код команды стирания блока размером 2 Мбайта
Таблица параметров: 9-е слово (JEDEC Basic Flash Parameter Table: 9th DWORD)			
30h	A7:A0	00h	**Стираемая область 3. Размер** Количество байт. Указывается, как степень 2. 00h: область не существует
31h	A15:A8	FFh	**Стираемая область 3. Код команды** FFh: область не существует
32h	A23:A16	00h	**Стираемая область 4. Размер** Количество байт. Указывается, как степень 2. 00h – область не существует
33h	A31:A24	FFh	**Стираемая область 4. Код команды** FFh – область не существует
Таблица параметров: 10-е слово (JEDEC Basic Flash Parameter Table: 10th DWORD)			
34h	A3:A0	F0h	**Коэффициент отношения типичного значение времени стирания к максимальному значение времени стирания** Коэффициент вычисляется по формуле $N = T_{MAX}/(2 \cdot T_{TYP}) - 1$), где T_{MAX} – максимальное значение времени стирания; T_{TYP} – типичное значение времени стирания. 0000b – N = 0 – максимальное значение времени стирания в 2 раза больше типичного значение времени стирания
	A7:A4		**Стираемая область 1. Типичное значение времени стирания** Типичное значение времени стирания задается по формуле

Байт адреса	Бит адреса	Данные	Описание
35h	A10:A8	18h	T_{TYP} = (Count+1)·Units, где Count = A8:A4 – значение от 0 до 31; Units = A10:A9 – единицы измерения времени (00b – 1 мс; 01b – 16 мс; 10b – 128 мс; 11b – 1 с). A8:A4 = 01111b – Count = 15; A10:A9 = 00b – Units = 1 мс Типичное значение времени стирания сектора размером 8 Кбайт (15 + 1)·1 мс = 16 мс
	A15:A11		**Стираемая область 2. Типичное значение времени стирания** Типичное значение времени стирания задается по формуле T_{TYP} = (Count+1)·Units, где Count = A15:A11 – значение от 0 до 31; Units = A17:A16 – единицы измерения времени (00b – 1 мс; 01b – 16 мс; 10b – 128 мс; 11b – 1 с). A15:A11 = 00011b – Count = 3; A17:A16 = 01b – Units = 16 мс Типичное значение времени стирания блока размером 2 Мбайта (3 + 1)·16 мс = 64 мс
36h	A17:A16	01h	
	A23:A18		**Стираемая область 3. Типичное значение времени стирания** A24:A18 = 0000000b – область не существует
37h	A24	00h	
	A31:A25		**Стираемая область 4. Типичное значение времени стирания** A31:A25 = 0000000b – область не существует
Таблица параметров: 11-е слово (JEDEC Basic Flash Parameter Table: 11th DWORD)			
38h	A3:A0	90h	**Коэффициент отношения типичного значение времени программирования к максимальному значению времени программирования** Коэффициент вычисляется по формуле N = $T_{MAX}/(2 \cdot T_{TYP}) - 1$), где T_{MAX} – максимальное значение времени программирования; T_{TYP} – типичное значение времени программирования. 0000b – N = 0 – максимальное значение времени программирования в 2 раза больше типичного значение времени программирования
	A7:A4		**Размер страницы** Указывается, как степень 2. 1001b – размер программируемой области – страница 512 байт (2^9 байт)

Байт адреса	Бит адреса	Данные	Описание
39h	A13:A8	39h	**Типичное значение времени программирования страницы** Типичное значение времени программирования страницы задается по формуле T_{TYP} = (Count+1)·Units, где Count = A12:A8 – значение от 0 до 31; Units = A13 – единицы измерения времени (0b – 8 мкс; 1b – 64 мкс). A12:A8 = 11001b – Count = 25; A13 = 1b – Units = 64 мкс. Типичное значение времени программирования страницы размером 512 байт задается по формуле T_{TYP} = (25+1)·64 мкс = 1664 мкс
	A15:A14		**Типичное значение времени программирования первого байта** A18:A14 = 00000b – программирование байта не поддерживается флэш-устройством
3Ah	A18:A16	00h	
	A23:A19		**Типичное значение времени программирования дополнительного байта** A23:A19 = 00000b – программирование байта не поддерживается флэш-устройством
3Bh	A30:A24	8Dh	**Типичное значение времени стирания микросхемы** Типичное значение времени стирания микросхемы задается по формуле T_{TYP} = (Count+1)·Unit, где Count = A28:A24 – значение от 0 до 31; Units = A30:A29 – единицы измерения времени (00b – 16 мс; 01b – 256 мс; 10b – 4 с; 11b – 64 с). A28:A24 = 01101b – Count = 13; A30:A29 = 00b – Units = 16 мс. Типичное значение времени стирания микросхемы (13+1)·16 мс = 224 мс
	A31		**Не используется** 1b – по умолчанию
Таблица параметров: 12-е слово (JEDEC Basic Flash Parameter Table: 12th DWORD)			
3Ch	A3:A0	ECh	**Запрещенные операции во время приостановки программирования** A0=0b – операция стирания запрещена для любой области памяти; A1=0b – новая операция программирования страницы запрещена для любой области памяти; A2=1b – операция чтения запрещена только для страницы, в которой приостановлено программирование; A3=1b – нет дополнительных ограничений на операции программирования и стирания. A3:A0 = 1100b = Ch

Байт адреса	Бит адреса	Данные	Описание
	A7:A4		**Запрещенные операции во время приостановки стирания** A4=0b – новая операция стирания запрещена для любой области памяти; A5=1b – операция программирования страницы запрещена только для блока, в котором приостановлено стирание; A6=1b – операция чтения запрещена только для блока, в котором приостановлено стирание; A7=1b – нет дополнительных ограничений на операции программирования и стирания. A7:A4 = 1110b = Eh
3Dh	A8	C3h	**Не используется** 1b – по умолчанию
	A12:A9		**Временной интервал между возобновлением программирования и очередной приостановкой** Типичное значение временного интервала между возобновлением программирования и очередной приостановкой задается по формуле T_{TYP} = (Count+1)·64 мкс, где Count = A12:A9 – значение от 0 до 15. 0001b – Count = 1. Типичное значение временного интервал между возобновлением программирования и очередной приостановкой (1+1)·64 мкс = 128 мкс
	A15:A13		**Время приостановки программирования** Максимальное время, необходимое флэш-устройству для приостановки операции программирования и готовности принимать коды разрешенных команд. Максимальное значение времени приостановки программирования страницы задается по формуле t_{SUSP_PR} = (Count+1)·Unit, где Count = A17:A13 – значение от 0 до 31; Units = A19:A18 – единицы измерения времени (00b – 128 нс; 01b – 1 мкс; 10b – 8 мкс; 11b – 64 мкс). A17:A13 = 00110b – Count = 6; A19:A18 = 10b – Units = 8 мкс. Максимальное значение времени приостановки программирования страницы (6+1)·8 мкс = 56 мкс
3Eh	A19:A16	18h	
	A23:A20		**Временной интервал между возобновлением стирания и очередной приостановкой** Типичное значение временного интервал между возобновлением стирания и очередной приостановкой задается по формуле T_{TYP} = (Count+1)·64 мк, где Count = A23:A20 – значение от 0 до 15. A23:A20 = 0001b – Count = 1 Типичное значение временного интервала между возобновлением стирания и очередной приостановкой (1+1)·64 мкс = 128 мкс

Байт адреса	Бит адреса	Данные	Описание
3Fh	A30:A24	03h	**Время приостановки стирания** Максимальное время, необходимое флэш-устройству для приостановки операции стирания и готовности принимать коды разрешенных команд. Максимальное значение времени приостановки стирания задается по формуле t_{SUSP_ER} = (Count+1)·Units, где Count = A28:A24 – значение от 0 до 31; Units = A30:A29 – единицы измерения времени (00b – 128 нс; 01b – 1 мкс; 10b – 8 мкс; 11b – 64 мкс). A28:A24 = 00011b – Count = 3; A30:A29 = 00b – Units = 128 нс. Максимальное значение времени приостановки стирания сектора/блока (3+1)·128 нс = 512 нс
	A31		**Поддержка операций приостановки/возобновления программирования/стирания** 0b: Для флэш-устройств, поддерживающих операции приостановки/возобновления
Таблица параметров: 13-е слово (JEDEC Basic Flash Parameter Table: 13th DWORD)			
40h	A7:A0	D0h	**Код команды возобновления операции программирования**
41h	A15:A8	B0h	**Код команды приостановки операции программирования**
42h	A23:A16	D0h	**Код команды возобновления операции стирания**
43h	A31:A24	B0h	**Код команды приостановки операции стирания**
Таблица параметров: 14-е слово (JEDEC Basic Flash Parameter Table: 14th DWORD)			
44h	A1:A0	F7h	**Не используются** 11b – по умолчанию
	A3:A2		**Отслеживание статуса операции** 01b – Для флэш-устройств, поддерживающих устаревший способ отслеживания статуса операции с помощью инструкции 05h и проверки бита 0 (BUSY) регистра статуса: – если BUSY = 0 – флэш-устройство готово; – если BUSY = 1 – флэш-устройство занято выполнением операции
	A7:A4		**Не используются** 1111b – по умолчанию

Байт адреса	Бит адреса	Данные	Описание
45h	A14:A8	A7h	**Время выхода микросхемы из режима пониженного энергопотребления** Время выхода микросхемы из режима пониженного энергопотребления задается по формуле t_{SLP_OFF} = (Count+1)·Units, где Count = A12:A8 – значение от 0 до 31; Units = A14:A13 – единицы измерения времени (00b – 128 нс; 01b – 1 мкс; 10b – 8 мкс; 11b – 64 мкс). A12:A8 = 00111b – Count = 7; A14:A13 = 01b – Units = 1 мкс. Время выхода микросхемы из режима пониженного энергопотребления задается по формуле t_{SLP_OFF} = (7+1)·1 мкс = 8 мкс
	A15		**Код команды выхода из режима пониженного энергопотребления** A22:A15 = 10101011b – ABh – код команды выхода из режима пониженного энергопотребления
46h	A22:A16	D5h	
	A23		**Код команды входа в режим пониженного энергопотребления** A30:A23 = 10111001b – B9h – код команды входа в режим пониженного энергопотребления
47h	A30:A24	5Ch	
	A31		**Поддержка режима пониженного энергопотребления** 0b – для флэш-устройств, поддерживающих режим пониженного энергопотребления
Таблица параметров: 15-е слово (JEDEC Basic Flash Parameter Table: 15th DWORD)			
48h	A3:A0	00h	**Отключение режима 4-4-4** 0000b – режим 4-4-4 не поддерживается флэш-устройством
	A7:A4		**Включение режима 4-4-4** A8:A4 = 00000b – режим 4-4-4 не поддерживается флэш-устройством
49h	A8	90h	
	A9		**Поддержка режима 0-4-4** 0b – режим 0-4-4 не поддерживается флэш-устройством
	A15:A10		**Выход из режима 0-4-4** 100100b – режим 0-4-4 не поддерживается флэш-устройством
4Ah	A19:A16	28h	**Вход в режим 0-4-4** 1000b – режим 0-4-4 не поддерживается флэш-устройством
	A22:A20		**Требования к включению режима 1-1-4 (QUAD)** В этом поле указывается, содержит ли флэш-устройство бит QE, используемый для включения режима 1-1-4 (QUAD). Если QE существует, то в этом поле также определяет местоположение бита и метод установки/сброса бита. 010b – QE – это бит №6 регистра статуса 1. Он устанавливается и сбрасывается с помощью команды записи в регистр статуса 1 (SR1Write). Запись в бит QE логической «1» производит включение режима 1-1-4 (QUAD), запись логического «0» – отключение режима 1-1-4 (QUAD)

Байт адреса	Бит адреса	Данные	Описание
	A23		**Отключение HOLD или Reset** В этом поле определяется, можно ли отключить HOLD или RESET через регистр конфигурации. 0b – отключение HOLD или Reset не поддерживается флэш-устройством
4Bh	A31:A24	FFh	**Не используются** FFh – по умолчанию
Таблица параметров: 16-е слово (JEDEC Basic Flash Parameter Table: 16th DWORD)			
4Ch	A6:A0	F0h	**Энергозависимый или энергонезависимый регистр статуса 1** A4:A0 = 10000b – регистр статуса 1 содержит как энергозависимые биты, так и энергонезависимые. Для записи в регистр статуса 1 необходимо предварительно подать команду разрешения записи (код – 06h); A6:A5 = 11b – не используются
	A7		**Не используется** 1b – по умолчанию
4Dh	A13:A8	08h	**Поддержка программного сброса и последовательности восстановления** В этом поле указывается, как вернуть флэш-устройство в состояние по умолчанию. 001000b – подать команду сброса (код – F0h)
	A15:A14		**Выход из режима 4-байтовой адресации** A21:A14 = 00000000b – 4-байтовая адресация не поддерживается флэш-устройством
4Eh	A21:A16	C0h	
	A23:A22		**Не используется** 11b: по умолчанию
4Fh	A31:A24	80h	**Вход в режим 4-байтовой адресации** 80h – 4-байтовая адресация не поддерживается флэш-устройством

6.28 Операция входа в режим пониженного потребления

Для входа в режим пониженного потребления используется команда InSleep. Когда устройство находится в этом режиме, все команды, за исключением OutSleep, будут игнорироваться. Режим пониженного потребления можно использовать, как дополнительный механизм защиты от непреднамеренных операций программирования и стирания.

Для выполнения команды InSleep необходимо передать в микросхему код команды B9h. Любые данные после передачи кода команды будут игнорироваться. После перевода линии nCS в логическую «1» микросхема перейдет в режим пониженного потребления в течение времени t_{SLP_ON}. nCS должен переключиться на границе байта (кратно 8 тактам SCK), в противном случае микросхема прервет операцию и вернется в режим ожидания.

Команда InSleep будет проигнорирована, если выполняется внутренняя операция программирования/стирания, установки/снятия защиты секторов или записи регистра статуса 1.

Временная диаграмма операции входа в режим пониженного потребления приведена на рисунке 28.

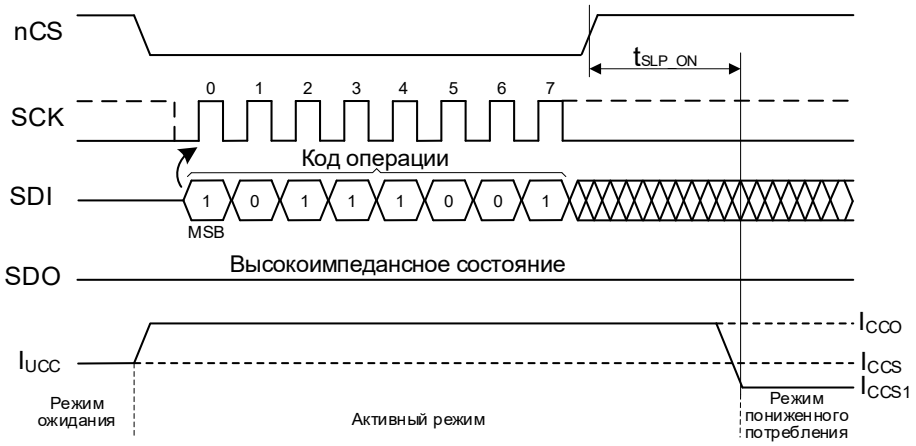


Рисунок 28 – Операция входа в режим пониженного потребления

6.29 Операция выхода из режим пониженного потребления

Чтобы выйти из режима пониженного потребления и возобновить нормальную работу устройства, необходимо подать команду OutSleep. Команда OutSleep является единственной командой, которую устройство воспринимает, находясь в этом режиме.

Для выхода из режима пониженного потребления необходимо передать в микросхему код команды ABh. Любые данные после передачи кода команды будут игнорироваться. После перевода линии nCS в логическую «1» микросхема выйдет из режима пониженного потребления в режим ожидания в течение времени t_{SLP_OFF}. nCS должен переключиться на границе байта (кратно 8 тактам SCK), в противном случае микросхема прервет операцию и останется в режиме пониженного потребления. После

возвращения устройства в режим ожидания становятся доступными операций чтение, программирование или стирание.

Временная диаграмма операции входа в режим пониженного потребления приведена на рисунке 29.

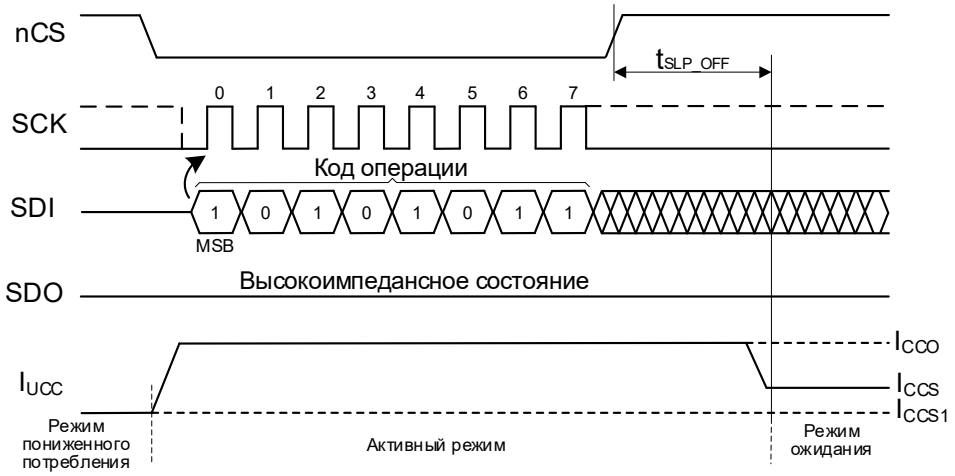


Рисунок 29 – Операция выхода из режима пониженного потребления

6.30 Режим автоматической загрузки

Режим автоматической загрузки позволяет хост-устройству получить загрузочные данные из микросхемы памяти без необходимости посылать команду чтения. Это экономит 32 и более стартовых тактов SCK и упрощает логику, необходимую для инициирования чтения загрузочных данных.

Для инициирования режима автоматической загрузки необходимо сбросить питание или подать команду Reset, затем перевести линию nCS из состояния логической «1» в «0» и начать переключать тактовый сигнал SCK. Данные начнутся выдаваться с адреса определенного в регистре автоматической загрузки и с задержкой, также определенной в этом регистре. По умолчанию минимальная задержка составляет 8 тактов SCK. Загрузка данных может осуществляться на частоте до 100 МГц.

Данные передаются побайтно, начиная с младшего. Каждый байт данных выставляется на шину старшим разрядом вперёд (MSB). Микросхема содержит внутренний счётчик адреса, который автоматически инкрементируется после каждого переданного байта данных. Если считано последнее слово (адрес 7FFFFFh) массива памяти, микросхема продолжает чтение с начала массива (адрес 000000h). Задержек при этом не происходит. Данные будут непрерывно выводиться до тех пор, пока nCS не переключится в состояние логической «1». При установке линии nCS в «1» операция чтения прекращается, микросхема выходит из режима автоматической загрузки и устанавливается режим ожидания, линия SDO или линии SDI/IO0, SDO/IO1, nWP/IO2 и nHOLD/IO3 (если бит QE=1) переходят в высокоимпедансное состояние. Если установить линию nCS в «1» до передачи первого байта данных, то микросхема останется в режиме автоматической загрузки. После перехода в режим ожидания устройство готово к приему всех команд из таблицы 5. Режим автозагрузки будет снова инициирован только после сброса питания или сброса командой Reset.

Если бит QE регистра статуса 1 установлен в «1», то считывание данных будет производиться на линиях SDI/IO0, SDO/IO1, nWP/IO2 и nHOLD/IO3 аналогично команде QORead. По первому такту SCK бит 7 первого байта данных появится на линии nHOLD/IO3, бит 6 этого же байта данных появится на линии nWP/IO2, бит 5 – на линии SDO/IO1, а бит 4 – на линии SDI/IO0. На следующем такте SCK биты 3, 2, 1 и 0 первого байта данных появятся на выходах nHOLD/IO3, nWP/IO2, SDO/IO1 и SDI/IO0 соответственно. Таким образом каждый байт данных будет выдаваться на выход за 2 такта SCK.

Если бит QE регистра статуса 1 установлен в «0», то считывание данных будет производится только на линии SDO аналогично команде FRead.

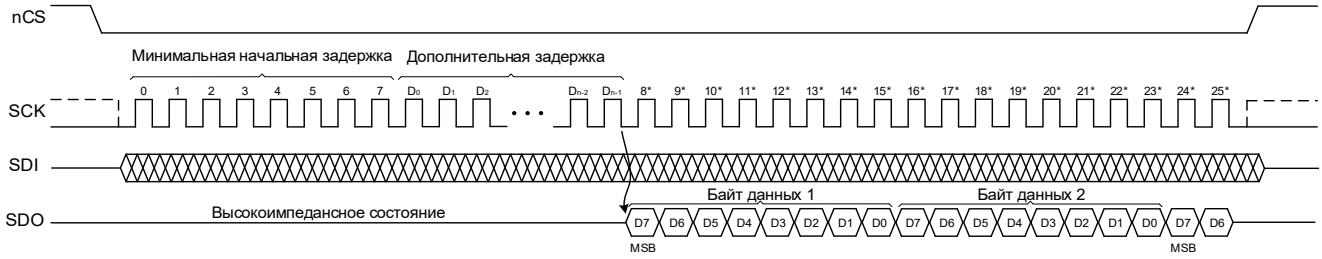


Рисунок 30 – Чтение в режиме автоматической загрузки, бит QE=0

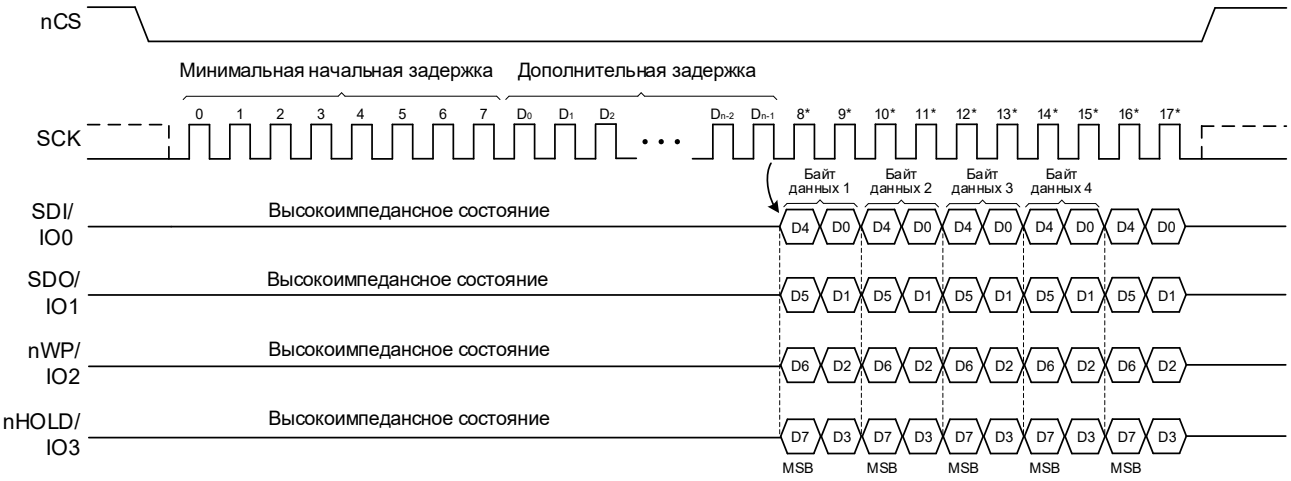


Рисунок 31 – Чтение в режиме автоматической загрузки, бит QE=1

6.31 Операция чтения конфигурационного регистра автоматической загрузки

6.31.1 Описание конфигурационного регистра автоматической загрузки

Регистр автоматической загрузки может быть прочитан для определения активности режима автоматической загрузки и конфигурации его работы. Регистр может быть прочитан в любое время, даже во время выполнения внутренних операций программирования и стирания.

Для чтения регистра автоматической загрузки необходимо установить линию nCS в состояние логического «0» и передать в микросхему код команды ABRRead

(1 байт: 14h). После получения кода команды микросхема начинает выдачу 3 байт данных регистра автозагрузки на линию SDO на каждом такте линии SCK. После выгрузки 3 байт выдача данных повторяется до тех пор, пока линия nCS остаётся в состоянии «0» и присутствуют импульсы на выводе SCK.

Временная диаграмма операции чтения конфигурационного регистра автоматической загрузки приведена на рисунке 32.

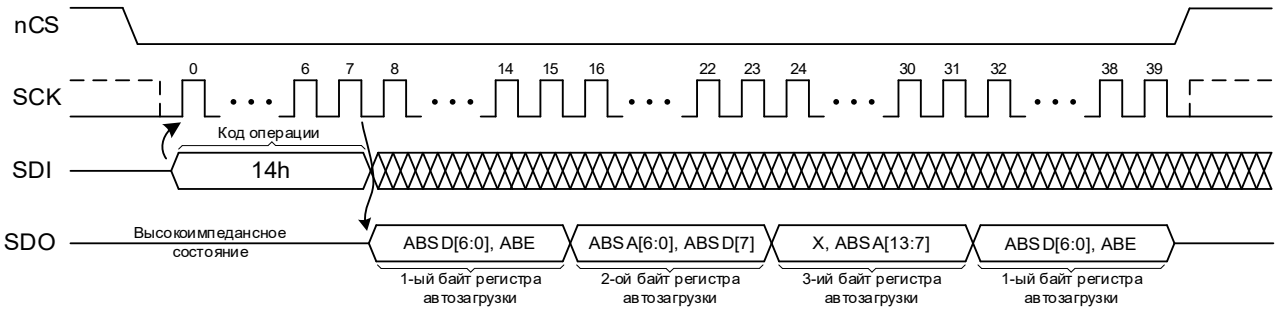


Рисунок 32 – Операция чтения конфигурационного регистра автоматической загрузки

Перевод линии nCS в состояние логической «1» прерывает операцию чтения конфигурационного регистра автоматической загрузки и переводит линию SDO в высокоимпедансное состояние. Изменение состояния линии nCS может происходить в любое время, чтения полного байта данных не требуется.

Назначение бит конфигурационного регистра автоматической загрузки приведено в таблице 12.

Таблица 12 – Назначение бит регистра AutoBoot

Номер бита	Название бита	Доступ	Описание	
23	-	-	Незначащий. Может принимать любое значение.	
22:9	ABSA[13:0]	R/W	Начальный адрес для чтения данных выровненный по границе 512-байтной страницы (A8 – A0 все 0). Задает старшие адреса A22 – A9 (по умолчанию при поставке адрес равен 0000h)	
8:1	ABSD[7:0]	R/W	Величина дополнительной начальной задержки в тактах SCK, которая будет добавлена к минимальным 8 тактам ожидания. (по умолчанию при поставке дополнительная задержка равна 00h)	
0	ABE	R/W	0	Режим автоматической загрузки выключен (по умолчанию при поставке)
			1	Режим автоматической загрузки включен
Примечание – Обозначение доступа: R/W – чтение и запись				

6.31.2 Бит ABE

Бит ABE применяется для включения/выключения режима автоматической загрузки. Когда этот бит установлен в «1», режим включен, соответственно по подъёму питания микросхема начнет выдавать данные и будет игнорировать команды, посылаемые на нее, пока не будет прочитан первый байт данных. Если бит ABE в состоянии «0», то по подъёму питания микросхема в обычном режиме и готова принимать любые команды из таблицы 5. Бит ABE хранится в энергонезависимом конфигурационном регистре и сохраняет свое состояние после выключения питания. По умолчанию при поставке бит ABE находится в состоянии «0». Для изменения состояния бита ABE применяется команда ABRWrite. Команда Reset не изменяет состояние бита ABE, но позволяет повторно инициировать выдачу данных, если ABE в «1» и ранее уже была произведена выдача данных.

6.31.3 Биты ABSD

Восемь бит ABSD предназначены для задания значения дополнительной начальной задержки в тактах SCK, которая будет добавлена к минимальным 8 тактам ожидания, от перевода линии nCS в состояние логического «0» до появления первых данных на выходе микросхемы. Величина дополнительной задержки может быть установлена от 2 до 256 тактов SCK, при ABSD = 0h дополнительная задержка не используется. Биты ABSD хранятся в энергонезависимом конфигурационном регистре и сохраняют свое состояние после выключения питания. По умолчанию при поставке биты ABSD находятся в состоянии «0». Для изменения состояния битов ABSD применяется команда ABRWrite. Команда Reset не изменяет состояние битов ABSD.

6.31.4 Биты ABSA

Четырнадцать бит ABSA предназначены для задания начального адреса для чтения данных в режиме автоматической загрузки. Начальный адрес выровнен по границе 512-байтной страницы (A8 – A0 все «0»). С помощью битов ABSA задаются старшие адреса A22 – A9. Биты ABSA хранятся в энергонезависимом конфигурационном регистре и сохраняют свое состояние после выключения питания. По умолчанию при поставке биты ABSA находятся в состоянии «0». Для изменения состояния битов ABSA применяется команда ABRWrite. Команда Reset не изменяет состояние битов ABSA.

6.32 Операция записи конфигурационного регистра автоматической загрузки

Эта операция необходима для модификации битов ABE, ABSD, ABSA регистра автоматической загрузки. Перед выполнением команды ABRWrite необходимо выдать команду WriteEn для установки бита WEL регистра статуса 1 в логическую «1».

При выполнении команды ABRWrite линия nCS должна быть в состоянии логического «0» и код команды 15h должен быть загружен в микросхему вместе с тремя байтами данных. Любые дополнительные байты данных, посылаемые после этого

микросхеме, игнорируются. После перевода линии nCS в состояние логической «1», микросхема начнёт запись нового значения битов ABE, ABSD, ABSA в ячейки памяти энергонезависимого конфигурационного регистра автоматической загрузки.

Для записи нового состояния битов ABE, ABSD, ABSA в ячейки памяти инициируется операция программирования/стирания. Время ожидания окончания операции записи битов ABE, ABSD, ABSA не менее $t_{CYW(NVR)}$. Во время записи этих битов рекомендуется пользоваться операцией чтения регистра статуса 1, который показывает статус выполнения внутренней операции. Это позволит сократить время ожидания выполнения операции.

Микросхема выполняет алгоритм детектирования ошибки при записи состояния битов ABE, ABSD, ABSA: в зависимости от того, на каком этапе записи энергонезависимого регистра (этап стирания или программирования) произошел сбой, могут быть установлены биты E_ERR или P_ERR регистра статуса 2.

Полные 3 байта данных должны быть загружены в модуль памяти перед изменением линии nCS в состояние логической «1», то есть на границе байта (кратно 8 тактам SCK), иначе микросхема прервёт операцию, состояние битов ABE, ABSD, ABSA не изменится, значение бита WEL регистра статуса 1 также не изменится.

Временная диаграмма операции записи энергонезависимого конфигурационного регистра автоматической загрузки приведена на рисунке 33.

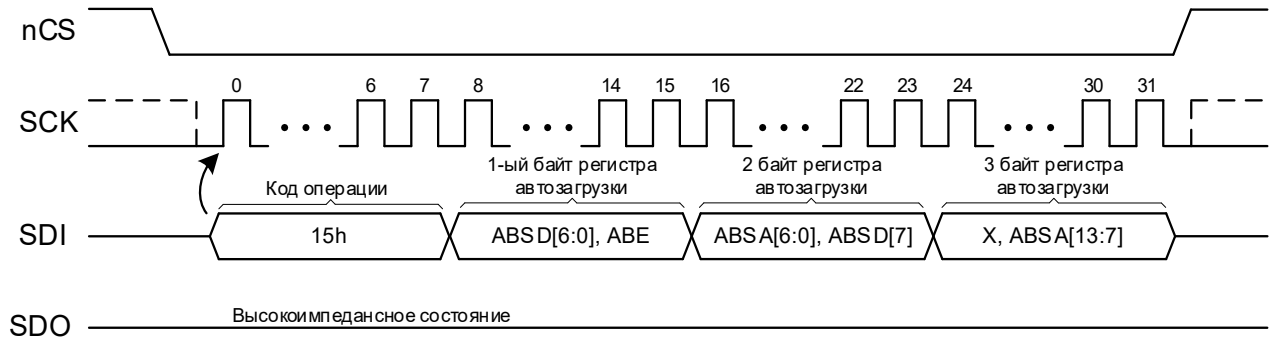
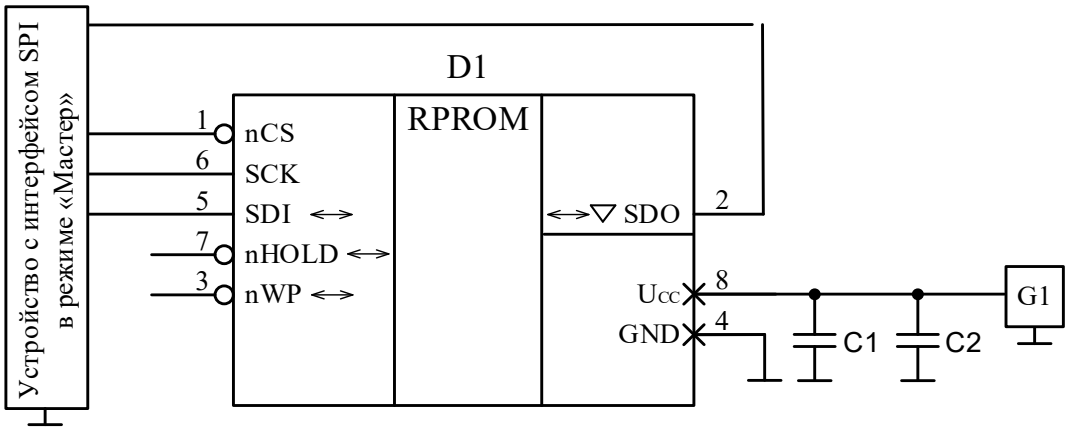


Рисунок 33 – Операция записи конфигурационного регистра автоматической загрузки

7 Типовая схема включения микросхем



C1 – конденсатор емкостью 0,1 мкФ ± 10 %;
C2 – конденсатор емкостью 10 мкФ ± 10 %;
D1 – микросхема MDR2306FI;
G1 – источник постоянного напряжения питания (1,8 – 3,6) В

Рисунок 34 – Типовая схема включения микросхемы при эксплуатации

8 Временные диаграммы

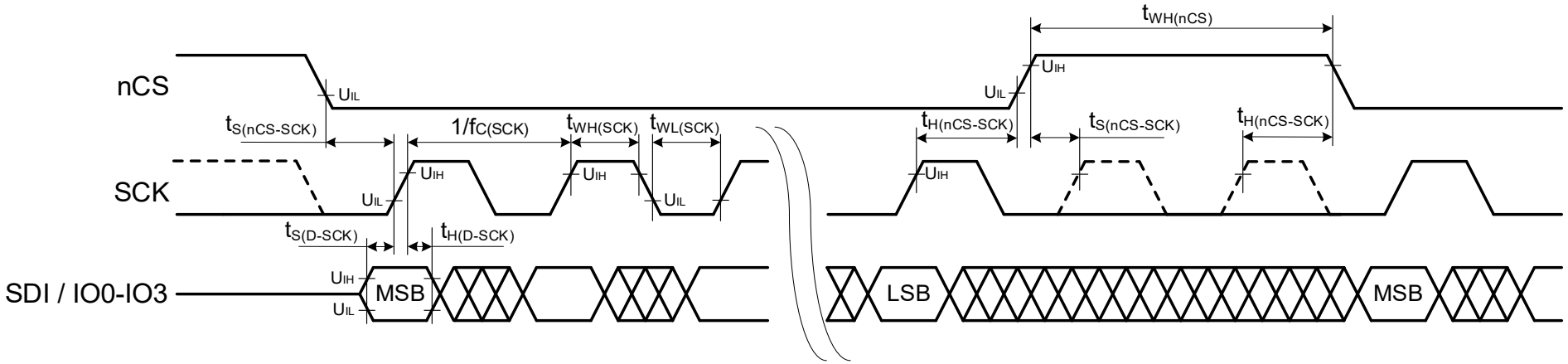


Рисунок 35 – Временная диаграмма записи по последовательному каналу SPI

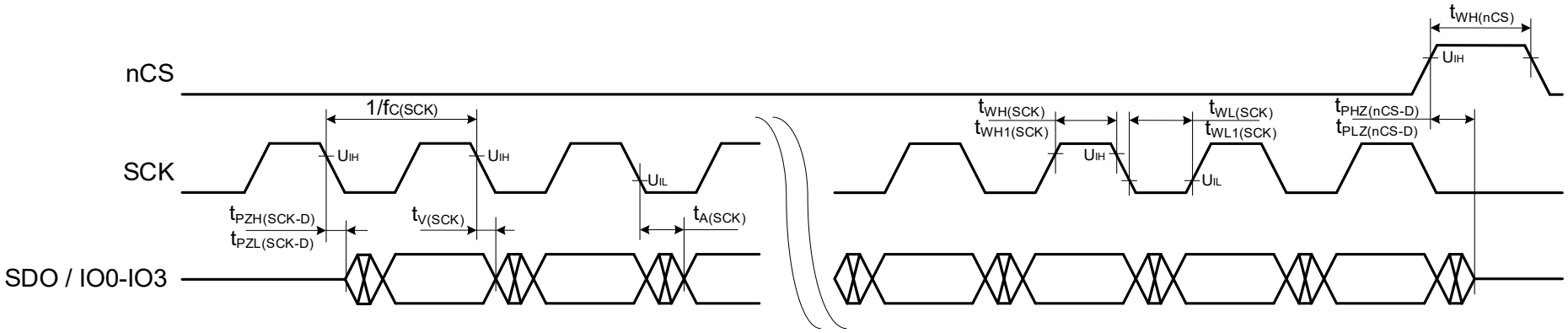


Рисунок 36 – Временная диаграмма чтения по последовательному каналу SPI

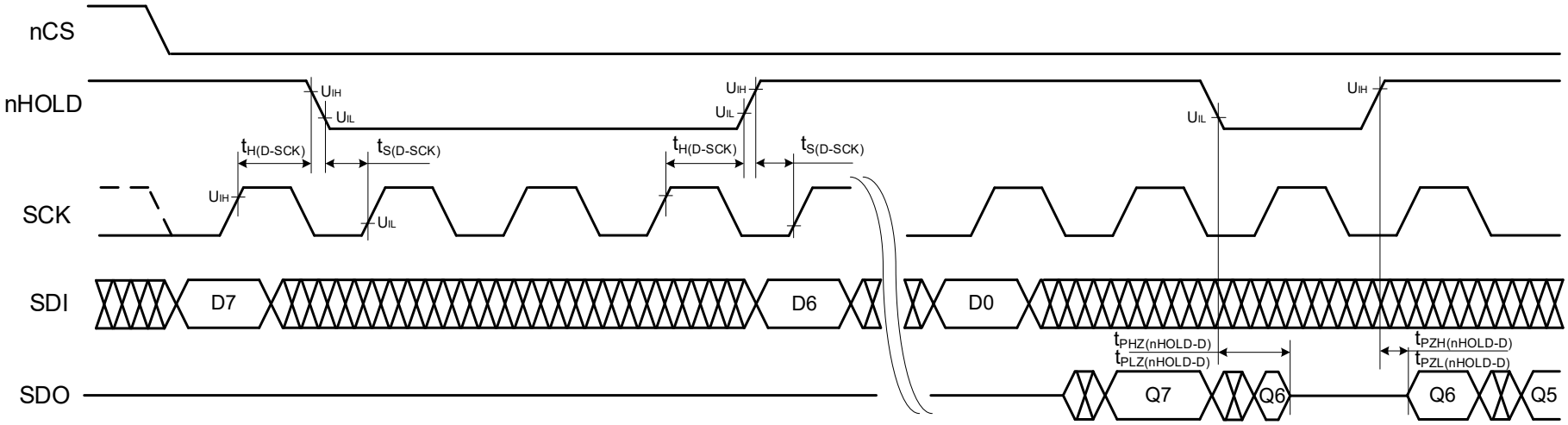


Рисунок 37 – Временная диаграмма для сигнала nHOLD

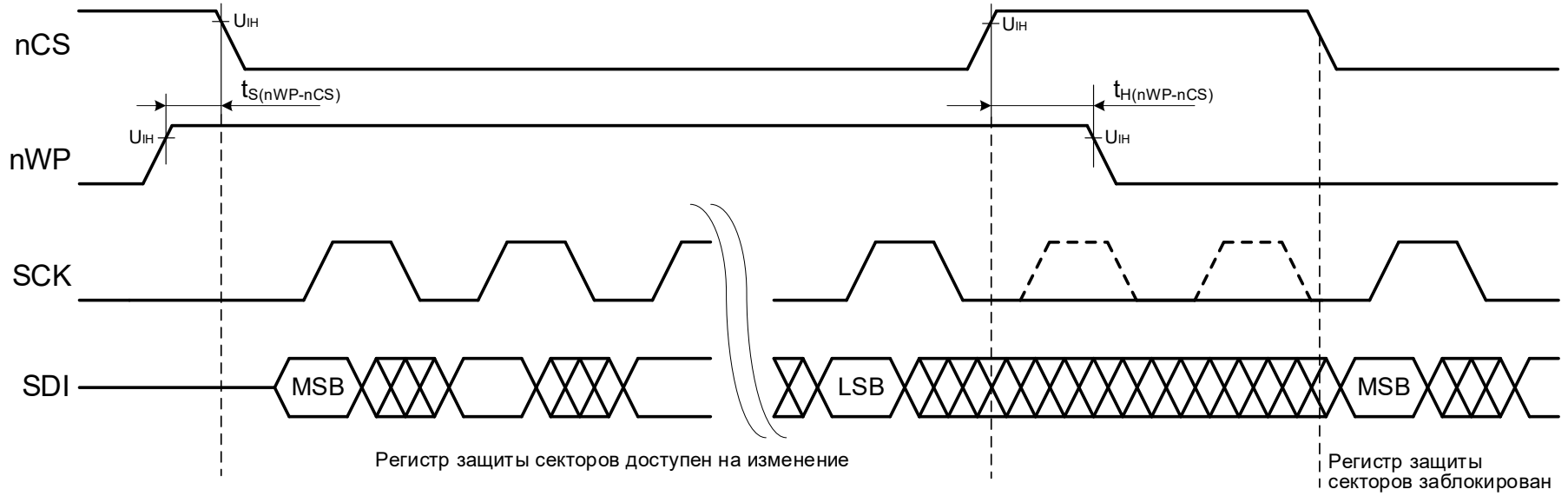


Рисунок 38 – Временная диаграмма для сигнала nWP

9 Электрические параметры

Таблица 13 – Электрические параметры микросхем при приёмке и поставке

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма параметра		Температура среды, °С
		не менее	не более	
Выходное напряжение высокого уровня, В	U_{OH}	$0{,}8 \cdot U_{CC}$	–	25, 85, – 40
Выходное напряжение низкого уровня, В	U_{OL}	–	$0{,}2 \cdot U_{CC}$	
Ток утечки высокого уровня на входе, мкА	I_{ILH}	−10	10	
Ток утечки низкого уровня на входе, мкА	I_{ILL}	−10	10	
Входной ток низкого уровня, мкА, по входам с резистором доопределения	I_{IL}	–135	–	
Выходной ток высокого уровня в состоянии «Выключено», мкА	I_{OZH}	−10	10	
Выходной ток низкого уровня в состоянии «Выключено», мкА	I_{OZL}	−10	10	
Динамический ток потребления, мА, без нагрузки	I_{CCO}	–	20	
Ток потребления в режиме хранения, мА	I_{CCS}	–	2	
Ток потребления в режиме пониженного энергопотребления, мА	I_{CCS1}	–	0,4	
Время выборки данных по спаду сигнала SCK, нс, при:	$t_{A(SCK)}$			
- $U_{CC} \geq 3{,}0$ В;		–	6	
- $2{,}25$ В $\leq U_{CC} < 3{,}0$ В;		–	8	
- $U_{CC} < 2{,}25$ В		–	10	

Примечание – Знак «минус» перед нормой на ток означает направление тока, вытекающего из вывода микросхемы. За величину тока принимают абсолютное значение показаний измерителя тока

Микросхемы должны быть устойчивы к воздействию статического электричества с потенциалом не менее 2000 В.

Количество циклов записи/стирания данных в диапазоне рабочих температур – не менее 20 000.

Время хранения информации в диапазоне рабочих температур – не менее 20 лет.

10 Предельно-допустимые и предельные параметры

Таблица 14 – Предельно-допустимые режимы эксплуатации и предельные электрические режимы микросхем

Наименование параметра, единица измерения	Буквенное обозначение параметра	Предельно-допустимый режим		Предельный режим	
		не менее	не более	не менее	не более
Напряжение питания, В	U_{CC}	1,8	3,6	–	3,9
Входное напряжение низкого уровня, В	U_{IL}	0	$0,2 \cdot U_{CC}$	−0,3	–
Входное напряжение высокого уровня, В	U_{IH}	$0,8 \cdot U_{CC}$	3,6	–	3,9
Выходной ток низкого уровня, мА	I_{OL}	–	4	–	8
Выходной ток высокого уровня, мА	I_{OH}	−4	–	−8	–
Напряжение низкого уровня в состоянии «Выключено», В	U_{OZL}	0	–	−0,3	–
Напряжение высокого уровня в состоянии «Выключено», В	U_{OZH}	–	3,6	–	3,9
Время ожидания окончания операции стирания сектора, мс	t_{ER_SEC}	32	–	–	–
Время ожидания окончания операции стирания блока, мс	t_{ER_BLK}	100	–	–	–
Время ожидания окончания операции стирания микросхемы, мс	t_{ER_CHIP}	400	–	–	–
Время ожидания окончания операции программирования слова из 4 байт, мкс	t_{PR_WRD}	52	–	–	–
Время ожидания окончания операции программирования страницы 512 байт, мс	t_{PR_PG}	1,65	–	–	–
Время ожидания окончания операции снятия защиты секторов, мс	t_{UNPRT}	32	–	–	–
Время ожидания окончания операции установки защиты секторов, мкс	t_{PRT}	52	–	–	–
Время цикла записи энергонезависимого конфигурационного регистра, мс	$t_{CYW(NVR)}$	32	–	–	–
Частота тактового сигнала SPI интерфейса, МГц, при:	$f_{C(SCK)}$				
- $U_{CC} \geq 3,0$ В;		–	100	–	–
- 2,25 В ≤ U_{CC} < 3,0 В;		–	50	–	–
- U_{CC} < 2,25 В		–	25	–	–

Наименование параметра, единица измерения	Буквенное обозначение параметра	Предельно-допустимый режим		Предельный режим	
		не менее	не более	не менее	не более
Длительность сигнала высокого уровня синхросигнала SCK, нс, при:					
- U_{CC} ≥ 3,0 В;	$t_{WH(SCK)}$	4	–	–	–
- 2,25 В ≤ U_{CC} < 3,0 В;		8	–	–	–
- U_{CC} < 2,25 В		10	–	–	–
Длительность сигнала низкого уровня синхросигнала SCK, нс. при:					
- U_{CC} ≥ 3,0 В;	$t_{WL(SCK)}$	6	–	–	–
- 2,25 В ≤ U_{CC} < 3,0 В;		8	–	–	–
- U_{CC} < 2,25 В		10	–	–	–
Частота тактового сигнала SPI интерфейса в режиме чтения с кодом 03h, МГц, при:					
- U_{CC} ≥ 2,25 В;	$f_{C1(SCK)}$	–	40	–	–
- U_{CC} < 2,25 В		–	25		
Длительность сигнала высокого уровня синхросигнала SCK, нс, в режиме чтения с кодом 03h	$t_{WH1(SCK)}$	10	–	–	–
Длительность сигнала низкого уровня синхросигнала SCK, нс, в режиме чтения с кодом 03h	$t_{WL1(SCK)}$	10	–	–	–
Время установления входных сигналов SDI/IO0, SDO/IO1, nWP/IO2, nHOLD/IO3 относительно фронта синхросигнала SCK, нс, при:					
- U_{CC} ≥ 3,0 В;	$t_{SU(D-SCK)}$	3	–	–	–
- 2,25 В ≤ U_{CC} < 3,0 В;		5	–	–	–
- U_{CC} < 2,25 В		7	–	–	–
Время удержания входных сигналов SDI/IO0, SDO/IO1, nWP/IO2, nHOLD/IO3 относительно фронта синхросигнала SCK, нс					
- U_{CC} ≥ 3,0 В;	$t_{H(D-SCK)}$	1	–	–	–
- 2,25 В ≤ U_{CC} < 3,0 В;		3	–	–	–
- U_{CC} < 2,25 В		5	–	–	–

Наименование параметра, единица измерения	Буквенное обозначение параметра	Предельно-допустимый режим		Предельный режим	
		не менее	не более	не менее	не более
Время установления низкого/высокого уровня сигнала nCS относительно фронта синхросигнала SCK, нс					
- $U_{CC} \geq 3{,}0$ В;	$t_{SU(nCS-SCK)}$	6	–	–	–
- 2,25 В ≤ U_{CC} < 3,0 В;		8	–	–	–
- $U_{CC} \leq 2{,}25$ В		10	–	–	–
Время удержания низкого/высокого уровня сигнала nCS относительно фронта синхросигнала SCK, нс					
- $U_{CC} \geq 3{,}0$ В;	$t_{H(nCS-SCK)}$	4	–	–	–
- 2,25 В ≤ U_{CC} < 3,0 В;		6	–	–	–
- U_{CC} < 2,25 В		8	–	–	–
Длительность высокого уровня сигнала nCS, нс	$t_{WH(nCS)}$	10	–	–	–
Время установления низкого/высокого уровня сигнала nWP относительно спада сигнала nCS, нс	$t_{SU(nWP-nCS)}$	5	–	–	–
Время удержания низкого/высокого уровня сигнала nWP относительно фронта сигнала nCS, нс	$t_{H(nWP-nCS)}$	5	–	–	–
Емкость нагрузки выходов, пФ	C_L	–	15	–	–

Примечания

1 Значение параметров t_{ER_SEC}, t_{ER_BLK}, t_{ER_CHIP}, t_{PR_WRD}, t_{PR_PG}, t_{UNPRT}, t_{PRT}, $t_{CYW(NWR)}$ соответствует минимальному значению времени ожидания окончания операций программирования/стирания без отслеживания статуса выполнения операции. Для сокращения времени программирования/стирания рекомендуется пользоваться операцией чтения регистра статуса 1.

2 Не допускается одновременное воздействие двух и более предельных режимов

11 Справочные параметры

Количество циклов записи/стирания данных в нормальных климатических условиях согласно ГОСТ 15150 – не менее 100 000.

Таблица 15 – Справочные параметры микросхем

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма параметра		Температура среды, °С
		не менее	не более	
Время от подачи напряжения питания до первого обращения к микросхеме, мкс	t_{PWR_ON}	150	–	25, 85, −40
Время удержания напряжения питания относительно последней завершенной операции, мкс	t_{PWR_OFF}	0	–	
Время перехода микросхемы в режим пониженного энергопотребления, нс	t_{SLP_ON}	–	10	
Время выхода микросхемы из режима пониженного энергопотребления, мкс	t_{SLP_OFF}	–	7,5	
Время приостановки стирания, нс	t_{SUSP_ER}	–	400	
Время приостановки программирования, мкс	t_{SUSP_PR}	–	52	
Время возобновления программирования / стирания, нс	t_{RESUME}	–	150	
Время задержки распространения сигнала данных при переходе выхода из состояния низкого (высокого) уровня в состояние «Выключено» по фронту сигнала nCS, нс	$t_{PHZ(nCS-D)}$ $t_{PLZ(nCS-D)}$	–	10	
Время задержки распространения сигнала данных при переходе выхода из состояния «Выключено» в состояние низкого (высокого) уровня по спаду сихросигнала SCK, нс	$t_{PZH(SCK-D)}$ $t_{PZL(SCK-D)}$	0	–	
Время задержки распространения сигнала данных при переходе выхода из состояния низкого (высокого) уровня в состояние «Выключено» по спаду сигнала nHOLD, нс	$t_{PHZ(nHOLD-D)}$ $t_{PLZ(nHOLD-D)}$	2	8	
Время задержки распространения сигнала данных при переходе выхода из состояния «Выключено» в состояние низкого (высокого) уровня по фронту сигнала nHOLD, нс	$t_{PZH(nHOLD-D)}$ $t_{PZL(nHOLD-D)}$	2	8	
Время сохранения выходных данных после спада сихросигнала SCK, нс	$t_{V(SCK)}$	0	–	

Входная емкость C_I = 7 пФ на частоте 1 МГц.

Емкость входа/выхода $C_{I/O}$ = 7 пФ на частоте 1 МГц.

12 Типовые зависимости

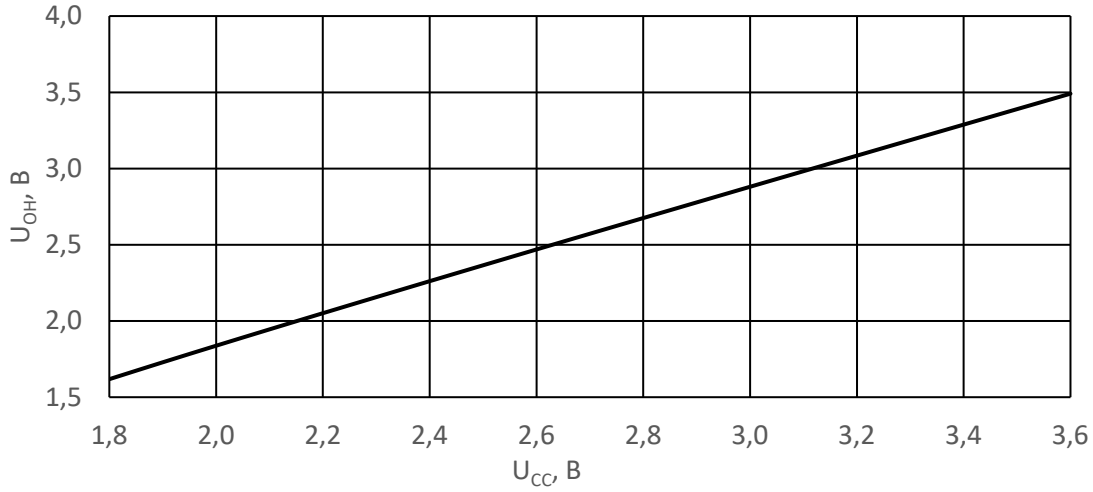


Рисунок 39 – Зависимость выходного напряжения высокого уровня U_{OH} от напряжения питания U_{CC} при T = 25 ºC и I_{OH} = − 4 мА

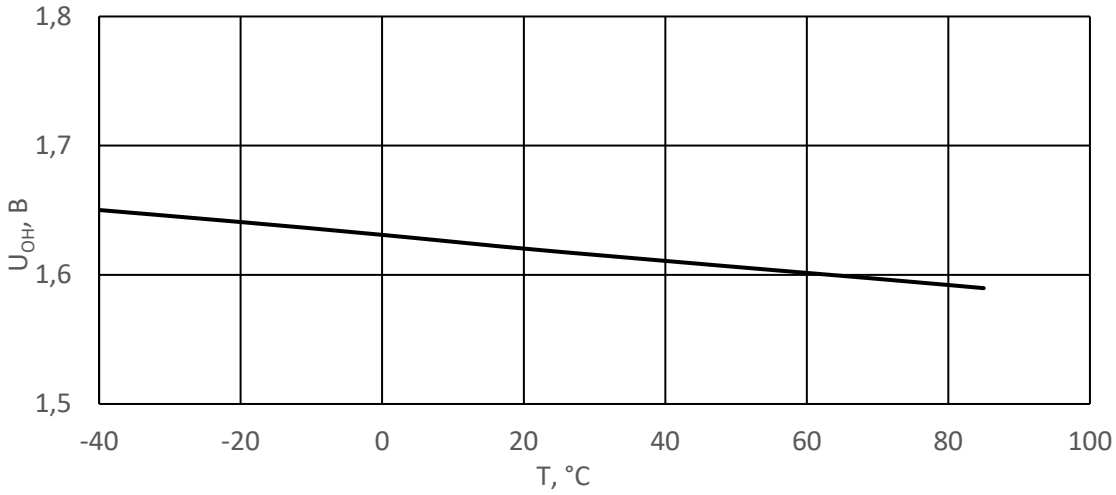


Рисунок 40 – Зависимость выходного напряжения высокого уровня U_{OH} от температуры T при U_{CC} = 1,8 В и I_{OH} = − 4 мА

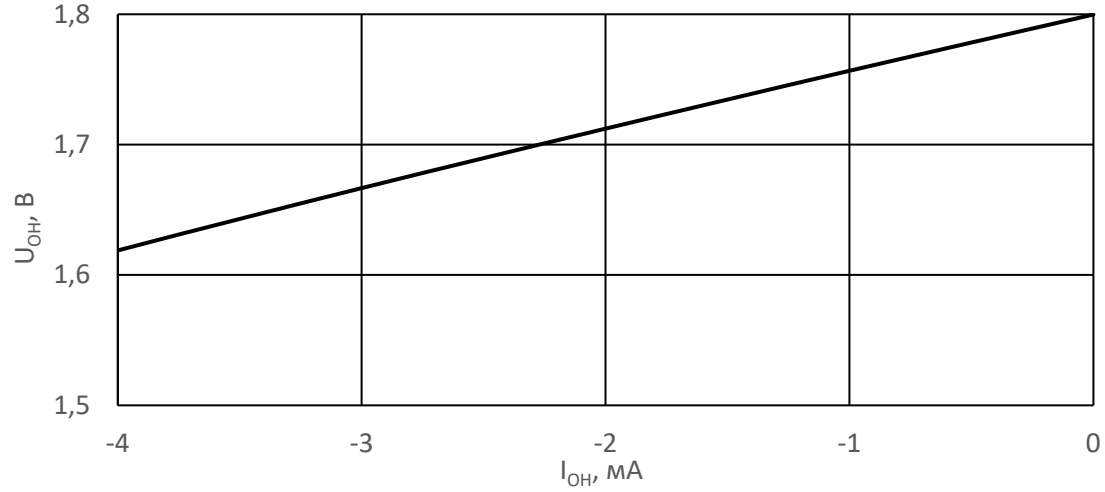


Рисунок 41 – Зависимость выходного напряжения высокого уровня U_{OH} от тока нагрузки I_{OH} при U_{CC} = 1,8 В, T = 25 ºC

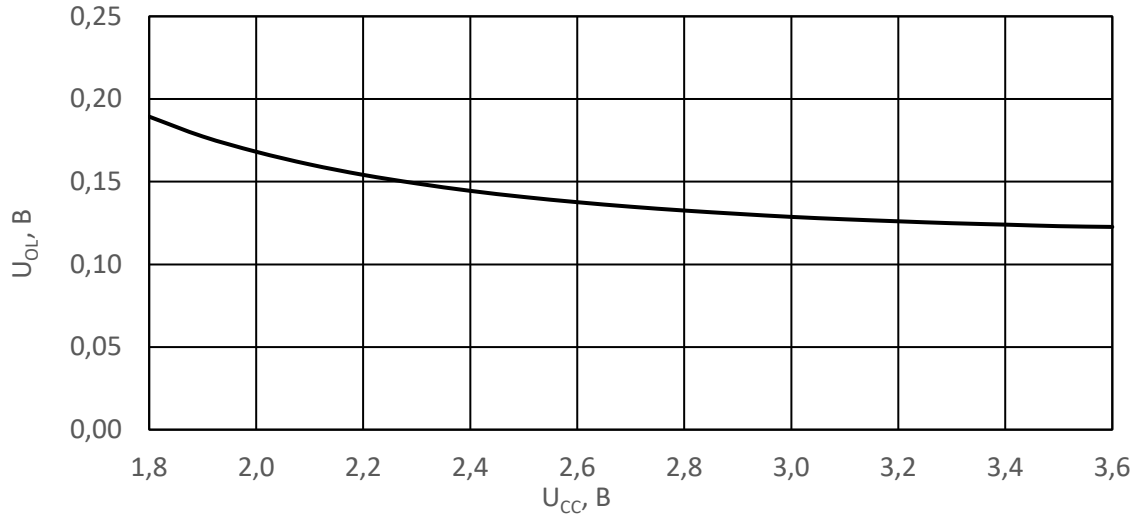


Рисунок 42 – Зависимость выходного напряжения низкого уровня U_{OL} от напряжения питания U_{CC} при T = 25 ºC и I_{OL} = 4 мА

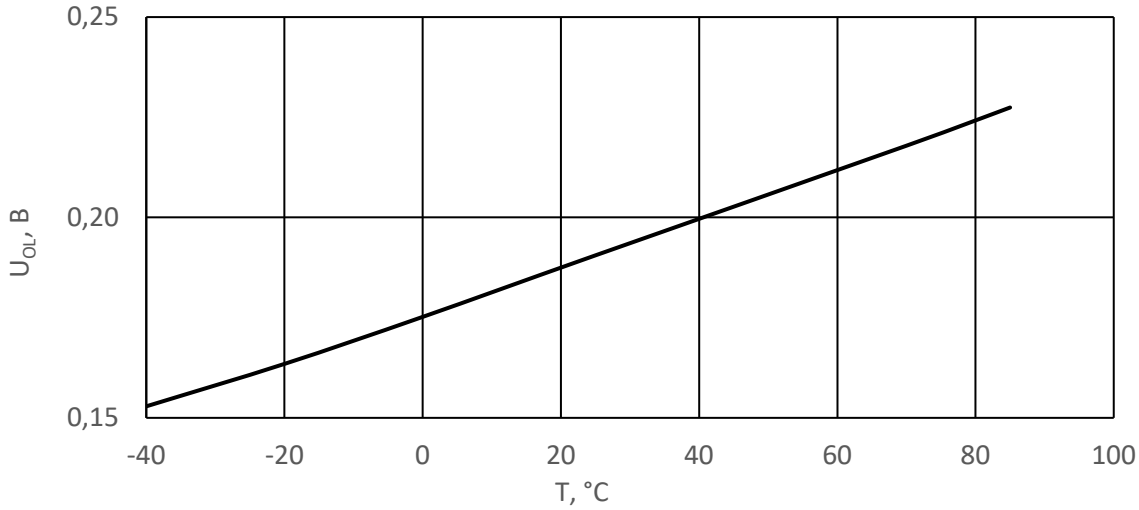


Рисунок 43 – Зависимость выходного напряжения низкого уровня U_{OL} от температуры T при U_{CC} = 1,8 В и I_{OL} = 4 мА

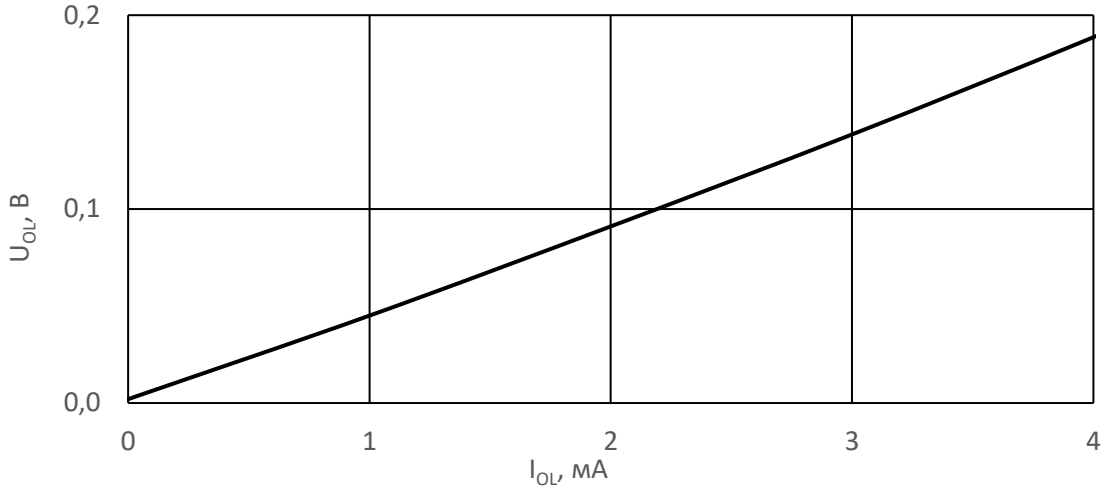


Рисунок 44 – Зависимость выходного напряжения низкого уровня U_{OL} от тока нагрузки I_{OL} при U_{CC} = 1,8 В, T = 25 ºC

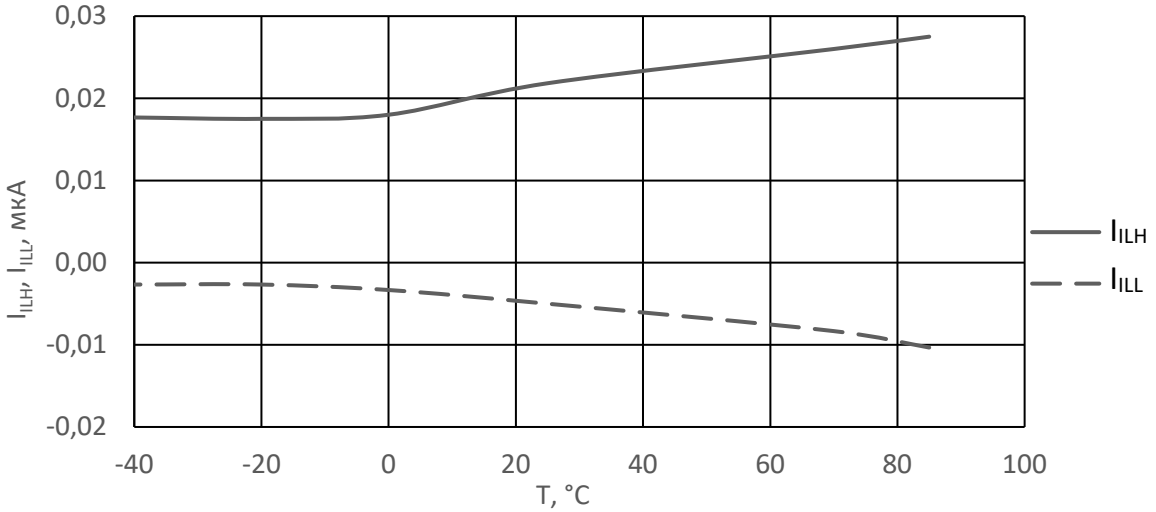


Рисунок 45 – Зависимости тока утечки высокого уровня на входе I_{ILH}, тока утечки низкого уровня на входе I_{ILL} от температуры T при U_{CC} = 3,6 В, U_{IL} = 0 В, U_{IH} = U_{CC}

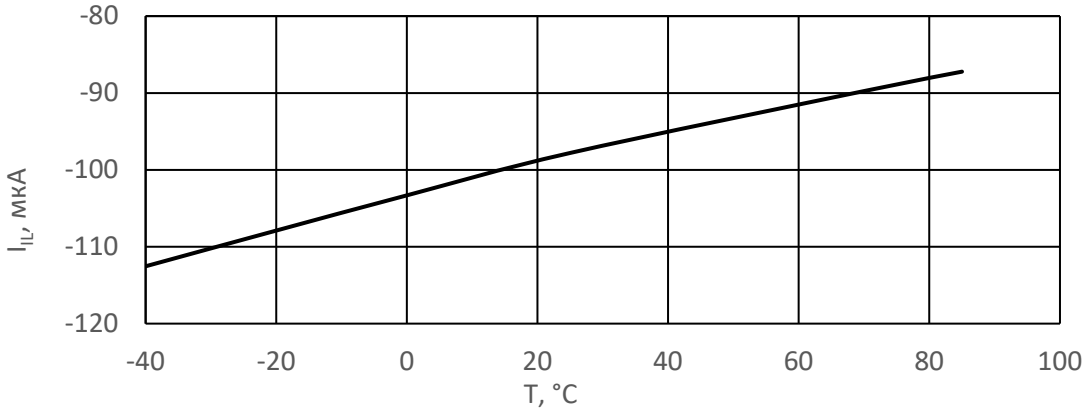


Рисунок 46 – Зависимость входного тока низкого уровня I_{IL}, от температуры T при U_{CC} = 3,6 В, U_{IL} = 0 В, U_{IH} = U_{CC}

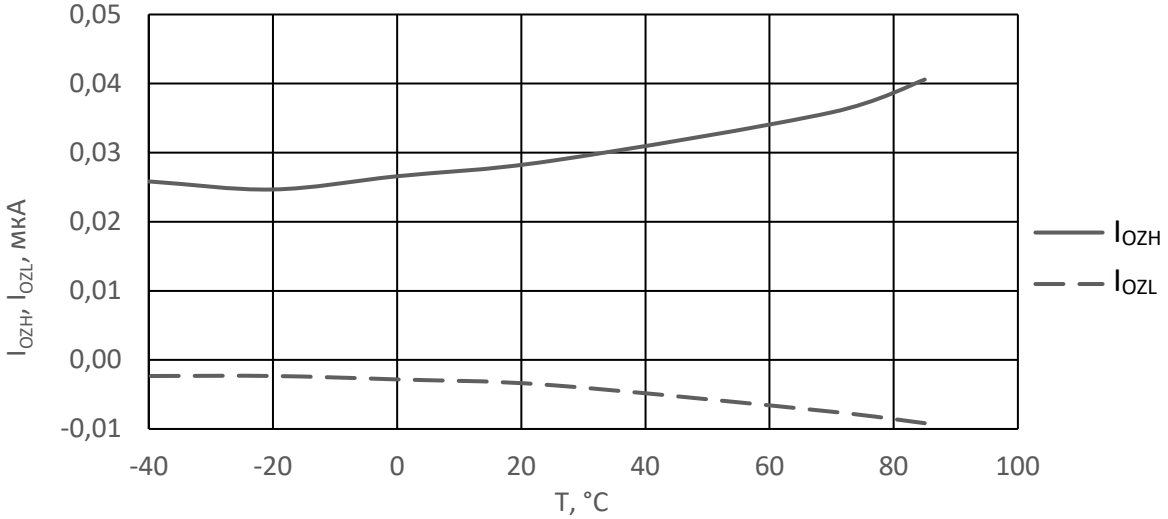


Рисунок 47 – Зависимости выходного тока высокого уровня в состоянии «Выключено» I_{OZH}, выходного тока низкого уровня в состоянии «Выключено» I_{OZL} от температуры T при U_{CC} = 3,6 В, U_{IL} = 0 В, U_{IH} = U_{CC}

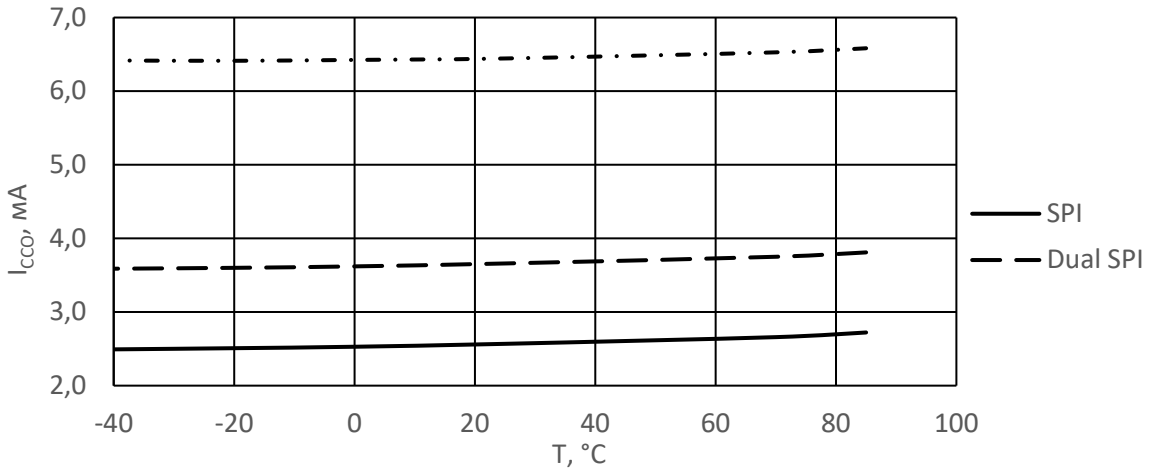


Рисунок 48 – Зависимость динамического тока потребления I_{CCO} при чтении в режимах SPI, Dual SPI и Quad SPI от температуры T при U_{CC} = 3,6 В, $f_{C(SCK)}$ = 100 МГц

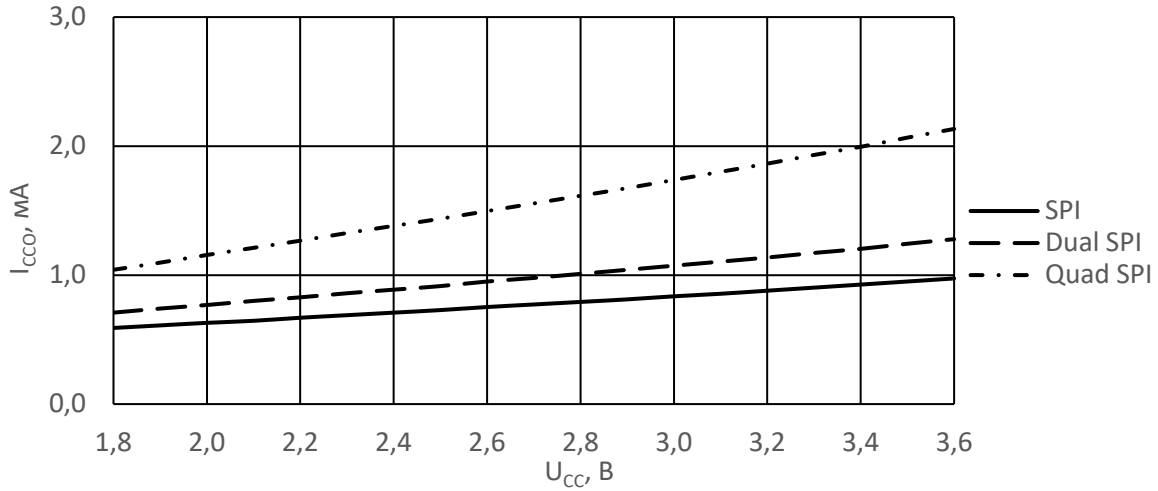


Рисунок 49 – Зависимость динамического тока потребления I_{CCO} при чтении в режимах SPI, Dual SPI и Quad SPI от напряжения питания U_{CC} при T = 25 ºC, $f_{C(SCK)}$ = 25 МГц

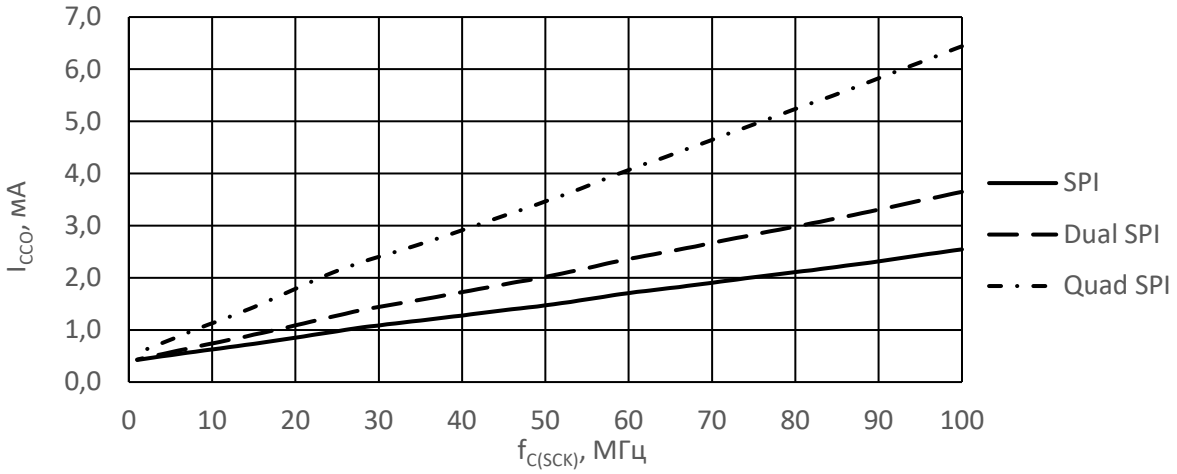


Рисунок 50 – Зависимость динамического тока потребления I_{CCO} при чтении в режимах SPI, Dual SPI и Quad SPI от частоты тактового сигнала SPI интерфейса $f_{C(SCK)}$ при U_{CC} = 3,6 В, T = 25 ºC

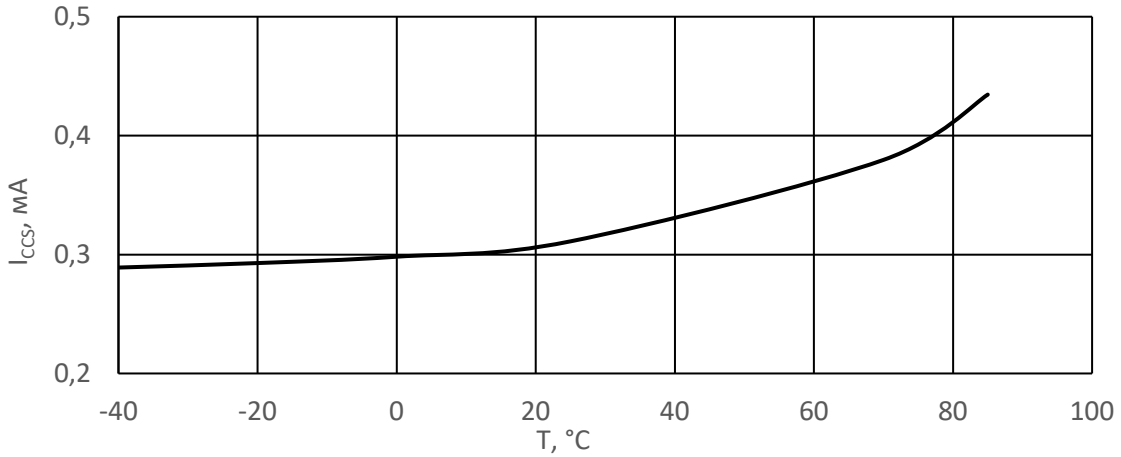


Рисунок 51 – Зависимость тока потребления в режиме хранения I_{CCS} от температуры T при U_{CC} = 3,6 В, U_{IL} = 0 В, U_{IH} = U_{CC}

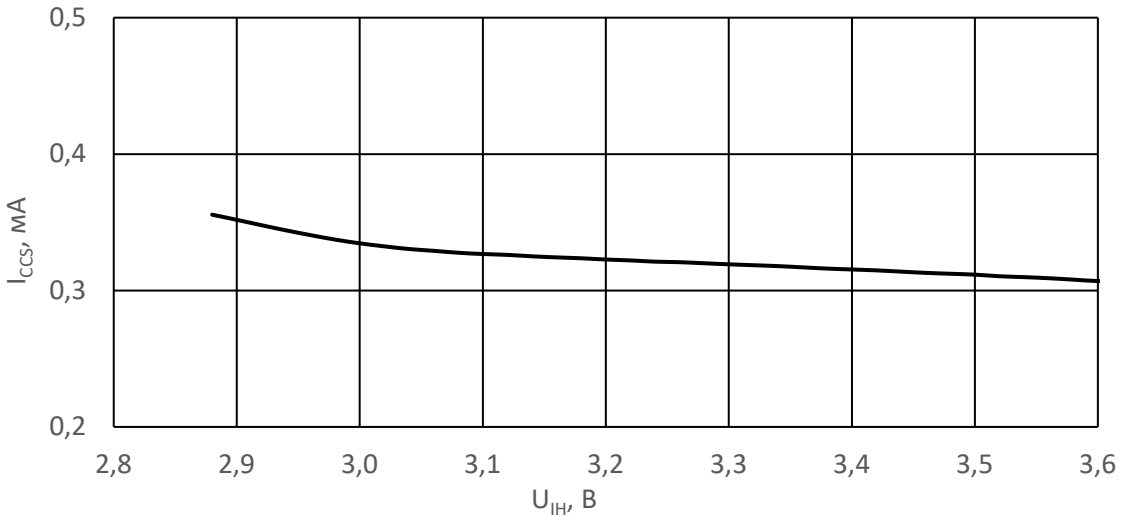


Рисунок 52 – Зависимость тока потребления в режиме хранения I_{CCS} от входного напряжения высокого уровня U_{IH} при U_{CC} = 3,6 В, U_{IL} = 0 В

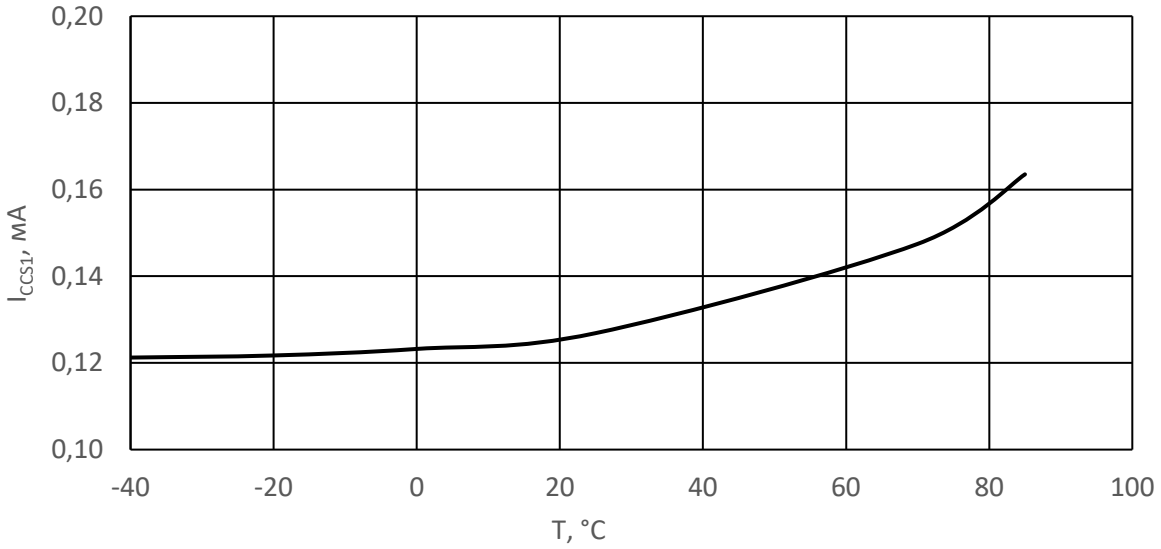


Рисунок 53 – Зависимость тока в режиме пониженного энергопотребления I_{CCS1} от температуры T при U_{CC} = 3,6 В, U_{IL} = 0 В, U_{IH} = U_{CC}

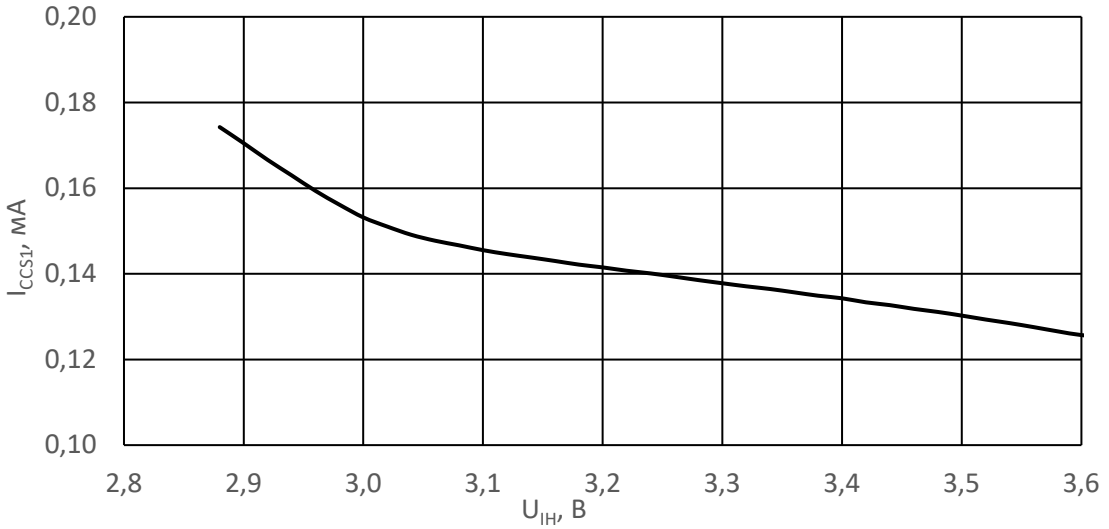


Рисунок 54 – Зависимость тока в режиме пониженного энергопотребления I_{CCS1} от входного напряжения высокого уровня U_{IH} при U_{CC} = 3,6 В, U_{IL} = 0 В, U_{nCE} = U_{IH}, U_{nWP} = U_{nHOLD} = Z, $f_{C(SCK)}$ = 0 МГц, T = 25 ºC

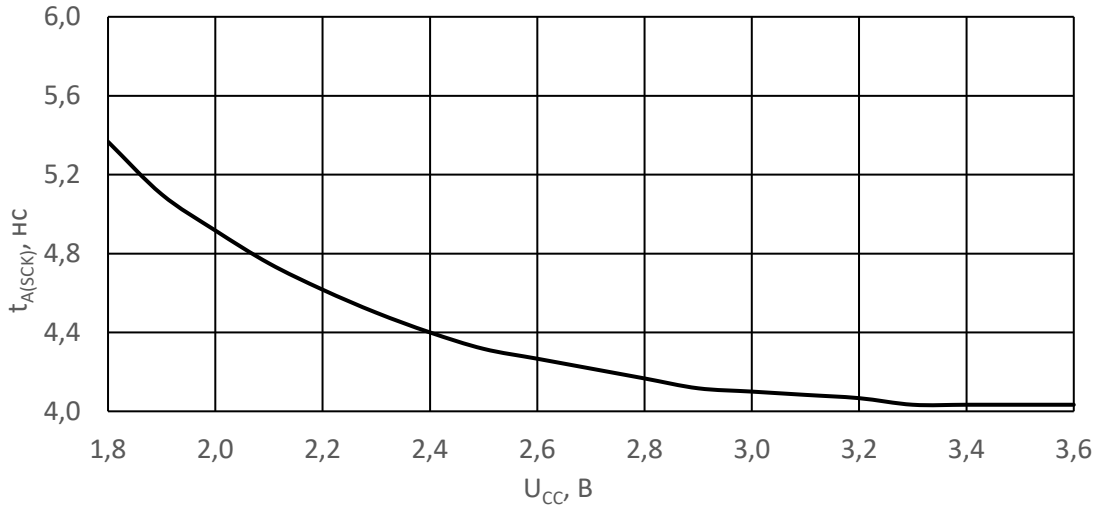


Рисунок 55 – Зависимость времени выборки данных по спаду сигнала SCK $t_{A(SCK)}$ от напряжения питания U_{CC} при T = 25 ºC

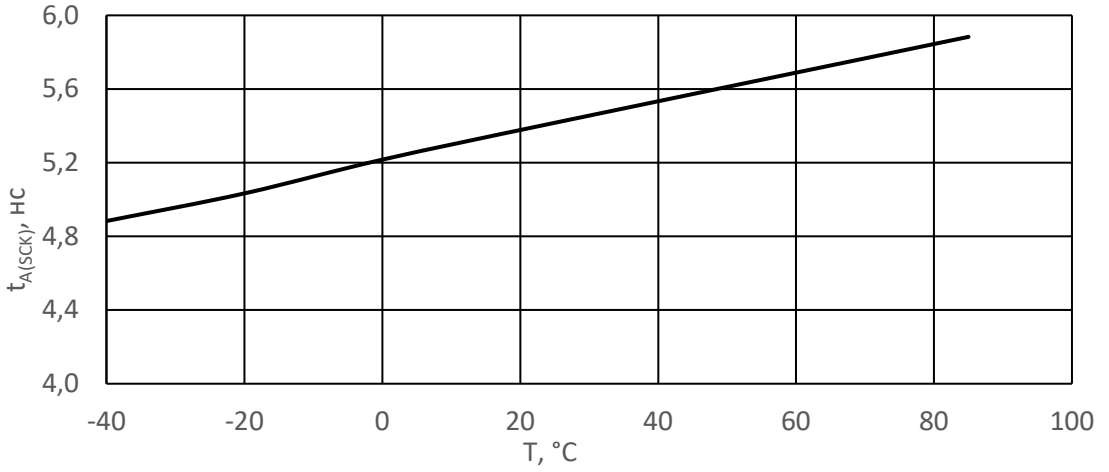


Рисунок 56 – Зависимость времени выборки данных по спаду сигнала SCK $t_{A(SCK)}$ от температуры T при U_{CC} = 1,8 В

13 Габаритный чертеж микросхемы

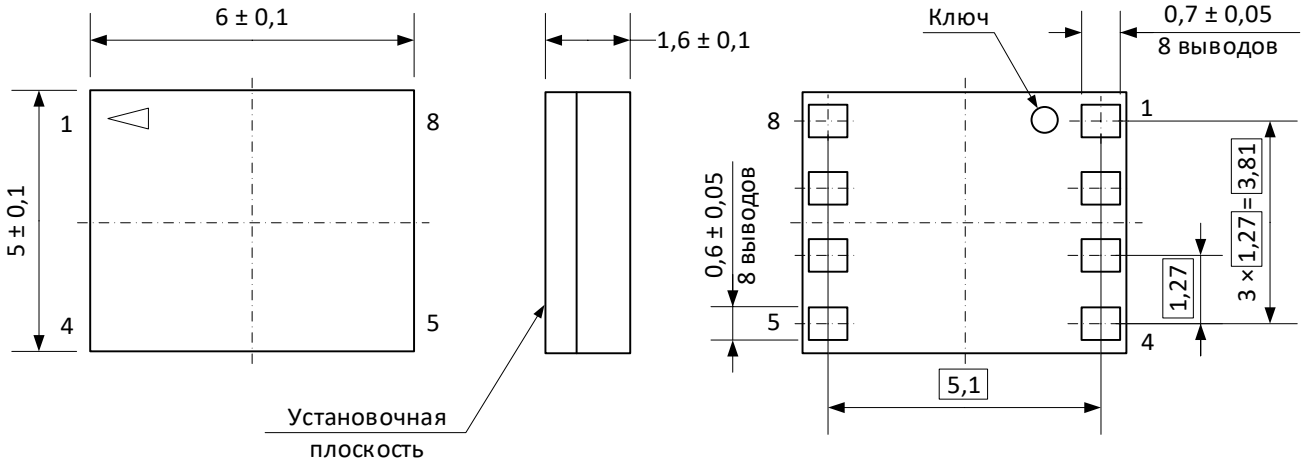


Рисунок 57 – Микросхема в корпусе DFN8 5×6×1,6 (1,27)

14 Информация для заказа

Обозначение	Маркировка	Тип корпуса	Температурный диапазон, °С
MDR2306FI	2306	DFN8 5×6×1,6 (1,27)	от – 40 до 85

Лист регистрации изменений

№ п/п	Дата	Версия	Краткое содержание изменения	№№ изменяемых листов
1	08.07.2024	0.1.0	Введена впервые	
2	23.07.2024	0.2.0	Удалено описание команды BCErase: Удалены строки BCErase в таблицах 5, 6; Удален подразд. Операция стирания не защищенных блоков; Удалены упоминания BCErase из пп. Операция разрешения записи, Операция запрета записи, Бит WEL, Бит APS	13, 26 – 29, 35, 37
3	17.04.2025	1.0.0	Приведение в соответствие с ТУ и КД литеры А	По тексту
4	27.05.2025	1.1.0	Исправлено значение теплового сопротивления	1
5	23.07.2025	1.2.0	Добавлена ссылка на ТСКЯ.430106.004Д12; Раздел 4 скорректирован; Добавлены типовые зависимости в раздел 12	1 6 69 – 74
6	05.08.2025	1.2.1	Таблица 13 – исправлена единица измерения ICCS1	64
7	13.02.2026	1.2.2	УГО и типовые зависимости приведены в соответствие с ТУ и КД	5, 69 – 74
8	16.04.2026	1.2.3	Для параметров Число циклов программирования/стирания данных и Время хранения информации добавлено уточнение «в рабочем диапазоне температур»	64
9	24.08.2026	1.3.0	Исправлено описание операции приостановки по сигналу nHOLD в подразделе 6.2. Изменены нормы параметров tPHZ(nHOLD-D), tPLZ(nHOLD-D) и tPZHn(HOLD-D), tPZL(nHOLD-D) в таблице справочных параметров (Таблица 15)	11, 12 68
10	06.11.2026	1.4.0	Добавлено количество циклов записи/стирания данных в нормальных климатических условиях согласно ГОСТ 15150 – не менее 100 000	1, 68