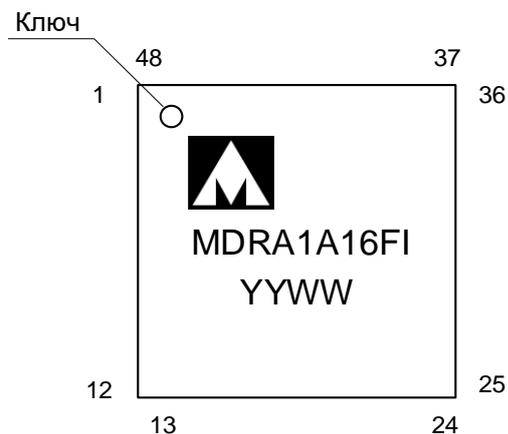




## Микросхема 16-разрядного АЦП с частотой выборки 80 Мвыб/с K5101HB04FI



YY – год выпуска  
WW – неделя выпуска

### Основные характеристики микросхемы:

- Скорость преобразования:
  - до 95 Мвыб/с в режиме повышенной производительности;
  - до 55 Мвыб/с в режиме пониженного потребления;
- SNR 75 дБпш до 95 Мвыб/с;
- SNR 76,9 дБпш с внешним опорным напряжением 1,25 В;
- SFDR 96 дБн @ 10 МГц/80 Мвыб/с;
- IMD3 -92 дБн @ 75 МГц / 95 Мвыб/с (-7дБпш);
- Спектральная плотность шума минус 154 дБ/Гц;
- Рассеиваемая мощность:
  - 0,55 Вт при 80 Мвыб/с;
  - 0,34 Вт при 55 Мвыб/с в режиме пониженного потребления;
- Полоса дифференциального входного сигнала 693 МГц;
- Без интерливинга и автокалибровки;
- Возможность работать с одним источником питания 1,8 В;
- Диапазон входного напряжения:
  - от 1 до 2 В(п-п) с внутренним ИОН;
  - от 1 до 2,5 В(п-п) с внешним ИОН;
- Программируемый встроенный источник опорного напряжения;
- КМОП 1,8 – 3,3 В или LVDS выход;
- Последовательный интерфейс;
- Корректор скважности;
- Делитель тактового сигнала от 1 до 8;
- Температурный диапазон:  
от минус 40 °С до плюс 85 °С.

### Тип корпуса:

- 48-выводной пластмассовый корпус VQFN48L.

Масса микросхем не более 0,2 г.

## Содержание

|       |   |    |
|-------|---|----|
| 1     | Общее описание и области применения микросхемы .....                | 4  |
| 2     | Структурная блок-схема микросхемы.....                              | 5  |
| 3     | Условные графические обозначения.....                               | 6  |
| 4     | Описание выводов .....  | 8  |
| 5     | Указания по применению и эксплуатации.....                          | 12 |
| 6     | Описание функционирования микросхемы.....                           | 13 |
| 6.1   | Структура микросхемы. Схемы включения .....                         | 13 |
| 6.2   | Входной каскад .....  | 13 |
| 6.3   | Синфазный уровень входного сигнала.....                             | 14 |
| 6.4   | Схема формирования опорных напряжений .....                         | 15 |
| 6.4.1 | Работа с внутренним ИОН.....  | 15 |
| 6.4.2 | Работа с внешним ИОН .....  | 16 |
| 6.5   | Входной тактирующий сигнал .....                                    | 17 |
| 6.5.1 | Джиттер тактирующего сигнала .....                                  | 18 |
| 6.5.2 | Скважность тактирующего сигнала .....                               | 18 |
| 6.5.3 | Делитель частоты .....  | 19 |
| 6.6   | Потребляемая мощность и режимы питания микросхемы .....             | 20 |
| 6.6.1 | Программирование силы выходных драйверов .....                      | 20 |
| 6.6.2 | Режимы питания микросхемы.....                                      | 21 |
| 6.6.3 | Режимы повышенной производительности и пониженного потребления..... | 22 |
| 6.7   | Вывод цифровых данных.....  | 22 |
| 6.7.1 | Режимы вывода данных.....   | 22 |
| 6.7.2 | Формат выходных данных.....   | 24 |
| 6.7.3 | Вывод цифровых отсчётов .....                                       | 24 |
| 6.7.4 | Выходной тактирующий сигнал .....                                   | 24 |
| 6.7.5 | Синхронизация выходного потока данных .....                         | 25 |
| 6.8   | Включение и конфигурирование устройства .....                       | 28 |
| 6.8.1 | Подготовка к работе .....   | 28 |
| 6.8.2 | Последовательный интерфейс .....                                    | 29 |
| 6.8.3 | Протокол передачи данных .....                                      | 29 |
| 6.8.4 | Конфигурирование без SPI.....                                       | 31 |
| 6.8.5 | Варианты конфигурации, доступные через SPI .....                    | 31 |
| 6.8.6 | Карта памяти .....  | 32 |
| 7     | Типовые схемы включения.....  | 36 |
| 8     | Электрические параметры микросхемы.....                             | 38 |
| 9     | Предельно-допустимые характеристики микросхемы .....                | 40 |
| 10    | Справочные данные .....   | 41 |
| 11    | Типовые зависимости.....  | 50 |
| 11.1  | Основной режим (80 Мвыб/с) .....                                    | 50 |
| 11.2  | Режим повышенной производительности (95 Мвыб/с).....                | 58 |

|  |    |
|--|----|
| 11.3 Режим пониженного потребления (55 Мвыб/с) ..... | 64 |
| 12 Габаритный чертеж микросхемы .....                | 71 |
| 13 Информация для заказа .....                       | 72 |
| Лист регистрации изменений .....                     | 73 |

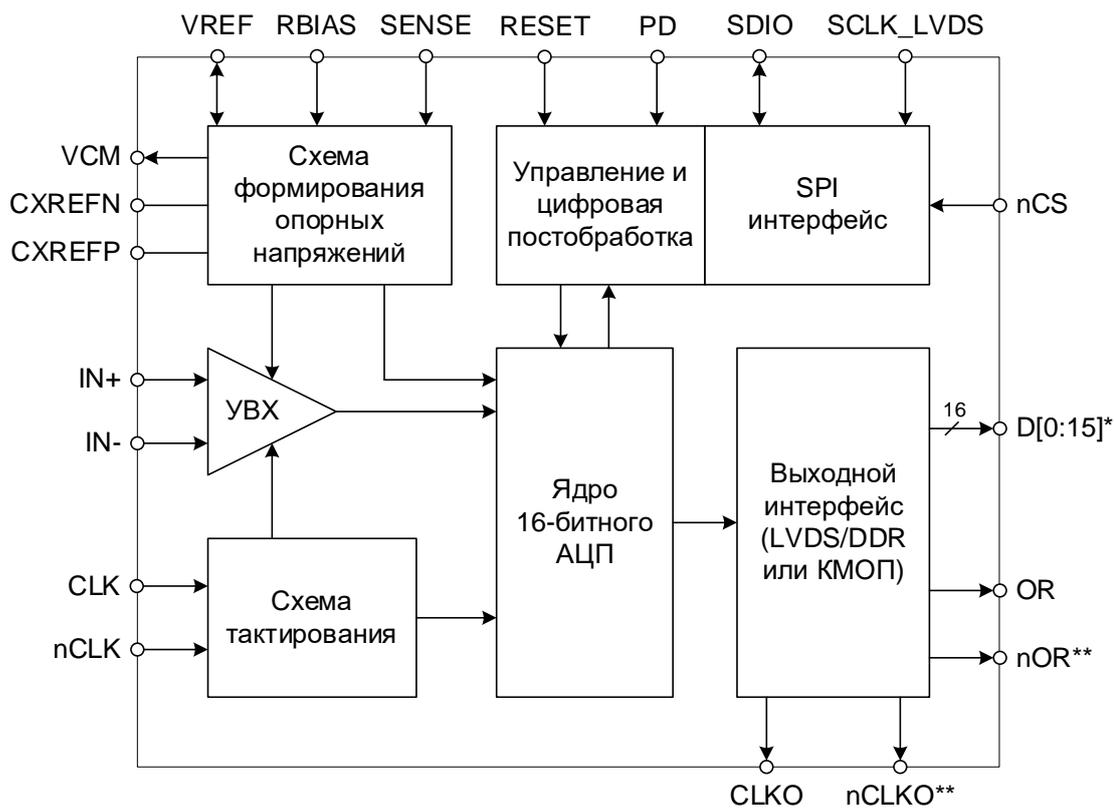
## 1 Общее описание и области применения микросхемы

Микросхемы K5101HB04FI, 16-разрядные АЦП с частотой выборки 80 Мвыб/с (далее – микросхемы) предназначены для использования в современных системах обработки сигналов радиолокационных устройств, устройств цифровой связи, ввода и обработки изображения и любых других устройств, позволяющих принимать и обрабатывать отсчеты АЦП в реальном времени.

Микросхемы обладают высокими динамическими характеристиками. Основной режим работы рассчитан на частоту выборки до 80 Мвыб/с. Помимо основного предусмотрены режимы повышенной производительности и пониженного потребления. Высокие динамические характеристики сохраняются в этих режимах при скоростях работы до 95 и 55 Мвыб/с соответственно.

Конвейерная архитектура и автоматическая цифровая коррекция обеспечивают достаточную точность, чтобы гарантировать отсутствие пропущенных кодов во всём рабочем диапазоне. Рассчитанная на питание от одного источника 1,8 В микросхема может также работать с логическими уровнями от 1,8 до 3,3 В в КМОП-режиме благодаря отдельному питанию цифровой части. АЦП поддерживает LVDS (Low Voltage Differential Signaling) DDR (Double Data Rate) стандарт передачи данных. Для синхронизации считывания выходного кода предусмотрен выходной тактовый сигнал. Встроенный последовательный интерфейс позволяет легко конфигурировать микросхему.

## 2 Структурная блок-схема микросхемы



УВХ – Устройство выборки-хранения

\* Указано обозначение КМОП выходных данных. Обозначение LVDS выходных данных указано на рисунке 3.

\*\* Выводы только для режима LVDS.

Рисунок 1 – Структурная блок-схема

### 3 Условные графические обозначения

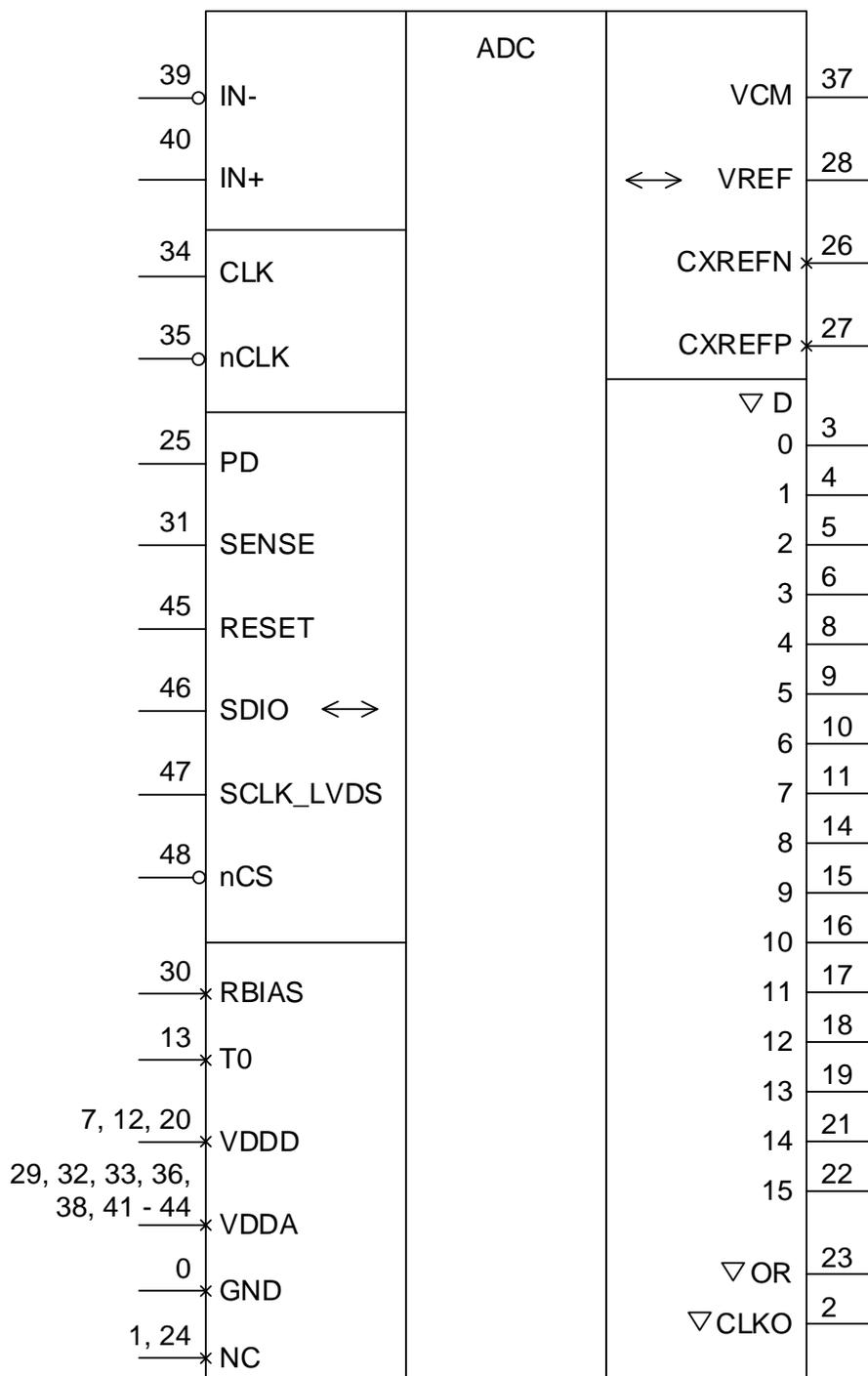


Рисунок 2 – Условное графическое обозначение микросхем для режима КМОП

Назначение выводов микросхем в режиме КМОП приведено в таблице 1.

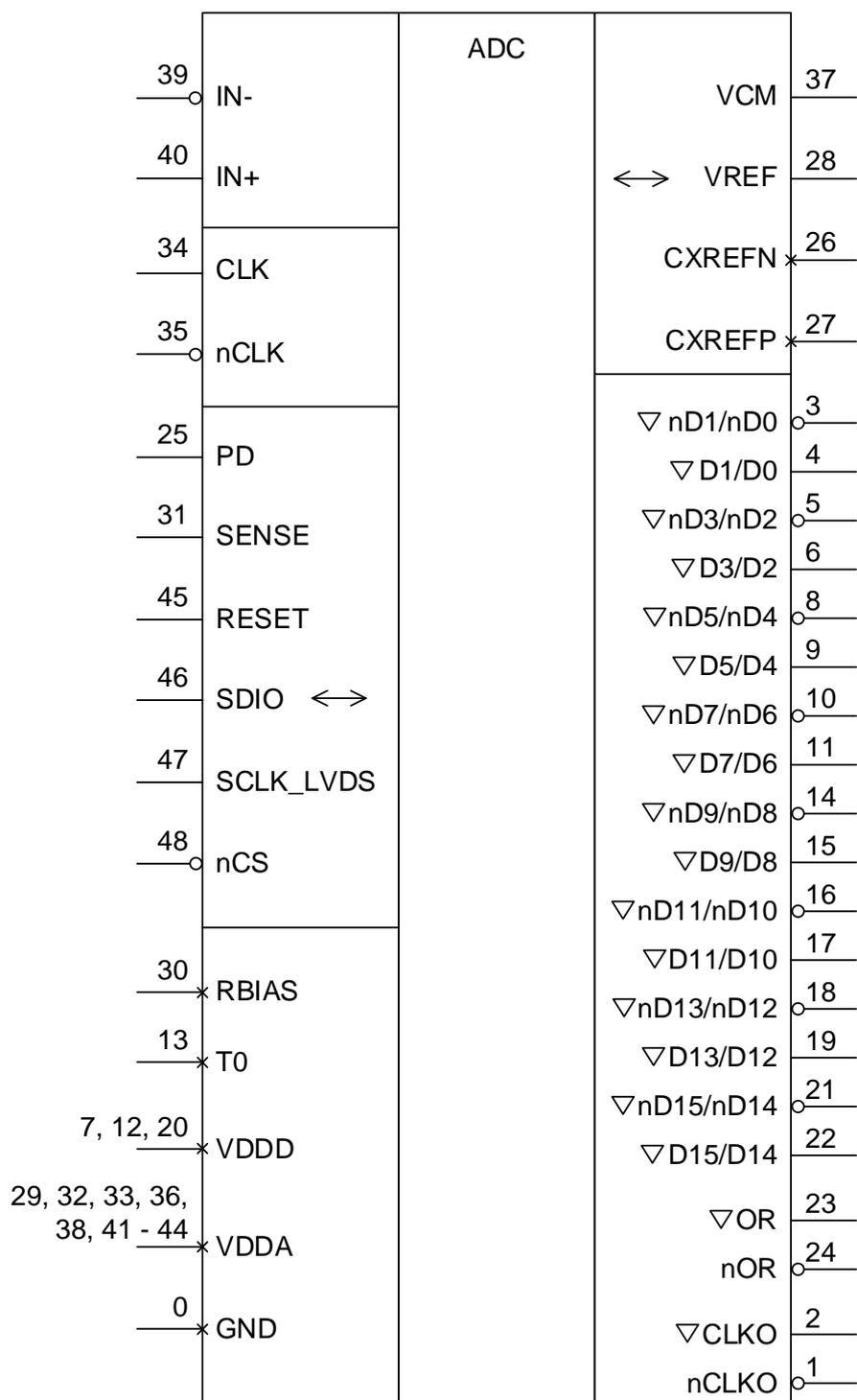


Рисунок 3 – Условное графическое обозначение микросхемы для режима LVDS

Назначение выводов микросхем в режиме LVDS приведено в таблице 2.

## 4 Описание выводов

Таблица 1 – Описание выводов микросхемы в режиме вывода данных КМОП

| Номер вывода | Обозначение вывода | Тип вывода | Назначение вывода   |
|--------------|--------------------|------------|---|
| 6            | D3                 | O          | КМОП выходные данные  |
| 7            | VDDD               | PWR        | Питание цифрового интерфейса  |
| 8            | D4                 | O          | КМОП выходные данные  |
| 9            | D5                 | O          | КМОП выходные данные  |
| 10           | D6                 | O          | КМОП выходные данные  |
| 11           | D7                 | O          | КМОП выходные данные  |
| 12           | VDDD               | PWR        | Питание цифрового интерфейса  |
| 13           | T0                 | –          | Технологический вывод. Необходимо подключить к шине общий                                   |
| 14           | D8                 | O          | КМОП выходные данные  |
| 15           | D9                 | O          | КМОП выходные данные  |
| 16           | D10                | O          | КМОП выходные данные  |
| 17           | D11                | O          | КМОП выходные данные  |
| –            | VDDD               | PWR        | Питание цифрового интерфейса  |
| 18           | D12                | O          | КМОП выходные данные  |
| 19           | D13                | O          | КМОП выходные данные  |
| 20           | VDDD               | PWR        | Питание цифрового интерфейса  |
| 21           | D14                | O          | КМОП выходные данные  |
| 22           | D15                | O          | КМОП выходные данные (старший значащий разряд)  |
| 23           | OR                 | O          | Флаг переполнения   |
| 24           | NC                 | –          | Не используется   |
| 25           | PD                 | I          | Вход выбора режима «Выключено»:<br>- «1» – режим «Выключено»;<br>- «0» – режим «Нормальный» |
| 26           | CXREFN             | AO         | Вывод подключения конденсатора для стабилизации внутреннего нижнего опорного напряжения     |
| 27           | CXREFP             | AO         | Вывод подключения конденсатора для стабилизации внутреннего верхнего опорного напряжения    |
| 28           | VREF               | AIO        | Опорное напряжение, определяющее шкалу АЦП  |
| 29           | VDDA               | PWR        | Аналоговое питание  |
| 30           | RBIAS              | AI         | Цепь задания опорного тока  |
| –            | GND                | PWR        | Общий   |
| 31           | SENSE              | AI         | Выбор режима внутренней схемы формирования опорных напряжений                               |
| 32, 33       | VDDA               | PWR        | Аналоговое питание  |
| 34           | CLK                | AI         | Вход тактового сигнала прямой   |

| Номер вывода   | Обозначение вывода | Тип вывода | Назначение вывода   |
|--|--------------------|------------|---|
| 35   | nCLK               | AI         | Вход тактового сигнала инверсный  |
| 36   | VDDA               | PWR        | Аналоговое питание  |
| –  | GND                | PWR        | Общий   |
| 37   | VCM                | АО         | Выход опорного напряжения, задающего уровень синфазного напряжения для входных аналоговых цепей                           |
| 38   | VDDA               | PWR        | Аналоговое питание  |
| 39   | IN-                | AI         | Аналоговый вход инверсный   |
| 40   | IN+                | AI         | Аналоговый вход прямой  |
| 41 – 44  | VDDA               | PWR        | Аналоговое питание  |
| 45   | RESET              | I          | Сброс состояний всех элементов памяти и перезапуск микросхемы:<br>- «0» - состояние сброса;<br>- «1» - режим «Нормальный» |
| 46   | SDIO               | IO         | В режиме SPI: Входные/выходные данные последовательного интерфейса (если SPI не используется – «0»)                       |
| 47   | SCLK_LVDS          | I          | Вход синхросигнала последовательного интерфейса SPI /<br>Бит задающий режим КМОП (должен быть подключен к шине общий)     |
| 48   | nCS                | I          | Выбор последовательного интерфейса SPI (если SPI не используется – «1»)   |
| 1  | NC                 | –          | Не используется   |
| 2  | CLKO               | O          | Выходной тактовый сигнал  |
| –  | VDDD               | PWR        | Питание цифрового интерфейса  |
| 3  | D0                 | O          | КМОП выходные данные (младший значащий разряд)  |
| 4  | D1                 | O          | КМОП выходные данные  |
| 5  | D2                 | O          | КМОП выходные данные  |
| 0<br>(металлизация обратной стороны корпуса)   | GND                | PWR        | Общий   |
| <p>Примечание – Обозначение типов выводов:</p> <p>PWR – вывод питания и общий;<br/>I – цифровой вход;<br/>O – цифровой выход;<br/>IO – цифровой вход / выход;<br/>AI – аналоговый вход;<br/>АО – аналоговый выход;<br/>AIO – аналоговый вход / выход</p> |                    |            |   |

Таблица 2 – Описание выводов микросхемы в режиме вывода данных LVDS

| Номер вывода | Обозначение вывода | Тип вывода | Назначение вывода   |
|--------------|--------------------|------------|---|
| 6            | D3/D2              | O          | LVDS выходные данные; бит 3/2 прямой  |
| 7            | VDDD               | PWR        | Питание цифрового интерфейса  |
| 8            | nD5/nD4            | O          | LVDS выходные данные; бит 5/4 инверсный   |
| 9            | D5/D4              | O          | LVDS выходные данные; бит 5/4 прямой  |
| 10           | nD7/nD6            | O          | LVDS выходные данные; бит 7/6 инверсный   |
| 11           | D7/D6              | O          | LVDS выходные данные; бит 7/6 прямой  |
| 12           | VDDD               | PWR        | Питание цифрового интерфейса  |
| 13           | T0                 | –          | Технологический вывод. Необходимо подключить к шине общий                                   |
| 14           | nD9/nD8            | O          | LVDS выходные данные; бит 9/8 инверсный   |
| 15           | D9/D8              | O          | LVDS выходные данные; бит 9/8 прямой  |
| 16           | nD11/nD10          | O          | LVDS выходные данные; бит 11/10 инверсный   |
| 17           | D11/D10            | O          | LVDS выходные данные; бит 11/10 прямой  |
| –            | VDDD               | PWR        | Питание цифрового интерфейса  |
| 18           | nD13/nD12          | O          | LVDS выходные данные; бит 13/12 инверсный   |
| 19           | D13/D12            | O          | LVDS выходные данные; бит 13/12 прямой  |
| 20           | VDDD               | PWR        | Питание цифрового интерфейса  |
| 21           | nD15/nD14          | O          | LVDS выходные данные; бит 15/14 (старший значащий разряд) инверсный                         |
| 22           | D15/D14            | O          | LVDS выходные данные; бит 15/14 (старший значащий разряд) прямой                            |
| 23           | OR                 | O          | LVDS флаг переполнения прямой   |
| 24           | nOR                | O          | LVDS флаг переполнения инверсный  |
| 25           | PD                 | I          | Вход выбора режима «Выключено»:<br>- «1» - режим «Выключено»;<br>- «0» - режим «Нормальный» |
| 26           | CXREFN             | АО         | Вывод подключения конденсатора для стабилизации внутреннего нижнего опорного напряжения     |
| 27           | CXREFP             | АО         | Вывод подключения конденсатора для стабилизации внутреннего верхнего опорного напряжения    |
| 28           | VREF               | АЮ         | Опорное напряжение, определяющее шкалу АЦП  |
| 29           | VDDA               | PWR        | Аналоговое питание  |
| 30           | RBIAS              | АИ         | Цепь задания опорного тока  |
| –            | GND                | PWR        | Общий   |
| 31           | SENSE              | АИ         | Выбор режима внутренней схемы формирования опорных напряжений                               |
| 32, 33       | VDDA               | PWR        | Аналоговое питание  |
| 34           | CLK                | АИ         | Прямой вход тактирующего сигнала  |
| 35           | nCLK               | АИ         | Инверсный вход тактирующего сигнала   |

| Номер вывода  | Обозначение вывода | Тип вывода | Назначение вывода   |
|---|--------------------|------------|---|
| 36  | VDDA               | PWR        | Аналоговое питание  |
| –   | GND                | PWR        | Общий   |
| 37  | VCM                | АО         | Выход опорного напряжения, задающего уровень синфазного напряжения для входных аналоговых цепей                         |
| 38  | VDDA               | PWR        | Аналоговое питание  |
| 39  | IN-                | AI         | Аналоговый вход инверсный   |
| 40  | IN+                | AI         | Аналоговый вход прямой  |
| 41 – 44   | VDDA               | PWR        | Аналоговое питание  |
| 45  | RESET              | I          | Сброс состояний всех элементов памяти и перезапуск микросхемы:<br>- «0» – состояние сброса;<br>- «1» – нормальный режим |
| 46  | SDIO               | IO         | В режиме SPI: Входные/выходные данные последовательного интерфейса (если SPI не используется – «0»)                     |
| 47  | SCLK_LVDS          | I          | Вход синхросигнала последовательного интерфейса SPI / Бит, задающий режим LVDS (должен быть подключен к шине питания)   |
| 48  | nCS                | I          | Выбор последовательного интерфейса SPI (если SPI не используется – «1»)   |
| 1   | nCLKO              | O          | Выход тактового сигнала инверсный   |
| 2   | CLKO               | O          | Выход тактового сигнала прямой  |
| –   | VDDD               | PWR        | Питание цифрового интерфейса  |
| 3   | nD1/nD0            | O          | LVDS выходные данные; бит 1/0 (младший значащий разряд) инверсный   |
| 4   | D1/D0              | O          | LVDS выходные данные; бит 1/0 (младший значащий разряд) прямой  |
| 5   | nD3/nD2            | O          | LVDS выходные данные; бит 3/2 инверсный   |
| 0<br>(металлизация обратной стороны корпуса)  | GND                | PWR        | Общий   |
| <p>Примечание – Обозначение типов выводов:</p> <ul style="list-style-type: none"> <li>PWR – вывод питания и общий;</li> <li>I – цифровой вход;</li> <li>O – цифровой выход;</li> <li>IO – цифровой вход / выход;</li> <li>AI – аналоговый вход;</li> <li>АО – аналоговый выход;</li> <li>АIO – аналоговый вход / выход</li> </ul> |                    |            |   |

## 5 Указания по применению и эксплуатации

При ремонте аппаратуры и измерении параметров замену микросхем необходимо проводить только при отключенных источниках питания.

Запрещается подведение каких-либо электрических сигналов (в том числе шин питания, общий) к выводам микросхем, не используемым согласно схеме электрической.

Технологический вывод 13 должен быть подключен к шине общий.

Типовые схемы включения микросхем приведены на рисунках 16, 21.

Порядок подачи и снятия напряжений питания и входных сигналов на микросхемы должен быть следующим:

а) подача (включение микросхемы):

- 1) общий;
- 2) питание цифрового интерфейса и аналоговых блоков одновременно;
- 3) входные сигналы на входы CLK, nCLK;
- 4) входной сигнал на вход RESET;
- 5) программирование интерфейса SPI при необходимости;
- 6) внешнее опорное напряжение (при необходимости);
- 7) входные сигналы;

б) снятие (выключение микросхемы):

- 1) входные сигналы в обратном порядке;
- 2) питание одновременно;
- 3) общий.

## 6 Описание функционирования микросхемы

### 6.1 Структура микросхемы. Схемы включения

Микросхема представляет собой аналого-цифровой преобразователь (АЦП) конвейерного типа с частотой выборки 80 Мвыб/с и разрядностью 16 бит.

Входной аналоговый дифференциальный сигнал подаётся через выводы IN+/IN- на входное устройство выборки-хранения (УВХ) и далее обрабатывается ядром 16-битного АЦП. Момент выборки соответствует моменту переключения CLK из высокого состояния в низкое с апертурной задержкой  $t_A$ .

Система цифровой постобработки осуществляет коррекцию неидеальностей аналоговых блоков преобразователя и форматирование выходных данных. Через последовательный интерфейс SPI можно выбрать, в какой кодировке должны быть представлены цифровые отсчеты на выходе АЦП, а также запрограммировать режим работы микросхемы.

Входной тактирующий дифференциальный сигнал через выводы CLK/nCLK поступает на внутреннюю схему тактирования, в состав которой входит отключаемая схема коррекции скважности, а также делитель частоты с коэффициентом от 1 до 8.

Выходной интерфейс осуществляет вывод данных в двух режимах: параллельный КМОП и LVDS/DDR (с двойной скоростью). Выходной тактовый сигнал облегчает синхронный сбор данных приёмными устройствами.

Схема формирования опорных напряжений допускает использование как внутреннего, так и внешнего опорного напряжения  $U_{REF0}$ , определяющего величину шкалы преобразования. Есть возможность программирования напряжения  $U_{REF0}$  с помощью внешних резисторов подстройки или через последовательный интерфейс. На выводе VCM устанавливается напряжение  $U_{VCM}$ , которое может быть использовано для задания синфазного уровня входных аналоговых цепей.

Преобразователь работает с основным напряжением питания – 1,8 В. Для интерфейсной части поддерживается напряжение питания от 1,8 до 3,3 В (в режиме вывода данных LVDS – только 1,8 В). В выключенном режиме выходные буферы переводятся в третье состояние.

Типовые схемы включения в режимах КМОП и LVDS приведены в разделе «Типовые схемы включения».

### 6.2 Входной каскад

Упрощенная эквивалентная схема входной цепи АЦП представлена на рисунке 4. Отмечены внутренние паразитные элементы, цепи электростатической защиты (ЭСЗ) и паразитные элементы корпуса.

Входной каскад представляет собой схему на переключаемых конденсаторах, оптимизированную для работы с дифференциальным входным сигналом. Тактирующий сигнал замыкает и размыкает аналоговый переключатель, переводя входной каскад поочередно в фазу выборки и фазу хранения. Когда каскад находится в фазе выборки, источник входного сигнала должен иметь выходное сопротивление,

достаточное для зарядки конденсаторов выборки (около 4 пФ) за половину такта преобразования.

Небольшой последовательный резистор на каждом входе помогает уменьшить пиковые токи, которые должны обеспечиваться источником входного сигнала при переключении между фазами. Также можно установить шунтирующий конденсатор между двумя входами, что позволит получить дополнительную динамическую прибавку к токам перезарядки. Получившаяся цепь представляет собой фильтр нижних частот (см. Z1 на рисунке 16). Точные параметры компонентов фильтра зависят от применения. Поиск оптимальных номиналов R3-R6 и C9 для данного приложения можно начать со значений, приведённых на рисунке 16. Для каждого из двух диапазонов частот входного сигнала предлагается свой набор параметров Z1.

Наилучшие динамические характеристики АЦП достигаются, когда выходные импедансы источников IN+/IN- согласованы, а сами дифференциальные входные цепи сбалансированы.

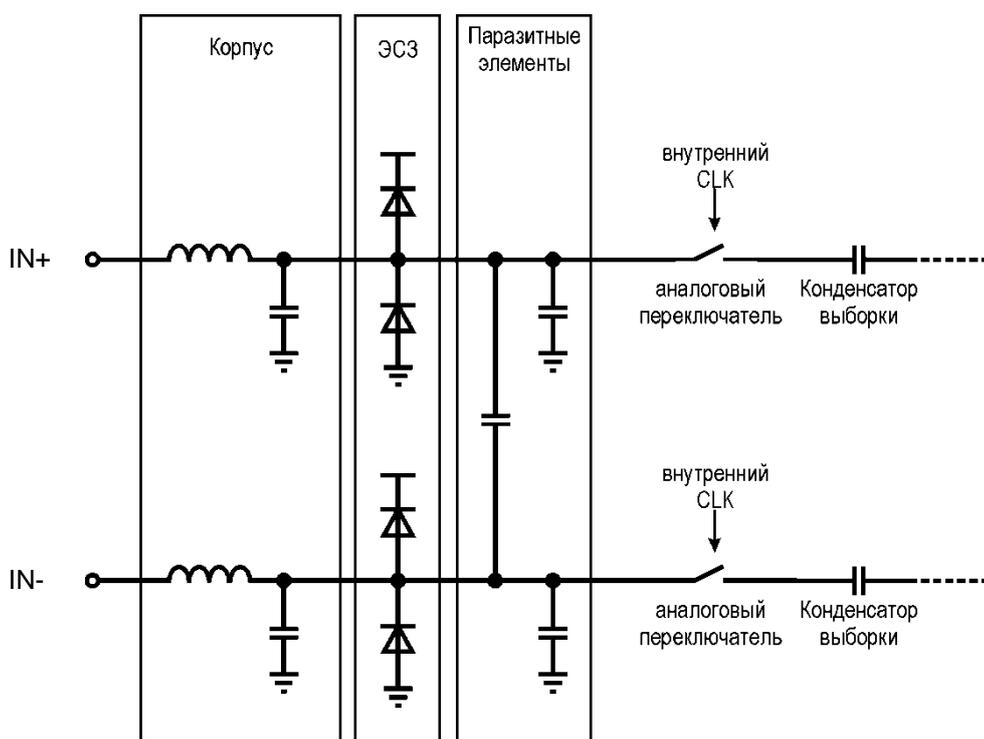


Рисунок 4 – Эквивалентная схема входной цепи выборки

### 6.3 Синфазный уровень входного сигнала

Аналоговые входы АЦП не имеют внутреннего смещения по постоянному току, поэтому смещение должно быть обеспечено пользователем внешне.

Наилучшие характеристики АЦП достигаются, когда синфазный уровень дифференциального входного сигнала равен  $1/2 \cdot U_{CCA}$ , однако микросхема работает с приемлемыми характеристиками и в более широком диапазоне синфазных уровней.

Встроенный источник напряжения, величина которого оптимальна для использования в качестве схемы смещения аналоговых входов, предусмотрен в данной микросхеме. Это напряжение доступно на выводе VCM (см. рисунок 5) и должно быть отфильтровано с помощью конденсатора номиналом 0,1 мкФ.

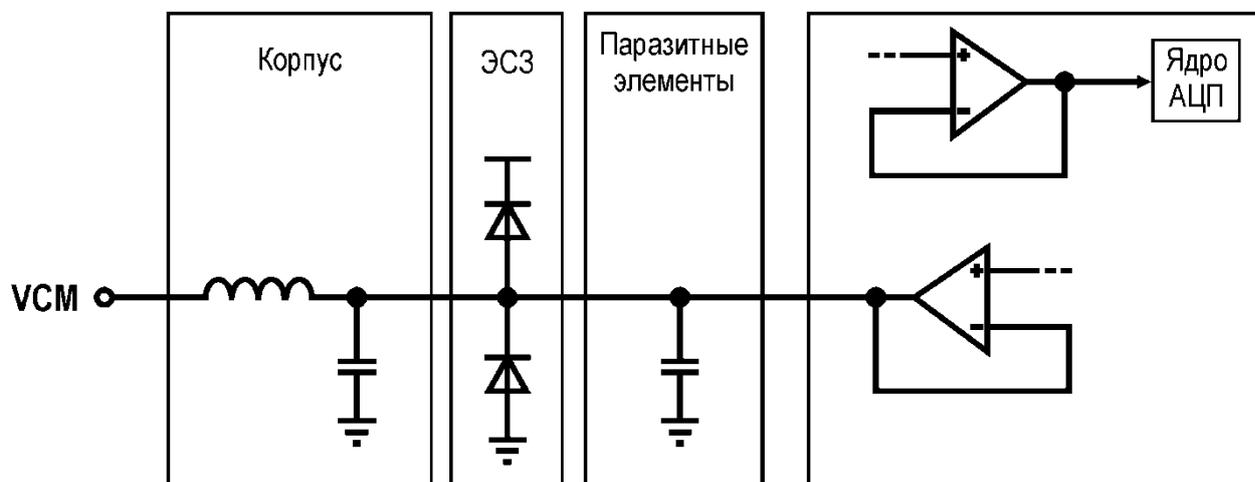


Рисунок 5 – Эквивалентная схема блока, формирующего выходной синфазный уровень

#### 6.4 Схема формирования опорных напряжений

Устройство содержит внутренний источник опорного напряжения (ИОН). Входной диапазон (шкала) АЦП может подстраиваться регулированием напряжения  $U_{\text{REFO}}$  (на выводе VREF). Напряжение  $U_{\text{REFO}}$  задаётся внутренним или внешним ИОН, при этом оно может программироваться внешними резисторами подстройки или через интерфейс SPI. Входной диапазон АЦП (FS, Full Scale) линейно зависит от напряжения  $U_{\text{REFO}}$  и определяется выражением

$$FS = 2 U_{\text{REFO}}. \quad (1)$$

Формула (1) справедлива независимо от того, работает АЦП с внешним или с внутренним ИОН.

Выходы CXREFP и CXREFN требуют подключения ёмкостной нагрузки для снижения уровня шума по внутренним шинам опорных напряжений.

##### 6.4.1 Работа с внутренним ИОН

Компаратор в блоке селективной логики (см. рисунок 6) детектирует напряжение на выводе SENSE и конфигурирует схему формирования опорных напряжений в соответствии с таблицей 3.

Если SENSE подключен к шине общий, внутренние резисторы замыкаются в цепь обратной связи, в результате чего  $U_{\text{REFO}}$  оказывается равным приблизительно 1 В (что соответствует шкале 2 В п-п). В этом режиме, когда SENSE подключен к шине общий, полная шкала может подстраиваться через последовательный интерфейс. Установкой 8-го и 7-го битов регистра R\_CNTRL можно сконфигурировать полную шкалу до значений 1,25; 1,5 и 1,75 В п-п в соответствии с таблицей 4.

Если подключить внешние резисторы между выводами VREF и SENSE, как показано на рисунке 7, то напряжение на выводе VREF установится к следующему значению

$$U_{\text{REFO}} = 0,5 \cdot (1 + R2/R1). \quad (2)$$

Если вывод SENSE объединен с VREF, внутренний буфер включается в режим единичной обратной связи, и  $U_{REF0}$  оказывается равным 0,5 В.

Вывод SENSE следует считать аналоговым. Управление выводом SENSE при помощи внешнего микроконтроллера, ПЛИС и т.п. не допускается из-за повышенной чувствительности вывода к шумам. При конфигурации разрешается задействовать лишь «чистые» аналоговые шины общий и питания.

Если внутренний ИОН подаётся на несколько АЦП, необходимо учитывать нагрузочную способность источника опорного напряжения.

#### 6.4.2 Работа с внешним ИОН

Необходимость подключения внешнего источника опорного напряжения может возникнуть, когда требуется уменьшить ошибку усиления АЦП. При подаче питания (1,8 В) на вывод SENSE внутренний ИОН выключается, что позволяет задать напряжение  $U_{REF}$  внешним источником. Входной ток по выводу VREF в этом режиме в типичных условиях не превышает  $\pm 0,1$  мА.

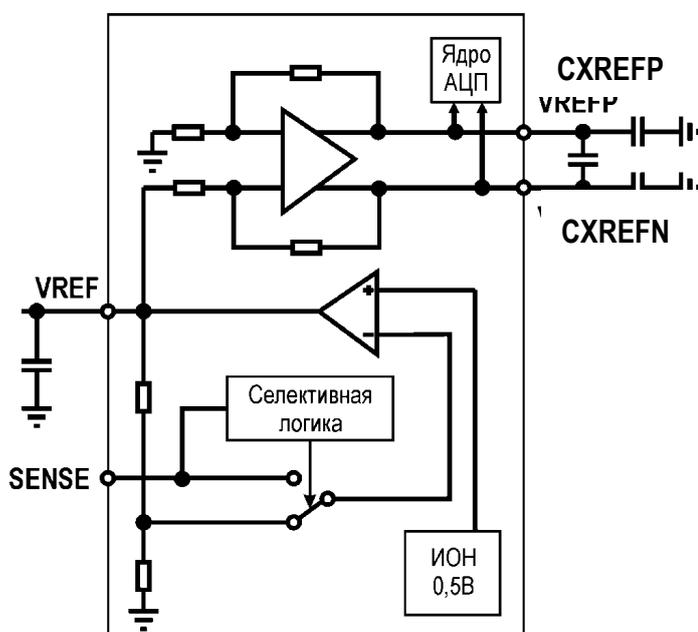


Рисунок 6 – Схема формирования опорных напряжений в режиме внутренней конфигурации

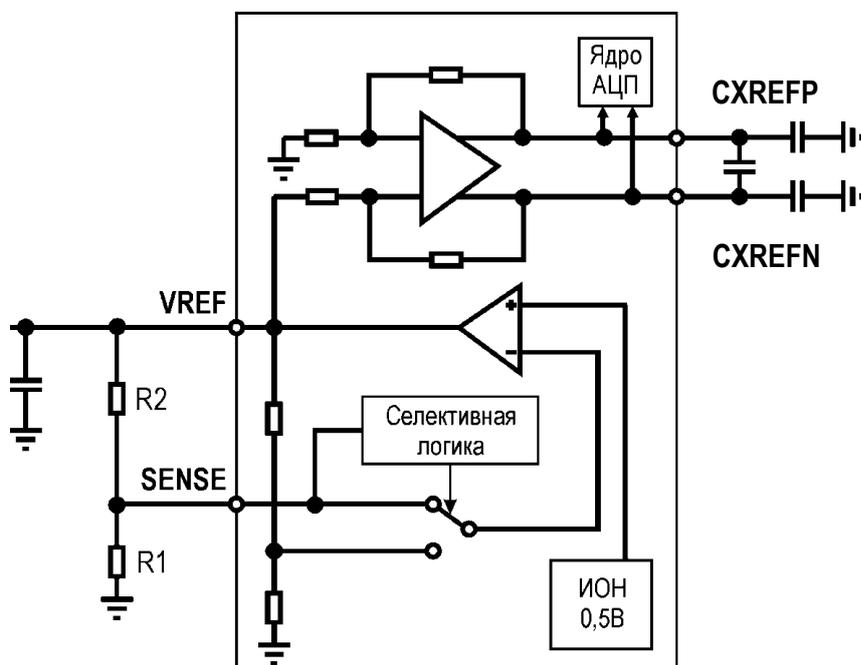


Рисунок 7 – Схема формирования опорных напряжений в режиме программируемой конфигурации

Таблица 3 – Конфигурации схемы формирования опорных напряжений

| Конфигурация                        | Напряжение на SENSE  | Результирующее $U_{REF0}$ , В | Размер шкалы АЦП, В |
|-------------------------------------|----------------------|-------------------------------|---------------------|
| Внешнее задание опорного напряжения | более $U_{CC} - 0,2$ | $U_{REF}$                     | $2 U_{REF}$         |
| Внутренняя фиксированная            | $U_{REF0}$           | 0,5                           | 1,0                 |
| Программируемая                     | $0,2 - U_{REF0}$     | $0,5(1+R2/R1)$                | $2 U_{REF0}$        |
| Внутренняя фиксированная            | менее $GND - 0,2 В$  | 1,0                           | 2,0                 |

Таблица 4 – Конфигурации схемы формирования опорных напряжений через SPI

| Код | Напряжение $U_{REF0}$ , В | Размер шкалы FS            |
|-----|---------------------------|----------------------------|
| 00  | 0,625                     | 1,25 В (п-п)               |
| 01  | 0,75                      | 1,5 В (п-п)                |
| 10  | 0,875                     | 1,75 В (п-п)               |
| 11  | 1,0                       | 2,0 В (п-п) (по умолчанию) |

### 6.5 Входной тактирующий сигнал

Наилучшие характеристики АЦП достигаются при использовании дифференциального входного тактирующего сигнала, подаваемого на выводы CLK и nCLK (см. рисунок 8). Эти выводы имеют внутренние цепи смещения и не требуют внешнего смещения.

Входной тактирующий сигнал может быть КМОП, LVDS, LVPECL или синусоидальный. При выборе источника сигнала следует учитывать привносимый им джиттер.

### 6.5.1 Джиттер тактирующего сигнала

Высокоскоростные многоразрядные АЦП чувствительны к качеству входного тактирующего сигнала. Деградация SNR на частоте  $f_1$  по отношению к SNR АЦП на низких частотах  $SNR_{LF}$  из-за джиттера ( $t_j$ ) может быть рассчитана по формуле

$$SNR_{HF} = -10 \log[(2\pi \cdot f_1 \cdot t_{JRMS})^2 + 10^{(-SNR_{LF}/10)}]. \quad (3)$$

Например, при частоте входного сигнала  $f_1 = 70$  МГц и джиттере  $t_{JRMS} = 1$  пс предельно достижимый  $SNR_{HF}$  идеального 14-разрядного АЦП составит 67,1 дБ (при  $SNR_{LF} = 86$  дБ). Системы с субдискретизацией особенно чувствительны к джиттеру (см. рисунок 39).

Помимо собственного джиттера тактирующего сигнала значение имеет джиттер, привносимый схемой приёма тактирующего сигнала в АЦП. Этот джиттер тем меньше, чем больше амплитуда и быстрее фронты входного тактирующего сигнала. От части это связано с тем, что схема, работающая с крутыми фронтами, менее чувствительна к помехам по шинам питания и «Общий».

Таким образом, поскольку синусоидальный сигнал меняется медленнее, чем прямоугольный, собственный джиттер АЦП при тактировании синусоидальным сигналом будет больше. Частично компенсировать этот недостаток синусоидального сигнала можно, максимально увеличив его амплитуду. Избежать недопустимых напряжений на входах CLK/nCLK микросхемы поможет ограничитель амплитуды, построенный на встречноключенных диодах Шоттки.

Входы CLK/nCLK следует считать аналоговыми в случаях, когда апертурный джиттер может ухудшить динамические характеристики АЦП. Чтобы избежать модуляции тактирующего сигнала и шума цифровых драйверов, необходимо использовать отдельное питание. Схема на базе кварцевого генератора с низким джиттером считается наилучшим источником тактирующего сигнала.

### 6.5.2 Сквозность тактирующего сигнала

Типовой конвейерный АЦП использует оба фронта тактирующего сигнала для формирования множества внутренних синхросигналов, поэтому он очень чувствителен к сквозности. Как правило, на высоких скоростях выборки требуется 2 % точность сквозности, чтобы обеспечить заданные динамические характеристики.

Если требуемая сквозность тактирующего сигнала не обеспечивается, можно воспользоваться двумя следующими способами: включить внутренний корректор сквозности или включить встроенный делитель частоты с чётным коэффициентом деления.

Схема коррекции восстанавливает 50 % сквозность тактирующего сигнала, модифицируя его передний фронт. Для данного АЦП значение имеет только джиттер по заднему фронту, т.е. переключения CLK из высокого состояния в низкое. Включение корректора сквозности не отменяет жестких требований к джиттеру заднего фронта

входного тактирующего сигнала. Если нет необходимости, чтобы не увеличивать джиттер, корректор скважности рекомендуется держать выключенным. При высоком исходном уровне соотношения сигнал-шум включение корректора может привести к снижению SNR до 1,2 дБ (см. рисунки 40, 41).

Корректор скважности может не работать на частотах тактирования ниже 20 МГц. Схема коррекции имеет определенную инертность, поэтому время ожидания при изменении частоты тактирования может составить до 15 мкс. Включить корректор можно, записав «1» в 6-й бит регистра CLK\_CTRL.

### 6.5.3 Делитель частоты

В состав микросхемы входит делитель частоты, позволяющий поделить частоту входного тактирующего сигнала на целое число от двух до восьми. При четных коэффициентах деления надобность в корректоре скважности пропадает, так как скважность на выходе делителя автоматически равна 50 %. Включение корректора скважности в этих режимах не рекомендуется, так как это приведет только к небольшому снижению соотношения сигнал-шум.

Для остальных коэффициентов деления (на 3, на 5 и на 7) скважность сигнала на выходе делителя приблизительно равна скважности входного тактирующего сигнала. В этих режимах, если входной тактирующий сигнал имеет скважность 50 %, необходимости включать корректор нет. Однако, если тактирующий сигнал с 50 % скважностью по каким-то причинам не может быть подан на микросхему, требуется включить корректор скважности.

Включить делитель частоты можно, выбрав коэффициент деления с помощью 13-го, 12-го и 11-го бита регистра CLK\_CTRL.

На входы CLK/nCLK может быть подан тактовый сигнал, частота которого превышает максимально допустимую частоту преобразования АЦП. Это возможно при условии, если коэффициент деления *заранее* выставлен так, что после деления частота тактирования окажется в пределах допустимого диапазона. Сначала необходимо установить требуемый коэффициент деления и только потом увеличивать частоту, иначе на внутренние блоки микросхемы будет подана слишком большая частота, что может привести к сбою.

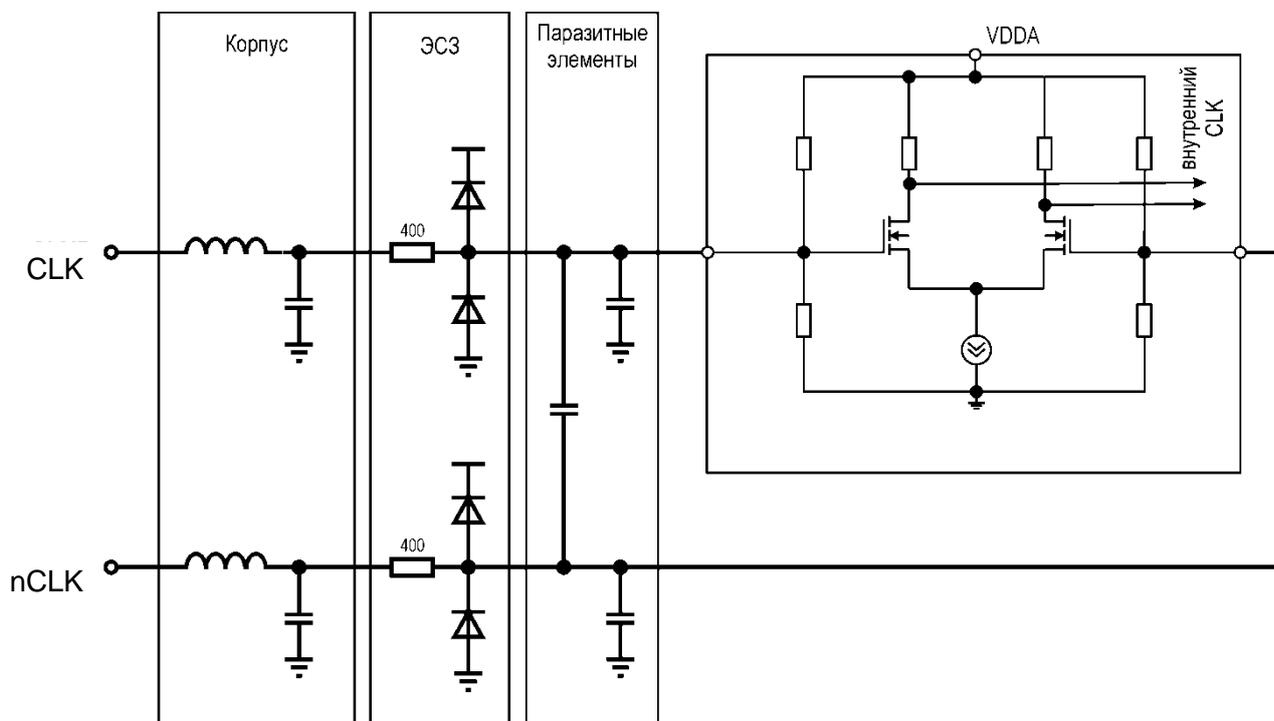


Рисунок 8 – Эквивалентная схема цепи входного тактирующего сигнала

## 6.6 Потребляемая мощность и режимы питания микросхемы

Мощность, рассеиваемая микросхемой, пропорциональна частоте выборки. В режиме вывода данных КМОП, ток цифровых драйверов определяется их мощностью и емкостью нагрузки  $C_L$  на каждом из выводов. Максимальный ток по выводам VDDD может быть оценен по следующей формуле

$$I_{CC0} = U_{CC} \cdot C_L \cdot f_s \cdot N, \quad (4)$$

где  $N$  – число выходных бит плюс один CLKO.

Ток потребления достигает своего максимума, когда каждый выходной бит переключается каждый такт, например, когда на вход АЦП подается прямоугольный сигнал с частотой Найквиста  $f_s/2$ . На практике ток через VDDD определяется средним числом переключений выходных бит, которое в свою очередь зависит от частоты выборки и характеристик входного аналогового сигнала.

### 6.6.1 Программирование силы выходных драйверов

Уменьшение ёмкости нагрузки способствует снижению потребляемой мощности, а также улучшает SNR АЦП, поскольку помехи, вызванные пиковыми токами перезарядки, уменьшаются. Такой же эффект достигается, если снизить напряжение питания выходных драйверов и/или сделать их менее мощными. Для регулирования силы выходных цифровых буферов пользователь может запрограммировать 4-й, 3-й и 1-й биты регистра R\_CNTRL.

Рекомендуется выставлять минимально возможную мощность выходных драйверов, при условии, что это не приводит к сбоям при сборе цифровых отчётов. (см. подраздел «Вывод цифровых данных»). В таблице 5 приводится относительное изменение мощности выходных буферов в зависимости от конфигурации. Чем больше

количество знаков «+», тем мощнее буфер, и наоборот, знак «-» означает пониженную нагрузочную способность буфера относительно своего номинального значения («0»).

В режиме вывода данных LVDS потребляемая мощность выходного интерфейса почти постоянна, а ток, потребляемый аналоговой частью, пропорционален частоте выборки. Коэффициент пропорциональности при этом гораздо ниже, чем в (4), поскольку основную часть мощности рассеивают блоки, энергопотребление которых не зависит от частоты. Тем не менее, для снижения потребляемой мощности LVDS-драйверов предусмотрен режим LVDS RS, при котором размах напряжения на приёмном устройстве уменьшается вдвое (см. подраздел «Вывод цифровых данных»).

Таблица 5 – Конфигурирование мощности выходных буферов в режиме КМОП

| o_conf<br>(R_CNTRL[1]) | od_load<br>(R_CNTRL[4:3]) | Мощность буфера (0 – номинальная,<br>«+» – повышенная, «-» – пониженная) |
|------------------------|---------------------------|--|
| 0                      | 00                        | 0 – (самый слабый буфер)   |
| 0                      | 01                        | 0 0 (по умолчанию)   |
| 0                      | 10                        | 0 +  |
| 0                      | 11                        | 0 ++   |
| 1                      | 00                        | + -  |
| 1                      | 01                        | + 0  |
| 1                      | 10                        | + +  |
| 1                      | 11                        | + ++ (самый мощный буфер)  |

### 6.6.2 Режимы питания микросхемы

Предусмотрено три режима питания:

- нормальный;
- выключено;
- режим ожидания.

Переход из режима «нормальный» (по умолчанию) в режим «выключено» осуществляется либо подачей высокого уровня на вывод PD, либо записью «01» в регистр PWR\_CTRL. В режиме «выключено» отключаются все блоки АЦП, включая цепи питания, схему формирования опоры, буфер входного тактового сигнала. Выходной цифровой интерфейс переводится в третье состояние.

В режиме «выключено» конденсаторы на выводах CXREFP и CXREFN разряжаются. При последующем переходе в режим «нормальный» перезарядка этих конденсаторов займет около 300 мкс. В режиме ожидания схема опорных напряжений не выключается, что позволяет быстрее переходить в режим «нормальный» работы (примерно 100 мкс). Переход в этот режим осуществляется записью «10» в регистр PWR\_CTRL.

Выход в режим «нормальный» из режима питания «выключено» и режима ожидания через последовательный интерфейс не возможен, т.к. SPI не доступен в этих режимах. Программирование режимов через последовательный интерфейс возможны только при PD = «0», в противном случае микросхема будет находиться в режиме «выключено». Входной тактовый сигнал подавать необязательно, если при включении

микросхемы вывод PD уже подтянут пользователем к VDDD. В этом случае АЦП автоматически работает в режиме «выключено».

При работе в режиме «нормальный» вывод PD можно оставить неподключенным, т.к. в микросхеме предусмотрена встроенная подтяжка PD к «0» через резистор 250 кОм.

### 6.6.3 Режимы повышенной производительности и пониженного потребления

Максимальная частота преобразования АЦП может быть увеличена до 95 Мвыб/с без существенного ухудшения динамических характеристик. Это достигается за счёт увеличения тока потребления, когда микросхема переходит в режим повышенной производительности.

Если, наоборот, скорость работы АЦП в данном приложении не превышает 55 Мвыб/с, то можно существенно сэкономить рассеиваемую мощность, используя микросхему в режиме пониженного потребления.

Переключение между основным режимом и режимом повышенной производительности осуществляется через регистры 0x53 – 0x56 последовательного интерфейса. Для работы в режиме пониженного потребления нужно увеличить номинал резистора в цепи задания опорного тока (вывод RBIAS на рисунке 16): резистор R7 сопротивлением 24 кОм вместо 12,1 кОм.

Требуемая конфигурация регистров и резистора R7 для каждого из режимов приводится в таблице 6.

Таблица 6 – Выбор режима работы

| Регистр / R7 | Режим    |                               |                         |
|--------------|----------|-------------------------------|-------------------------|
|              | Основной | Повышенной производительности | Пониженного потребления |
| 0x53         | 0x0003   | 0x00DB                        | 0x0003                  |
| 0x54         | 0x0027   | 0x3627                        | 0x0027                  |
| 0x55         | 0x0067   | 0x0127                        | 0x0067                  |
| 0x56         | 0x0027   | 0x4027                        | 0x0027                  |
| RBIAS        | 12,1 кОм | 12,1 кОм                      | 24 кОм                  |

## 6.7 Вывод цифровых данных

### 6.7.1 Режимы вывода данных

Для вывода цифровых отсчётов предусмотрено два режима:

- параллельный КМОП;
- LVDS-режим, работающий на удвоенной скорости (DDR).

Выбрать режим можно двумя способами:

- 1 Выставить на выводе SCLK\_LVDS «0» (режим КМОП) или «1» (режим LVDS) в момент начальной инициализации системы. Начальная инициализация – это период времени длительностью шестнадцать тактов

после сброса микросхемы (см. подробнее в подразделе «Включение и конфигурирование устройства»). То есть, если в течение этого времени после включения или сброса микросхемы на вывод SCLK\_LVDS подаётся постоянный уровень – микросхема переходит в нужный режим вывода данных. Затем вывод SCLK\_LVDS можно использовать для программирования микросхемы через SPI – на выбранный режим это не повлияет.

Поскольку большинство пользователей не переключаются между режимами КМОП и LVDS во время работы, непосредственный выбор режима с помощью вывода SCLK\_LVDS поможет избежать таких ситуаций, как, например, протекание токов через терминирующие резисторы LVDS, если требуемая конфигурация – КМОП.

- 2 Записать «0» (КМОП) или «1» (LVDS) во 2-й бит регистра R\_CNTRL. После этого нужно передать управление этому регистру, записав «1» в 15-й бит регистра MUX (т.е. 0xC7FF по адресу 0x04).

Буферы выходных данных могут работать с интерфейсами КМОП от 1,8 до 3,3 В. Для работы с конкретным интерфейсом никакой особой конфигурации не требуется, достаточно подать на выводы VDDD соответствующее напряжение питания. Также рекомендуется скорректировать мощность выходных буферов (см. подраздел «Потребляемая мощность и режимы питания микросхемы»), чтобы минимизировать пиковые токи по цепям питания. В приложениях, где необходимо работать на большие емкостные нагрузки, могут понадобиться дополнительные внешние буферы или триггеры. Работая в режиме вывода данных КМОП, следует учитывать, что SNR может быть несколько ниже при 3,3 В интерфейсе по сравнению с 1,8 В или режимом LVDS. Причем, чем больше ёмкостная нагрузка, тем сильнее деградация соотношения сигнал-шум в режиме КМОП. Например, из рисунка 30 видно, что при ёмкости нагрузки<sup>1</sup> около 4,5 пФ в режиме КМОП с уровнями 1,8 и 3,3 В характеристики близкие. Для больших емкостей нагрузки возможна деградация характеристик, и в первую очередь в режиме КМОП с уровнями 3,3 В.

В режиме LVDS допустимое напряжение питания  $U_{CC}$  (на выводах VDDD) только 1,8 В. Выходные уровни LVDS можно выбрать с помощью 1-го бита регистра R\_CNTRL, установив:

- «0» – ANSI (по умолчанию);
- «1» – RS (амплитуда в два раза меньше).

Уменьшенный размах сигнала LVDS позволяет снизить ток  $I_{CC0}$  (по выводам VDDD) и, как следствие, потребляемую мощность.

Выходные буферы могут быть переведены в третье состояние, если записать «0» в регистр BUF\_CONTROL (0x4B). Программируя данный регистр, можно перевести в третье состояние отдельные биты, сигнал OR или CLK0. Функция перевода выходных площадок в третье состояние не подразумевает последующий

<sup>1</sup> Примерная ёмкость нагрузки с учётом паразитной ёмкости печатной платы и входной ёмкости приёмного устройства, при которой проводились измерения справочных параметров.

быстрый доступ к шине данных. Время восстановления данных на выходе после включения может достигать 1 мкс.

Отдельным выходным битам можно присваивать постоянные значения, накладывая на них маску с помощью регистров OUT\_AND (0x4C) и OUT\_OR (0x4D), которые «маскируют» цифровой поток на выходе АЦП в соответствии со схемой на рисунке 9.

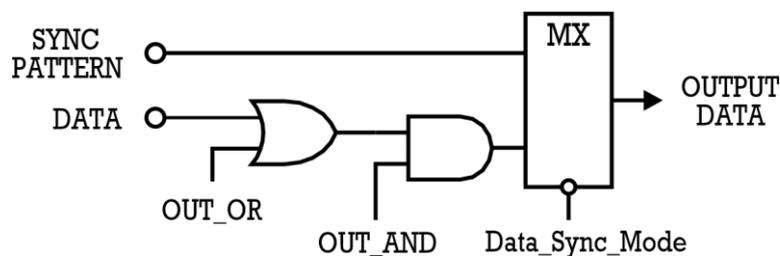


Рисунок 9 – Схема «маскирования» цифрового выхода АЦП

Например, чтобы перевести 15-й бит выходного кода (D15) в «1», нужно записать «1» в 15-й бит регистра OUT\_AND, а в 15-й бит регистра OUT\_OR – «1». Если нужно зафиксировать D15 в «0», то достаточно записать «0» в регистр OUT\_AND. Заметим, что «маскирование» не работает в режиме вывода тестовой последовательности (sync pattern, см. п. «Синхронизация выходного потока данных»).

### 6.7.2 Формат выходных данных

Формат выводимых цифровых данных можно выбрать с помощью битов 5, 6 регистра R\_CTRL. Вывод данных может осуществляться в следующих кодировках: двоичный код со смещением («00»), двоичный дополнительный код («01»), код Грея («10»). В таблице 7 приведены примеры кодирования. Флаг переполнения OR сигнализирует о том, что входной сигнал находится вне рабочего диапазона (см. рисунок 11).

### 6.7.3 Вывод цифровых отсчётов

Микросхема обеспечивает поток выходных данных с конвейерной задержкой 11 тактов (11,5 тактов в режиме LVDS). Временные диаграммы работы АЦП для двух режимов представлены на рисунках 12, 13. Выходные данные доступны через время  $t_{RD}$  после заднего фронта тактирующего сигнала.

Рекомендуется минимизировать длины дорожек и нагрузки на них, так как затянутые фронты могут ухудшить динамические параметры АЦП.

Минимальная типовая скорость преобразования АЦП составляет 10 Мвыб/с. На меньших скоростях выборки динамические характеристики могут деградировать. На скоростях ниже 5 Мвыб/с АЦП не работает.

### 6.7.4 Выходной тактирующий сигнал

На вывод CLK0 (в режиме КМОП) и CLK0, nCLK0 (в режиме LVDS) поступает выходной тактирующий сигнал, с помощью которого можно сохранить выходные данные во внешний регистр.

В режиме КМОП данные верны по заднему фронту CLKO. Полярность CLKO можно изменить с помощью 0-го бита регистра CLK\_CTRL.

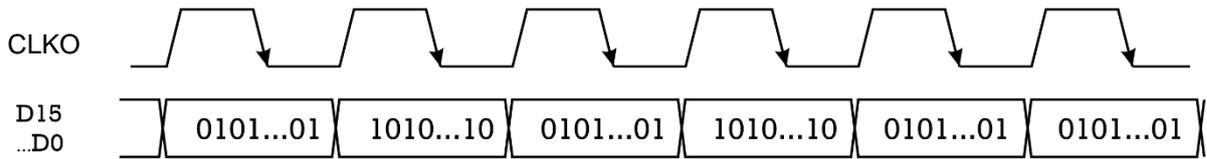
В режиме LVDS данные выводятся дважды за один такт: сначала нечётный бит (D15, D13, D11, ...) около заднего фронта CLKO/nCLKO, затем чётный (D14, D12, D10, ...) около переднего фронта CLKO/nCLKO. Сохранение во внешний регистр в этом режиме должно осуществляться по обоим фронтам дифференциального сигнала CLKO/nCLKO.

### **6.7.5 Синхронизация выходного потока данных**

Динамические параметры АЦП сильно ухудшаются, если не обеспечивается синхронный сбор выходных отсчётов. В ряде случаев (особенно в режиме LVDS), чтобы синхронизировать выходные данные и выходной тактирующий сигнал, может потребоваться сдвинуть CLKO относительно данных. Запрограммировать задержку CLKO в диапазоне от 0 до 3,4 нс можно с помощью битов 5–1 регистра CLK\_CTRL. При необходимости можно поменять полярность CLKO.

Проверить, правильно ли собираются выходные данные, можно, воспользовавшись специальным тестовым режимом. Если записать «1» в 10-й бит регистра R\_CNTRL, на выходе микросхемы будет выдаваться цифровая последовательность {0x5555 – 0xAAAA – 0x5555 – 0xAAAA - ...}, как показано на рисунке 10. Задать собственную последовательность можно с помощью регистров DATA1 и DATA2. Например, чтобы в режиме LVDS видеть на цифровом выходе смену данных каждые полтакта, можно записать в DATA2 то же значение, что и в DATA1 – 0x5555. Обнаруженные сбои при считывании данной последовательности свидетельствуют о рассинхронизации выходных данных и тактового сигнала (CLKO).

**CMOS Output Mode**



**LVDS Output Mode**

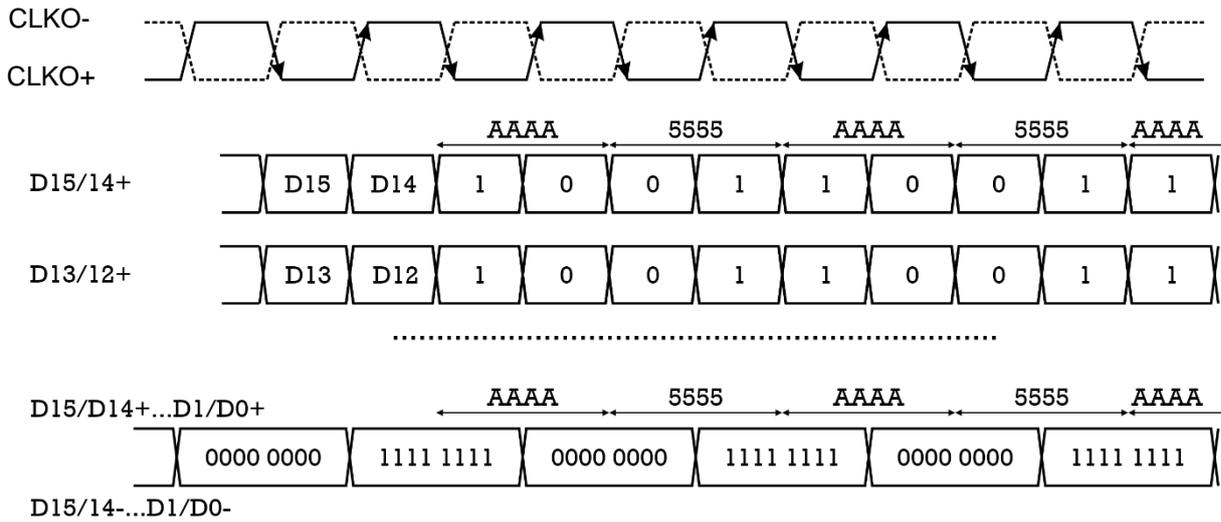
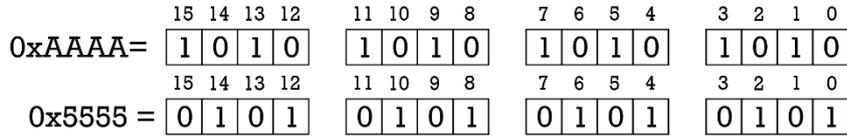


Рисунок 10 – Диаграмма, поясняющая работу в тестовом режиме, позволяющем проверить синхронизацию выходного потока данных

**Differential Analog Input**

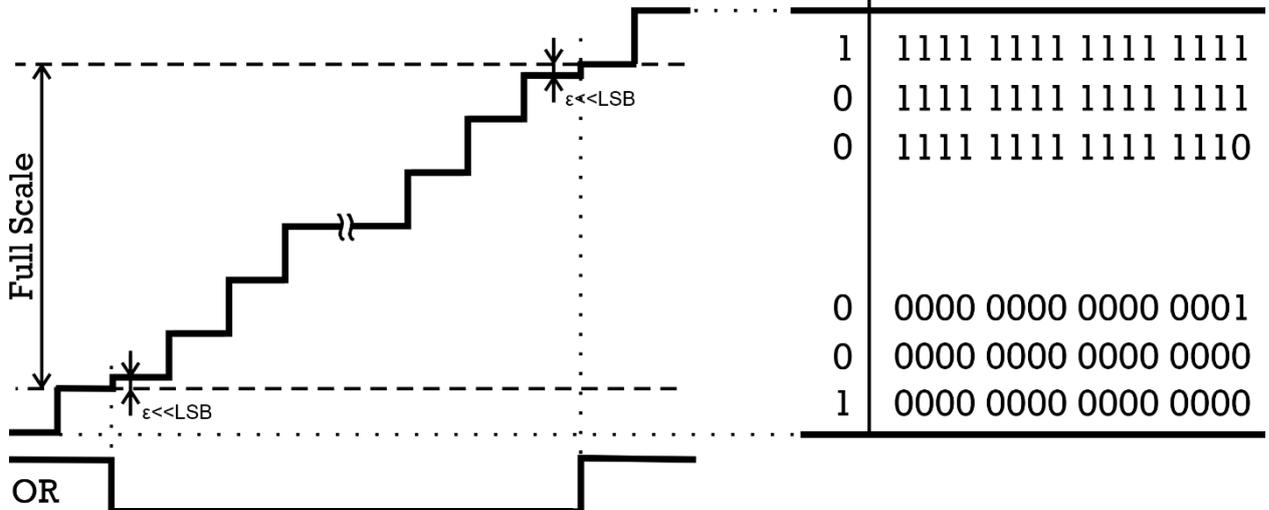


Рисунок 11 – Диаграмма, поясняющая состояние флага переполнения (OR)

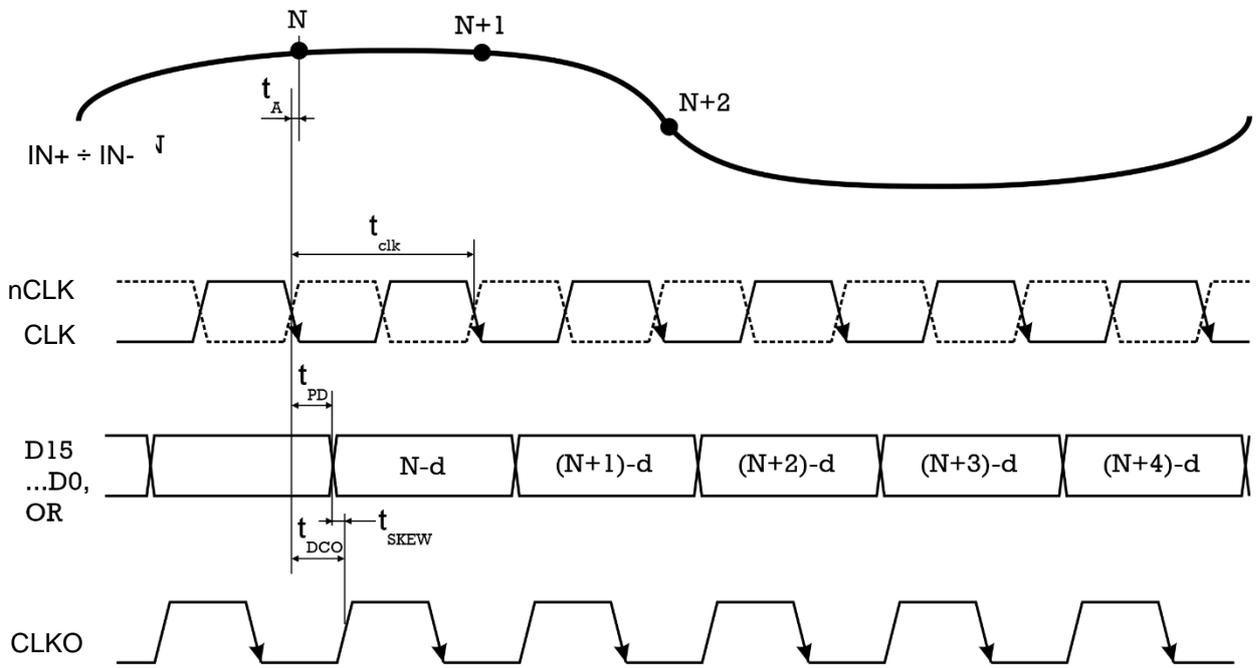


Рисунок 12 – Временная диаграмма работы АЦП в режиме выходных данных КМОП

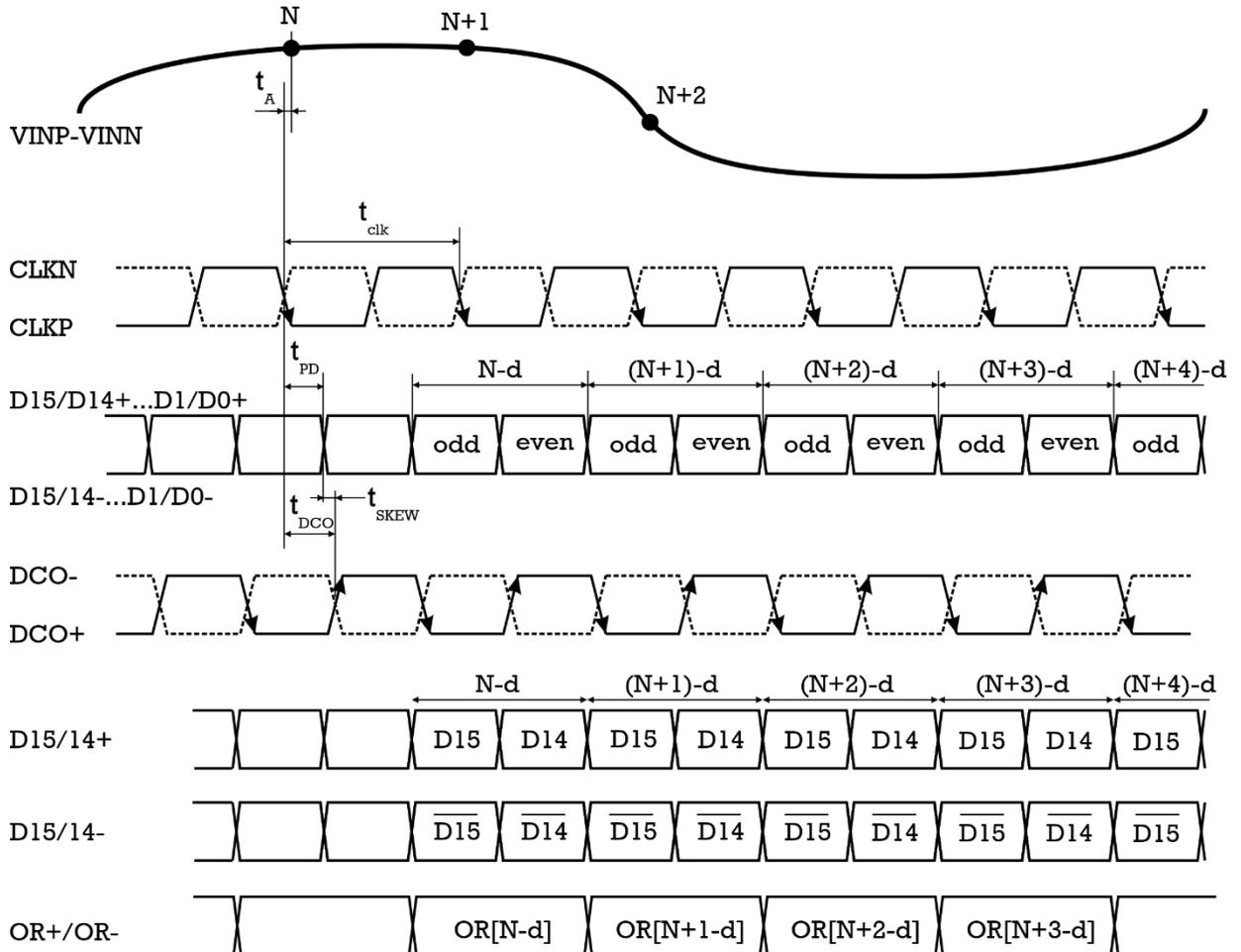


Рисунок 13 – Временная диаграмма работы АЦП в режиме выходных данных LVDS

Таблица 7 – Кодировка выходных данных

| $U_{IN+} - U_{IN-}$          | Двоичный со смещением код (ODF = 00) | Двоичный дополнительный код (ODF = 01) | Код Грея (ODF = 10) | OR |
|------------------------------|--------------------------------------|--|---------------------|----|
| $\leq - U_{REFO}$            | 0000 0000 0000 0000                  | 1000 0000 0000 0000                    | 0000 0000 0000 0000 | 1  |
| $- U_{REFO} + \varepsilon^1$ | 0000 0000 0000 0000                  | 1000 0000 0000 0000                    | 0000 0000 0000 0000 | 0  |
| $- U_{REFO} + \Delta_{МЗР}$  | 0000 0000 0000 0001                  | 1000 0000 0000 0001                    | 0000 0000 0000 0001 | 0  |
| $- U_{REFO} + 2\Delta_{МЗР}$ | 0000 0000 0000 0010                  | 1000 0000 0000 0010                    | 0000 0000 0000 0011 | 0  |
| $- U_{REFO} + 3\Delta_{МЗР}$ | 0000 0000 0000 0011                  | 1000 0000 0000 0011                    | 0000 0000 0000 0010 | 0  |
| $- U_{REFO} + 4\Delta_{МЗР}$ | 0000 0000 0000 0100                  | 1000 0000 0000 0100                    | 0000 0000 0000 0110 | 0  |
| ...                          | ...                                  | ...                                    | ...                 | 0  |
| $-2\Delta_{МЗР}$             | 0111 1111 1111 1110                  | 1111 1111 1111 1110                    | 0100 0000 0000 0001 | 0  |
| $-\Delta_{МЗР}$              | 0111 1111 1111 1111                  | 1111 1111 1111 1111                    | 0100 0000 0000 0000 | 0  |
| $0 + \varepsilon$            | 1000 0000 0000 0000                  | 0000 0000 0000 0000                    | 1100 0000 0000 0000 | 0  |
| $+\Delta_{МЗР}$              | 1000 0000 0000 0001                  | 0000 0000 0000 0001                    | 1100 0000 0000 0001 | 0  |
| $+2\Delta_{МЗР}$             | 1000 0000 0000 0010                  | 0000 0000 0000 0010                    | 1100 0000 0000 0011 | 0  |
| ...                          | ...                                  | ...                                    | ...                 | 0  |
| $+ U_{REFO} - 4\Delta_{МЗР}$ | 1111 1111 1111 1011                  | 0111 1111 1111 1011                    | 1000 0000 0000 0110 | 0  |
| $+ U_{REFO} - 3\Delta_{МЗР}$ | 1111 1111 1111 1100                  | 0111 1111 1111 1100                    | 1000 0000 0000 0010 | 0  |
| $+ U_{REFO} - 2\Delta_{МЗР}$ | 1111 1111 1111 1101                  | 0111 1111 1111 1101                    | 1000 0000 0000 0011 | 0  |
| $+ U_{REFO} - \Delta_{МЗР}$  | 1111 1111 1111 1110                  | 0111 1111 1111 1110                    | 1000 0000 0000 0001 | 0  |
| $+ U_{REFO} - \varepsilon$   | 1111 1111 1111 1111                  | 0111 1111 1111 1111                    | 1000 0000 0000 0000 | 0  |
| $\geq + U_{REFO}$            | 1111 1111 1111 1111                  | 0111 1111 1111 1111                    | 1000 0000 0000 0000 | 1  |

## 6.8 Включение и конфигурирование устройства

### 6.8.1 Подготовка к работе

После подачи питания на микросхему происходит зарядка всех внешних и внутренних узлов, а также автоматический сброс всех внутренних регистров. Для более устойчивой работы рекомендуется осуществить дополнительный сброс по окончании зарядки внешних конденсаторов (включая конденсаторы на выводах опорного напряжения). Для этого на вывод RESET подается импульс, длительность нуля которого составляет не менее 0,1 мс.

После сброса состояние на некоторых выводах микросхемы позволяет сконфигурировать её начальный режим работы. Как только на входы CLK/nCLK будет подан тактовый сигнал, начинается режим инициализации длительностью 16 тактов. В течение этого времени на выводе nCS необходимо поддерживать высокий уровень, а состоянием на выводе SCLK\_LVDS определить режим вывода данных: КМОП или LVDS. Для ускорения подготовки микросхемы к работе рекомендуется также поддерживать низкий уровень на выводе SDIO. По окончании инициализации потребуется еще до 3000 тактов для конфигурирования и установления всех внутренних режимов, после чего микросхема готова к работе.

<sup>1</sup>  $\varepsilon \ll \Delta_{МЗР}$ , где  $\Delta_{МЗР} = 2 U_{REFO} / 2^{16}$  – величина младшего значащего разряда (МЗР).

## 6.8.2 Последовательный интерфейс

Последовательный интерфейс (SPI) позволяет пользователю гибко настраивать АЦП в зависимости от применения. Конфигурировать микросхему можно, программируя набор регистров, который приводится в Карте памяти.

Уровни, используемые при программировании, соответствуют напряжению питания VDDD, т.е. могут быть от 1,8 до 3,3 В. Конфигурирование через последовательный интерфейс можно производить как с помощью ПЛИС, так и микроконтроллеров.

Нежелательно использовать SPI во время преобразования, когда от АЦП требуются наилучшие динамические характеристики. Это связано с тем, что все сигналы интерфейса, как правило, асинхронны с сигналом тактирования АЦП, следовательно, шум от них будет ухудшать динамические параметры микросхемы. Если шина SPI используется другими устройствами, рекомендуется установить буферы между шиной SPI и АЦП, чтобы не допустить переключений на выводах микросхемы. Особенно это важно в моменты выборки.

## 6.8.3 Протокол передачи данных

Для обмена данными по синхронному последовательному интерфейсу используются следующие выводы микросхемы: SDIO, SCLK\_LVDS и nCS (см. таблицу 8). Вывод SCLK\_LVDS используется также для начальной инициализации устройства и становится доступен только по прошествии шестнадцати тактов после сброса микросхемы. Несмотря на это, не рекомендуется пользоваться интерфейсом SPI прежде, чем микросхема придёт в состояние готовности (3000 тактов). Перевод микросхемы в режим «выключено» с помощью вывода PD до или во время начальной инициализации также делает интерфейс SPI недоступным.

Передача данных по последовательному интерфейсу возможна только, если на выводы CLK/nCLK подаётся тактовый сигнал. Это связано с тем, что все сигналы по выводам SPI пересинхронизируются внутри микросхемы на тактовую частоту. Максимальная частота работы интерфейса ограничена 1/10 частоты тактирования АЦП. Другие временные параметры последовательного интерфейса приводятся в таблице 9.

Контроллер последовательного порта передачи данных всегда является ведомым. В случае, если сигнал nCS находится в высоком уровне, передача данных не производится. Для инициализации передачи необходимо перевести nCS в низкий уровень, затем синхронно с сигналом SCLK\_LVDS передавать данные на вход SDIO так, чтобы они были выставлены по переднему фронту SCLK\_LVDS (см. рисунок 14). По окончании посылки на выводе nCS необходимо выставить высокий уровень. Если SPI не используется, nCS также необходимо держать в «1».

Все передачи по последовательному интерфейсу представлены как посылки. Каждая посылка состоит из трех байт (см. рисунки 14, 15). Все три байта загружаются и выгружаются, начиная с младшего бита. Первый байт посылки задает адрес регистра и направление передачи данных. Его старший бит указывает, чтение (R/nW="1") или запись (R/nW="0") будет производиться в регистр, адрес которого определяется

первыми семью битами. Если производится запись, то сразу за байтом адреса должны последовать два байта данных. Вывод микросхемы SDIO при этом продолжает работать на вход. Если производится чтение, то сразу после считывания первого адресного байта команды вывод SDIO меняет направление и начинает работать на выход, передавая два байта данных по заднему фронту SCLK\_LVDS с тем, чтобы они были доступны для чтения по переднему фронту SCLK\_LVDS.

Таблица 8 – Выводы микросхемы, используемые последовательным интерфейсом

| Вывод     | Назначение   |
|-----------|--|
| SCLK_LVDS | Сигнал тактирования, необходимый для синхронизации операций записи и чтения  |
| SDIO      | Последовательные входные/выходные данные. Это двунаправленный вывод, работающий как на вход, так и на выход, в зависимости от текущей команды и относительного положения в посылке |
| nCS       | Активизация интерфейса. Низкий уровень на данном выводе разрешает микросхеме прием/передачу данных по интерфейсу   |

Таблица 9 – Временные параметры последовательного интерфейса

| Параметр   | Назначение   | Величина |
|------------|--|----------|
| $T_s$      | Период преобразования АЦП  | $1/f_s$  |
| $t_{ds}$   | Минимальное время предустановки данных по отношению к переднему фронту SCLK_LVDS                                 | $4T_s$   |
| $t_{dH}$   | Минимальное время удержания данных по отношению к переднему фронту SCLK_LVDS                                     | $4T_s$   |
| $t_{CLK}$  | Минимальный период SCLK_LVDS   | $10T_s$  |
| $t_s$      | Минимальное время предустановки nCS по отношению к переднему фронту SCLK_LVDS                                    | $4T_s$   |
| $t_H$      | Минимальное время удержания nCS по отношению к переднему фронту SCLK_LVDS  | $4T_s$   |
| $t_{HIGH}$ | Минимальная продолжительность высокого уровня SCLK_LVDS  | $2T_s$   |
| $t_{LOW}$  | Минимальная продолжительность низкого уровня SCLK_LVDS   | $2T_s$   |
|            | Минимальное время переключения SDIO из состояния приема в состояние вывода относительно заднего фронта SCLK_LVDS | 1 нс     |
|            | Минимальное время переключения SDIO из состояния вывода в состояние приема относительно заднего фронта SCLK_LVDS | 1 нс     |

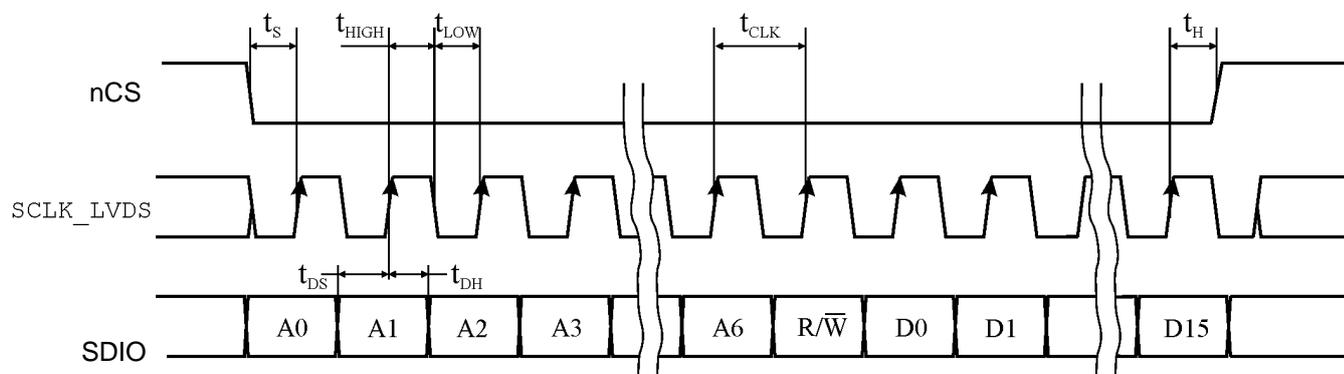


Рисунок 14 – Временная диаграмма работы последовательного интерфейса

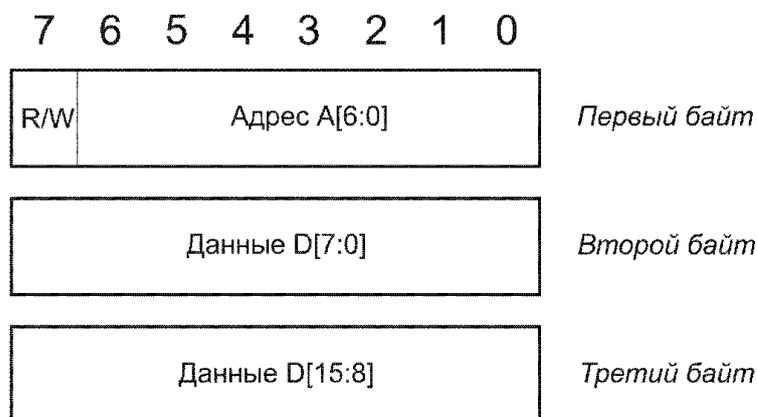


Рисунок 15 – Формат посылки

### 6.8.4 Конфигурирование без SPI

В приложениях, в которых не используется последовательный интерфейс, вывод микросхемы SCLK\_LVDS определяет конфигурацию выходного интерфейса. Этот вывод, а также PD и RESET управляются КМОП-уровнями, которые соответствуют напряжению питания на VDDD. Чтобы вывод SCLK\_LVDS всегда воспринимался как конфигурационный, нужно подтянуть nCS к VDDD. Любое изменение по SCLK\_LVDS имеет значение только в течение 16 тактов после сброса микросхемы. Функции конфигурационных выводов представлены в таблице 10.

Таблица 10 – Функции конфигурационных выводов

| Вывод     | Внешнее напряжение | Конфигурация АЦП                       |
|-----------|--------------------|--|
| SCLK_LVDS | VDDD               | Режим вывода данных LVDS               |
|           | GND                | Режим вывода данных КМОП               |
| PD        | VDDD               | Режим питания «выключено»              |
|           | GND (по-умолчанию) | Режим питания «нормальный»             |
| RESET     | VDDD               | Микросхема находится в активном режиме |
|           | GND                | Микросхема находится в сбросе          |

### 6.8.5 Варианты конфигурации, доступные через SPI

В таблице 11 приводится обзор основных возможностей конфигурирования с помощью последовательного интерфейса. Более подробная информация содержится в подразделе «Карта памяти».

Таблица 11 – Функции, программируемые по SPI

| Функция                                     | Назначение   |
|---|--|
| Режимы питания                              | Позволяет пользователю перевести микросхему в режимы «выключено» или «режим ожидания»  |
| Тактирующий сигнал                          | Позволяет пользователю включить корректор скважности или делитель частоты, изменить фазу тактового сигнала                                   |
| Смещения нуля                               | Позволяет пользователю подстроить в цифровом виде смещение нуля АЦП  |
| Тестирование выводов цифровых данных        | Позволяет пользователю выставить на цифровых выходах известные значения, в том числе задать определенную последовательность для переключения |
| Выключение выходных драйверов               | Позволяет пользователю полностью или по отдельности перевести выходы выходных данных в третье состояние                                      |
| Режимы вывода данных                        | Позволяет пользователю указать режим передачи данных, размах выходных напряжений и длительности фронтов, изменить формат выводимых данных    |
| Задержка и фаза выходного тактового сигнала | Позволяет пользователю инвертировать CLK0, а также подстроить его задержку относительно данных   |
| Опорное напряжение                          | Позволяет пользователю программировать опорное напряжение U <sub>REF0</sub> (на выводе VREF)   |

### 6.8.6 Карта памяти

Каждая строка в таблице 12 содержит шестнадцать ячеек, соответствующих битам данного регистра. Если ячейки не заполнены, они могут принимать любое значение. Ячейки, в которых проставлены просто цифры «0» или «1», соответствуют служебным битам, отвечающим за тестовые режимы микросхемы, и недоступны при нормальной эксплуатации. При программировании **запрещается** менять состояние служебных битов.

Регистр R\_CNTRL(0x01) имеет следующие особенности:

- некоторые биты регистра предназначены для конфигурации микросхемы, но также есть биты-флаги, отображающие состояние микросхемы в данный момент времени. Эти биты-флаги невозможно программировать. Например, 15-ый, 14-ый, 13-ый, 0-й биты – это служебные флаги, работающие только на чтение.
- 2-й бит регистра активизируются, только если переключить мультиплексор с внутренней памяти (где хранится состояние, считанное сразу после сброса микросхемы с вывода SCLK\_LVDS) на регистры SPI. Это делается записью «1» в 15-ый бит (для LVDS) регистра MUX(0x04).

Другими словами, в регистре R\_CNTRL содержится информация о текущем состоянии микросхемы. Считав значение регистра, можно увидеть, какая конфигурация активна в данный момент. Для изменения конфигурации иногда (например, для LVDS/КМОП) недостаточно перезаписать конкретный бит регистра R\_CNTRL,

необходимо перепрограммировать другие регистры. Поэтому до тех пор, пока не будут выполнены все команды для перевода микросхемы в другой режим, регистр R\_CNTRL не изменит своего состояния.

Если число, записанное в регистр R\_CNTRL, не воспроизводится при последующем чтении, причинами могут быть:

- изменения затрагивают биты-флаги;
- не выполнены все условия для изменения конфигурации (мультиплексор не переключен).

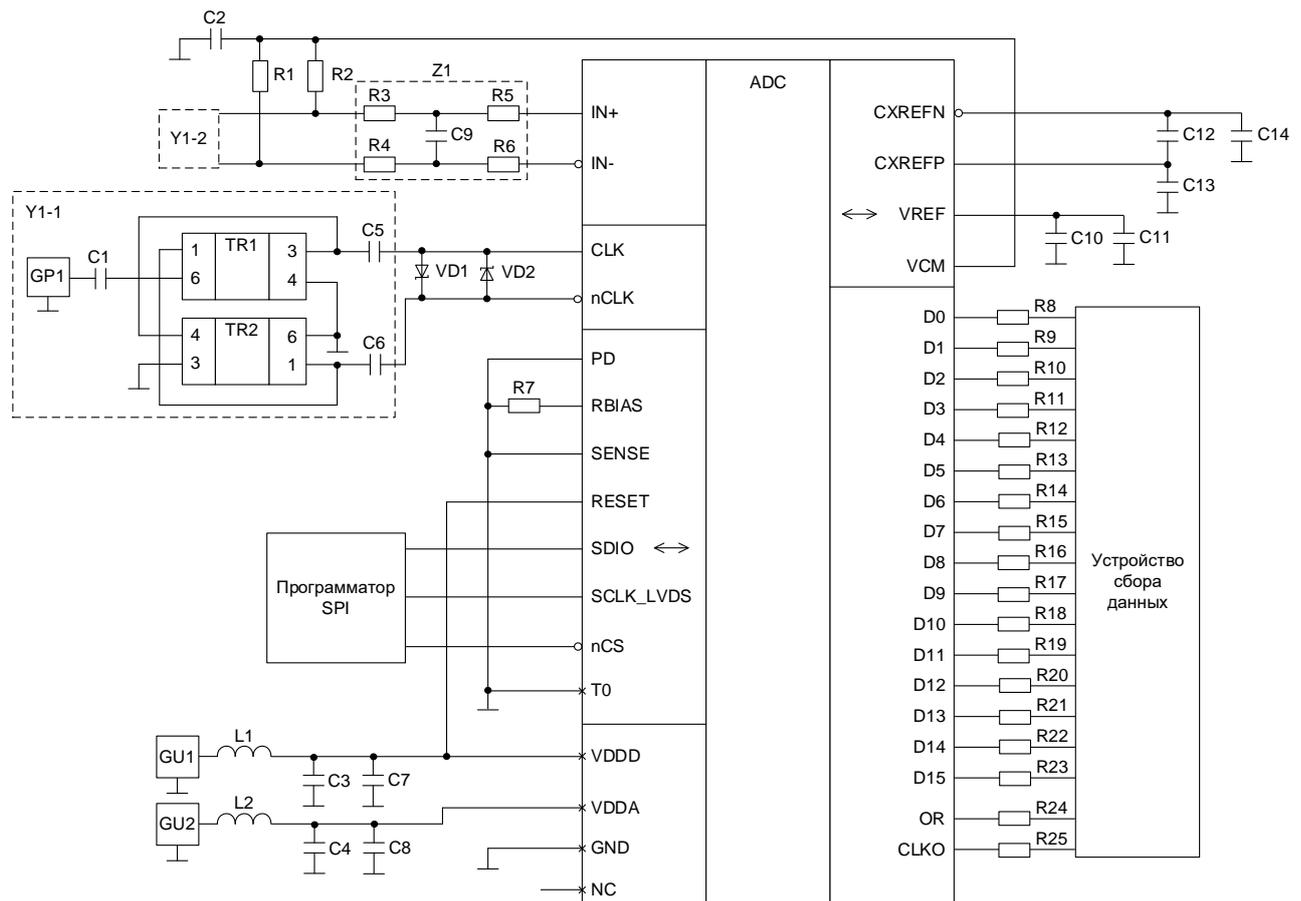
Таблица 12 – Карта памяти

| Адрес | Наименование                                       | Бит 15   | Бит 14         | Бит 13         | Бит 12 | Бит 11 | Бит 10   | Бит 9     | Бит 8  | Бит 7      | Бит 6  | Бит 5                           | Бит 4                                | Бит 3    | Бит 2  | Бит 1  | Бит 0 (МЗР)      | По умолчанию         |
|-------|--|--|----------------|----------------|--------|--------|--|-----------|--|------------|--|---------------------------------|--------------------------------------|----------|--|--|------------------|----------------------|
| 0x01  | R_CNTRL<br>Режимы интерфейса и опорного напряжения | служебный флаг   | служебный флаг | служебный флаг | 0      | 0      | Data_Sync_Mode<br>0 = нормальный режим<br>1 = выходной интерфейс в режиме вывода тестовой последовательности | 0         | vref_select<br>00=Vref 0.625<br>01=Vref 0.75<br>10=Vref 0.875<br>11=Vref 1.0 |            | ODF<br>00 = двоичн. см.<br>01 = двоичн. дополнительный | 10 = код Грея<br>11 = кол. Грея | od_load<br>Мощность выходных буферов |          | 0= Режим вывода CMOS<br>1= Режим вывода LVDS | o_conf.<br>CMOS:<br>Мощность выходных буферов<br>LVDS:<br>0=ANSI<br>1=RS                                 | служебный флаг   | 0x6188 <sup>1)</sup> |
| 0x04  | MUX  | режим вывода LVDS/КМОП в соответствии с состоянием при инициализации<br>0= при инициализации<br>1= запрограммированному по SPI |                |                |        |        | 1  | 1         | 1  |            | 1  |                                 | 1                                    |          | 11   | 1  |                  | 0x7FF                |
| 0x44  | CORRECTION   | Смещение нуля<br>(число в дополнительном коде от -32767 до +32767)   |                |                |        |        |  |           |  |            |  |                                 |                                      |          |  |  | Текущее значение |                      |
| 0x4A  | PWR_CTRL<br>Режимы питания                         |  |                | 0              | 0      | 0      | 0  | 0         | 0  | 1          | 1  | 1                               | 1                                    | 1        | 1  | Режим питания<br>00 = «нормальн.»<br>01 = выкл.<br>10 = ожидан.<br>11 = «нормальн.»<br>(только при PD=0) |                  | 0xFC                 |
| 0x4B  | BUF_CONTROL<br>Выходной интерфейс EN               |  |                | 1              | 1      | EN OR- | EN OR+   | EN CLKO - | EN CLKO +  | EN D14 D15 | EN D12 D13   | EN D10 D11                      | EN D8 D9                             | EN D6 D7 | EN D4 D5                                     | EN D2 D3   | EN D0 D1         | 0x3FFF               |

<sup>1)</sup> Определяется состоянием после инициализации, а также положением мультиплексора MUX (0x04)

| Адрес | Наименование                         | Бит 15   | Бит 14 | Бит 13  | Бит 12 | Бит 11 | Бит 10 | Бит 9 | Бит 8   | Бит 7 | Бит 6   | Бит 5   | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 (МЗР)  | По умолчанию |
|-------|--------------------------------------|--|--------|---|--------|--------|--------|-------|---|-------|---|---|-------|-------|-------|-------|--|--------------|
| 0x4C  | OUT_AND                              | D15  | D14    | D13   | D12    | D11    | D10    | D9    | D8  | D7    | D6  | D5  | D4    | D3    | D2    | D1    | D0   | 0xFFFF       |
| 0x4D  | OUT_OR                               | D15  | D14    | D13   | D12    | D11    | D10    | D9    | D8  | D7    | D6  | D5  | D4    | D3    | D2    | D1    | D0   | 0            |
| 0x4E  | CLK_CTRL<br>Режимы тактового сигнала |  |        | 000 = делитель отключен<br>001 = деление на 2<br>010 = деление на 3<br>011 = деление на 4<br>100 = деление на 5<br>101 = деление на 6<br>110 = деление на 7<br>111 = деление на 8 |        |        | 00     |       | 0 = входной сигнал без инверсии<br>1 = входной сигнал инвертированный |       | 0 = корректор скважности выключен<br>1 = корректор скважности включен | Задержка CLKO<br>00000 = 0 пс<br>00001 = 95 пс<br>00010 = 213 пс<br>...<br>11110 = 3294 пс<br>11111 = 3385 пс |       |       |       |       | CLKO полярность<br>0 = CLKO без инверсии<br>1 = CLKO инвертированный | 0            |
| 0x53  | Основной /                           | 0x0003 = режим основной или пониженного потребления / 0x00DB = режим повышенной производительности |        |   |        |        |        |       |   |       |   |   |       |       |       |       |  | 0x0003       |
| 0x54  | Пониженного                          | 0x0027 = режим основной или пониженного потребления / 0x3627 = режим повышенной производительности |        |   |        |        |        |       |   |       |   |   |       |       |       |       |  | 0x0027       |
| 0x55  | потребления /                        | 0x0067 = режим основной или пониженного потребления / 0x0127 = режим повышенной производительности |        |   |        |        |        |       |   |       |   |   |       |       |       |       |  | 0x0067       |
| 0x56  | Повышенной<br>производительности     | 0x0027 = режим основной или пониженного потребления / 0x4027 = режим повышенной производительности |        |   |        |        |        |       |   |       |   |   |       |       |       |       |  | 0x0027       |
| 0x5A  | DATA1                                | Первое число выходной последовательности в режиме синхронизации выходных данных                    |        |   |        |        |        |       |   |       |   |   |       |       |       |       |  | 0x5555       |
| 0x5B  | DATA2                                | Второе число выходной последовательности в режиме синхронизации выходных данных                    |        |   |        |        |        |       |   |       |   |   |       |       |       |       |  | 0xAAAA       |

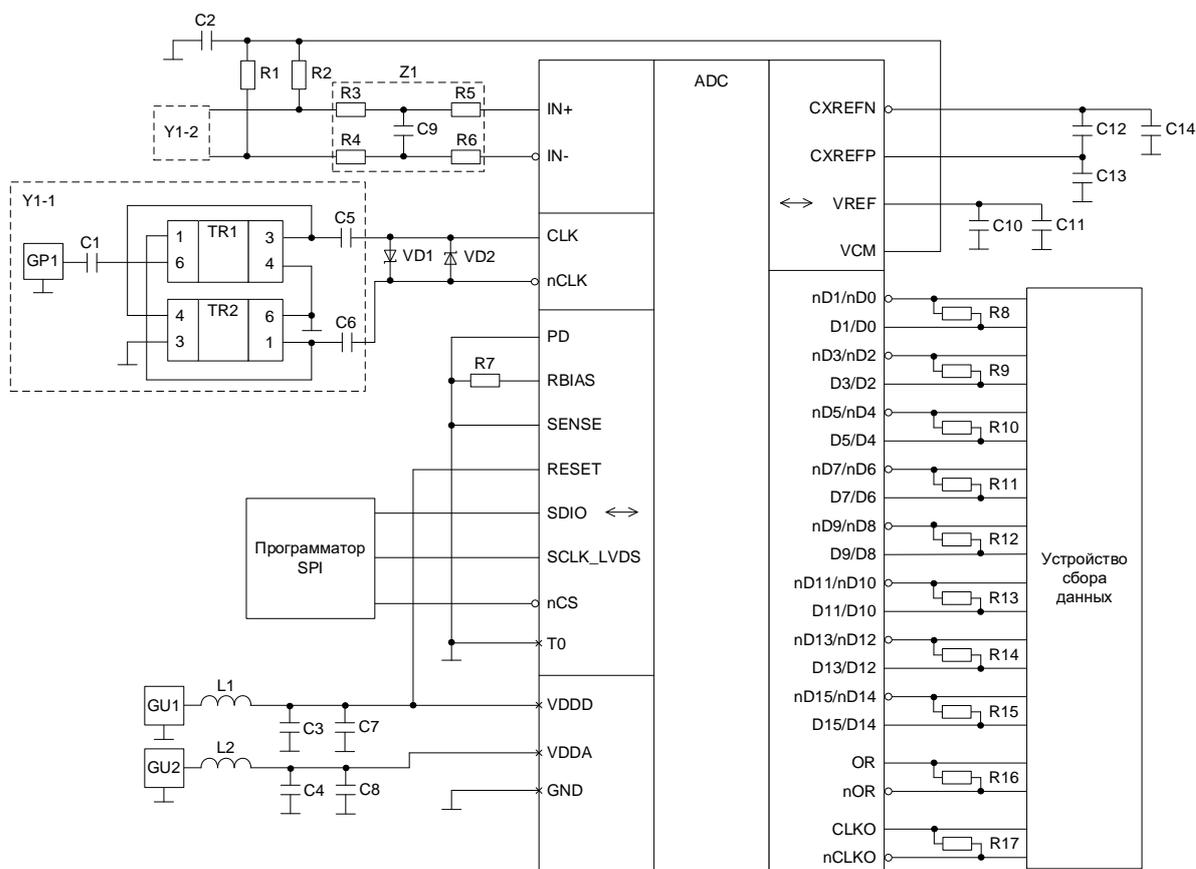
## 7 Типовые схемы включения



- ADC – микросхема K5101HB04FI;  
 C1, C2, – конденсаторы емкостью 100 нФ ± 10 %;  
 C5 – C6, C11  
 C3, C4, C7, C8 – конденсаторы емкостью 10 мкФ ± 10 % + керамические конденсаторы емкостью 100 нФ ± 10 % на каждой группе смежных выводов питания;  
 C9 – конденсатор емкостью 18 пФ ± 0,1 пФ при  $f_1 = 0..100$  МГц и 8,2 пФ ± 0,1 пФ при  $f_1 = 100..250$  МГц;  
 C10 – конденсатор емкостью 1 мкФ ± 10 %;  
 C12 – конденсатор емкостью 330 нФ ± 10 %;  
 C13, C14 – конденсаторы емкостью 47 нФ ± 10 %;  
 GP1 – генератор входного аналогового или тактового сигнала;  
 GU1 – источник напряжения питания цифрового интерфейса;  
 GU2 – источник напряжения питания аналоговых блоков;  
 L1, L2 – ферриты EXC-CL4532U1<sup>1)</sup>;  
 R1, R2 – резисторы сопротивлением 25 Ом ± 1 %;  
 R3, R4 – резисторы сопротивлением 15 Ом ± 1 % при  $f_1 = 0..100$  МГц и 10 Ом ± 1 % при  $f_1 = 100..250$  МГц;  
 R5, R6 – резисторы сопротивлением 15 Ом ± 1 %;  
 R7 – резистор сопротивлением 12,1 кОм ± 1 % в режимах основной и повышенной производительности и 24 кОм ± 1 % в режиме пониженного потребления;  
 R8 – R25 – резисторы сопротивлением 22 Ом ± 1 %;  
 VD1, VD2 – диоды Шоттки HSMS2822<sup>1)</sup>;  
 TR1, TR2 – трансформаторы TC1-1-13M<sup>1)</sup>;  
 Z1 – R-C-R фильтр

Рисунок 16 – Типовая схема включения в режиме КМОП

<sup>1)</sup> Допускается применять другие элементы с аналогичными характеристиками.



- ADC – микросхема K5101HB04FI;  
 C1, C2, – конденсаторы емкостью 100 нФ ± 10 %;  
 C5 – C6, C11  
 C3, C4, C7, C8 – конденсаторы емкостью 10 мкФ ± 10 % + керамические конденсаторы емкостью 100 нФ ± 10 % на каждой группе смежных выводов питания;  
 C9 – конденсатор емкостью 18 пФ ± 0,1 пФ при  $f_1 = 0..100$  МГц и 8,2 пФ ± 0,1 пФ при  $f_1 = 100..250$  МГц;  
 C10 – конденсатор емкостью 1 мкФ ± 10 %;  
 C12 – конденсатор емкостью 330 нФ ± 10 %;  
 C13, C14 – конденсаторы емкостью 47 нФ ± 10 %;  
 GP1 – генератор входного аналогового или тактового сигнала;  
 GU1 – источник напряжения питания цифрового интерфейса;  
 GU2 – источник напряжения питания аналоговых блоков;  
 L1, L2 – ферриты EXC-CL4532U1<sup>1)</sup>;  
 R1, R2 – резисторы сопротивлением 25 Ом ± 1 %;  
 R3, R4 – резисторы сопротивлением 15 Ом ± 1 % при  $f_1 = 0..100$  МГц и 10 Ом ± 1 % при  $f_1 = 100..250$  МГц;  
 R5, R6 – резисторы сопротивлением 15 Ом ± 1 %;  
 R7 – резистор сопротивлением 12,1 кОм ± 1 % в режимах основной и повышенной производительности и 24 кОм ± 1 % в режиме пониженного потребления;  
 R8 – R17 – резисторы сопротивлением 100 Ом ± 1 %;  
 VD1, VD2 – диоды Шоттки HSMS2822<sup>1)</sup>;  
 TR1, TR2 – трансформаторы TC1-1-13M+<sup>1)</sup>;  
 Z1 – R-C-R фильтр

Рисунок 17 – Типовая схема включения АЦП в режиме LVDS

<sup>1)</sup> Допускается применять другие элементы с аналогичными характеристиками.

## 8 Электрические параметры микросхемы

Таблица 13 – Электрические параметры микросхемы при приёмке и поставке (режим основной – 80 Мвыб/с)

| Наименование параметра,<br>единица измерения,<br>режим измерения   | Буквенное<br>обозначение<br>параметра | Норма<br>параметра |          | Температура<br>среды, °С |
|--|---------------------------------------|--------------------|----------|--------------------------|
|  |                                       | не менее           | не более |                          |
| Выходное напряжение высокого уровня, В,<br>режим КМОП  | $U_{OH}$                              | 1,4                | –        | 25,<br>85,<br>– 40       |
| Выходное напряжение низкого уровня, В,<br>режим КМОП   | $U_{OL}$                              | –                  | 0,25     | 25,<br>85,<br>– 40       |
| Выходное напряжение передатчика<br>дифференциальное, мВ,<br>при $R_L = 100$ Ом:<br>– режим LVDS (ANSI);<br>– режим LVDS (RS) | $U_{ODLVDS}$                          | 250                | 400      | 25,<br>85,<br>– 40       |
|  |                                       | 150                | 250      |                          |
| Выходное напряжение передатчика синфазное, В,<br>LVDS(ANSI), LVDS(RS) режим  | $U_{OCLVDS}$                          | 1,1                | 1,4      | 25,<br>85,<br>– 40       |
| Напряжение на выводе VREF, В,<br>– режим внутреннего источника опорного<br>напряжения 1,0 В;                                 | $U_{REF0}$                            | 0,95               | 1,05     | 25,<br>85,<br>– 40       |
| – режим внутреннего источника опорного<br>напряжения 0,5 В   |                                       | 0,47               | 0,53     |                          |
| Ток утечки высокого уровня, мкА,<br>на цифровом входе  | $I_{ILH}$                             | –                  | 5,0      | 25,<br>85,<br>– 40       |
| Ток утечки низкого уровня, мкА,<br>на цифровом входе   | $I_{ILL}$                             | – 5,0              | –        | 25,<br>85,<br>– 40       |
| Входной ток высокого уровня, мкА,<br>на входе PD   | $I_{IH\_PD}$                          | 4,0                | 15,0     | 25,<br>85,<br>– 40       |
| Ток утечки низкого уровня, мкА,<br>на входе PD   | $I_{ILL\_PD}$                         | – 5,0              | –        | 25,<br>85,<br>– 40       |
| Выходной ток высокого уровня в состоянии<br>«Выключено», мкА,<br>при PD = «1»  | $I_{OZH}$                             | –                  | 5,0      | 25,<br>85,<br>– 40       |

| Наименование параметра,<br>единица измерения,<br>режим измерения  | Буквенное<br>обозначение<br>параметра | Норма<br>параметра |          | Температура<br>среды, °С |
|---|---------------------------------------|--------------------|----------|--------------------------|
|   |                                       | не менее           | не более |                          |
| Выходной ток низкого уровня в состоянии<br>«Выключено», мкА,<br>при PD = «1»  | I <sub>OZL</sub>                      | - 5,0              | -        | 25,<br>85,<br>- 40       |
| Динамический ток потребления, мА,<br>по выводам VDDD:<br>- режим КМОП;<br>- режим LVDS  | I <sub>CCO</sub>                      | -                  | 40       | 25,<br>85,<br>- 40       |
|   |                                       | -                  | 51       |                          |
| Динамический ток потребления, мА,<br>по выводам VDDA,<br>при PD = «0»   | I <sub>CCOA</sub>                     | -                  | 337      | 25,<br>85,<br>- 40       |
| Ток потребления в режиме «Выключено», мА,<br>по выводам VDDD,<br>при PD = «1»   | I <sub>CCZ</sub>                      | -                  | 0,10     | 25,<br>85,<br>- 40       |
| Ток потребления в режиме «Выключено», мА,<br>по выводам VDDA,<br>при PD = «1»   | I <sub>CCZA</sub>                     | -                  | 0,60     | 25,<br>85,<br>- 40       |
| Интегральная нелинейность, ЕМР,<br>режим внутреннего источника опорного<br>напряжения 1,0 В,<br>при f <sub>1</sub> = 10 МГц         | E <sub>L</sub>                        | - 7                | 7        | 25,<br>85,<br>- 40       |
| Дифференциальная нелинейность, ЕМР,<br>режим внутреннего источника опорного<br>напряжения 1,0 В,<br>при f <sub>1</sub> = 10 МГц     | E <sub>LD</sub>                       | - 1,00             | 1,30     | 25,<br>85,<br>- 40       |
| Ошибка смещения, % пш,<br>режим внутреннего источника опорного<br>напряжения 1,0 В,<br>при f <sub>1</sub> = 10 МГц                  | E <sub>Ю</sub>                        | - 0,5              | 0,5      | 25,<br>85,<br>- 40       |
| Соотношение сигнал/шум, дБпш,<br>режим внутреннего источника опорного<br>напряжения 1,0 В,<br>при f <sub>1</sub> = 10 МГц           | SNR                                   | 73,7               | -        | 25,<br>85,<br>- 40       |
| Соотношение сигнал/шум+искажения, дБпш,<br>режим внутреннего источника опорного<br>напряжения 1,0 В,<br>при f <sub>1</sub> = 10 МГц | SNDR                                  | 73,6               | -        | 25,<br>85,<br>- 40       |
| Диапазон, свободный от гармоник, дБн,<br>режим внутреннего источника опорного<br>напряжения 1,0 В,<br>при f <sub>1</sub> = 10 МГц   | SFDR                                  | 87                 | -        | 25,<br>85,<br>- 40       |

## 9 Предельно-допустимые характеристики микросхемы

Таблица 14 – Предельно-допустимые и предельные режимы эксплуатации микросхем

| Наименование параметра,<br>единица измерения   | Буквенное<br>обозначение<br>параметра | Предельно-<br>допустимый<br>режим |                  | Предельный<br>режим |                       |
|--|---------------------------------------|-----------------------------------|------------------|---------------------|-----------------------|
|  |                                       | не<br>менее                       | не<br>более      | не<br>менее         | не<br>более           |
| Напряжение источника питания<br>цифрового интерфейса, В,<br>– режим КМОП;<br>– режим LVDS                                    | U <sub>CC</sub>                       | 1,62                              | 3,6*             | - 0,3               | 3,6                   |
|  |                                       | 1,71                              | 1,89             |                     |                       |
| Напряжение источника питания<br>аналоговых блоков, В   | U <sub>CCA</sub>                      | 1,71                              | 1,89             | - 0,3               | 2,0                   |
| Входное напряжение высокого уровня, В,<br>на цифровых входах   | U <sub>IH</sub>                       | 1,4                               | U <sub>CC</sub>  | –                   | U <sub>CC</sub> + 0,3 |
| Входное напряжение низкого уровня, В,<br>на цифровых входах  | U <sub>IL</sub>                       | 0                                 | 0,25             | - 0,3               | –                     |
| Входное напряжение, В,<br>на аналоговых входах   | U <sub>IA</sub>                       | 0                                 | U <sub>CCA</sub> | 0                   | 2,0                   |
| Выходной ток высокого уровня, мА,<br>режим КМОП  | I <sub>OH</sub>                       | –                                 | 1,0              | –                   | 1,2                   |
| Выходной ток низкого уровня, мА,<br>режим КМОП   | I <sub>OL</sub>                       | - 1,0                             | –                | - 1,2               | –                     |
| Частота следования импульсов тактовых<br>сигналов, МГц   | f <sub>C</sub>                        | 10                                | 480              | –                   | –                     |
| Частота входного сигнала, МГц  | f <sub>I</sub>                        | –                                 | 250              | –                   | –                     |
| Скорость преобразования, МВыб/с,<br>режим основной;<br>режим повышенной производительности;<br>режим пониженного потребления | f <sub>S</sub>                        | 10                                | 80               | –                   | –                     |
|  |                                       |                                   | 95               |                     |                       |
|  |                                       |                                   | 55               |                     |                       |
| Сопrotивление нагрузки цифровых<br>выводов, Ом,<br>режим LVDS  | R <sub>L</sub>                        | 95                                | 105              | –                   | –                     |
| Емкость нагрузки по цифровым выводам,<br>пФ  | C <sub>L</sub>                        | –                                 | 5                | –                   | –                     |
| * 1,98 В при приёмке-поставке.   |                                       |                                   |                  |                     |                       |
| Примечание – Не допускается одновременное воздействие двух или более предельных режимов                                      |                                       |                                   |                  |                     |                       |

## 10 Справочные данные

Таблица 15 – Справочные параметры микросхемы в режиме основной (80 Мвыб/с)

| Наименование параметра, единица измерения, режим измерения  | Буквенное обозначение параметра | Норма параметра |                    |          | Температура среды, °С |
|---|---------------------------------|-----------------|--------------------|----------|-----------------------|
|   |                                 | не менее        | типовое            | не более |                       |
| Напряжение на выводе VREF, В,<br>– режим внутреннего источника опорного напряжения 1 В;<br>– режим внутреннего источника опорного напряжения 0,5 В  | U <sub>REF0</sub>               | –               | 0,998              | –        | 25                    |
|   |                                 | –               | 0,495              | –        |                       |
| Падение напряжения на выводе VREF, мВ,<br>режим внутреннего источника опорного напряжения 1,0 В,<br>при I <sub>VREF</sub> <sup>1)</sup> = 1 мА  | ΔU <sub>REF</sub>               | –               | 1,6                | –        |                       |
| Синфазный уровень входного дифференциального сигнала, В   | U <sub>CM</sub>                 | –               | 0,9                | –        |                       |
| Динамический ток потребления, мА,<br>по выводам VDDA,<br>при PD = «0»   | I <sub>CCOA</sub>               | –               | 303                | –        |                       |
| Динамический ток потребления, мА,<br>по выводам VDDD,<br>при PD = «0»<br>– режим КМОП, U <sub>CC</sub> = 1,8 В, C <sub>L</sub> = 4,2 пФ<br>– режим КМОП, U <sub>CC</sub> = 3,3 В, C <sub>L</sub> = 4,2 пФ<br>– режим LVDS                           | I <sub>CCO</sub>                | –               | 16                 | –        |                       |
|   |                                 | –               | 31                 | –        |                       |
|   |                                 | –               | 40                 | –        |                       |
| Потребляемая мощность (полная), мВт,<br>режим КМОП<br>- при постоянном входном сигнале<br>- при f <sub>1</sub> = 10 МГц режим КМОП<br>- при f <sub>1</sub> = 10 МГц режим LVDS<br>- в состоянии выключено, входной и тактирующий сигнал не подаются | P                               | –               | 547                | –        |                       |
|   |                                 | –               | 574                | –        |                       |
|   |                                 | –               | 617                | –        |                       |
|   |                                 | –               | 0,06               | –        |                       |
| Интегральная нелинейность, ЕМР,<br>при U <sub>CC</sub> = 1,8 В, f <sub>1</sub> = 10 МГц   | E <sub>L</sub>                  | –               | от – 3,0<br>до 3,0 | –        |                       |
| Дифференциальная нелинейность, ЕМР,<br>при U <sub>CC</sub> = 1,8 В, f <sub>1</sub> = 10 МГц   | E <sub>LD</sub>                 | –               | от – 0,8 до<br>0,6 | –        |                       |
| Ошибка усиления, % пш,<br>при U <sub>CC</sub> = 1,8 В, f <sub>1</sub> = 10,1 МГц  | E <sub>Ю</sub>                  | - 8             | –                  | 8        | 25,<br>85,<br>– 40    |
| Соотношение сигнал/шум, дБпш,<br>при:<br>– f <sub>1</sub> = 10 МГц<br>– f <sub>1</sub> = 75 МГц<br>– f <sub>1</sub> = 140 МГц   | SNR                             | –               | 75,0               | –        | 25                    |
|   |                                 | –               | 73,0               | –        |                       |
|   |                                 | –               | 70,1               | –        |                       |

| Наименование параметра, единица измерения, режим измерения  | Буквенное обозначение параметра | Норма параметра |         |          | Температура среды, °С |
|---|---------------------------------|-----------------|---------|----------|-----------------------|
|   |                                 | не менее        | типовое | не более |                       |
| Соотношение сигнал/шум, дБпш, при $U_{REF}^{2)} = 1,25$ В:<br>– $f_1 = 10$ МГц;<br>– $f_1 = 75$ МГц   | SNR                             | 76,0            | 76,8    | –        | 25,<br>85,<br>– 40    |
|   |                                 | 72,2            | 74,0    | –        |                       |
| Соотношение сигнал/шум+искажения, дБпш, при:<br>– $f_1 = 10$ МГц<br>– $f_1 = 75$ МГц<br>– $f_1 = 140$ МГц   | SNDR                            | –               | 74,9    | –        | 25                    |
|   |                                 | –               | 72,5    | –        |                       |
|   |                                 | –               | 67,5    | –        |                       |
| Соотношение сигнал/шум+искажения, дБпш, при $U_{REF} = 1,25$ В:<br>– $f_1 = 10$ МГц;<br>– $f_1 = 75$ МГц  | SNDR                            | 75,8            | 76,7    | –        | 25,<br>85,<br>– 40    |
|   |                                 | 70,5            | 72,6    | –        |                       |
| Диапазон, свободный от гармоник, дБн, при:<br>– $f_1 = 10$ МГц<br>– $f_1 = 75$ МГц<br>– $f_1 = 140$ МГц   | SFDR                            | –               | 96      | –        | 25                    |
|   |                                 | –               | 82      | –        |                       |
|   |                                 | –               | 71      | –        |                       |
| Диапазон, свободный от гармоник, дБн, при $U_{REF} = 1,25$ В:<br>– $f_1 = 10$ МГц;<br>– $f_1 = 75$ МГц  | SFDR                            | 85              | 92      | –        | 25,<br>85,<br>– 40    |
|   |                                 | 72              | 77      | –        |                       |
| Диапазон, свободный от гармоник, дБпш, при $U_1 = - 23$ дБпш:<br>– $f_1 = 10$ МГц;<br>– $f_1 = 75$ МГц;<br>– $f_1 = 140$ МГц  | SFDR                            | –               | 94      | –        | 25                    |
|   |                                 | –               | 94      | –        |                       |
|   |                                 | –               | 92      | –        |                       |
| Наихудшие 2 или 3 гармоники, дБн, при:<br>– $f_1 = 10$ МГц;<br>– $f_1 = 75$ МГц;<br>– $f_1 = 140$ МГц   | H <sub>23</sub>                 | –               | - 96    | –        |                       |
|   |                                 | –               | - 83    | –        |                       |
|   |                                 | –               | - 71    | –        |                       |
| Наихудший прочий тон, дБн, при:<br>– $f_1 = 10$ МГц;<br>– $f_1 = 75$ МГц;<br>– $f_1 = 140$ МГц  | H                               | –               | - 102   | –        |                       |
|   |                                 | –               | - 93    | –        |                       |
|   |                                 | –               | - 94    | –        |                       |
| Бигармонический диапазон, свободный от гармоник, дБн, при $U_1 = - 7$ дБпш:<br>– $f_{11}^{4)} = 9,5$ МГц, $f_{12}^{4)} = 10,5$ МГц;<br>– $f_{11} = 73,7$ МГц, $f_{12} = 76,3$ МГц<br>– $f_{11} = 104,1$ МГц, $f_{12} = 106,1$ МГц | SFDR2                           | –               | 91      | –        | 25                    |
|   |                                 | –               | 84      | –        |                       |
|   |                                 | –               | 74      | –        |                       |

| Наименование параметра, единица измерения, режим измерения   | Буквенное обозначение параметра | Норма параметра |         |          | Температура среды, °С |
|--|---------------------------------|-----------------|---------|----------|-----------------------|
|  |                                 | не менее        | типовое | не более |                       |
| Интермодуляционные искажения 2-го порядка, дБн,<br>при $U_1 = -7$ дБпш:<br>– $f_{11} = 9,5$ МГц, $f_{12} = 10,5$ МГц;<br>– $f_{11} = 73,7$ МГц, $f_{12} = 76,3$ МГц;<br>– $f_{11} = 104,1$ МГц, $f_{12} = 106,1$ МГц | IMD2                            | –               | – 91    | –        | 25                    |
|  |                                 | –               | – 90    | –        |                       |
|  |                                 | –               | – 77    | –        |                       |
| Интермодуляционные искажения 3-го порядка, дБн,<br>при $U_1 = -7$ дБпш:<br>– $f_{11} = 9,5$ МГц, $f_{12} = 10,5$ МГц;<br>– $f_{11} = 73,7$ МГц, $f_{12} = 76,3$ МГц;<br>– $f_{11} = 104,1$ МГц, $f_{12} = 106,1$ МГц | IMD3                            | –               | – 92    | –        | 25                    |
|  |                                 | –               | – 84    | –        |                       |
|  |                                 | –               | – 74    | –        |                       |
| Спектральная плотность мощности шума, дБпш/Гц,<br>при $f_1 = 10$ МГц:<br>– $U_{REF} = 1,0$ В;<br>– $U_{REF} = 1,25$ В  | NSD                             | –               | – 154   | –        | 25                    |
|  |                                 | –               | – 156   | –        |                       |
| Шум в отсутствие входного сигнала, приведённый ко входу, ЕМР, при:<br>– $U_{REF} = 1,0$ В;<br>– $U_{REF} = 1,25$ В   | IRN                             | –               | 3,9     | –        | 25                    |
|  |                                 | –               | 3,1     | –        |                       |
| Джиттер, пс rms  | $t_j$                           | –               | 0,32    | –        | 25                    |
| Большесигнальная полоса пропускания по уровню -3 дБ, МГц   | BW                              | –               | 693     | –        | 25                    |
| Конвейерная задержка, тактов<br>– режим КМОП;<br>– режим LVDS  | d                               | –               | 11,0    | –        | 25                    |
|  |                                 | –               | 11,5    | –        |                       |

1)  $I_{VREF}$  – ток нагрузки на выводе VREF при использовании внутреннего источника опорного напряжения.

2)  $U_{REF}$  – опорное напряжение, задаваемое внешним источником опорного напряжения, от 0,5 до 1,25 В.

3)  $U_1$  – амплитуда дифференциального напряжения входного сигнала.

4)  $f_{11}$ ,  $f_{12}$  – частоты входного синусоидального сигнала на аналоговых входах IN+, IN-.

Примечание – Режим измерения параметров, если не указано иное:  $U_{CC} = 1,8$  В,  $U_{CCA} = 1,8$  В,  $U_1 = -1,0$  дБпш, максимальная частота дискретизации, внутренний ИОН 1,0 В, корректор скважности отключен, входной тактовый сигнал без деления

Таблица 16 – Справочные параметры микросхемы режиме повышенной производительности (95 Мвыб/с)

| Наименование параметра, единица измерения, режим измерения  | Буквенное обозначение параметра | Норма параметра |                    |          | Температура среды, °С |
|---|---------------------------------|-----------------|--------------------|----------|-----------------------|
|   |                                 | не менее        | типовое            | не более |                       |
| Напряжение на выводе VREF, В,<br>– режим внутреннего источника опорного напряжения 1 В;<br>– режим внутреннего источника опорного напряжения 0,5 В  | U <sub>REF0</sub>               | –               | 0,998              | –        | 25                    |
|   |                                 | –               | 0,495              | –        |                       |
| Падение напряжения на выводе VREF, мВ,<br>режим внутреннего источника опорного напряжения 1,0 В,<br>при I <sub>VREF</sub> <sup>1)</sup> = 1 мА  | ΔU <sub>REF</sub>               | –               | 1,6                | –        | 25,<br>85,<br>– 40    |
| Синфазный уровень входного дифференциального сигнала, В   | U <sub>CM</sub>                 | –               | 0,9                | –        |                       |
| Динамический ток потребления, мА,<br>по выводам VDDA,<br>при PD = «0»   | I <sub>CCOA</sub>               | –               | 341                | 365      |                       |
| Динамический ток потребления, мА,<br>по выводам VDDD,<br>при PD = «0»<br>– режим КМОП, U <sub>CC</sub> = 1,8 В, C <sub>L</sub> = 4,2 пФ<br>– режим КМОП, U <sub>CC</sub> = 3,3 В, C <sub>L</sub> = 4,2 пФ<br>– режим LVDS                           | I <sub>CCO</sub>                | –               | 18                 | 25       | 25,<br>85,<br>– 40    |
|   |                                 | –               | 35                 | 45       |                       |
|   |                                 | –               | 41                 | 50       |                       |
| Потребляемая мощность (полная), мВт,<br>режим КМОП<br>- при постоянном входном сигнале<br>- при f <sub>1</sub> = 10 МГц режим КМОП<br>- при f <sub>1</sub> = 10 МГц режим LVDS<br>- в состоянии выключено, входной и тактирующий сигнал не подаются | P                               | –               | 617                | –        | 25                    |
|   |                                 | –               | 646                | –        |                       |
|   |                                 | –               | 688                | –        |                       |
|   |                                 | –               | 0,06               | –        |                       |
| Интегральная нелинейность, ЕМР,<br>при U <sub>CC</sub> = 1,8 В, f <sub>1</sub> = 10 МГц   | E <sub>L</sub>                  | - 8,0           | от – 3,2<br>до 3,2 | + 8,0    | 25,<br>85,<br>– 40    |
| Дифференциальная нелинейность, ЕМР,<br>при U <sub>CC</sub> = 1,8 В, f <sub>1</sub> = 10 МГц   | E <sub>LD</sub>                 | - 1,0           | от – 0,8 до<br>0,6 | 1,5      |                       |
| Ошибка усиления, % пш,<br>при U <sub>CC</sub> = 1,8 В, f <sub>1</sub> = 10,1 МГц  | E <sub>Ю</sub>                  | - 8             | –                  | 8        |                       |
| Соотношение сигнал/шум, дБпш,<br>при:<br>– f <sub>1</sub> = 10 МГц<br>– f <sub>1</sub> = 75 МГц<br>– f <sub>1</sub> = 140 МГц   | SNR                             | 74,0            | 75,0               | –        | 25,<br>85,<br>– 40    |
|   |                                 | 71,4            | 73,1               | –        |                       |
|   |                                 | –               | 70,4               | –        |                       |

| Наименование параметра, единица измерения, режим измерения   | Буквенное обозначение параметра | Норма параметра |         |          | Температура среды, °С |
|--|---------------------------------|-----------------|---------|----------|-----------------------|
|  |                                 | не менее        | типовое | не более |                       |
| Соотношение сигнал/шум, дБпш, при $U_{REF}^{2)} = 1,25$ В:<br>– $f_1 = 10$ МГц;<br>– $f_1 = 75$ МГц  | SNR                             | 76,0            | 76,9    | –        | 25,<br>85,<br>– 40    |
|  |                                 | 72,2            | 74,3    | –        |                       |
| Соотношение сигнал/шум+искажения, дБпш, при:<br>– $f_1 = 10$ МГц<br>– $f_1 = 75$ МГц<br>– $f_1 = 140$ МГц  | SNDR                            | 73,8            | 74,8    | –        | 25,<br>85,<br>– 40    |
|  |                                 | 70,6            | 72,6    | –        |                       |
|  |                                 | –               | 67,4    | –        |                       |
| Соотношение сигнал/шум+искажения, дБпш, при $U_{REF} = 1,25$ В:<br>– $f_1 = 10$ МГц;<br>– $f_1 = 75$ МГц   | SNDR                            | 75,8            | 76,5    | –        | 25,<br>85,<br>– 40    |
|  |                                 | 70,6            | 72,8    | –        |                       |
| Диапазон, свободный от гармоник, дБн, при:<br>– $f_1 = 10$ МГц<br>– $f_1 = 75$ МГц<br>– $f_1 = 140$ МГц  | SFDR                            | 84              | 86      | –        | 25,<br>85,<br>– 40    |
|  |                                 | 75              | 85      | –        |                       |
|  |                                 | –               | 70      | –        |                       |
| Диапазон, свободный от гармоник, дБн, при $U_{REF} = 1,25$ В:<br>– $f_1 = 10$ МГц;<br>– $f_1 = 75$ МГц   | SFDR                            | 84              | 92      | –        | 25,<br>85,<br>– 40    |
|  |                                 | 72              | 80      | –        |                       |
| Диапазон, свободный от гармоник, дБпш, при $U_1 = -23$ дБпш:<br>– $f_1 = 10$ МГц;<br>– $f_1 = 75$ МГц;<br>– $f_1 = 140$ МГц  | SFDR                            | –               | 96      | –        | 25                    |
|  |                                 | –               | 96      | –        |                       |
|  |                                 | –               | 102     | –        |                       |
| Наихудшие 2 или 3 гармоники, дБн, при:<br>– $f_1 = 10$ МГц;<br>– $f_1 = 75$ МГц;<br>– $f_1 = 140$ МГц  | $H_{23}$                        | –               | – 86    | –        |                       |
|  |                                 | –               | – 85    | –        |                       |
|  |                                 | –               | – 70    | –        |                       |
| Наихудший прочий тон, дБн, при:<br>– $f_1 = 10$ МГц;<br>– $f_1 = 75$ МГц;<br>– $f_1 = 140$ МГц   | H                               | –               | – 98    | –        |                       |
|  |                                 | –               | – 94    | –        |                       |
|  |                                 | –               | – 92    | –        |                       |
| Бигармонический диапазон, свободный от гармоник, дБн, при $U_1 = -7$ дБпш:<br>– $f_{11}^{4)} = 9,5$ МГц, $f_{12}^{4)} = 10,5$ МГц;<br>– $f_{11} = 73,7$ МГц, $f_{12} = 76,3$ МГц<br>– $f_{11} = 104,1$ МГц, $f_{12} = 106,1$ МГц | SFDR2                           | –               | 90      | –        | 25                    |
|  |                                 | –               | 87      | –        |                       |
|  |                                 | –               | 76      | –        |                       |

| Наименование параметра, единица измерения, режим измерения   | Буквенное обозначение параметра | Норма параметра |         |          | Температура среды, °С |
|--|---------------------------------|-----------------|---------|----------|-----------------------|
|  |                                 | не менее        | типовое | не более |                       |
| Интермодуляционные искажения 2-го порядка, дБн,<br>при $U_1 = -7$ дБпш:<br>– $f_{11} = 9,5$ МГц, $f_{12} = 10,5$ МГц;<br>– $f_{11} = 73,7$ МГц, $f_{12} = 76,3$ МГц;<br>– $f_{11} = 104,1$ МГц, $f_{12} = 106,1$ МГц | IMD2                            | –               | – 91    | –        | 25                    |
|  |                                 | –               | – 87    | –        |                       |
|  |                                 | –               | – 80    | –        |                       |
| Интермодуляционные искажения 3-го порядка, дБн,<br>при $U_1 = -7$ дБпш:<br>– $f_{11} = 9,5$ МГц, $f_{12} = 10,5$ МГц;<br>– $f_{11} = 73,7$ МГц, $f_{12} = 76,3$ МГц;<br>– $f_{11} = 104,1$ МГц, $f_{12} = 106,1$ МГц | IMD3                            | –               | – 90    | –        | 25                    |
|  |                                 | –               | – 92    | –        |                       |
|  |                                 | –               | – 76    | –        |                       |
| Спектральная плотность мощности шума, дБпш/Гц,<br>при $f_1 = 10$ МГц:<br>– $U_{REF} = 1,0$ В;<br>– $U_{REF} = 1,25$ В  | NSD                             | –               | – 155   | –        | 25                    |
|  |                                 | –               | – 157   | –        |                       |
| Шум в отсутствие входного сигнала, приведённый ко входу, ЕМР, при:<br>– $U_{REF} = 1,0$ В;<br>– $U_{REF} = 1,25$ В   | IRN                             | –               | 3,9     | –        | 25                    |
|  |                                 | –               | 3,1     | –        |                       |
| Джиттер, пс rms  | $t_j$                           | –               | 0,32    | –        | 25                    |
| Большесигнальная полоса пропускания по уровню –3 дБ, МГц   | BW                              | –               | 698     | –        | 25                    |
| Конвейерная задержка, тактов<br>– режим КМОП;<br>– режим LVDS  | d                               | –               | 11,0    | –        | 25                    |
|  |                                 | –               | 11,5    | –        |                       |

1)  $I_{VREF}$  – ток нагрузки на выводе VREF при использовании внутреннего источника опорного напряжения.

2)  $U_{REF}$  – опорное напряжение, задаваемое внешним источником опорного напряжения, от 0,5 до 1,25 В.

3)  $U_1$  – амплитуда дифференциального напряжения входного сигнала.

4)  $f_{11}$ ,  $f_{12}$  – частоты входного синусоидального сигнала на аналоговых входах IN+, IN-.

Примечание – Режим измерения параметров, если не указано иное:  $U_{CC} = 1,8$  В,  $U_{CCA} = 1,8$  В,  $U_1 = -1,0$  дБпш, максимальная частота дискретизации, внутренний ИОН 1,0 В, корректор скважности отключен, входной тактовый сигнал без деления

Таблица 17 – Справочные параметры микросхемы режиме пониженного потребления (55 Мвыб/с)

| Наименование параметра, единица измерения, режим измерения  | Буквенное обозначение параметра | Норма параметра |                     |          | Температура среды, °С |
|---|---------------------------------|-----------------|---------------------|----------|-----------------------|
|   |                                 | не менее        | типовое             | не более |                       |
| Напряжение на выводе VREF, В,<br>– режим внутреннего источника опорного напряжения 1 В;<br>– режим внутреннего источника опорного напряжения 0,5 В  | U <sub>REF0</sub>               | –               | 0,998               | –        | 25                    |
|   |                                 | –               | 0,495               | –        |                       |
| Падение напряжения на выводе VREF, мВ,<br>режим внутреннего источника опорного напряжения 1,0 В,<br>при I <sub>VREF</sub> <sup>1)</sup> = 1 мА  | ΔU <sub>REF</sub>               | –               | 1,6                 | –        | 25,<br>85,<br>– 40    |
| Синфазный уровень входного дифференциального сигнала, В   | U <sub>CM</sub>                 | –               | 0,9                 | –        |                       |
| Динамический ток потребления, мА,<br>по выводам VDDA,<br>при PD = «0»   | I <sub>CCOA</sub>               | –               | 190                 | 210      |                       |
| Динамический ток потребления, мА,<br>по выводам VDDD,<br>при PD = «0»<br>– режим КМОП, U <sub>CC</sub> = 1,8 В, C <sub>L</sub> = 4,2 пФ<br>– режим КМОП, U <sub>CC</sub> = 3,3 В, C <sub>L</sub> = 4,2 пФ<br>– режим LVDS                           | I <sub>CCO</sub>                | –               | 12                  | 15       | 25,<br>85,<br>– 40    |
|   |                                 | –               | 22                  | 30       |                       |
|   |                                 | –               | 39                  | 50       |                       |
| Потребляемая мощность (полная), мВт,<br>режим КМОП<br>- при постоянном входном сигнале<br>- при f <sub>1</sub> = 10 МГц режим КМОП<br>- при f <sub>1</sub> = 10 МГц режим LVDS<br>- в состоянии выключено, входной и тактирующий сигнал не подаются | P                               | –               | 344                 | –        | 25                    |
|   |                                 | –               | 364                 | –        |                       |
|   |                                 | –               | 412                 | –        |                       |
|   |                                 | –               | 0,06                | –        |                       |
| Интегральная нелинейность, ЕМР,<br>при U <sub>CC</sub> = 1,8 В, f <sub>1</sub> = 10 МГц   | E <sub>L</sub>                  | - 4,5           | от – 2,3<br>до 2,3  | 4,5      | 25,<br>85,<br>– 40    |
| Дифференциальная нелинейность, ЕМР,<br>при U <sub>CC</sub> = 1,8 В, f <sub>1</sub> = 10 МГц   | E <sub>LD</sub>                 | - 1,0           | от – 0,75<br>до 0,4 | 1,5      |                       |
| Ошибка усиления, % пш,<br>при U <sub>CC</sub> = 1,8 В, f <sub>1</sub> = 10,1 МГц  | E <sub>Ю</sub>                  | - 8             | –                   | 8        |                       |
| Соотношение сигнал/шум, дБпш,<br>при:<br>– f <sub>1</sub> = 10 МГц<br>– f <sub>1</sub> = 75 МГц<br>– f <sub>1</sub> = 140 МГц   | SNR                             | 74,0            | 75,2                | –        | 25,<br>85,<br>– 40    |
|   |                                 | 71,4            | 73,1                | –        |                       |
|   |                                 | –               | 70,2                | –        |                       |

| Наименование параметра, единица измерения, режим измерения  | Буквенное обозначение параметра | Норма параметра |         |          | Температура среды, °С |
|---|---------------------------------|-----------------|---------|----------|-----------------------|
|   |                                 | не менее        | типовое | не более |                       |
| Соотношение сигнал/шум, дБпш, при $U_{REF}^{2)} = 1,25$ В:<br>– $f_1 = 10$ МГц;<br>– $f_1 = 75$ МГц   | SNR                             | 76,0            | 77,2    | –        | 25,<br>85,<br>– 40    |
|   |                                 | 72,2            | 74,4    | –        |                       |
| Соотношение сигнал/шум+искажения, дБпш, при:<br>– $f_1 = 10$ МГц<br>– $f_1 = 75$ МГц<br>– $f_1 = 140$ МГц   | SNDR                            | 73,8            | 75,1    | –        | 25,<br>85,<br>– 40    |
|   |                                 | 70,0            | 72,3    | –        |                       |
|   |                                 | –               | 68,1    | –        |                       |
| Соотношение сигнал/шум+искажения, дБпш, при $U_{REF} = 1,25$ В:<br>– $f_1 = 10$ МГц;<br>– $f_1 = 75$ МГц  | SNDR                            | 75,8            | 76,9    | –        | 25,<br>85,<br>– 40    |
|   |                                 | 70,5            | 72,5    | –        |                       |
| Диапазон, свободный от гармоник, дБн, при:<br>– $f_1 = 10$ МГц<br>– $f_1 = 75$ МГц<br>– $f_1 = 140$ МГц   | SFDR                            | 88              | 94      | –        | 25,<br>85,<br>– 40    |
|   |                                 | 76              | 81      | –        |                       |
|   |                                 | –               | 72      | –        |                       |
| Диапазон, свободный от гармоник, дБн, при $U_{REF} = 1,25$ В:<br>– $f_1 = 10$ МГц;<br>– $f_1 = 75$ МГц  | SFDR                            | 85              | 91      | –        | 25,<br>85,<br>– 40    |
|   |                                 | 73              | 78      | –        |                       |
| Диапазон, свободный от гармоник, дБпш, при $U_1 = - 23$ дБпш:<br>– $f_1 = 10$ МГц;<br>– $f_1 = 75$ МГц;<br>– $f_1 = 140$ МГц  | SFDR                            | –               | 98      | –        | 25                    |
|   |                                 | –               | 102     | –        |                       |
|   |                                 | –               | 97      | –        |                       |
| Наихудшие 2 или 3 гармоники, дБн, при:<br>– $f_1 = 10$ МГц;<br>– $f_1 = 75$ МГц;<br>– $f_1 = 140$ МГц   | $H_{23}$                        | –               | - 94    | –        |                       |
|   |                                 | –               | - 81    | –        |                       |
|   |                                 | –               | - 72    | –        |                       |
| Наихудший прочий тон, дБн, при:<br>– $f_1 = 10$ МГц;<br>– $f_1 = 75$ МГц;<br>– $f_1 = 140$ МГц  | H                               | –               | - 99    | –        |                       |
|   |                                 | –               | - 93    | –        |                       |
|   |                                 | –               | - 95    | –        |                       |
| Бигармонический диапазон, свободный от гармоник, дБн, при $U_1 = - 7$ дБпш:<br>– $f_{11}^{4)} = 9,5$ МГц, $f_{12}^{4)} = 10,5$ МГц;<br>– $f_{11} = 73,7$ МГц, $f_{12} = 76,3$ МГц<br>– $f_{11} = 104,1$ МГц, $f_{12} = 106,1$ МГц | SFDR2                           | –               | 94      | –        | 25                    |
|   |                                 | –               | 82      | –        |                       |
|   |                                 | –               | 78      | –        |                       |

| Наименование параметра, единица измерения, режим измерения   | Буквенное обозначение параметра | Норма параметра |         |          | Температура среды, °С |
|--|---------------------------------|-----------------|---------|----------|-----------------------|
|  |                                 | не менее        | типовое | не более |                       |
| Интермодуляционные искажения 2-го порядка, дБн,<br>при $U_1 = -7$ дБпш:<br>– $f_{11} = 9,5$ МГц, $f_{12} = 10,5$ МГц;<br>– $f_{11} = 73,7$ МГц, $f_{12} = 76,3$ МГц;<br>– $f_{11} = 104,1$ МГц, $f_{12} = 106,1$ МГц | IMD2                            | –               | - 94    | –        | 25                    |
|  |                                 | –               | - 82    | –        |                       |
|  |                                 | –               | - 78    | –        |                       |
| Интермодуляционные искажения 3-го порядка, дБн,<br>при $U_1 = -7$ дБпш:<br>– $f_{11} = 9,5$ МГц, $f_{12} = 10,5$ МГц;<br>– $f_{11} = 73,7$ МГц, $f_{12} = 76,3$ МГц;<br>– $f_{11} = 104,1$ МГц, $f_{12} = 106,1$ МГц | IMD3                            | –               | - 98    | –        | 25                    |
|  |                                 | –               | - 86    | –        |                       |
|  |                                 | –               | - 82    | –        |                       |
| Спектральная плотность мощности шума, дБпш/Гц,<br>при $f_1 = 10$ МГц:<br>– $U_{REF} = 1,0$ В;<br>– $U_{REF} = 1,25$ В  | NSD                             | –               | - 152   | –        | 25                    |
|  |                                 | –               | - 154   | –        |                       |
| Шум в отсутствие входного сигнала, приведённый ко входу, ЕМР, при:<br>– $U_{REF} = 1,0$ В;<br>– $U_{REF} = 1,25$ В   | IRN                             | –               | 3,9     | –        | 25                    |
|  |                                 | –               | 3,2     | –        |                       |
| Джиттер, пс rms  | $t_j$                           | –               | 0,32    | –        | 25                    |
| Большесигнальная полоса пропускания по уровню -3 дБ, МГц   | BW                              | –               | 698     | –        | 25                    |
| Конвейерная задержка, тактов<br>– режим КМОП;<br>– режим LVDS  | d                               | –               | 11,0    | –        | 25                    |
|  |                                 | –               | 11,5    | –        |                       |

1)  $I_{VREF}$  – ток нагрузки на выводе VREF при использовании внутреннего источника опорного напряжения.

2)  $U_{REF}$  – опорное напряжение, задаваемое внешним источником опорного напряжения, от 0,5 до 1,25 В.

3)  $U_1$  – амплитуда дифференциального напряжения входного сигнала.

4)  $f_{11}$ ,  $f_{12}$  – частоты входного синусоидального сигнала на аналоговых входах IN+, IN-

Примечание – Режим измерения параметров, если не указано иное:  $U_{CC} = 1,8$  В,  $U_{CCA} = 1,8$  В,  $U_1 = -1,0$  дБпш, максимальная частота дискретизации, внутренний ИОН 1,0 В, корректор скважности отключен, входной тактовый сигнал без деления

## 11 Типовые зависимости

Режим измерения параметров, если не указано иное:  $U_{CC} = 1,8 \text{ В}$ ,  $U_{CCA} = 1,8 \text{ В}$ ,  $U_I = -1,0 \text{ дБпш}$ , максимальная частота дискретизации, внутренний ИОН 1,0 В, корректор скважности отключен, входной тактовый сигнал без деления, режим КМОП, температура плюс 25 °С.

### 11.1 Основной режим (80 Мвыб/с)

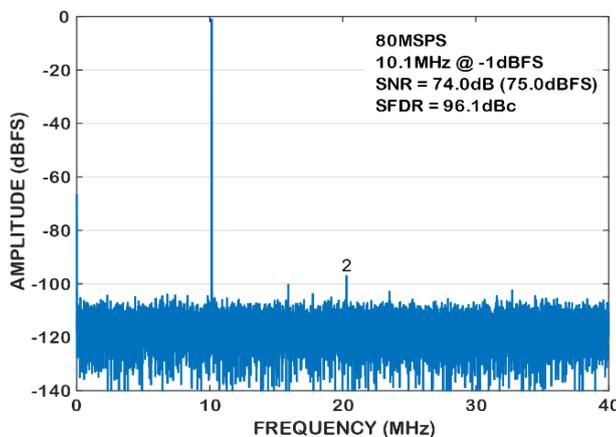


Рисунок 18 – Выходной спектр при  $f_1 = 10,1 \text{ МГц}$

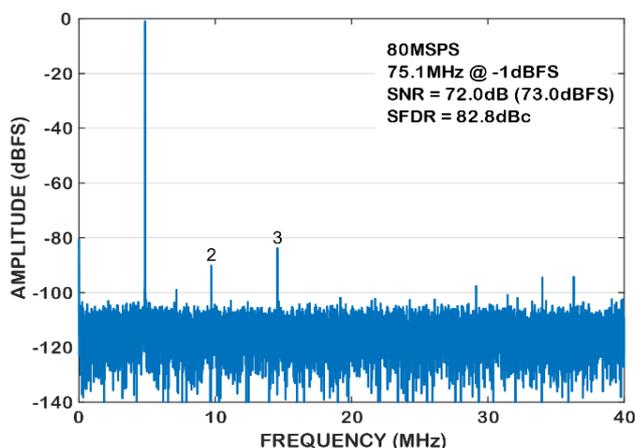


Рисунок 19 – Выходной спектр при  $f_1 = 75,1 \text{ МГц}$

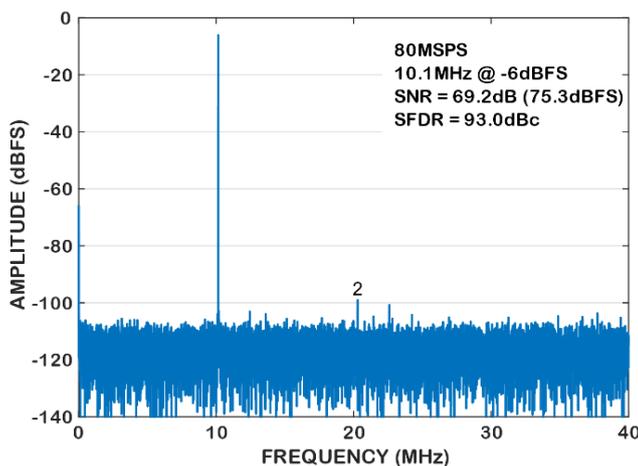


Рисунок 20 – Выходной спектр при  $f_1 = 10,1 \text{ МГц}$  и  $A_{IN} = -6 \text{ дБпш}$

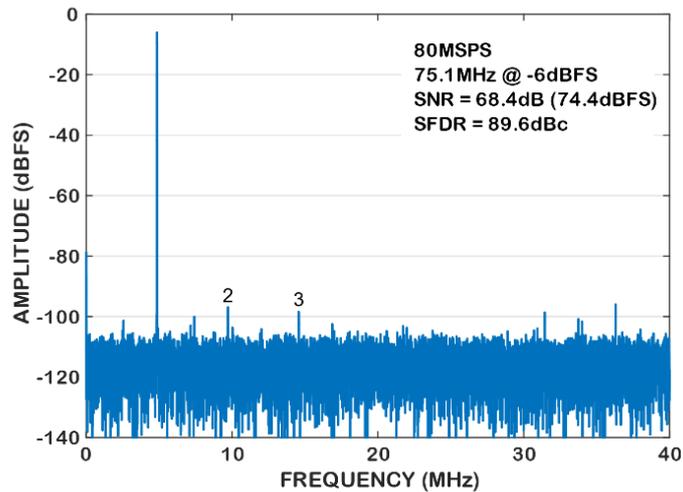


Рисунок 21 – Выходной спектр при  $f_1 = 75,1$  МГц и  $A_1 = -6$  дБпш

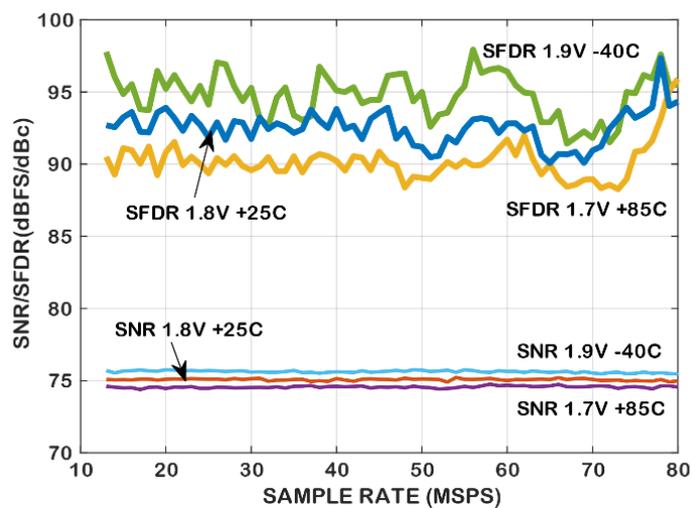


Рисунок 22 – Зависимость соотношения сигнал/шум SNR диапазона, свободного от гармоник SFDR, от скорости преобразования  $f_s$ , температуры и  $U_{ССА}$  при  $f_1 = 10,1$  МГц

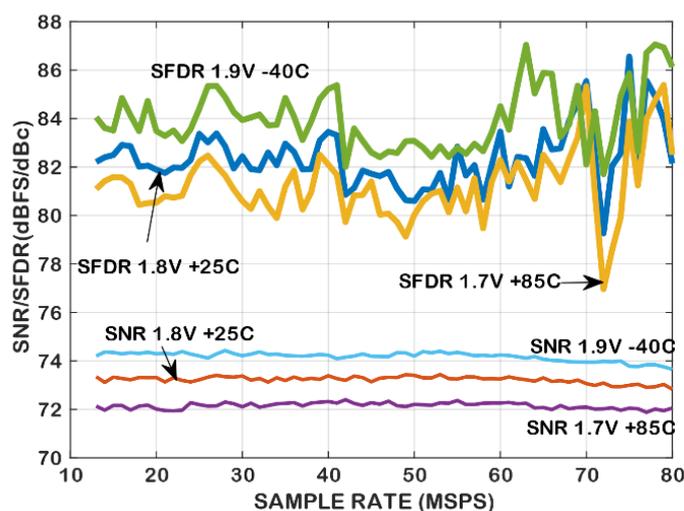


Рисунок 23 – Зависимость соотношения сигнал/шум SNR диапазона, свободного от гармоник SFDR, от скорости преобразования  $f_s$ , температуры и  $U_{ССА}$  при  $f_1 = 75,1$  МГц

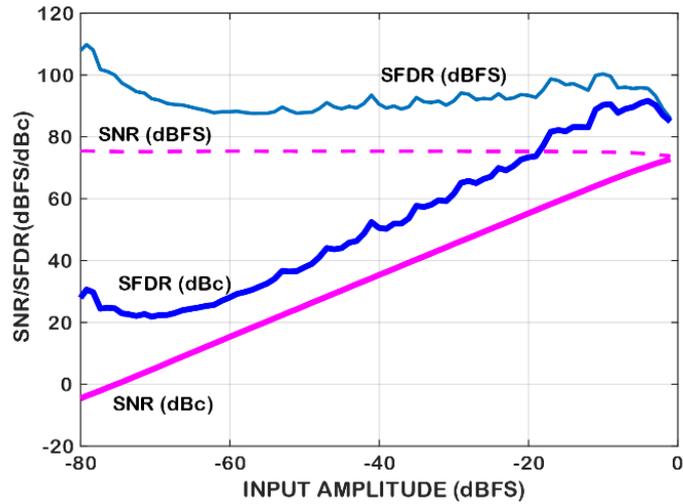


Рисунок 24 – Зависимость соотношения сигнал/шум SNR диапазона, свободного от гармоник SFDR, от амплитуды дифференциального напряжения входного сигнала  $U_I$  ( $A_I$ ) при  $f_1 = 50,1$  МГц

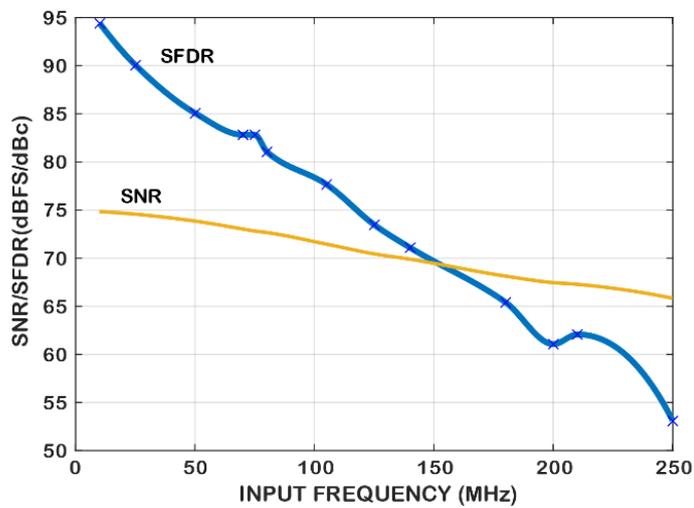


Рисунок 25 – Зависимость SNR/SFDR от частоты входного сигнала ( $f_1$ )

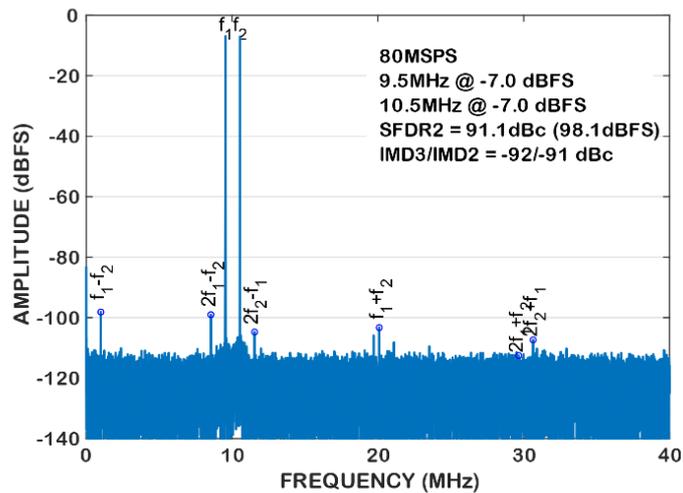


Рисунок 26 – Бигармонический спектр при  $f_{11} = 9,5$  МГц;  $f_{12} = 10,5$  МГц

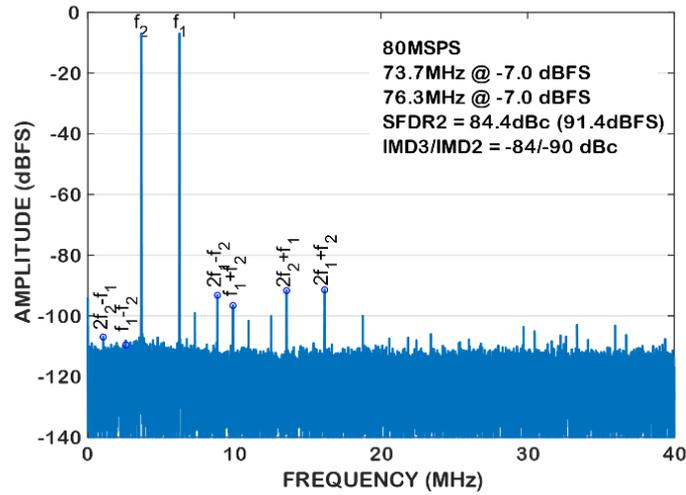


Рисунок 27 – Бигармонический спектр при  $f_{11} = 73,7$  МГц;  $f_{12} = 76,3$  МГц

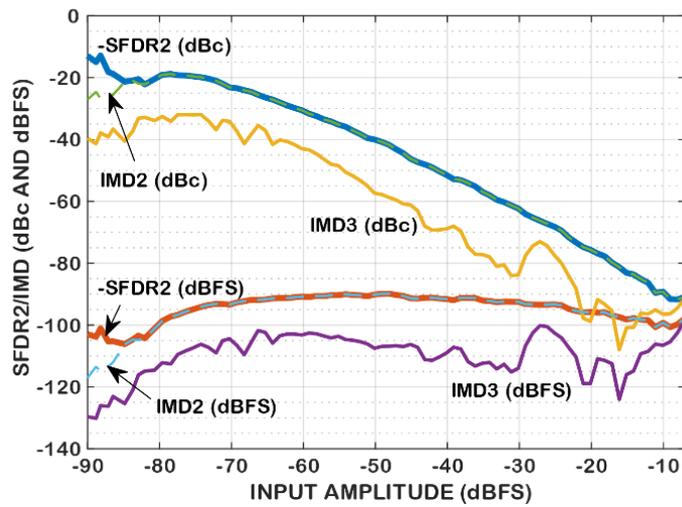


Рисунок 28 – Зависимость SFDR/IMD3/IMD2 от амплитуды бигармонического сигнала ( $A_I$ ) при  $f_{11} = 9,5$  МГц;  $f_{12} = 10,5$  МГц

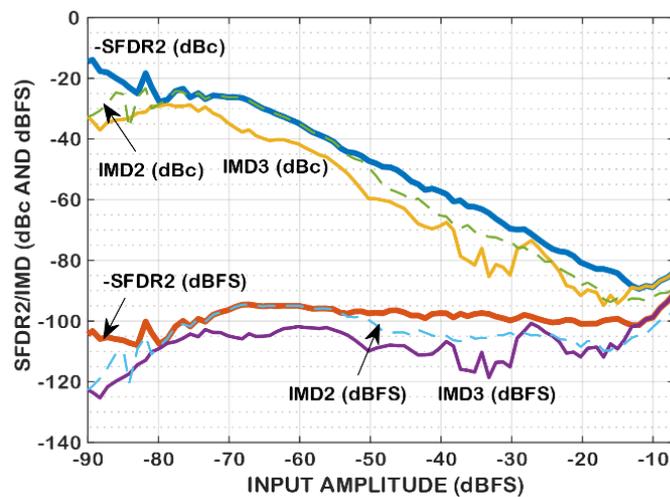


Рисунок 29 – Зависимость SFDR/IMD3/IMD2 от амплитуды бигармонического сигнала ( $A_I$ ) при  $f_{11} = 73,7$  МГц;  $f_{12} = 76,3$  МГц

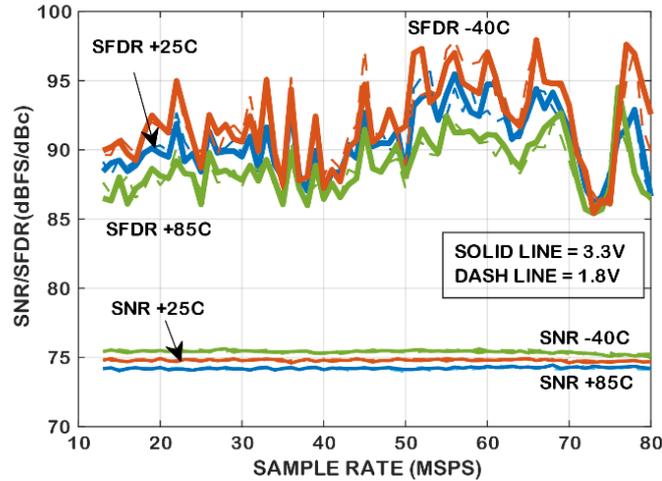


Рисунок 30 – Зависимость SNR/SFDR от скорости преобразования  $f_s$  при различных температуре окружающей среды и напряжении на выводах VDDD,  $f_i = 25,1$  МГц

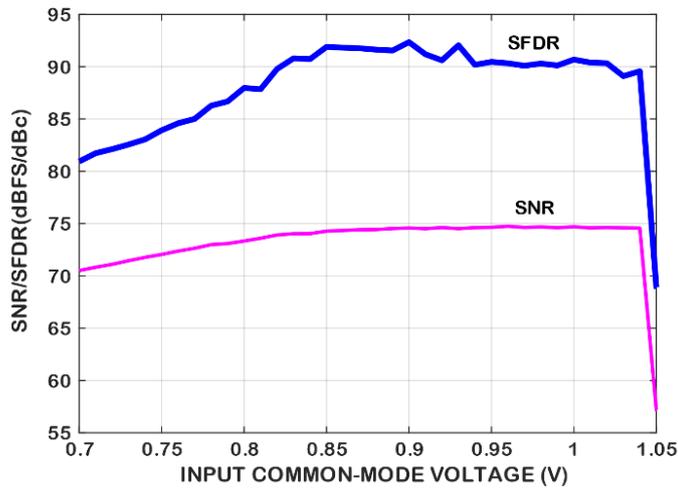


Рисунок 31 – Зависимость SNR/SFDR от синфазного уровня входного сигнала при  $f_i = 25,1$  МГц

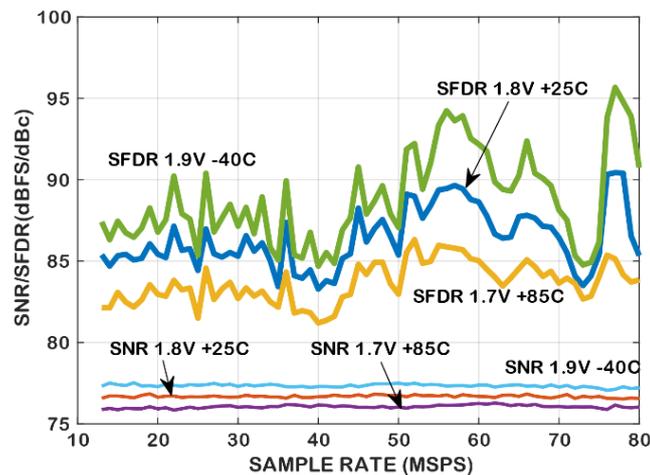


Рисунок 32 – Зависимость SNR/SFDR от скорости преобразования  $f_s$ , температуры при  $f_i = 25,1$  МГц и внешнем опорном напряжении  $U_{REF} = 1,25$  В

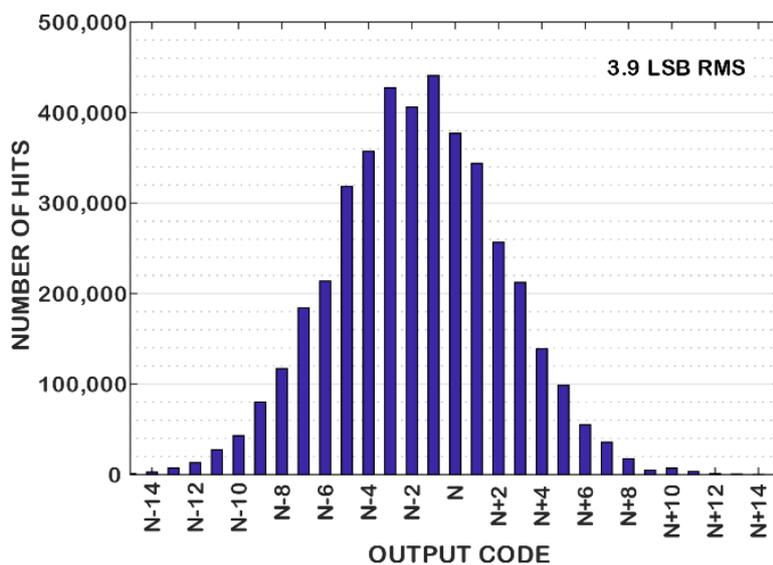


Рисунок 33 – Гистограмма выходных кодов при короткозамкнутом входе

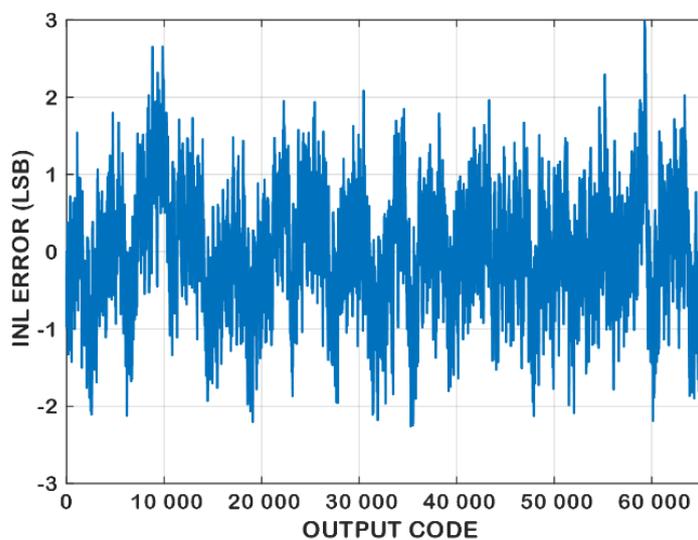


Рисунок 34 – Интегральная нелинейность

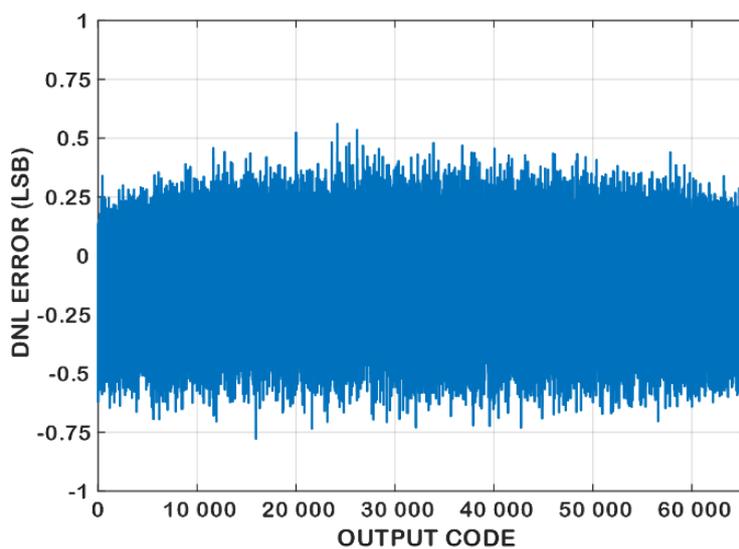


Рисунок 35 – Дифференциальная нелинейность

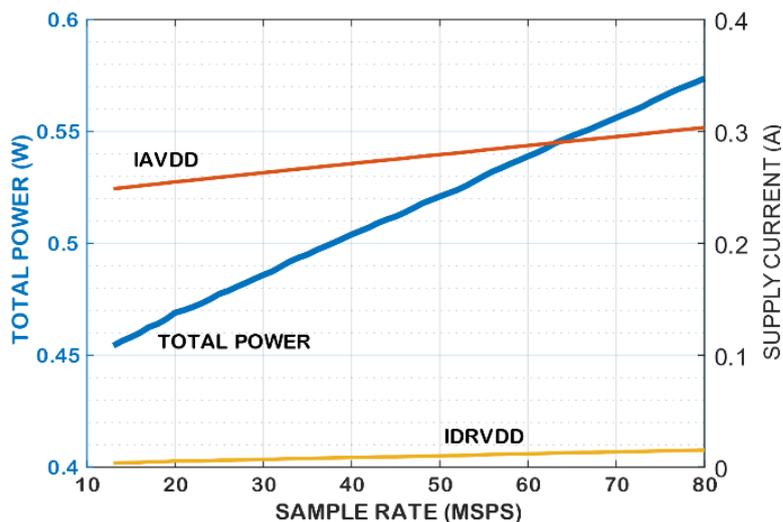


Рисунок 36 – Зависимость потребляемого тока и рассеиваемой мощности от частоты тактирования

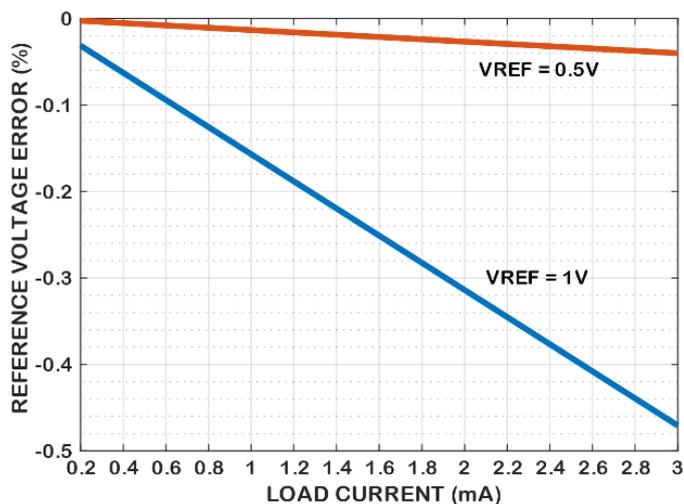


Рисунок 37 – Ошибка внутреннего источника опорного напряжения ( $U_{REF0}$ ) от его тока нагрузки ( $I_{VREF}$ )

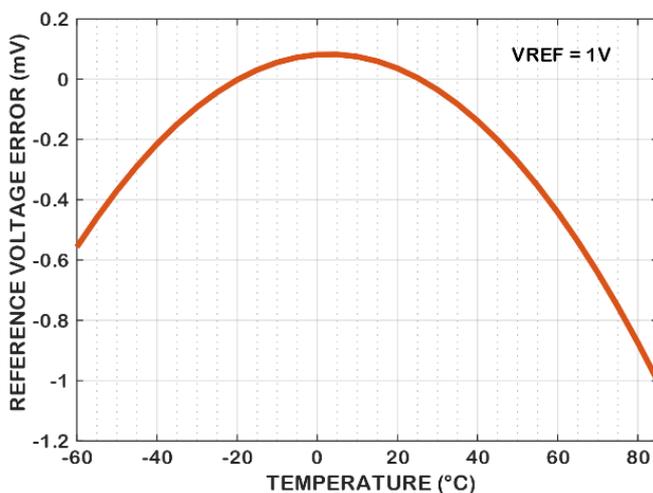


Рисунок 38 – Температурная зависимость внутреннего источника опорного напряжения ( $U_{REF0}$ )

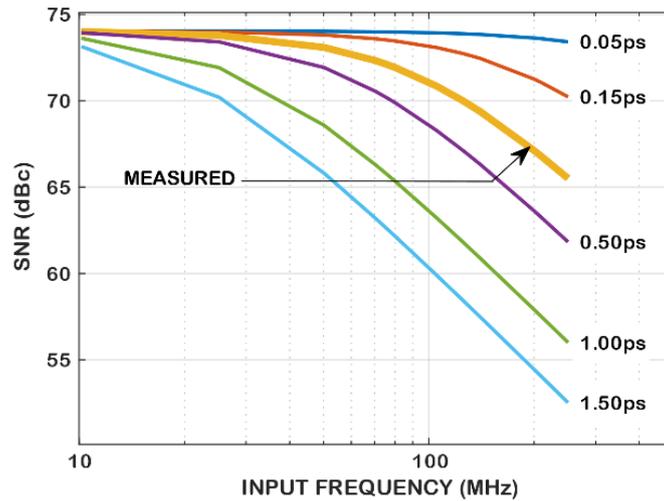


Рисунок 39 – Гипотетические и измеренная зависимости соотношения сигнал/шум SNR от частоты входного сигнала  $f_i$  при различном джиттере  $t_j$

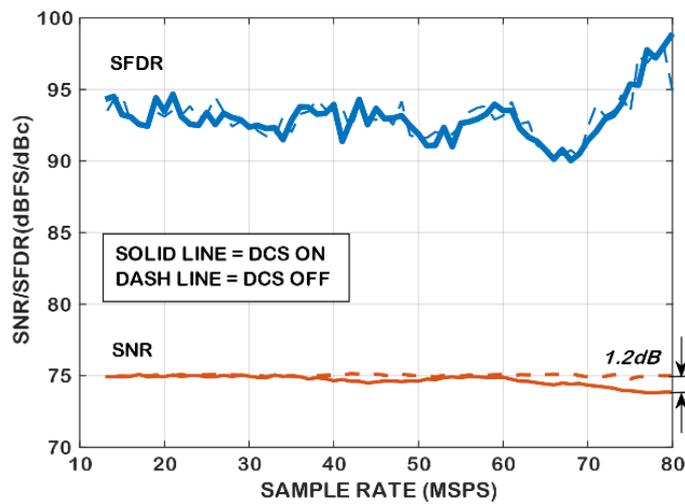


Рисунок 40 – Зависимость SNR/SFDR от скорости преобразования  $f_s$  при  $f_i = 10,1$  МГц и при включённом или выключенном корректоре скважности

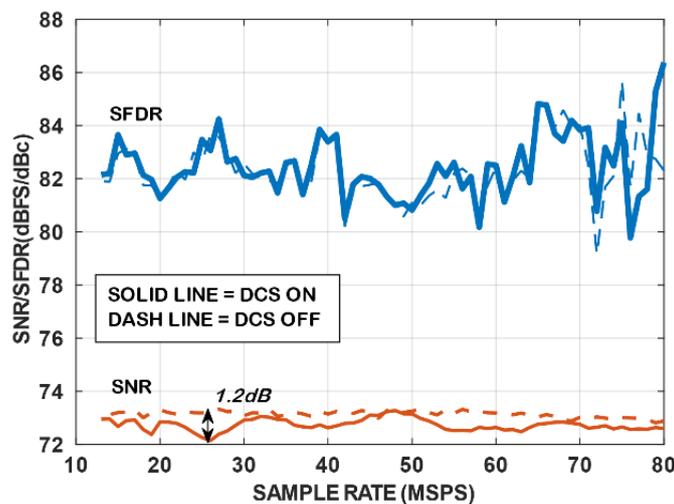


Рисунок 41 – Зависимость SNR/SFDR от скорости преобразования  $f_s$  при  $f_i = 75,1$  МГц и при включённом или выключенном корректоре скважности

## 11.2 Режим повышенной производительности (95 Мвыб/с)

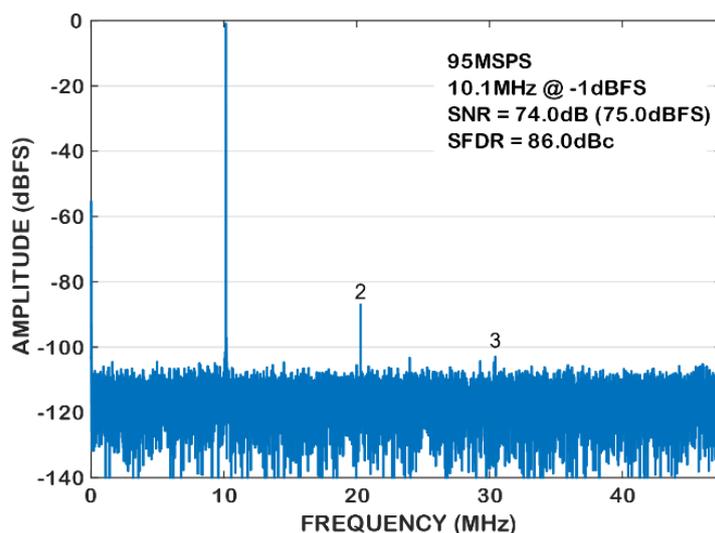


Рисунок 42 – Выходной спектр при  $f_1 = 10,1$  МГц

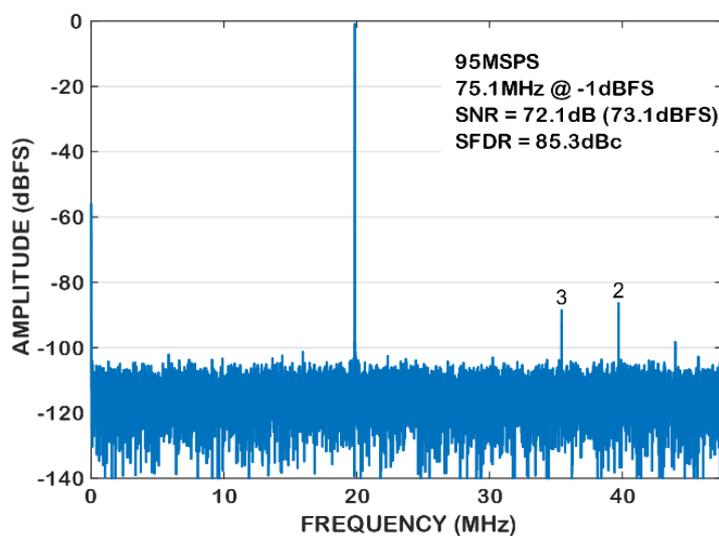


Рисунок 43 – Выходной спектр при  $f_1 = 75,1$  МГц

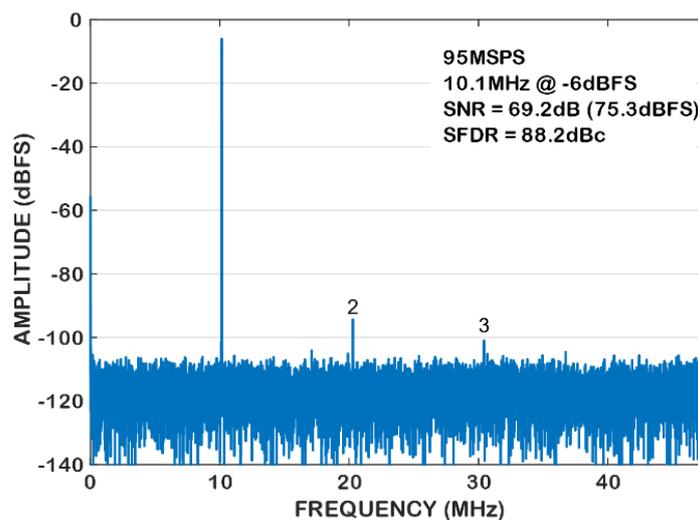


Рисунок 44 – Выходной спектр при  $f_1 = 10,1$  МГц и  $A_{IN} = -6$  дБпш

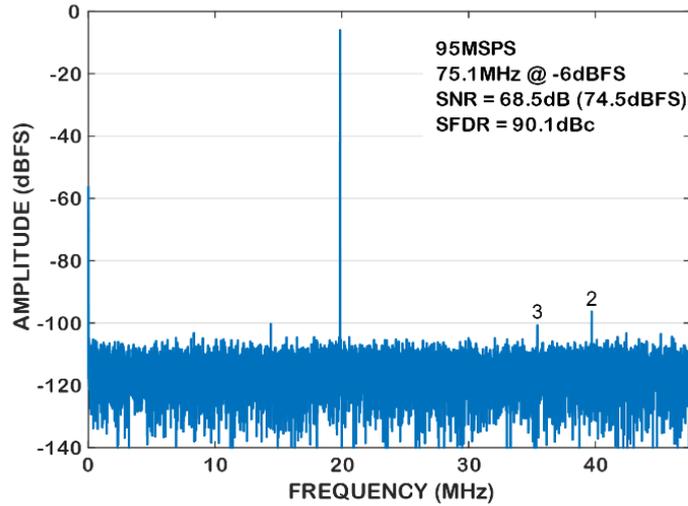


Рисунок 45 – Выходной спектр при  $f_1 = 75,1$  МГц и  $A_1 = -6$  дБпш

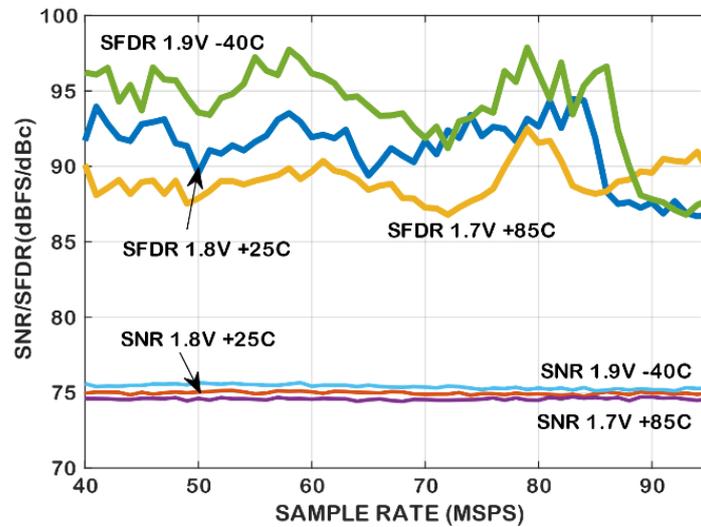


Рисунок 46 – Зависимость соотношения сигнал/шум SNR диапазона, свободного от гармоник SFDR, от скорости преобразования  $f_s$ , температуры и  $U_{ССА}$  при  $f_1 = 10,1$  МГц

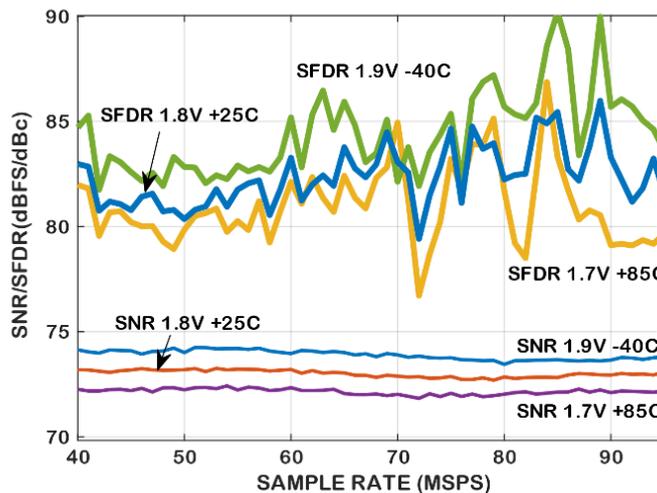


Рисунок 47 – Зависимость соотношения сигнал/шум SNR диапазона, свободного от гармоник SFDR, от скорости преобразования  $f_s$ , температуры и  $U_{ССА}$  при  $f_1 = 75,1$  МГц

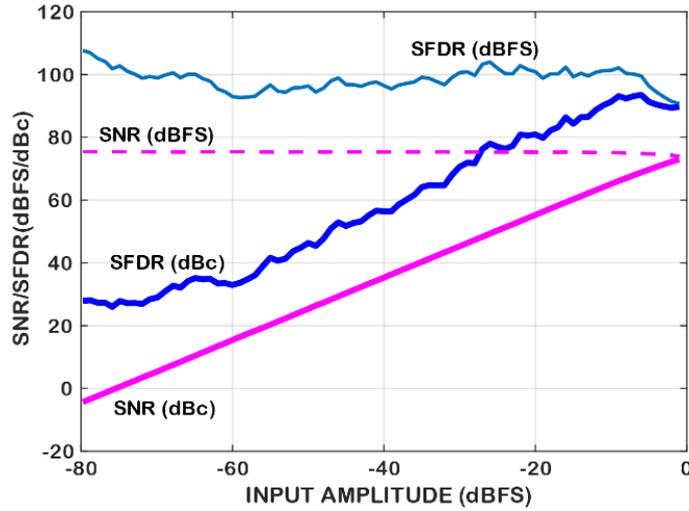


Рисунок 48 – Зависимость соотношения сигнал/шум SNR диапазона, свободного от гармоник SFDR, от амплитуды дифференциального напряжения входного сигнала  $U_I$  ( $A_I$ ) при  $f_1 = 50,1$  МГц

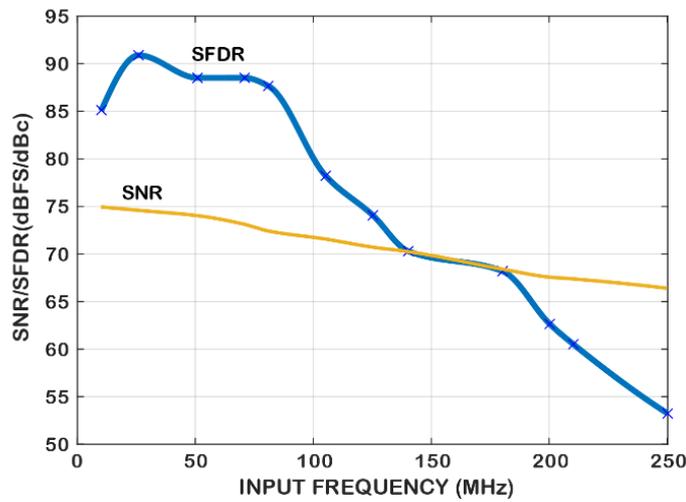


Рисунок 49 – Зависимость SNR/SFDR от частоты входного сигнала ( $f_i$ )

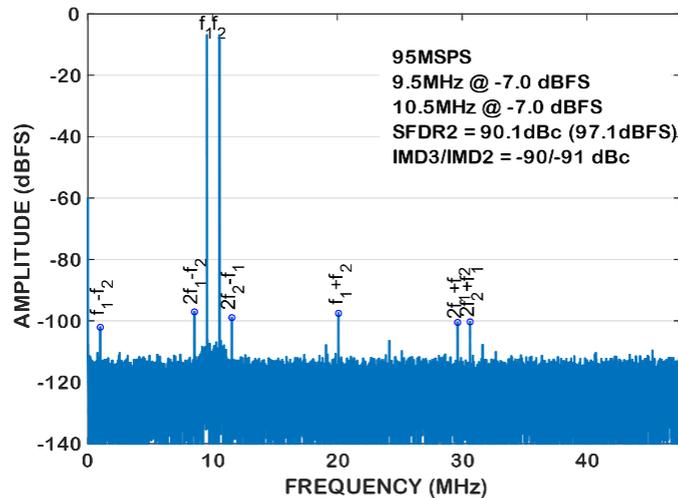


Рисунок 50 – Бигармонический спектр при  $f_{11} = 9,5$  МГц;  $f_{12} = 10,5$  МГц

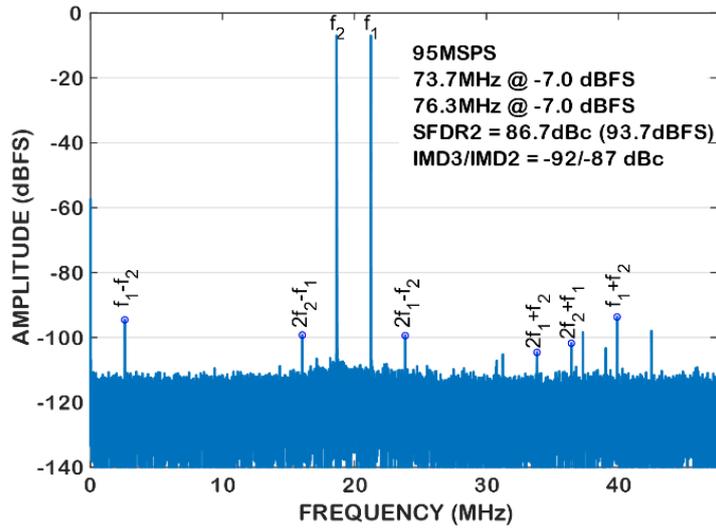


Рисунок 51 – Бигармонический спектр при  $f_{11} = 73,7$  МГц;  $f_{12} = 76,3$  МГц

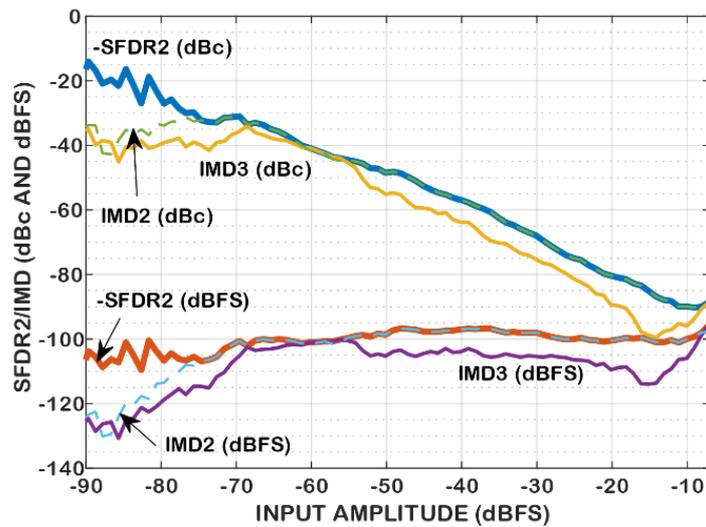


Рисунок 52 – Зависимость SFDR/IMD3/IMD2 от амплитуды бигармонического сигнала ( $A_I$ ) при  $f_{11} = 9,5$  МГц;  $f_{12} = 10,5$  МГц

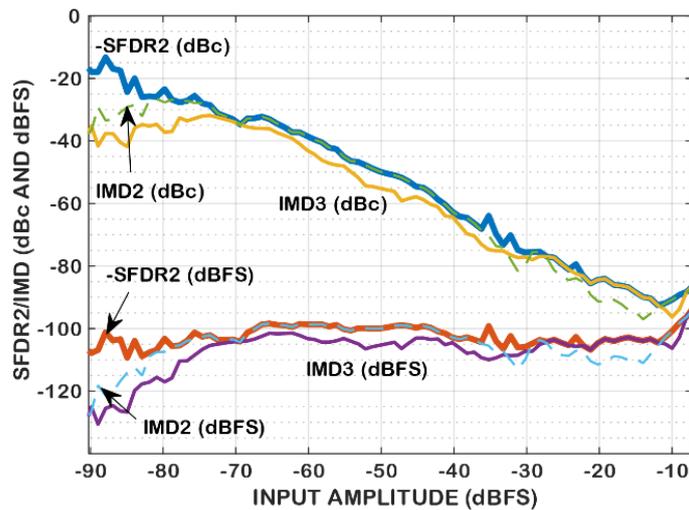


Рисунок 53 – Зависимость SFDR/IMD3/IMD2 от амплитуды бигармонического сигнала ( $A_I$ ) при  $f_{11} = 73,7$  МГц;  $f_{12} = 76,3$  МГц

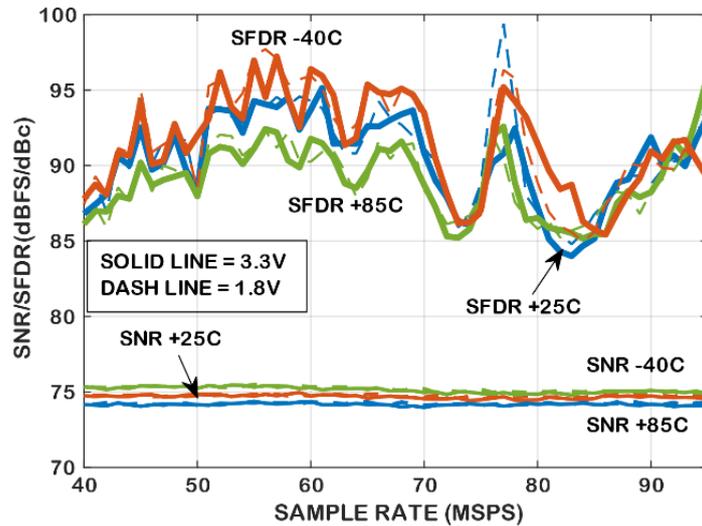


Рисунок 54 – Зависимость SNR/SFDR от скорости преобразования  $f_s$  при различных температуре окружающей среды и напряжении на выводах VDDD,  $f_i = 25,1$  МГц

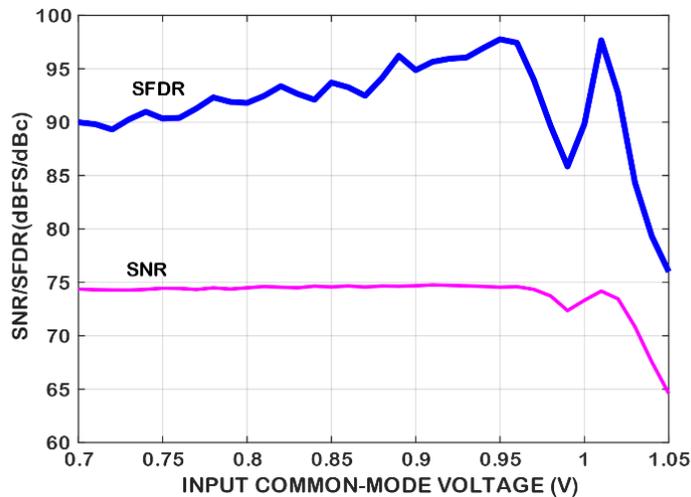


Рисунок 55 – Зависимость SNR/SFDR от синфазного уровня входного сигнала при  $f_i = 25,1$  МГц

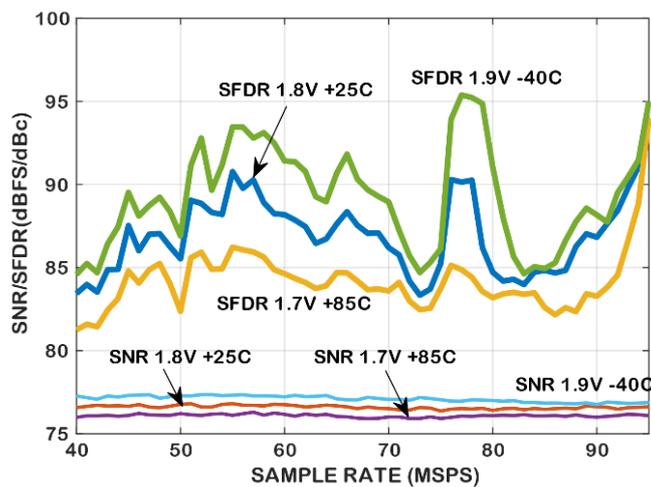


Рисунок 56 – Зависимость SNR/SFDR от скорости преобразования  $f_s$ , температуры при  $f_i = 25,1$  МГц и внешнем опорном напряжении  $U_{REF} = 1,25$  В

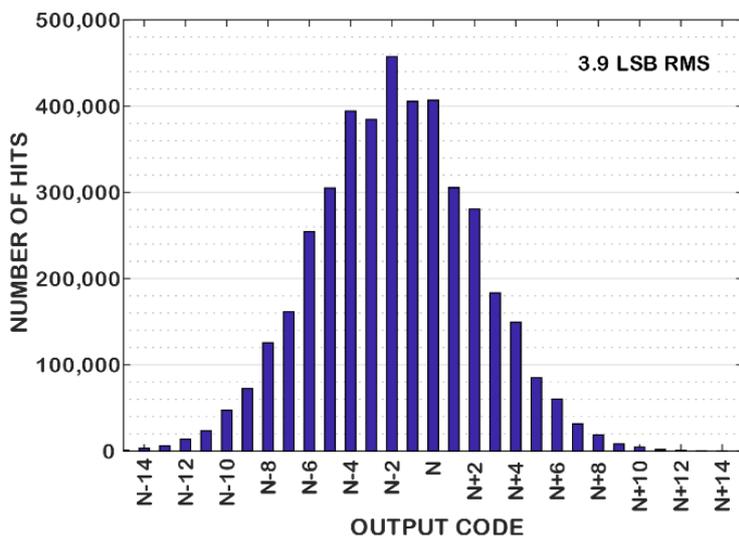


Рисунок 57 – Гистограмма выходных кодов при короткозамкнутом входе

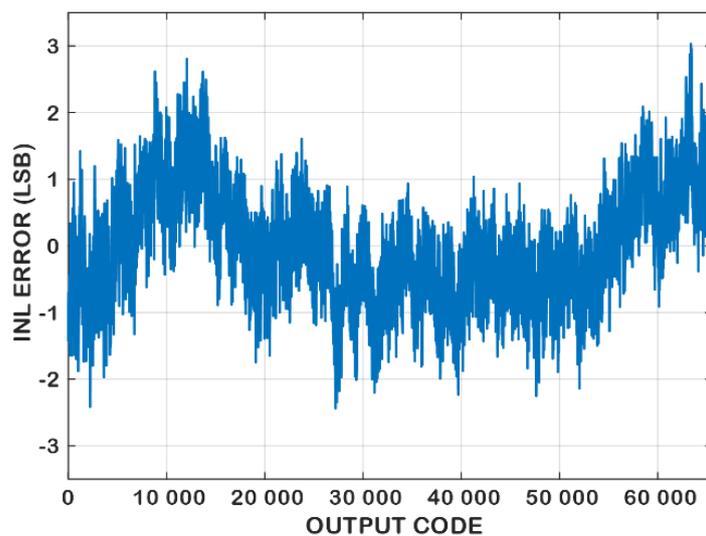


Рисунок 58 – Интегральная нелинейность

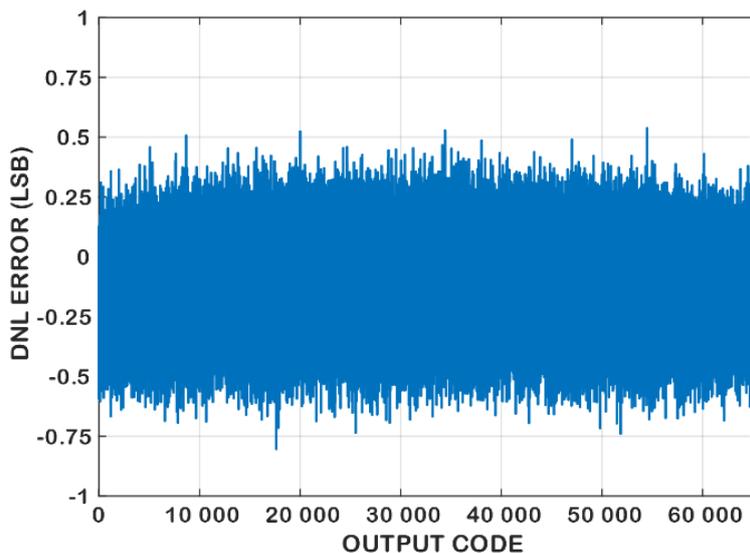


Рисунок 59 – Дифференциальная нелинейность

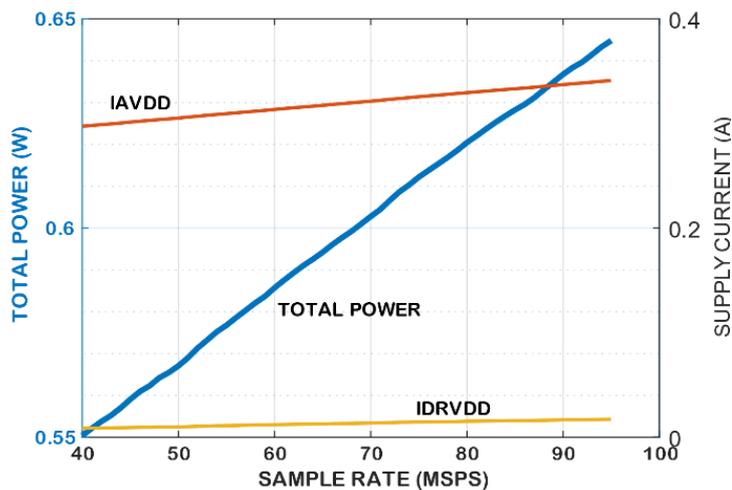


Рисунок 60 – Зависимость потребляемого тока и рассеиваемой мощности от частоты тактирования

### 11.3 Режим пониженного потребления (55 Мвыб/с)

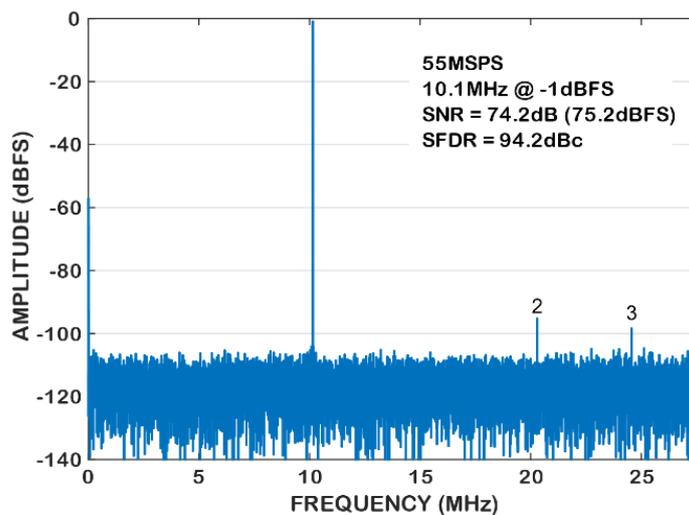


Рисунок 61 – Выходной спектр при  $f_1 = 10,1$  МГц

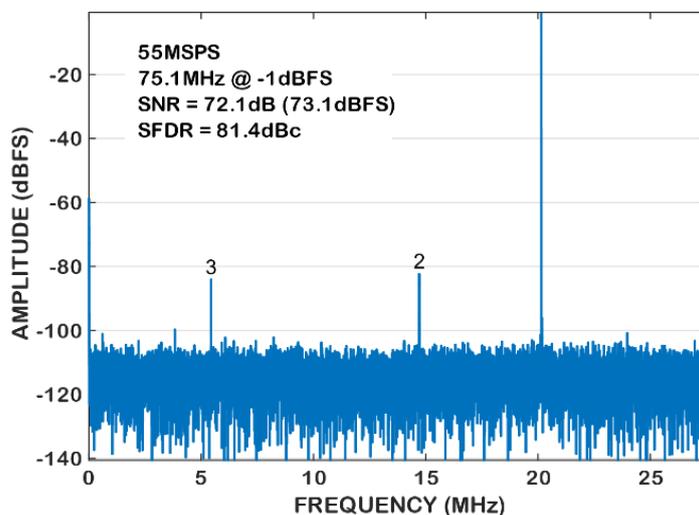


Рисунок 62 – Выходной спектр при  $f_1 = 75,1$  МГц

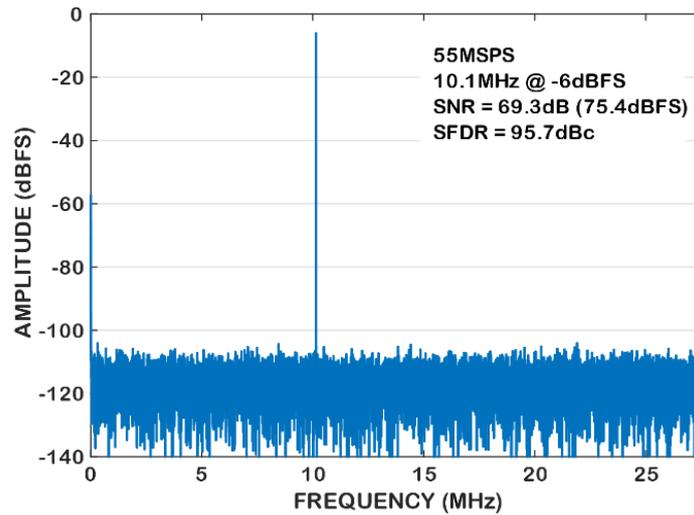


Рисунок 63 – Выходной спектр при  $f_1 = 10,1$  МГц и  $A_{IN} = -6$  дБпш

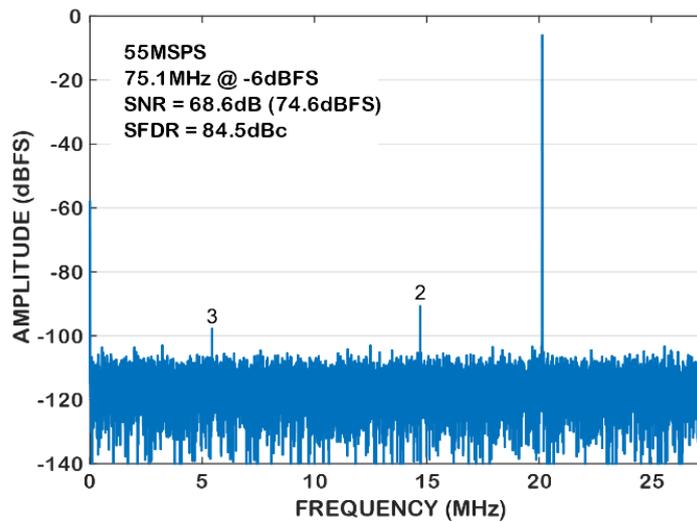


Рисунок 64 – Выходной спектр при  $f_1 = 75,1$  МГц и  $A_I = -6$  дБпш

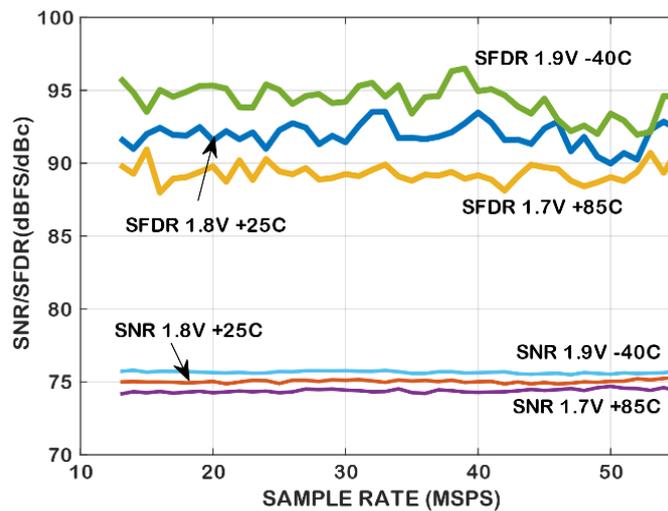


Рисунок 65 – Зависимость соотношения сигнал/шум SNR диапазона, свободного от гармоник SFDR, от скорости преобразования  $f_s$ , температуры и  $U_{ССА}$  при  $f_1 = 10,1$  МГц

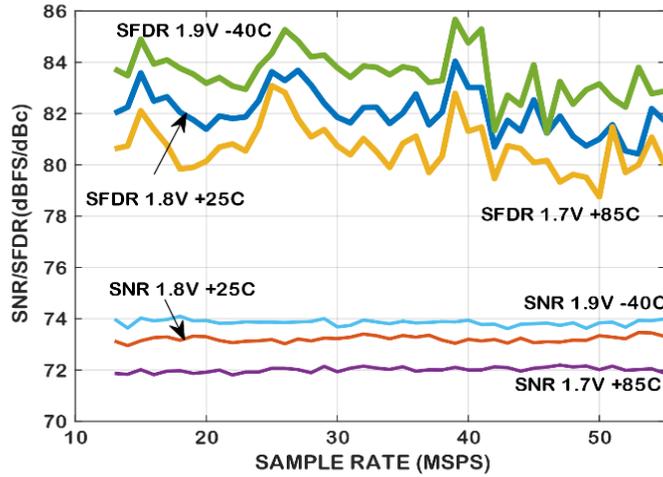


Рисунок 66 – Зависимость соотношения сигнал/шум SNR диапазона, свободного от гармоник SFDR, от скорости преобразования  $f_s$ , температуры и  $U_{ССА}$  при  $f_1 = 75,1$  МГц

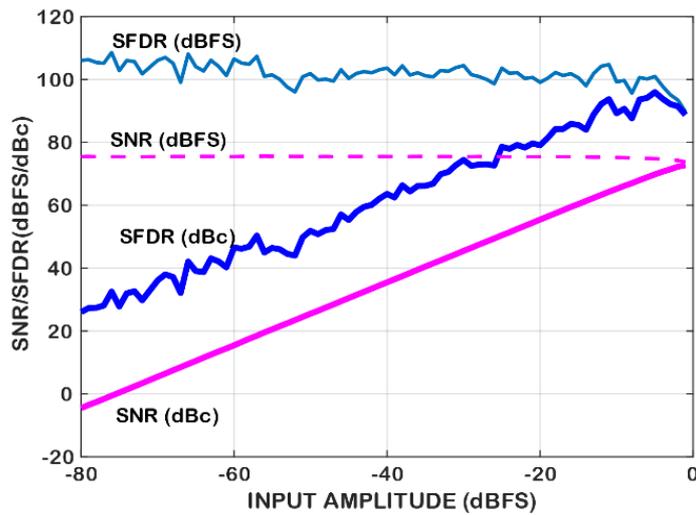


Рисунок 67 – Зависимость соотношения сигнал/шум SNR диапазона, свободного от гармоник SFDR, от амплитуды дифференциального напряжения входного сигнала  $U_1$  ( $A_1$ ) при  $f_1 = 50,1$  МГц

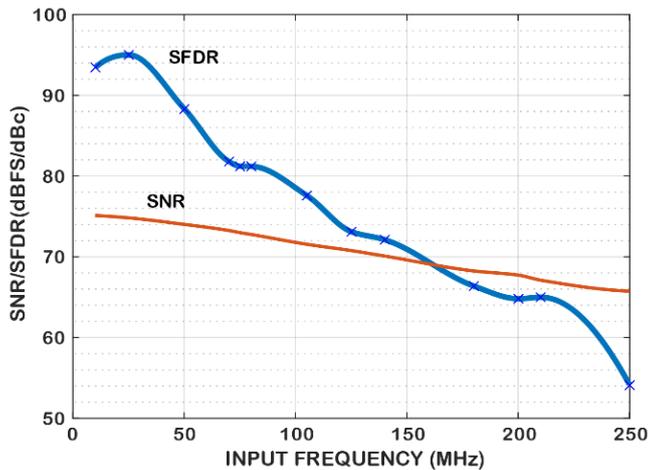


Рисунок 68 – Зависимость SNR/SFDR от частоты входного сигнала ( $f_1$ )

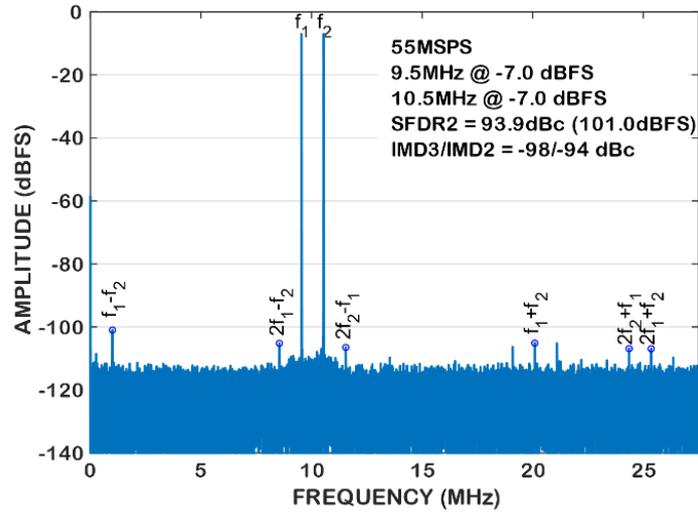


Рисунок 69 – Бигармонический спектр при  $f_{11} = 9,5$  МГц;  $f_{12} = 10,5$  МГц

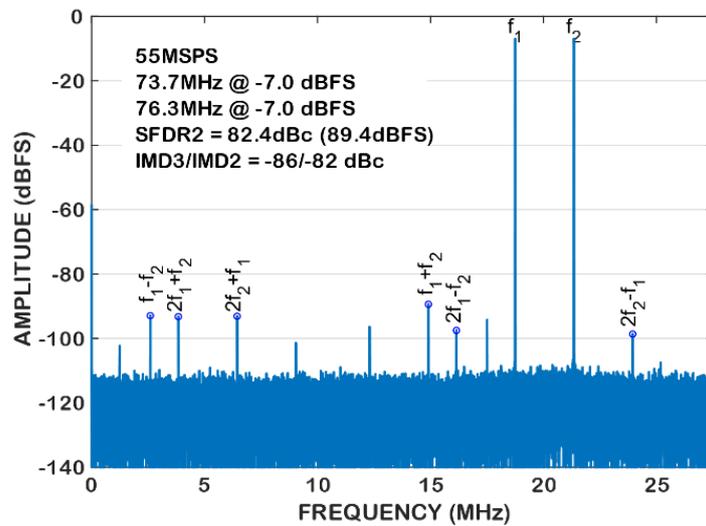


Рисунок 70 – Бигармонический спектр при  $f_{11} = 73,7$  МГц;  $f_{12} = 76,3$  МГц

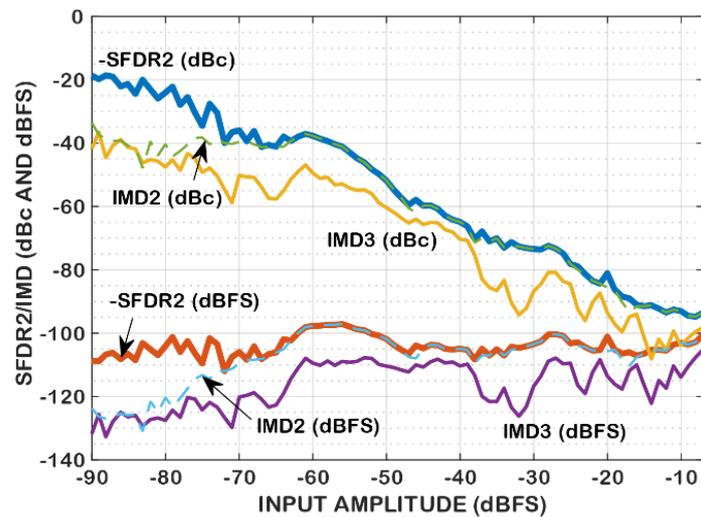


Рисунок 71 – Зависимость SFDR/IMD3/IMD2 от амплитуды бигармонического сигнала ( $A_I$ ) при  $f_{11} = 9,5$  МГц;  $f_{12} = 10,5$  МГц

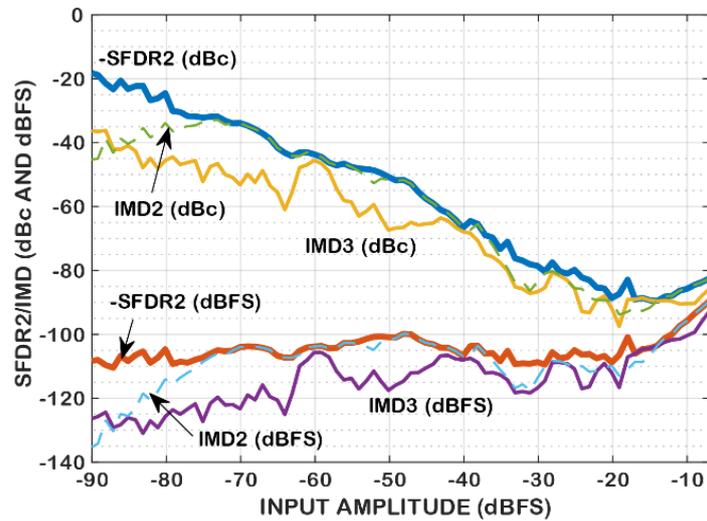


Рисунок 72 – Зависимость SFDR/IMD3/IMD2 от амплитуды бигармонического сигнала ( $A_1$ ) при  $f_{11} = 73,7$  МГц;  $f_{12} = 76,3$  МГц

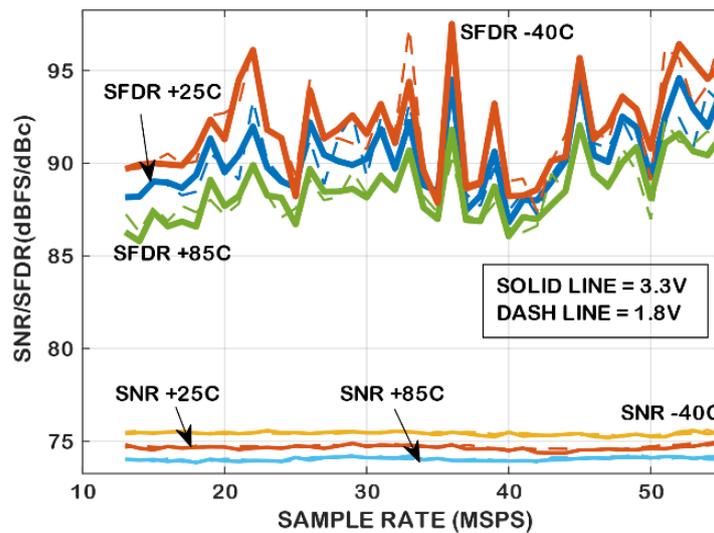


Рисунок 73 – Зависимость SNR/SFDR от скорости преобразования  $f_s$  при различных температуре окружающей среды и напряжении на выводах VDDD,  $f_1 = 25,1$  МГц

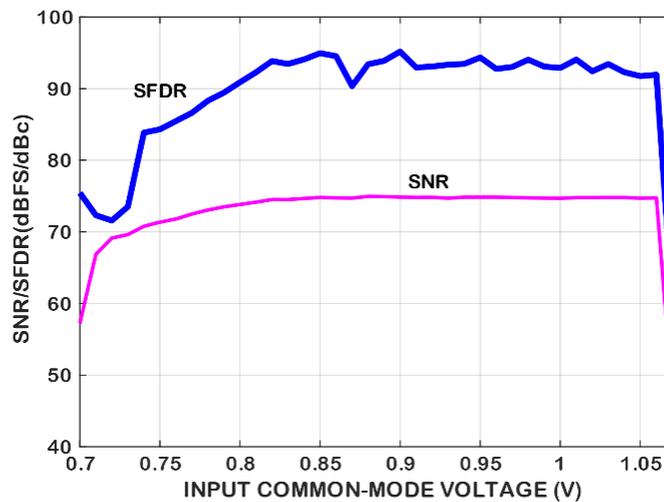


Рисунок 74 – Зависимость SNR/SFDR от синфазного уровня входного сигнала при  $f_1 = 25,1$  МГц

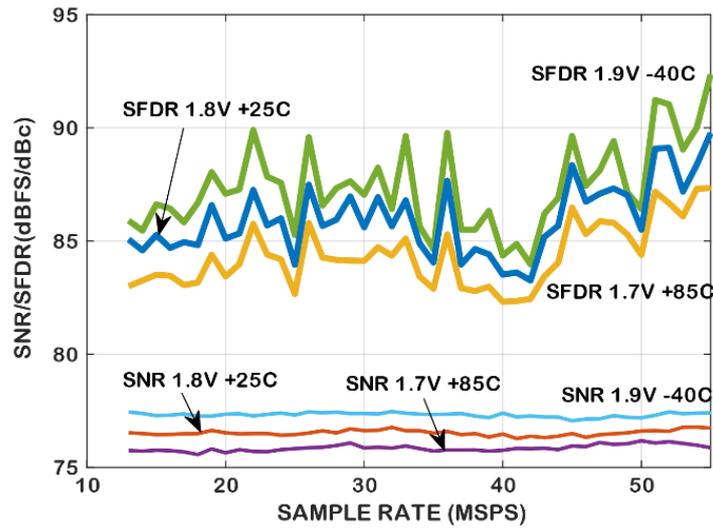


Рисунок 75 – Зависимость SNR/SFDR от скорости преобразования  $f_s$ , температуры при  $f_i = 25,1$  МГц и внешнем опорном напряжении  $U_{REF} = 1,25$  В

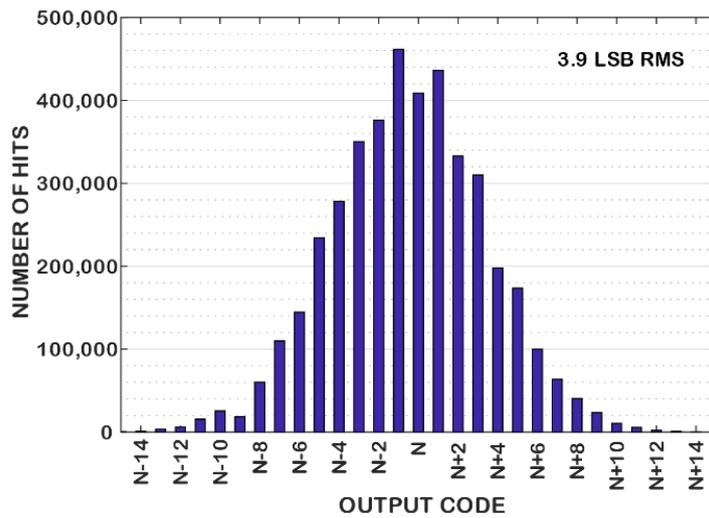


Рисунок 76 – Гистограмма выходных кодов при короткозамкнутом входе

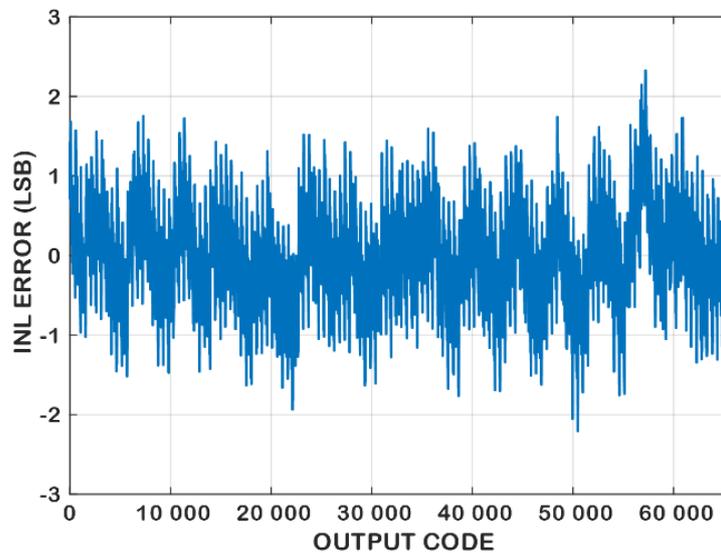


Рисунок 77 – Интегральная нелинейность

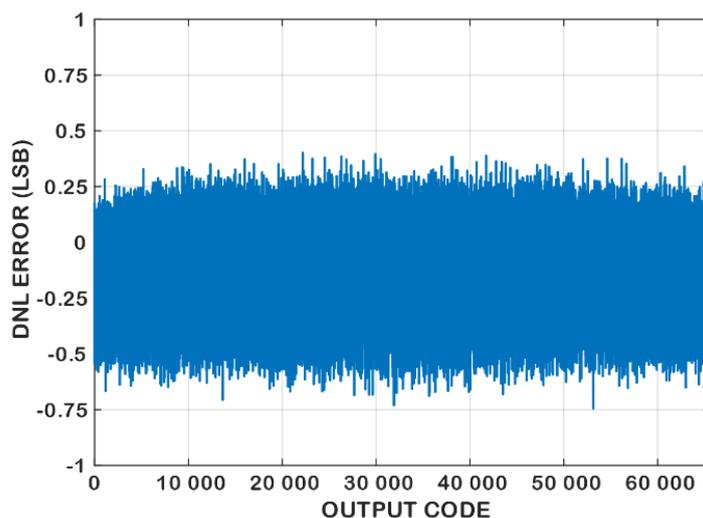


Рисунок 78 – Дифференциальная нелинейность

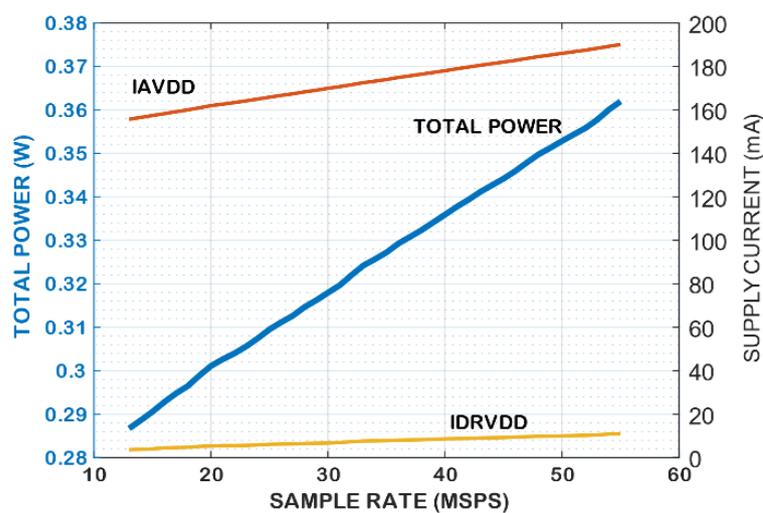


Рисунок 79 – Зависимость потребляемого тока и рассеиваемой мощности от частоты тактирования

## 12 Габаритный чертеж микросхемы

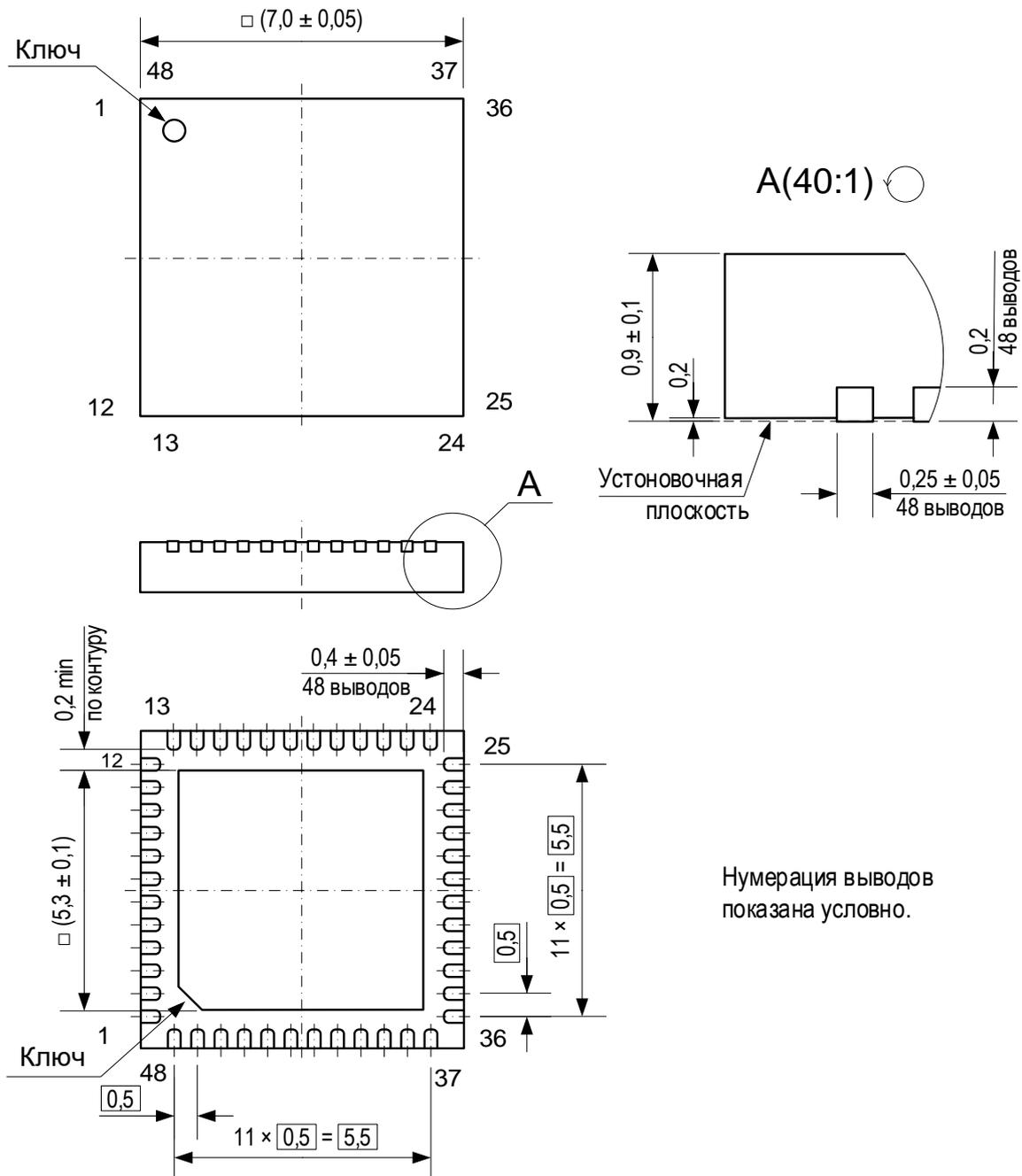


Рисунок 80 – Микросхема в корпусе VQFN48L

### 13 Информация для заказа

| Обозначение микросхемы | Маркировка | Тип корпуса | Температурный диапазон, °С |
|------------------------|------------|-------------|----------------------------|
| K5101HB04FI            | MDRA1A16FI | VQFN48L     | от -40 до 85               |

