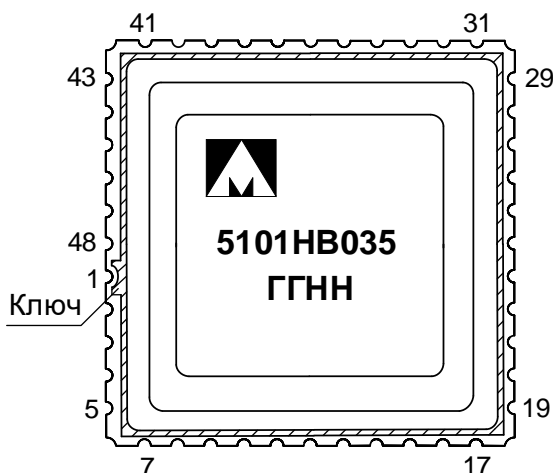




**Микросхема 20-разрядного сигма-дельта АЦП
с токовыми входами (8 каналов)
5101НВ035, К5101НВ035, К5101НВ035К**



ГГ – год выпуска
НН – неделя выпуска

Основные характеристики микросхемы:

- Напряжение питания от 3,0 до 3,6 В;
- Шкала значений накопленного заряда от 12 до 350 пКл;
- Время интегрирования от 10 мкс до 1 с;
- Скорость преобразования от 1 до 2500 выб/с;
- Разрешающая способность 16/20 бит;
- Шкала измеряемых напряжений от 0 до 2,5 В или $\pm 2,5$ В;
- Входной ток смещения по входам АIN1 – АIN8 <10 пА;
- Динамический ток потребления до 2 мА/канал;
- Рабочий диапазон температур:

| Обозначение | Диапазон |
|-------------|------------------|
| 5101НВ035 | минус 60 – 85 °С |
| К5101НВ035 | минус 60 – 85 °С |
| К5101НВ035К | 0 – 70 °С |

Тип корпуса:

- 48-выводной металлокерамический корпус 5142.48-А.

Общее описание и область применения микросхемы

Микросхемы интегральные 5101НВ035, 20-разрядный сигма-дельта АЦП с токовыми входами (8 каналов), (далее – микросхемы) представляют собой готовое решение для высокоточных измерений токов малых значений в диапазоне от пико- до микроампер.

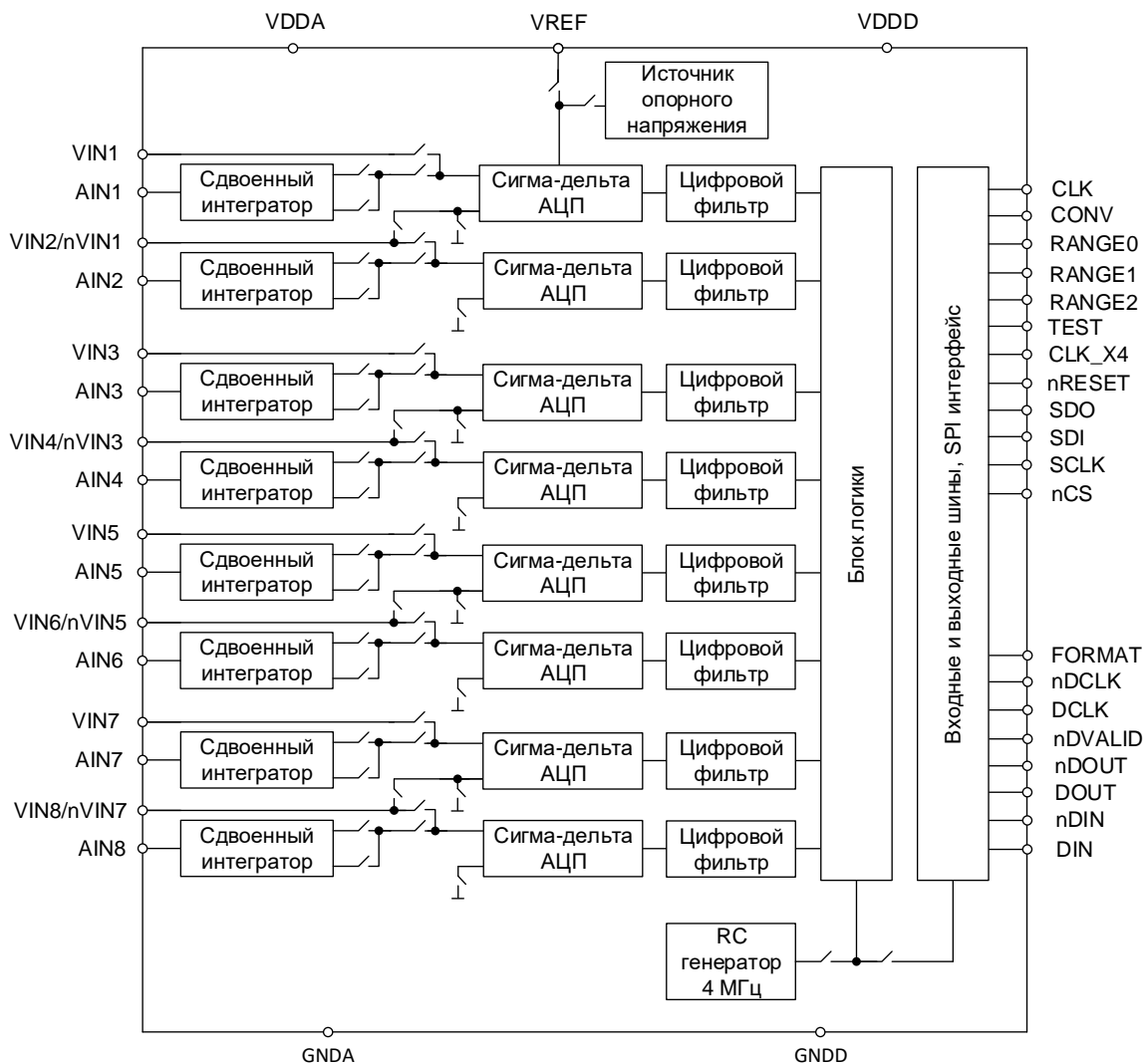
Микросхемы содержат:

- 16 интеграторов тока;
- таймер времени интегрирования;
- 8 сигма-дельта АЦП с эффективной разрешающей способностью до 20 бит;
- перестраиваемый цифровой фильтр с выходной частотой от 1 до 2500 Гц для токовых режимов и от 1 до 5300 Гц для режимов измерения напряжений;
- источник опорного напряжения (ИОН), используется в качестве шкалы АЦП (предусмотрена возможность работы от внешней опоры);
- внутренний RC-генератор (предусмотрена возможность работы от внешнего тактового генератора);
- интерфейс DCH;
- интерфейс SPI.

Содержание

| | | |
|-------|---|----|
| 1 | Структурная блок-схема микросхем | 3 |
| 2 | Условное графическое обозначение | 4 |
| 3 | Описание выводов | 5 |
| 4 | Указания по применению и эксплуатации | 7 |
| 5 | Описание функционирования микросхемы | 8 |
| 5.1 | Включение питания и инициализация | 8 |
| 5.2 | Последовательный интерфейс SPI | 10 |
| 5.3 | Описание регистров микросхемы | 12 |
| 5.3.1 | Регистр команд COM | 12 |
| 5.3.2 | Регистр состояния STAT | 13 |
| 5.3.3 | Регистр конфигурации CFG | 13 |
| 5.3.4 | Регистры данных DATA1-8 | 15 |
| 5.3.5 | Регистр длительности интегрирования TINT | 16 |
| 5.4 | Режимы работы микросхемы | 17 |
| 5.4.1 | Режим преобразования тока с внешним управлением (MDS = 000).... | 17 |
| 5.4.2 | Режим преобразования тока с внутренним управлением (MDS = 001) | 23 |
| 5.4.3 | Режим преобразования положительного напряжения (MDS=010)..... | 24 |
| 5.4.4 | Режим преобразования дифференциального напряжения (MDS=100) | 24 |
| 5.4.5 | Режим пониженного потребления (MDS=011) | 26 |
| 6 | Типовые схемы включения | 27 |
| 7 | Типовые зависимости | 29 |
| 8 | Электрические параметры микросхем | 36 |
| 9 | Предельно-допустимые и предельные параметры | 37 |
| 10 | Справочные данные | 38 |
| 11 | Габаритный чертеж микросхемы | 40 |
| 12 | Информация для заказа | 41 |

1 Структурная блок-схема микросхем



Функциональное назначение – 20-разрядный сигма-дельта АЦП с токовыми входами (8 каналов)

Рисунок 1 – Структурная блок-схема микросхем

2 Условное графическое обозначение

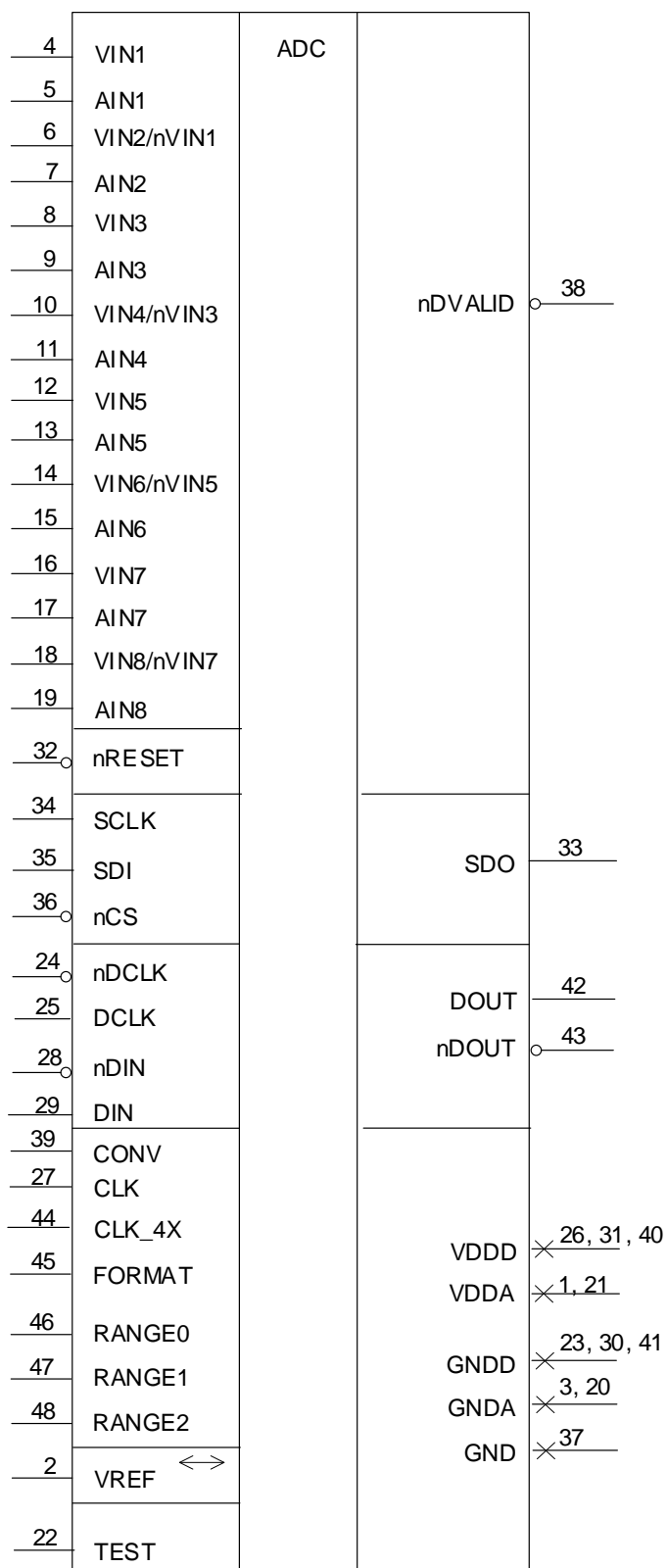


Рисунок 2 – Условное графическое обозначение микросхем

3 Описание выводов

Таблица 1 – Описание выводов

| № выводной площадки корпуса | Обозначение вывода | Тип вывода | Функциональное назначение вывода |
|-----------------------------|--------------------|------------|---|
| 1 | VDDA | PWR | Питание аналоговых блоков |
| 2 | VREF | IO | Вход опорного напряжения 2,4 В/Выход внутреннего источника опорного напряжения |
| 3 | GNDА | PWR | Общий аналоговых блоков |
| 4 | VIN1 | AI | Вход канала 1 прямой |
| 5 | AIN1 | AI | Вход канала 1 токовый |
| 6 | VIN2/nVIN1 | AI | Вход канала 2/Вход канала 1 инверсный |
| 7 | AIN2 | AI | Вход канала 2 токовый |
| 8 | VIN3 | AI | Вход канала 3 прямой |
| 9 | AIN3 | AI | Вход канала 3 токовый |
| 10 | VIN4/nVIN3 | AI | Вход канала 4/Вход канала 3 инверсный |
| 11 | AIN4 | AI | Вход канала 4 токовый |
| 12 | VIN5 | AI | Вход канала 5 прямой |
| 13 | AIN5 | AI | Вход канала 5 токовый |
| 14 | VIN6/nVIN5 | AI | Вход канала 6/Вход канала 5 инверсный |
| 15 | AIN6 | AI | Вход канала 6 токовый |
| 16 | VIN7 | AI | Вход канала 7 прямой |
| 17 | AIN7 | AI | Вход канала 7 токовый |
| 18 | VIN8/nVIN7 | AI | Вход канала 8/Вход канала 7 инверсный |
| 19 | AIN8 | AI | Вход канала 8 токовый |
| 20 | GNDА | PWR | Общий аналоговых блоков |
| 21 | VDDA | PWR | Питание аналоговых блоков |
| 22 | TEST | I | Вход выбора тестового режима |
| 23 | GNDД | PWR | Общий цифровых блоков |
| 24 | nDCLK | I | Вход сигнала синхронизации последовательного интерфейса инверсный |
| 25 | DCLK | I | Вход сигнала синхронизации последовательного интерфейса прямой |
| 26 | VDDD | PWR | Питание цифровых блоков |
| 27 | CLK | I | Вход сигнала внешней тактовой частоты АЦП |
| 28 | nDIN | I | Вход данных последовательного интерфейса инверсный |
| 29 | DIN | I | Вход данных последовательного интерфейса прямой |
| 30 | GNDД | PWR | Общий цифровых блоков |
| 31 | VDDD | PWR | Питание цифровых блоков |
| 32 | nRESET | I | Вход сброса микросхемы |
| 33 | SDO | O | Выход данных интерфейса SPI |
| 34 | SCLK | I | Вход сигнала синхронизации интерфейса SPI |
| 35 | SDI | I | Вход данных интерфейса SPI |
| 36 | nCS | I | Вход выбора ведомого устройства интерфейса SPI |
| 37 | GND | PWR | Общий площадок ввода-вывода. Электрически соединён с металлизацией обратной стороны корпуса |
| 38 | nDVALID | O | Выход сигнала готовности данных |
| 39 | CONV | I | Вход сигнала управления временем интегрирования |
| 40 | VDDD | PWR | Питание цифровых блоков |
| 41 | GNDД | PWR | Общий цифровых блоков |
| 42 | DOUT | O | Выход сигнала данных последовательного интерфейса прямой |

| № выводной площадки корпуса | Обозначение вывода | Тип вывода | Функциональное назначение вывода |
|--|--------------------|------------|---|
| 43 | nDOUT | O | Выход сигнала данных последовательного интерфейса инверсный |
| 44 | CLK_4X | I | Вход сигнала выбора коэффициента деления внешней тактовой частоты АЦП |
| 45 | FORMAT | I | Вход конфигурации разрядности выходных данных АЦП |
| 46 | RANGE0 | I | Вход выбора полной шкалы интегратора |
| 47 | RANGE1 | I | Вход выбора полной шкалы интегратора |
| 48 | RANGE2 | I | Вход выбора полной шкалы интегратора |
| <p>Примечание – Обозначение типов выводов:</p> <p>AI – аналоговый вход;</p> <p>I – цифровой вход;</p> <p>O – цифровой выход;</p> <p>IO – цифровой вход/выход;</p> <p>PWR – вывод «Питание» и «Общий»</p> | | | |

4 Указания по применению и эксплуатации

При ремонте аппаратуры и измерении параметров замену микросхем необходимо проводить только при отключенных источниках питания.

Типовые схемы включения микросхем приведены на рисунках 16, 17.

Вывод TEST необходимо подключать к шине «Общий».

Неиспользуемые цифровые входы должны быть доопределены до допустимых логических уровней напряжения.

Неиспользуемые аналоговые входы VIN1 – VIN8 рекомендуется подключать к шине «Общий», неиспользуемые аналоговые входы AIN1 – AIN8 – оставлять неподключенными.

Порядок подачи и снятия напряжения питания и входных сигналов на микросхемы следующий:

- подача (включение микросхем) – «Общий», «Питание», входные сигналы или одновременно;
- снятие (выключение микросхем) – в обратном порядке или одновременно.

5 Описание функционирования микросхемы

5.1 Включение питания и инициализация

Перед включением питания все цифровые и аналоговые входы должны иметь низкий уровень. После стабилизации напряжения питания на вход nRESET подается высокий уровень (с задержкой T1). Далее на вход CLK подается сигнал тактовой частоты, а на вход CONV – сигнал, который формирует временную диаграмму управления АЦП (с задержкой T2).

Для того, чтобы в процессе функционирования перевести АЦП в начальное состояние, необходимо подать на вход nRESET низкий уровень длительностью не менее 50 мкс. По завершении указанного времени на вход nRESET подается высокий уровень, при этом АЦП переходит в то же состояние, что и при включении питания. Далее на вход CLK подается сигнал тактовой частоты, а на вход CONV – сигнал, который формирует временную диаграмму управления АЦП (с задержкой T2).

Диаграмма включения питания показана на рисунке 3. Значения временных параметров при включении питания и повторной инициализации АЦП приведены в таблице 2.

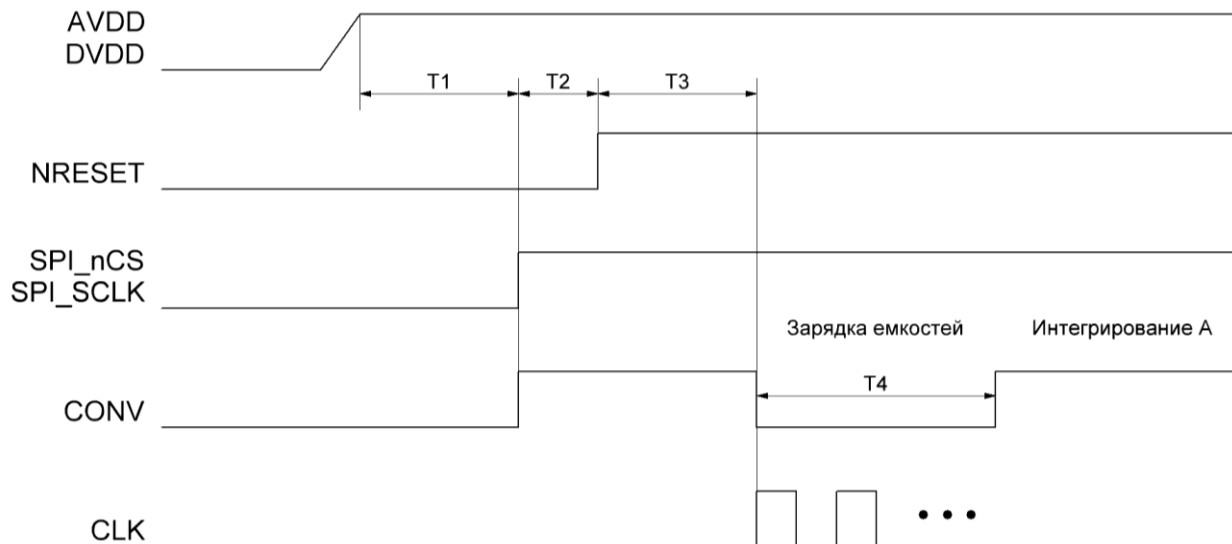


Рисунок 3 – Диаграмма включения питания в режим MDS=000 без использования SPI

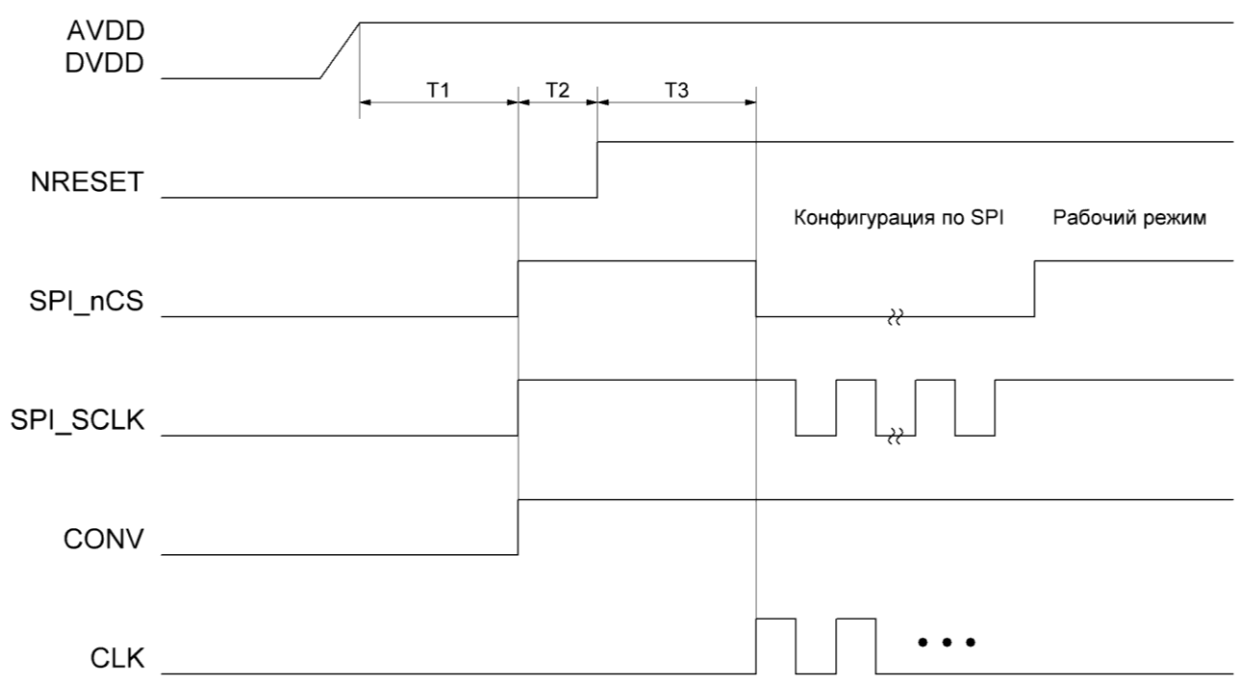


Рисунок 4 – Диаграмма чтения данных при использовании одного АЦП

Таблица 2 – Временные параметры при включении питания и инициализации

| Наименование параметра, единица измерения | Буквенное обозначение параметра | Значение параметра | |
|---|---------------------------------------|--------------------|----------|
| | | не менее | не более |
| Время задержки установки начального состояния входных сигналов относительно момента стабилизации напряжения питания, мс | T1 | 10 | - |
| Время задержки положительного фронта сигнала NRESET относительно момента установки начального состояния входных сигналов, мкс | T2 | 1 | - |
| Время задержки переключений сигналов CONV, CLK, SPI_nCS и SPI_SCLK относительно положительного фронта сигнала NRESET, мс | T3 | 1 | - |
| Длительность первого импульса сигнала CONV, мкс | T4 | 50 | - |
| Длительность низкого уровня сигнала NRESET при повторной инициализации, мкс | T5 | 50 | - |

5.2 Последовательный интерфейс SPI

Взаимодействия с АЦП по шине SPI осуществляются транзакциями при низком уровне сигнала SPI_nCS. При высоком уровне сигнала SPI_nCS контроллер SPI находится в исходном состоянии, вывод SPI_DOUT находится в состоянии высокого импеданса. В исходном состоянии сигнал синхронизации SPI_SCLK должен иметь высокий уровень, передача данных производится по отрицательному фронту сигнала SPI_SCLK, прием данных производится по положительному фронту сигнала SPI_SCLK.

Все взаимодействия с АЦП начинаются с операции записи в регистр команд. Регистр команд является 8-разрядным регистром, который доступен только для записи. Данные, записанные в регистр команд, определяют тип следующей операции (запись или чтение) и адрес регистра, к которому относится следующая операция. После завершения записи в указанный регистр или чтения из указанного регистра контроллер SPI возвращается в исходное состояние, при котором он ожидает следующую запись в регистр команд.

Диаграммы записи и чтения данных по шине SPI показаны на рисунках 5 и 6.

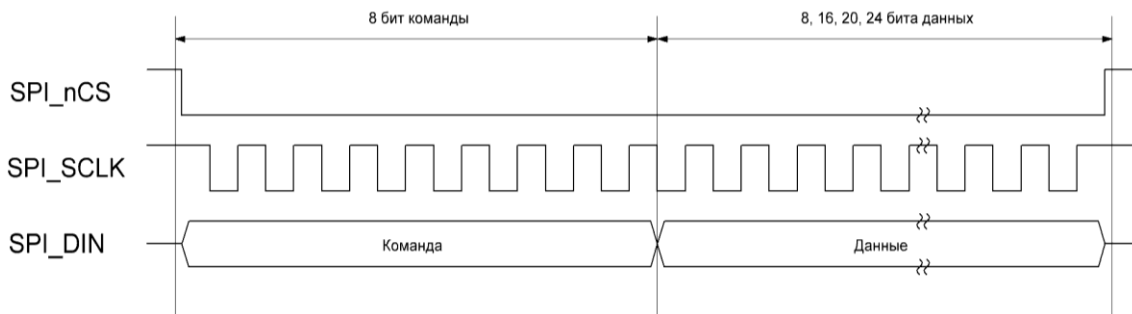


Рисунок 5 – Диаграмма записи данных в регистр по шине SPI

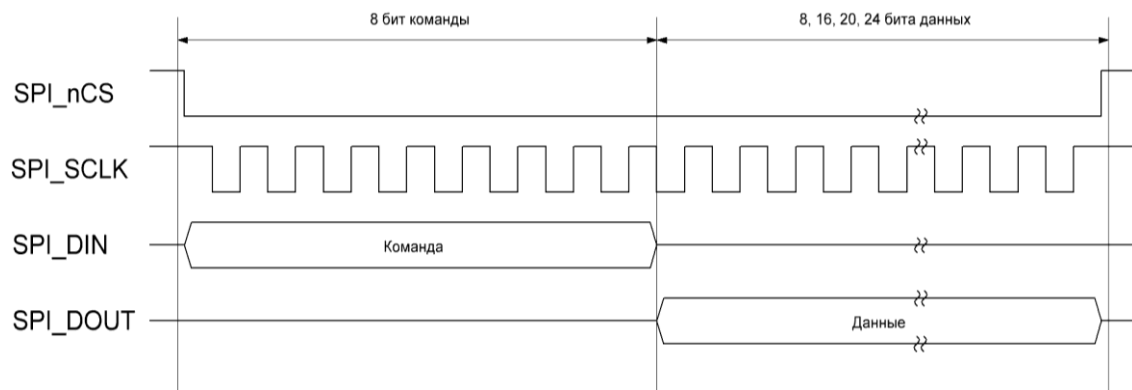


Рисунок 6 – Диаграмма чтения данных из регистра по шине SPI

Временные диаграммы записи и чтения данных по шине SPI показаны на рисунках 7 и 8. Значения временных параметров приведены в таблице 3.

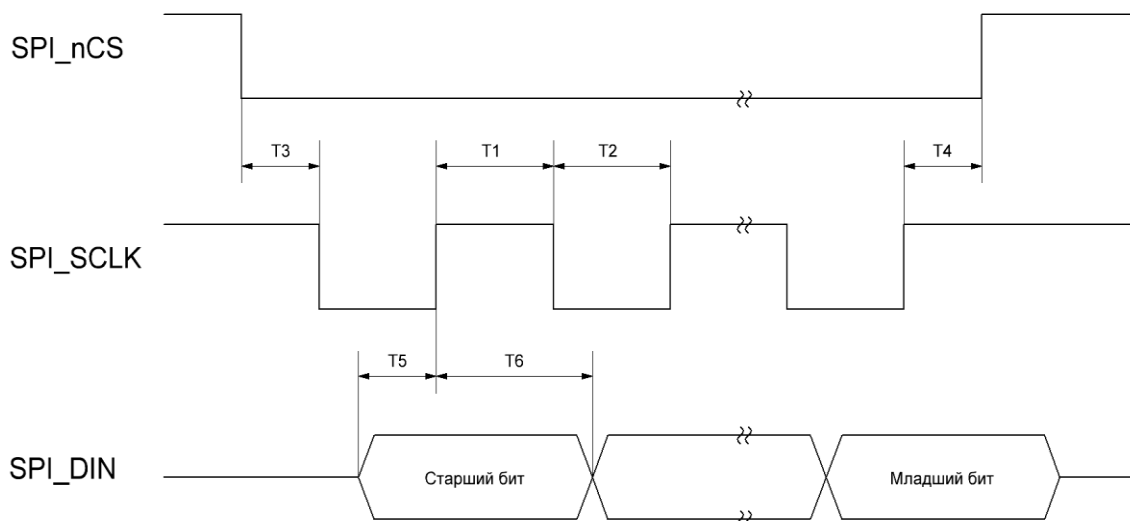


Рисунок 7 – Временная диаграмма записи данных в регистр по шине SPI

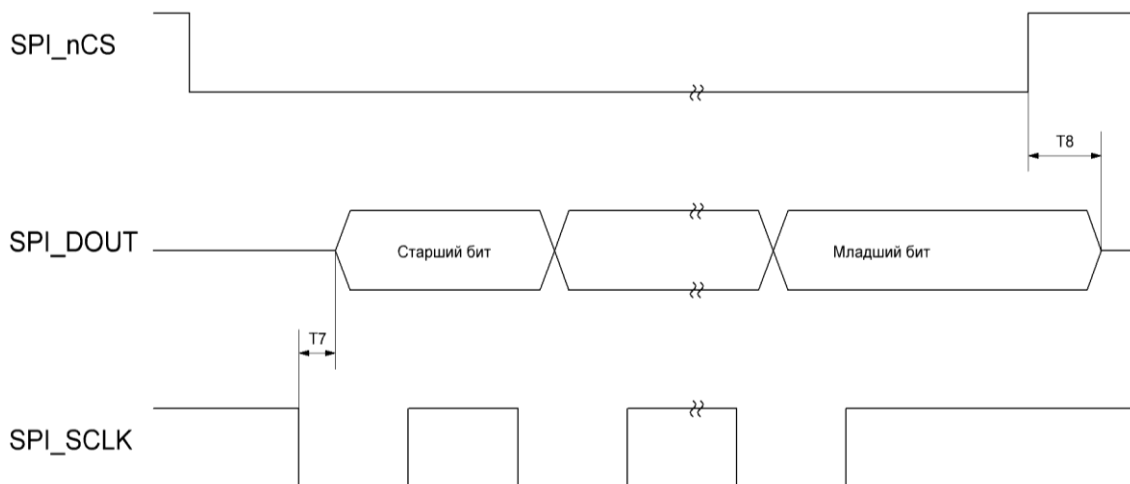


Рисунок 8 – Временная диаграмма чтения данных из регистра по шине SPI

Таблица 3 – Временные параметры при записи и чтении данных по шине SPI

| Наименование параметра | Буквенное обозначение | Значение параметра | |
|---|-----------------------|--------------------|----------|
| | | не менее | не более |
| Длительность высокого уровня сигнала SPI_SCLK, нс | T1 | 30 | |
| Длительность низкого уровня сигнала SPI_SCLK, нс | T2 | 30 | |
| Время установки сигнала SPI_nCS относительно отрицательного фронта сигнала SPI_SCLK, нс | T3 | 20 | |
| Время удержания сигнала SPI_nCS относительно положительного фронта сигнала SPI_SCLK, нс | T4 | 20 | |
| Время установки данных относительно положительного фронта сигнала SPI_SCLK, нс | T5 | 10 | |
| Время удержания данных относительно положительного фронта сигнала SPI_SCLK, нс | T6 | 10 | |
| Время задержки данных относительно отрицательного фронта сигнала SPI_SCLK, нс | T7 | 0 | 20 |
| Время перехода сигнала SPI_DOUT в состояние высокого импеданса относительно положительного фронта сигнала SPI_nCS, нс | T8 | 0 | 20 |

5.3 Описание регистров микросхемы

Микросхема содержит набор встроенных регистров, которые используются для управления, настройки и тестирования устройства. Список регистров приведен в таблице 4.

Таблица 4 – Встроенные регистры микросхемы

| Адрес | Назв. | Биты | Бит 7 | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1 | Бит 0 | Сброс |
|--|-------|---------|------------|-------|---------|-------|---------|-------|-------|-------|----------|
| 0x0 | COM | [7:0] | WEN | RNW | RA[3:0] | | | | 0 | 0 | 0x00 |
| 0x0 | STAT | [7:0] | RDY | 0 | 0 | 0 | 0 | 0 | 0 | INIT | 0x81 |
| 0x1 | CFG | [23:16] | RANGE[2:0] | | | FRMT | CLK4 | CONV | REFS | CLKS | 0x000000 |
| | | [15:8] | MDS[2:0] | | | TEST | FS[3:0] | | | | |
| | | [7:0] | CHD[7:0] | | | | | | | | |
| 0x2 | DAT1 | [19:0] | DATA1 | | | | | | | | 0x00000 |
| 0x3 | DAT2 | [19:0] | DATA2 | | | | | | | | 0x00000 |
| 0x4 | DAT3 | [19:0] | DATA3 | | | | | | | | 0x00000 |
| 0x5 | DAT4 | [19:0] | DATA4 | | | | | | | | 0x00000 |
| 0x6 | DAT5 | [19:0] | DATA5 | | | | | | | | 0x00000 |
| 0x7 | DAT6 | [19:0] | DATA6 | | | | | | | | 0x00000 |
| 0x8 | DAT7 | [19:0] | DATA7 | | | | | | | | 0x00000 |
| 0x9 | DAT8 | [19:0] | DATA8 | | | | | | | | 0x00000 |
| 0xA | TINT | [23:0] | TINT | | | | | | | | 0x000000 |
| Примечания Регистр COM доступен только для записи. 2 Регистры STAT, DAT1 – DAT8 доступны только для чтения | | | | | | | | | | | |

5.3.1 Регистр команд COM

Регистр команд является 8-разрядным регистром, который доступен только для записи. Все взаимодействия с АЦП должны начинаться с операции записи в регистр команд. Данные, записанные в регистр команд, определяют тип следующей операции (запись или чтение) и адрес регистра, к которому относится следующая операция. После завершения записи в указанный регистр или чтения из указанного регистра контроллер SPI возвращается в исходное состояние, при котором он ожидает следующую запись в регистр команд.

Назначение битов регистра команд приведено в таблице 5, адрес регистра равен 0x0, значение при инициализации АЦП равно 0x00.

Таблица 5 – Биты регистра взаимодействия COM

| № битов | Название | Назначение |
|---------|----------|--|
| 7 | WEN | Разрешение записи в регистр команд: 0 – запись в регистр команд разрешена; 1 – запись в регистр команд запрещена. Пока первый бит команды равен 1, контроллер SPI не формирует сигнала синхронизации для записи последующих битов команды. Когда первый бит команды станет равен 0, следующие 7 бит будут записаны в регистр команд |

| № битов | Название | Назначение |
|----------------|-----------------|---|
| 6 | RNW | Тип операции с выбранным регистром: 0 – запись в выбранный регистр; 1 – чтение из выбранного регистра |
| 5...2 | RA[3:0] | Адрес выбранного регистра |
| 1 | – | Должен быть всегда равен 0 для правильного функционирования |
| 0 | – | Должен быть всегда равен 0 для правильного функционирования |

5.3.2 Регистр состояния STAT

Регистр состояния является 8-разрядным регистром, который доступен только для чтения. Назначение битов регистра приведено в таблице 6, адрес регистра равен 0x0, значение при инициализации АЦП равно 0x81.

Таблица 6 – Биты регистра состояния STAT

| № битов | Название | Назначение |
|----------------|-----------------|---|
| 7 | RDY | Бит готовности данных. Значение бита становится равным 0, когда результаты преобразования записываются в регистры данных. Значение бита становится равным 1 после чтения любого регистра данных. При записи результатов преобразования в регистры данных на выходе SPI_DOUT формируется низкий уровень. Контроль состояния данного выхода является альтернативой постоянному чтению регистра состояния |
| 6...1 | - | Данные биты всегда равны 0 |
| 0 | INIT | Бит индикации инициализации. Значение бита равно 1 во время процедуры инициализации микросхемы. До ее завершения не следует производить никаких действий с микросхемой, кроме чтения регистра состояния. Подробнее см. раздел «Включение питания и инициализация» |

5.3.3 Регистр конфигурации CFG

Регистр конфигурации является 24-разрядным регистром, который доступен для записи и чтения. Назначение битов регистра приведено в таблице 7, адрес регистра равен 0x1, значение при инициализации АЦП равно 0x000000.

Таблица 7 – Биты регистра конфигурации CFG

| № битов | Название | Назначение |
|----------------|-----------------|--|
| 23...21 | RANGE[2:0] | Выбор шкалы интегрирования* в режиме MDS = 001: 000 – полная шкала равна 12 пКл; 001 – полная шкала равна 50 пКл; 010 – полная шкала равна 100 пКл; 011 – полная шкала равна 150 пКл; 100 – полная шкала равна 200 пКл; 101 – полная шкала равна 250 пКл; 110 – полная шкала равна 300 пКл; 111 – полная шкала равна 350 пКл |

| № битов | Название | Назначение |
|---------|----------|--|
| 20 | FRMT | Выбор формата (разрядности) выходных данных: 0 – 16 бит; 1 – 20 бит. В режиме MDS = 000 управление разрядностью выходных данных осуществляется внешним входом FORMAT с аналогичной таблицей истинности |
| 19 | CLK4 | Управление делителем тактовой частоты во всех режимах, кроме режима MDS = 000: 0 – деление тактовой частоты на 1; 1 – деление тактовой частоты на 4. В режиме MDS = 000 управление делителем тактовой частоты осуществляется внешним входом CLK_4X с аналогичной таблицей истинности |
| 18 | CONV | Выбор первого интегратора (А или В) в режиме MDS= 001: 0 – первым работает интегратор А; 1 – первым работает интегратор В. В режиме MDS = 000 управление интеграторами осуществляется внешним входом CONV. Подробнее см. рисунки 9, 10, 11 |
| 17 | REFS | Выбор источника опорного напряжения 2,4 В: 0 – внешний источник опорного напряжения 2,4 В; 1 – внутренний источник опорного напряжения 2,4 В |
| 16 | CLKS | Выбор источника тактового сигнала: 0 – внешний источник 4 МГц (при CLK4 = 0) или 16 МГц (при CLK4 = 1); 1 – внутренний RC-генератор 4 МГц (значение CLK4 не влияет) |
| 15...13 | MDS[2:0] | Выбор режима функционирования: 000 – режим преобразования тока на входах AIN1, AIN2, AIN3, AIN4, AIN5, AIN6, AIN7, AIN8. Управление режимом осуществляется внешними выводами микросхемы; 001 – режим преобразования тока на входах AIN1, AIN2, AIN3, AIN4, AIN5, AIN6, AIN7, AIN8. Управление режимом осуществляется через SPI; 010 – режим преобразования положительного напряжения на входах VIN1, VIN2, VIN3, VIN4, VIN5, VIN6, VIN7, VIN8. Управление режимом осуществляется через SPI; 011 – режим «выключено». Минимальное потребление; 100 – режим преобразования дифференциального напряжения на входах VIN1-2; VIN3-4; VIN5-6; VIN7-8. Управление режимом осуществляется через SPI |
| 12 | TEST | Должен быть всегда равен 0 для правильного функционирования |
| 11...8 | FS[3:0] | Выбор коэффициента дедимации цифрового фильтра, подробнее в таблице 14 (измерение токов) и в таблице 16 (измерение напряжений) |

| № битов | Название | Назначение |
|---|----------|--|
| 7...0 | CHD[7:0] | Выборочное включение/отключение аналоговых каналов: CHD[0] = 0/1 канал №1 включен/отключен; CHD[1] = 0/1 канал №2 включен/отключен; CHD[2] = 0/1 канал №3 включен/отключен; CHD[3] = 0/1 канал №4 включен/отключен; CHD[4] = 0/1 канал №5 включен/отключен; CHD[5] = 0/1 канал №6 включен/отключен; CHD[6] = 0/1 канал №7 включен/отключен; CHD[7] = 0/1 канал №8 включен/отключен. В режиме MDS = 100 выбор включения/выключения каналов действует только для каналов №1, №3, №5 и №7. Каналы №2, №4, №6 и №8 выключены вне зависимости от битов CHD |
| * Значение накопленного заряда Q определяется по формуле $Q = I_{INP} \cdot t_{INT}, \quad (1)$ где I _{INP} – входной ток по входам AIN1 – AIN8; t _{INT} – время интегрирования, определяемое регистром TINT (см. таблицу 10) | | |

5.3.4 Регистры данных DATA1-8

Регистры данных являются 20-разрядными регистрами, которые доступны только для чтения. Каждый регистр данных содержит результат преобразования соответствующего канала АЦП (регистр DAT1 содержит результат преобразования канала №1, регистр DAT2 содержит результат преобразования канала №2 и т.д.). Назначение регистров приведено в таблице 8, адреса регистров равны 0x2 – 0x9, значения при инициализации равны 0x00000.

Если значение бита FRMT равно 1, то при чтении данных выдаются все 20 бит результата. Если значение бита FRMT равно 0, то при чтении данных выдаются старшие 16 бит результата.

Таблица 8 – Биты регистров данных DAT1 – DAT8

| № битов | Название | Назначение |
|---------|------------|------------------------------------|
| 19...0 | DAT1[19:0] | Результат преобразования канала №1 |
| | DAT2[19:0] | Результат преобразования канала №2 |
| | DAT3[19:0] | Результат преобразования канала №3 |
| | DAT4[19:0] | Результат преобразования канала №4 |
| | DAT5[19:0] | Результат преобразования канала №5 |
| | DAT6[19:0] | Результат преобразования канала №6 |
| | DAT7[19:0] | Результат преобразования канала №7 |
| | DAT8[19:0] | Результат преобразования канала №8 |

Таблица 9 – Кодирование результата в режимах преобразования тока

| Входной сигнал, % шкалы | Пример для RANGE = 111, пКл | Результат преобразования при FORMAT = 1 | Результат преобразования при FORMAT = 0 |
|-------------------------|-----------------------------|---|---|
| 100 | 350 | 0xFFFFF | 0xFFFF |
| 0 | 0 | 0x01000 | 0x0100 |
| -0,3955 | -1,3843 | 0x00000 | 0x0000 |

Кодирование результатов преобразования АЦП зависит от текущего режима функционирования. В режимах преобразования тока (MDS = 000 или MDS = 001) результат преобразования представляет собой двоичное смещение относительно уровня -0,3955 % FS, как показано в таблице 9.

В режиме преобразования положительного напряжения (MDS = 010) результат преобразования представляет собой двоичное смещение относительно нуля. Например, при нулевом сигнале результат преобразования равен 0x00000, при максимальном положительном сигнале результат преобразования равен 0xFFFFF. Результат преобразования при таком кодировании выражается следующими формулами

$$DATA = 2^{20} \cdot VIN / VREF \text{ (при FORMAT = 1),} \quad (2)$$

$$DATA = 2^{16} \cdot VIN / VREF \text{ (при FORMAT = 0).} \quad (3)$$

В режиме преобразования дифференциального (MDS = 100) напряжения результат преобразования представляет собой двоичное смещение относительно отрицательного сигнала максимальной амплитуды. Например, при максимальном отрицательном дифференциальном сигнале результат преобразования равен 0x00000, при нулевом дифференциальном сигнале результат преобразования равен 0x80000, при максимальном дифференциальном положительном сигнале результат преобразования равен 0xFFFFF. Результат преобразования при таком кодировании выражается следующими формулами

$$DATA = 2^{19} + 2^{20} \cdot VIN_dif / (2 \cdot VREF) \quad \text{(при FORMAT = 1),} \quad (4)$$

$$DATA = 2^{15} + 2^{16} \cdot VIN_dif / (2 \cdot VREF) \quad \text{(при FORMAT = 0).} \quad (5)$$

5.3.5 Регистр длительности интегрирования TINT

Регистр длительности интегрирования является 24-разрядным регистром, который доступен по записи и по чтению. Назначение битов регистра приведено в таблице 10, адрес регистра равен 0xA, значение при инициализации АЦП равно 0x000000.

Таблица 10 – Биты регистра длительности интегрирования

| № битов | Название | Назначение |
|---------|------------|---|
| 23...0 | TINT[23:0] | Длительность интегрирования в периодах тактовой частоты |

Таблица 11 – Управление временем интегрирования

| CLC_4X | CLKS | MDS | Частота внешнего генератора, МГц | Допустимая длительность интегрирования | Шаг настройки времени интегрирования | Возможная ошибка времени интегрирования |
|--------|------|-----|----------------------------------|---|--------------------------------------|---|
| 0 | 0 | 001 | 4 | 40 – 40000000 тактов F _{CLK} | 1/F _{CLK} = 250 нс | 0 |
| 1 | 0 | 001 | 16 | 160-160000000 тактов F _{CLK} | 1/F _{CLK} = 62,5 нс | 0 |
| X | 1 | 001 | - | 40 – 40000000 тактов F _{RCOSC} | 1/ F _{RCOSC} ~ 250 нс | до ±4 % |
| 0 | 0 | 000 | 4 | 10 мкс – 1 сек | 1/F _{CLK} = 250 нс | до 250 нс |
| 1 | 0 | 000 | 16 | 10 мкс – 1 сек | 1/F _{CLK} = 62,5 нс | до 62.5 нс |
| X | 1 | 000 | - | 10 мкс – 1 сек | 1/ F _{RCOSC} ~ 250 нс | до ~250 нс |

5.4 Режимы работы микросхемы

5.4.1 Режим преобразования тока с внешним управлением (MDS = 000)

Этот режим выбирается микросхемой по умолчанию при «сбросе». В нем микросхема измеряет втекающие токи на входах АIN1-8 путем накопления зарядов на интеграторах и последующей оцифровке накопленного значения с помощью сигма-дельта АЦП.

В данном режиме функционирования интерфейс SPI можно не использовать. Т.к. сигналами управления микросхемы являются внешние выводы.

Входы RANGE2, RANGE1, RANGE0 определяют шкалу интегрирования (см. таблицу 12).

Таблица 12 – Выбор шкалы интегрирования

| RANGE2 | RANGE1 | RANGE0 | Шкала интегрирования, пКл |
|--------|--------|--------|---------------------------|
| 0 | 0 | 0 | 12 |
| 0 | 0 | 1 | 50 |
| 0 | 1 | 0 | 100 |
| 0 | 1 | 1 | 150 |
| 1 | 0 | 0 | 200 |
| 1 | 0 | 1 | 250 |
| 1 | 1 | 0 | 300 |
| 1 | 1 | 1 | 350 |

Вход CLK_4X определяет коэффициент деления входной тактовой частоты (см. таблицу 13).

Таблица 13 – Выбор коэффициента деления тактовой частоты

| CLK_4X | Коэффициент деления частоты | Входная тактовая частота, МГц | Внутренняя тактовая частота, МГц | Дискретность времени интегрирования |
|--------|-----------------------------|-------------------------------|----------------------------------|-------------------------------------|
| 0 | 1 | 4 | 4 | $1/F_{CLK} = 250$ нсек |
| 1 | 4 | 16 | 4 | $1/F_{CLK} = 62,5$ нсек |

Вход FORMAT определяет разрядность результатов преобразования АЦП. Если FORMAT = 1, то разрядность выходных данных АЦП равна 20 бит.

Если FORMAT = 0, то разрядность выходных данных АЦП равна 16 бит.

Вход CONV определяет время начала и продолжительность интегрирования входного тока на всех каналах АIN1-8 одновременно, а также управляет общей логикой функционирования микросхемы. Подробнее смотрите подраздел «Автомат управления в режиме интегрирования токов».

Выводы DCLK, nDCLK, DIN, nDIN, DOUT, nDOUT, nDVALID используются для передачи выходных данных АЦП по интерфейсу DCH.

Сигналы управления RANGE0-2 CLK_4X, CONV, FORMAT синхронизируются по отрицательному фронту сигнала внешней тактовой частоты CLK.

Значения битов SPI: RANGE2, RANGE1, RANGE0, CLK4, CONV, FORMAT, TINT игнорируются. Тем не менее, все регистры SPI читаются и записываются точно также, как в любом другом режиме. Интерфейс SPI в режиме MDS = 000 можно использовать для конфигурации микросхемы посредством записи в биты REFS, CLKS, FS[3:0], CHD[7:0]. Конфигурацию следует записывать после подачи сигнала низкого уровня входного сигнала NRESET, и до начала работы. Подробнее см. рисунок 4.

SPI также можно использовать для считывания результатов преобразования АЦП из регистров DATA и переключения в другие режимы посредством записи

битов MDS[2:0]. При этом любая запись в регистр CFG будет сбрасывать автомат управления в состояние 0 или 4 (см. рисунок 9) аналогично подаче низкого уровня входного сигнала NRESET.

5.4.1.1 Автомат управления в режиме интегрирования токов

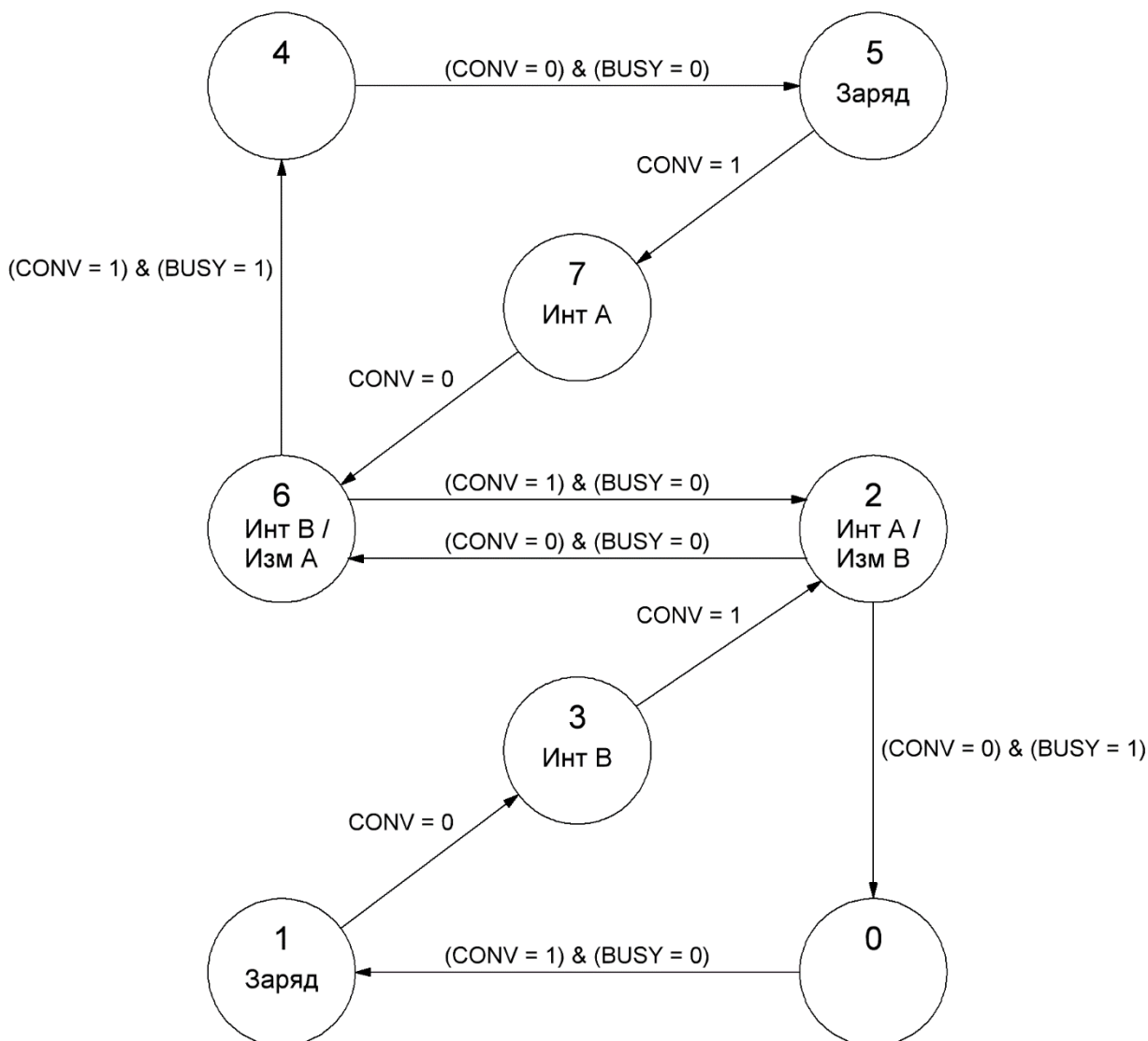


Рисунок 9 – Диаграмма состояний автомата управления в режимах MDS=000/001

Управление интегрированием и преобразованием входного аналогового сигнала выполняется автоматом с конечным числом состояний, который показан на рисунке 9. Состояние автомата определяется значением сигнала CONV и значением внутреннего сигнала BUSY, который устанавливается аппаратным способом при выполнении преобразования.

Начальное состояние автомата определяется состоянием входного сигнала CONV, которое фиксируется во время низкого уровня входного сигнала NRESET:

- начальное состояние сигнала CONV равно 1 и начальное состояние автомата равно 4, если во время низкого уровня входного сигнала NRESET входной сигнал CONV имеет высокий уровень;
- начальное состояние сигнала CONV равно 0 и начальное состояние автомата равно 0, если во время низкого уровня входного сигнала NRESET входной сигнал CONV имеет низкий уровень.

В зависимости от сигнала CONV и значения конфигурационных бит FS[3:0] логика автомата осуществляет работу в двух возможных режимах:

- постоянное интегрирование входного сигнала;
- периодическое интегрирование входного сигнала.

Условие режима постоянного интегрирования – продолжительность высокого/низкого уровня сигнала CONV больше времени полного цикла преобразования (T_2 в таблице 14)

Диаграмма работы микросхемы в режиме постоянного интегрирования токов на входах AIN1-8 показана на рисунке 10, диаграмма в режиме периодического интегрирования показана на рисунке 11. Значения временных параметров в режиме преобразования тока приведены в таблице 14.

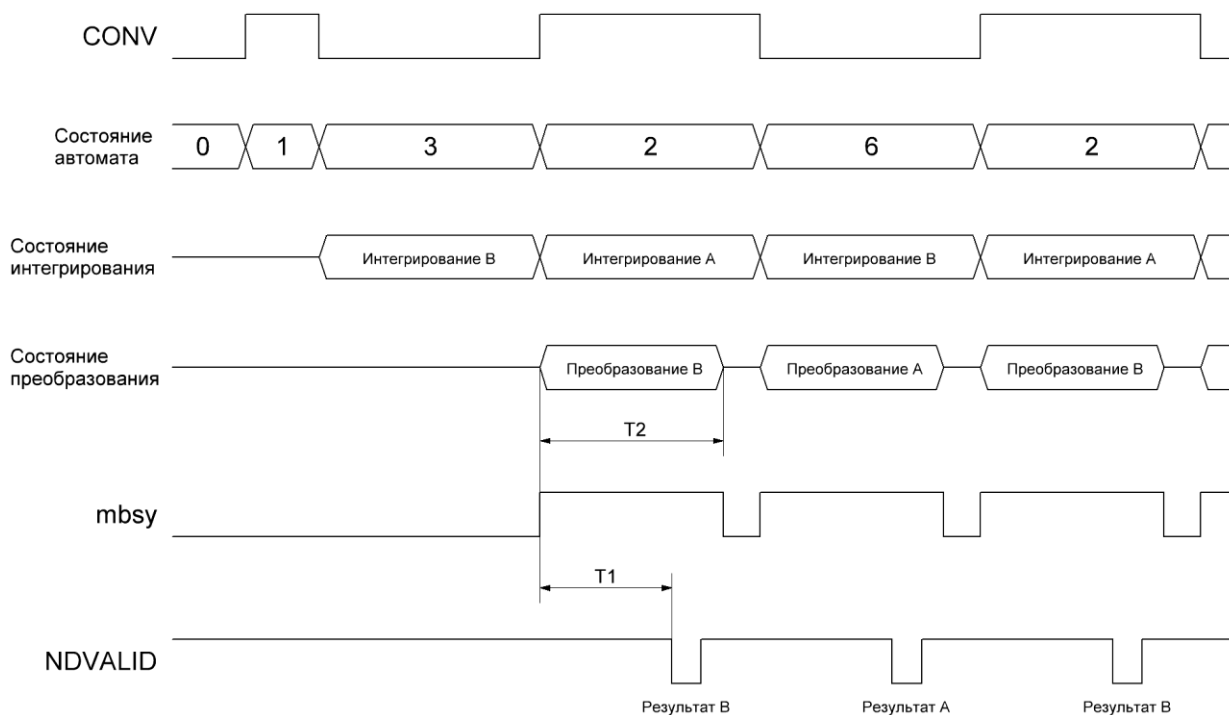


Рисунок 10 – Диаграмма функционирования микросхемы в режиме постоянного интегрирования

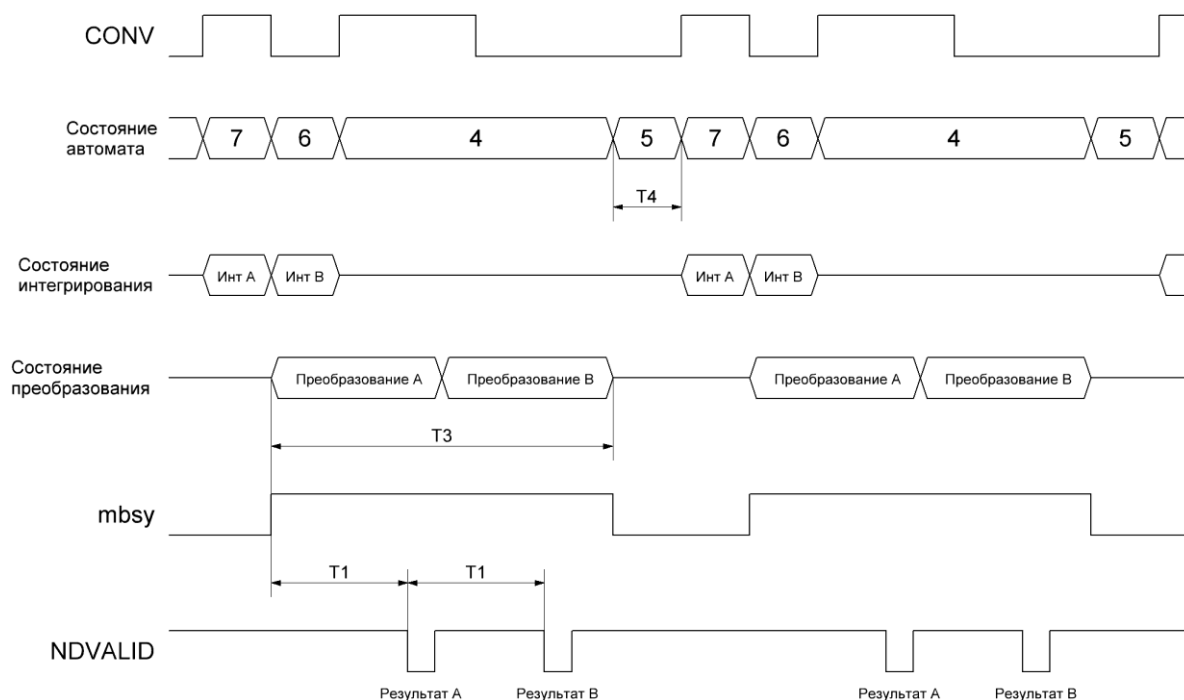


Рисунок 11 – Диаграмма функционирования микросхемы в режиме периодического интегрирования

Таблица 14 – Временные параметры в режимах преобразования тока

| Значение FS | Время готовности данных T1, мкс | Время полного цикла преобразования T2, мкс | Частота преобразования |
|-------------|---------------------------------|--|------------------------|
| 0000 | 379,5 | 397,5 | 2,51 КГц |
| 0001 | 427,5 | 445,5 | 2,24 КГц |
| 0010 | 619,5 | 637,5 | 1,56 КГц |
| 0011 | 811,5 | 829,5 | 1,2 КГц |
| 0100 | 1003,5 | 1021,5 | 978,9 Гц |
| 0101 | 2005 | 2023 | 494,3 Гц |
| 0110 | 3925 | 3943 | 253,6 Гц |
| 0111 | 15445 | 15463 | 64,6 Гц |
| 1000 | 30805 | 30823 | 32,4 Гц |
| 1001 | 61525 | 61543 | 16,2 Гц |
| 1010 | 122965 | 122983 | 8,1 Гц |
| 1011 | 307285 | 307303 | 3,2 Гц |
| 1100 | 614485 | 614503 | 1,6 Гц |
| 1101 | 983125 | 983143 | 1,01 Гц |
| 1110 | 1966248 | 1966266 | 0,50 Гц |
| 1111 | 3932328 | 3932346 | 0,25 Гц |

Примечание – Время готовности данных и время полного цикла преобразования приведены при внешней тактовой частоте 4 МГц

В режиме периодического интегрирования время преобразования T_3 равно сумме времени готовности данных T_1 и времени преобразования T_2 . Кроме того, в режиме периодического интегрирования пользователь должен управлять внешним сигналом CONV таким образом, чтобы время подготовки к интегрированию T_4 было больше 19 мкс.

По окончании преобразования формируется выходной сигнал NDVALID. Чтение результатов преобразования производится по интерфейсу DCH.

5.4.1.2 Интерфейс DCH

Интерфейс DCH осуществляет синхронный последовательный сбор данных из одной или нескольких микросхем по цепочке. Он функционирует только при MDS = 000, когда микросхема управляется внешними выводами. Интерфейс DCH позволяет объединить в цепочку от 1-ой до 48-ми микросхем и получить из микросхем всю информацию, содержащуюся в регистрах DATA на данный момент без использования интерфейса SPI.

Для его работы необходим дифференциальный сигнал синхронизации данных (входы DCLK и nDCLK). Передача данных производится по отрицательному фронту сигнала DCLK. Сбор данных из цепочки микросхем следует начинать только после появления низкого уровня на выходе nDVALID. Переход NDVALID из 1 в 0 указывает, что преобразование АЦП завершено и данные готовы. Обратный переход происходит по первому срезу сигнала DCLK.

Диаграммы чтения данных по интерфейсу DCH показаны на рисунках 13 и 14. Значения временных параметров приведены в таблице 15.

Для уменьшения шума рекомендуется не передавать данные при изменении сигнала CONV. Следует приостанавливать изменение сигнала DCLK по крайней мере в течение 8 мкс до изменения сигнала CONV и в течение 8 мкс после изменения сигнала CONV.

Частота сигнала синхронизации интерфейса DCH, равная F_{DCLK} , не зависит явным образом от частоты основного сигнала синхронизации всей микросхемы, равной F_{CLK} . Максимально допустимое значение частоты F_{DCLK} определено в технических условиях АЕНВ.431320.584ТУ (параметр f_c). Минимально необходимое значение частоты F_{DCLK} можно рассчитать по формуле

$$20 \text{ МГц} \geq F_{DCLK} \geq (N_B / 20) \cdot (M_C / 48) \cdot 20 \text{ МГц}, \quad (6)$$

где:

M_C – количество микросхем, объединенных в цепь (от 1 до 48);

N_B – разрядность выходных данных АЦП (16 или 20 бит).

Для объединения нескольких микросхем в цепочку необходимо подключить дифференциальные входы данных (DIN и nDIN) к дифференциальным выходам данных (DOUT и nDOUT) предыдущей микросхемы. Входы DIN, nDIN первой микросхемы в цепочке следует подключить к шине «Общий». Схема подключения с использованием интерфейса DCH изображена на рисунке 12.

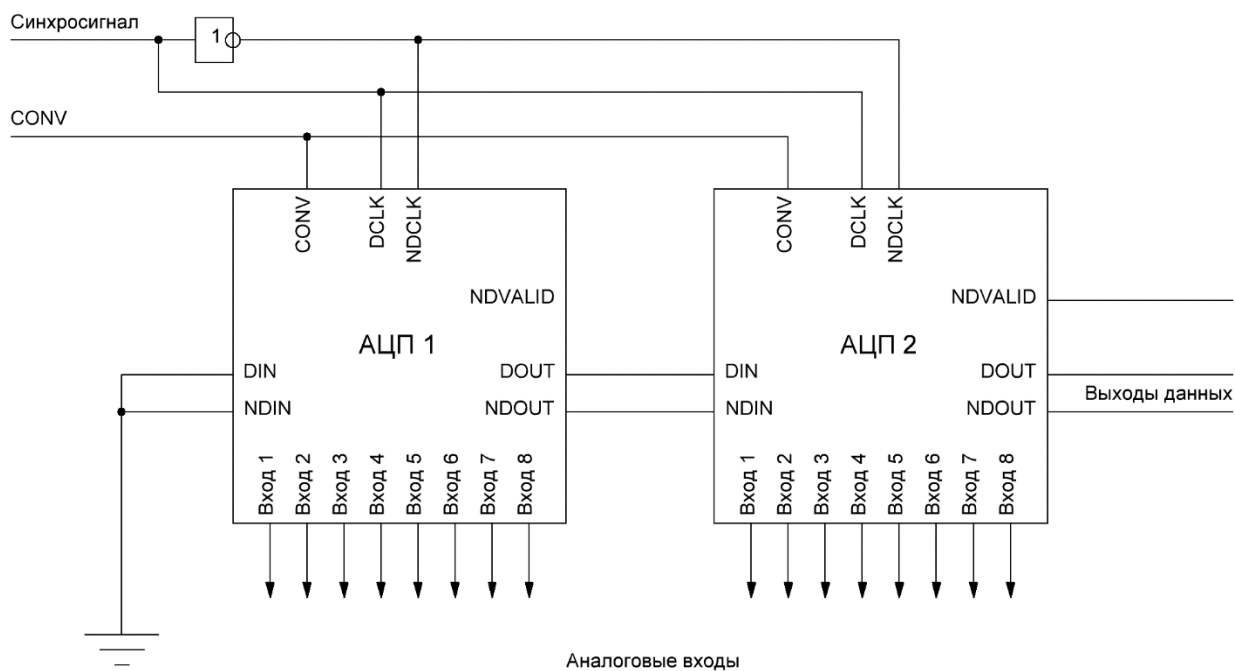


Рисунок 12 – Подключение нескольких АЦП в единую цепочку

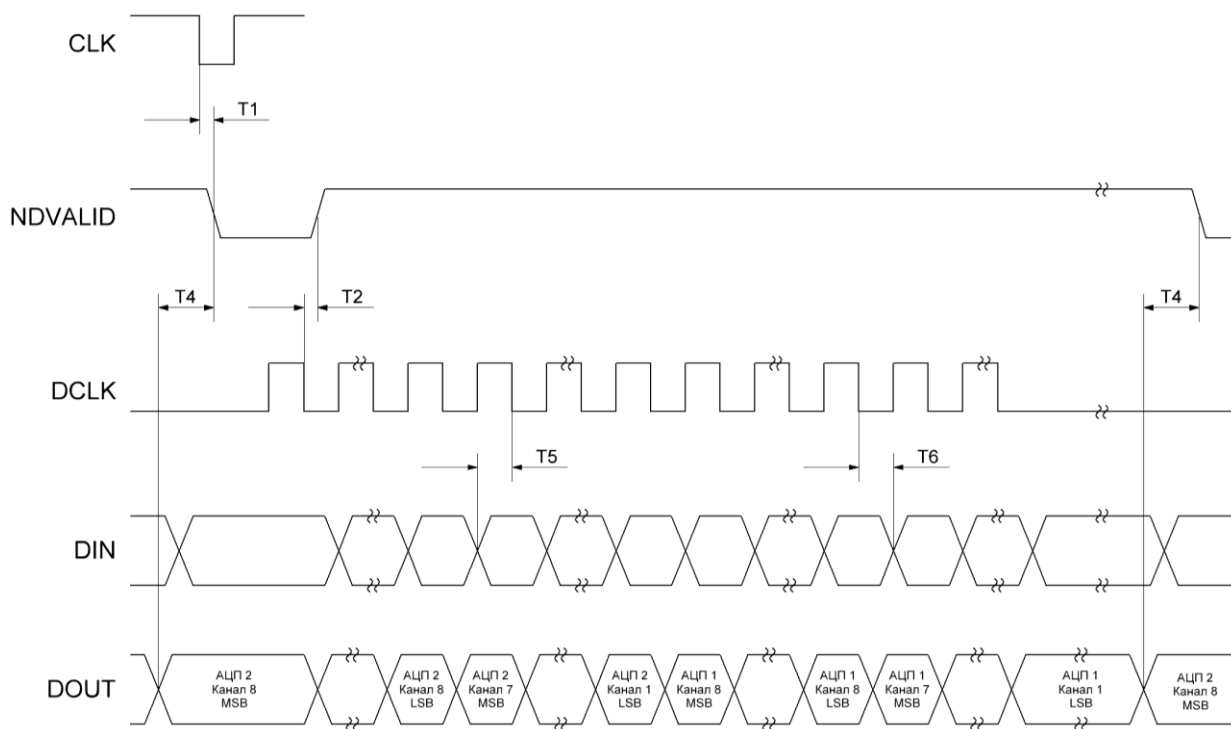


Рисунок 13 – Диаграмма чтения данных при использовании нескольких АЦП

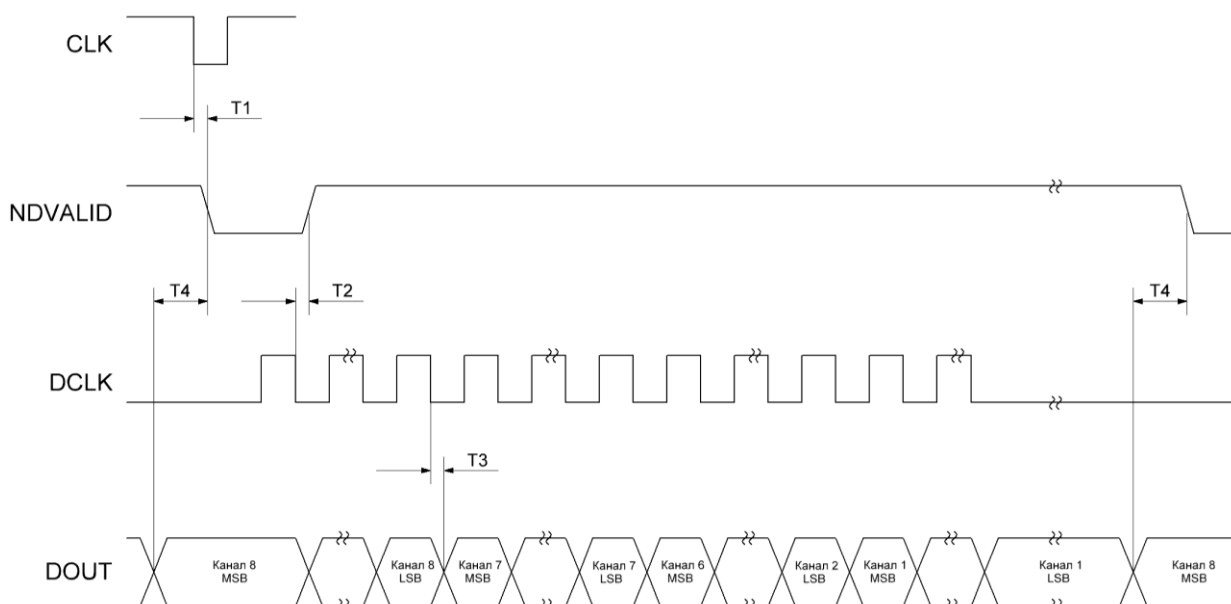


Рисунок 14 – Диаграмма чтения данных при использовании одного АЦП

Таблица 15 – Временные параметры при чтении данных

| Наименование параметра, единица измерения | Буквенное обозначение | Значение параметра | |
|--|--------------------------|--------------------|----------|
| | | не менее | не более |
| Время задержки сигнала NDVALID относительно отрицательного фронта сигнала CLK, нс | T1 | - | 25 |
| Время задержки сигнала NDVALID относительно отрицательного фронта сигнала DCLK, нс | T2 | - | 25 |
| Время задержки сигнала DOUT относительно отрицательного фронта сигнала DCLK, нс | T3 | - | 25 |
| Время установки данных относительно отрицательного фронта сигнала NDVALID, нс | T4 | 50 | - |
| Время установки данных относительно отрицательного фронта сигнала DCLK, нс | T5 | 5 | - |
| Время удержания данных относительно отрицательного фронта сигнала DCLK, нс | T6 | 5 | - |

5.4.2 Режим преобразования тока с внутренним управлением (MDS = 001)

В этом режиме микросхема измеряет втекающие токи на входах AIN1-8 путем накопления зарядов на интеграторах и последующей оцифровки накопленного значения с помощью сигма-дельта АЦП. В отличие от режима MDS = 000 управление осуществляется только через интерфейс SPI.

Логические состояния на выводах микросхемы RANGE0-2, CLK_4X, CONV, FORMAT игнорируются. Конфигурация определяется значениями внутренних регистров микросхемы.

Биты RANGE[2:0] определяют шкалу интегрирования.

Бит CLKS определяет источник тактовой частоты.

Бит CLK4 определяет коэффициент деления тактовой частоты.

Бит FRMT определяет разрядность данных при чтении по шине SPI.

Бит CONV определяет начальное состояние сигнала управления CONV.

Управление интегрированием и преобразованием входного аналогового сигнала выполняется тем же автоматом с конечным числом состояний, который используется и в режиме $MDS = 000$.

Время интегрирования определяется значением регистра длительности интегрирования TINT. Если время преобразования меньше значения регистра TINT, микросхема функционирует в режиме постоянного интегрирования. Если время полного цикла преобразования больше значения регистра TINT – в режиме периодического интегрирования.

Диаграмма функционирования микросхемы в режиме постоянного интегрирования показана на рисунке 10, в режиме периодического интегрирования на рисунке 11. Значения временных параметров приведены в таблице 14.

По окончании преобразования формируется выходной сигнал NDVALID. Чтение результатов преобразования производится только по шине SPI. Интерфейс DCH не функционирует.

5.4.3 Режим преобразования положительного напряжения ($MDS=010$)

Данный режим функционирования является режимом преобразования положительного напряжения от 0 до U_{REF} (2,4 В), при котором на вход сигма-дельта АЦП каналов 1-8 подается напряжение с дополнительных аналоговых входов по напряжению VIN1-8 соответственно. Интеграторы тока для входов AIN1-8 выключены.

Управление микросхемой в этом режиме производится только через интерфейс SPI. Конфигурация определяется значениями внутренних регистров.

Бит CLKS определяет источник тактовой частоты.

Бит REFS определяет источник шкалы АЦП.

Бит CLK4 определяет коэффициент деления тактовой частоты.

Бит FRMT определяет разрядность данных.

В режиме $MDS=010$ автомат с конечным числом состояний, изображенный на рисунке 9, не используется. Преобразование напряжения всегда производится в непрерывном режиме. Время первого преобразования равно T1, время последующих преобразований равно T2 (см. таблицу 14). Любая запись в регистр CFG сбрасывает цифровой фильтр, и преобразование начинается заново. Преобразование, последующее после записи в CFG, считается первым.

По окончании любого преобразования формируется выходной сигнал NDVALID. После чтения из любого регистра DATA1-8 по SPI он сбрасывается. Чтение результатов преобразования производится только по шине SPI. Интерфейс DCH не функционирует.

5.4.4 Режим преобразования дифференциального напряжения ($MDS=100$)

Данный режим функционирования является режимом преобразования дифференциального напряжения от $-U_{REF}$ (-2,4 В) до U_{REF} (2,4 В), при котором на входы сигма-дельта АЦП каналов 1, 3, 5, 7 подается напряжения с дополнительных аналоговых входов по напряжению VIN1-2, VIN3-4, VIN5-6, VIN7-8 соответственно. Т.е. четные и нечетные входы VIN попарно объединяются, образуя дифференциальные входы по напряжению. Интеграторы тока для входов AIN1-8 выключены.

Управление микросхемой в этом режиме производится только через интерфейс SPI. Конфигурация определяется значениями внутренних регистров.

Бит CLKS определяет источник тактовой частоты.

Бит REFS определяет источник шкалы АЦП.

Бит CLK4 определяет коэффициент деления тактовой частоты.

Бит FRMT определяет разрядность данных.

В режиме MDS=010 автомат с конечным числом состояний, изображенный на рисунке 9, не используется. Преобразование напряжения всегда производится в непрерывном режиме. Время первого преобразования равно T1, время последующих преобразований равно T2 (см. таблицу 16). Любая запись в регистр CFG сбрасывает цифровой фильтр, и преобразование начинается заново. Преобразование, последующее после записи в регистр CFG, считается первым.

По окончании любого преобразования формируется выходной сигнал NDVALID. После чтения из любого регистра DATA1-8 по SPI он сбрасывается. Чтение результатов преобразования производится только по шине SPI. Интерфейс DCH не функционирует.

5.4.4.1 Описание цифрового фильтра

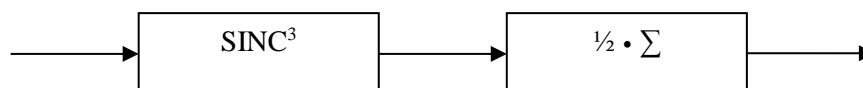


Рисунок 15 – Структурная схема цифрового фильтра

Цифровой фильтр состоит из последовательно соединенных фильтра Sinc³ и схемы усреднения полученных результатов.

Частота выходных данных и время стабилизации выходных данных цифрового фильтра определяются частотой F_{CLK} и значениями битов FS[3:0]. Зависимости частоты выходных данных и времени стабилизации от значения FS представлены в таблице 16.

Таблица 16 – Временные параметры в режимах преобразования напряжения

| Значение FS | Время первого преобразования T1, мкс | Время последующих преобразований T2, мкс | Частота последующих преобразований | Частота сэмплирования на входе Fsample, МГц |
|-------------|--------------------------------------|--|------------------------------------|---|
| 0000 | 716 | 336 | 2,97 КГц | 2 |
| 0001 | 428 | 192 | 5,2 КГц | 2 |
| 0010 | 620 | 288 | 3,47 КГц | 2 |
| 0011 | 812 | 384 | 2,6 КГц | 2 |
| 0100 | 1004 | 480 | 2,08 КГц | 2 |
| 0101 | 2005,5 | 960 | 1,04 КГц | 1 |
| 0110 | 3925,5 | 1920 | 520,8 Гц | 1 |
| 0111 | 15445,5 | 5120 | 195,3 Гц | 1 |
| 1000 | 30805,5 | 10240 | 97,6 Гц | 1 |
| 1001 | 61525,5 | 20480 | 48,8 Гц | 1 |
| 1010 | 122965,5 | 40960 | 24,4 Гц | 1 |
| 1011 | 307285,5 | 102400 | 9,76 Гц | 1 |
| 1100 | 614485,5 | 204800 | 4,88 Гц | 1 |
| 1101 | 983125,5 | 327680 | 3,05 Гц | 1 |
| 1110 | 1966248,5 | 655360 | 1,52 Гц | 0,5 |
| 1111 | 3932328,5 | 1310720 | 0,76 Гц | 0,5 |

Примечания

1 Время первого преобразования и время последующих преобразований приведены при внешней тактовой частоте 4 МГц.

2 Время первого преобразования представляет собой интервал времени от момента запуска цифрового фильтра до момента записи первого результата преобразования в контроллер шины SPI.

3 Время последующих преобразований представляет собой интервал времени между моментами записи последовательных результатов преобразования в контроллер шины SPI

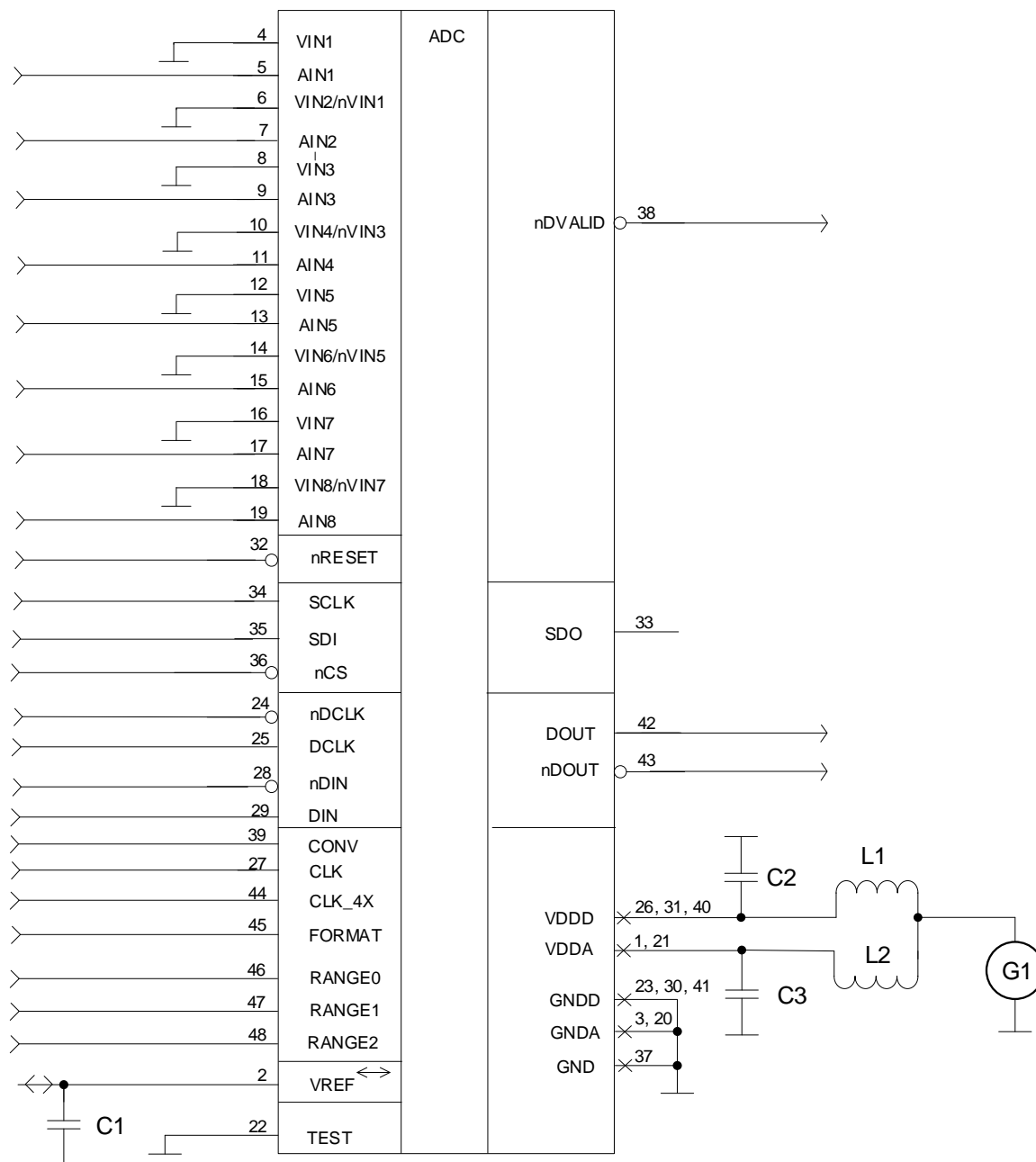
5.4.5 Режим пониженного потребления (MDS=011)

Данный режим предназначен для снижения тока потребления АЦП в случае, если преобразование в данный момент времени не используется.

Для достижения минимального тока потребления все внешние сигналы тактовой частоты должны быть выключены. Все цифровые входы должны быть подключены к шине «Общий» или к шине «Питание».

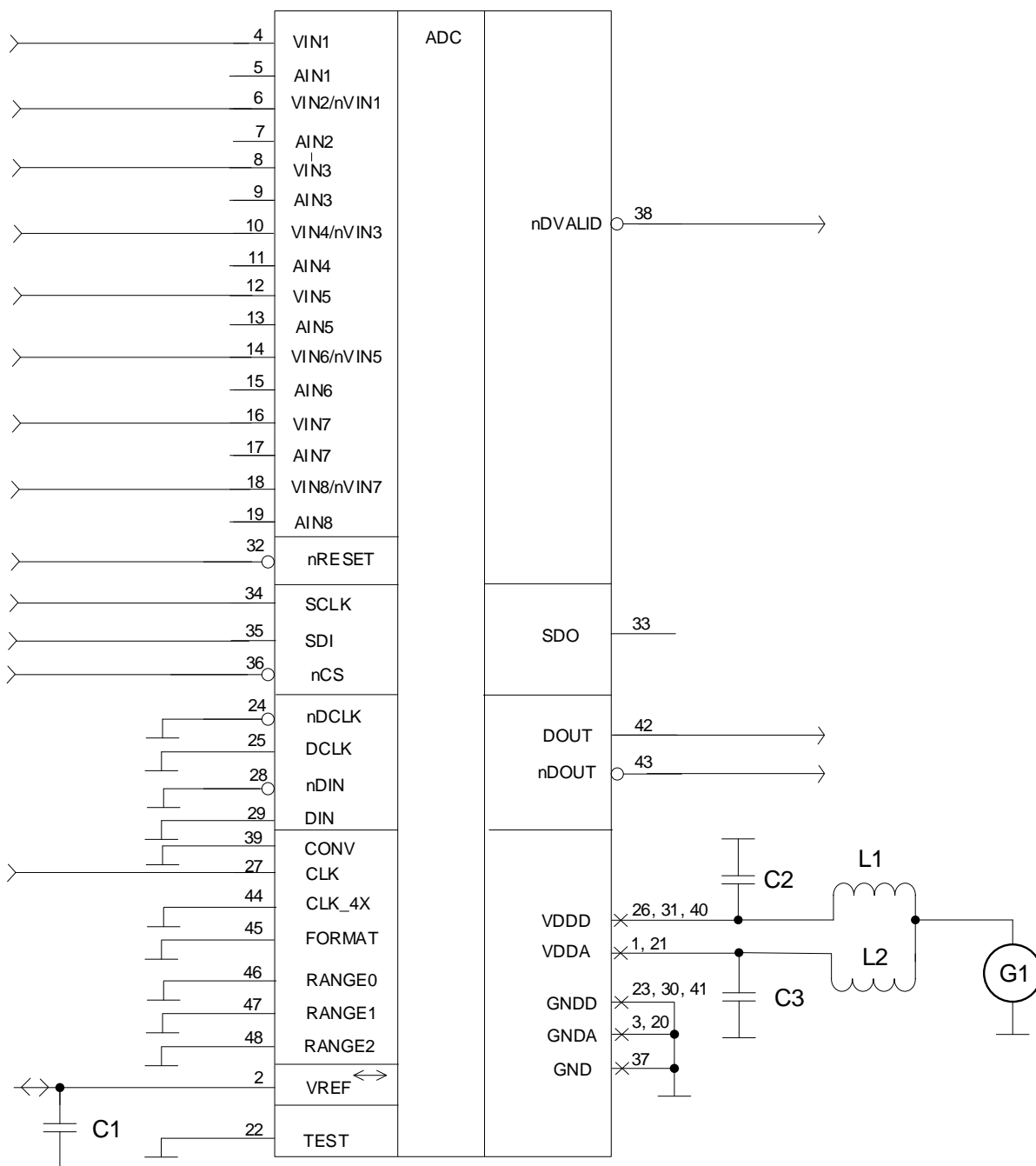
Время перехода из режима пониженного потребления в режим преобразования до 30 мкс.

6 Типовые схемы включения



- C1 – C3 – конденсаторы ёмкостью 22 мкФ;
 G1 – источник напряжения питания ($3,3 \pm 0,3$) В;
 L1, L2 – катушки индуктивностью 13 мГн.

Рисунок 16 – Типовая схема включения микросхем в режиме преобразования тока



- C1 – C3 – конденсаторы ёмкостью 22 мкФ;
- G1 – источник напряжения питания ($3,3 \pm 0,3$) В;
- L1, L2 – катушки индуктивностью 13 мГн.

Рисунок 17 – Типовая схема включения микросхем в режиме преобразования напряжения

7 Типовые зависимости

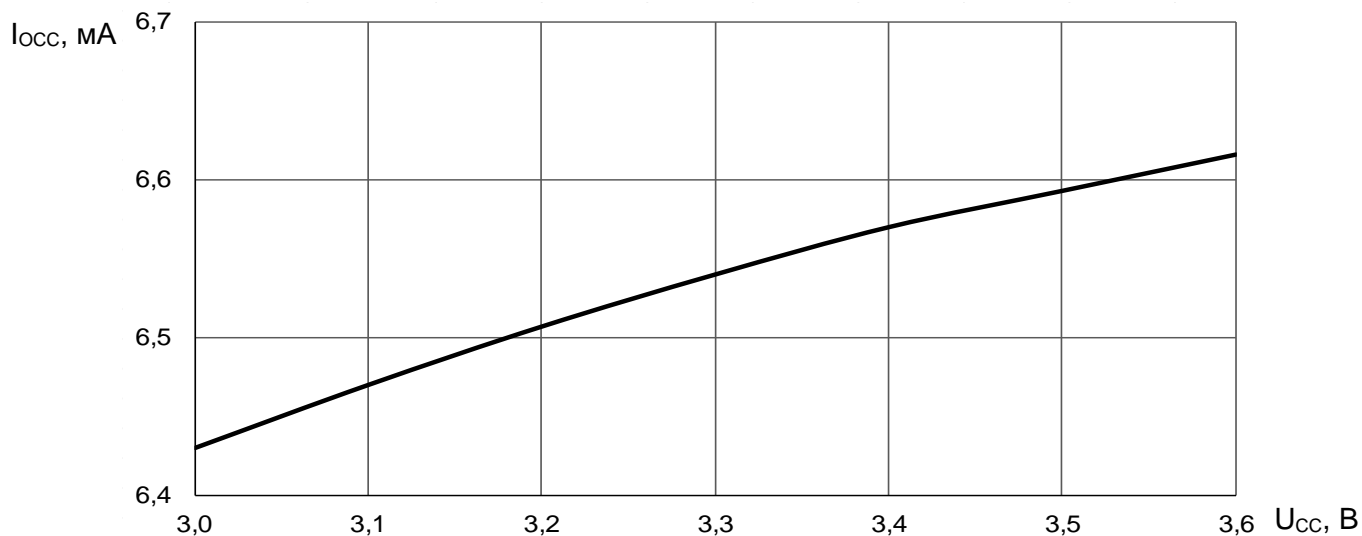


Рисунок 18 – Зависимость динамического тока потребления от напряжения питания в режиме преобразования напряжения ($MDS=010$), с внешним тактовым сигналом $f_c = 4$ МГц, внешним опорным напряжением $U_{REF} = 2,4$ В, $T = 25$ °С

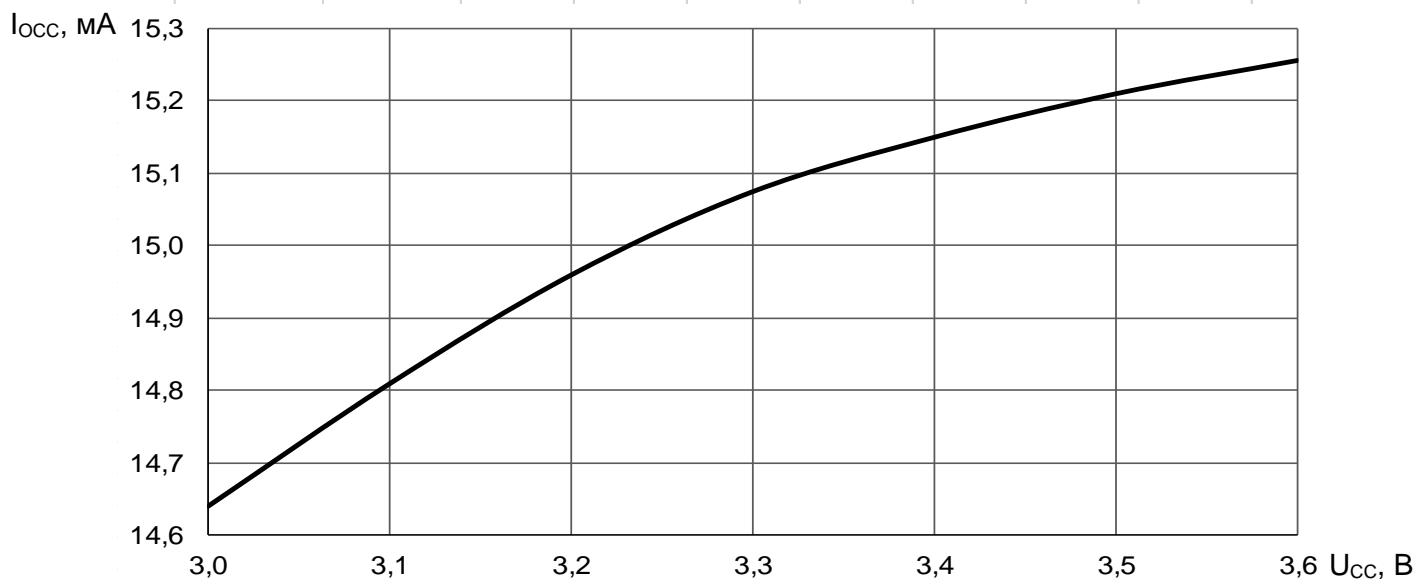


Рисунок 19 – Зависимость динамического тока потребления от напряжения питания в режиме преобразования тока ($MDS=001$), с внешним тактовым сигналом $f_c = 4$ МГц, внешним опорным напряжением $U_{REF} = 2,4$ В, $T = 25$ °С

$I_{\text{осс}}, \text{мА}$

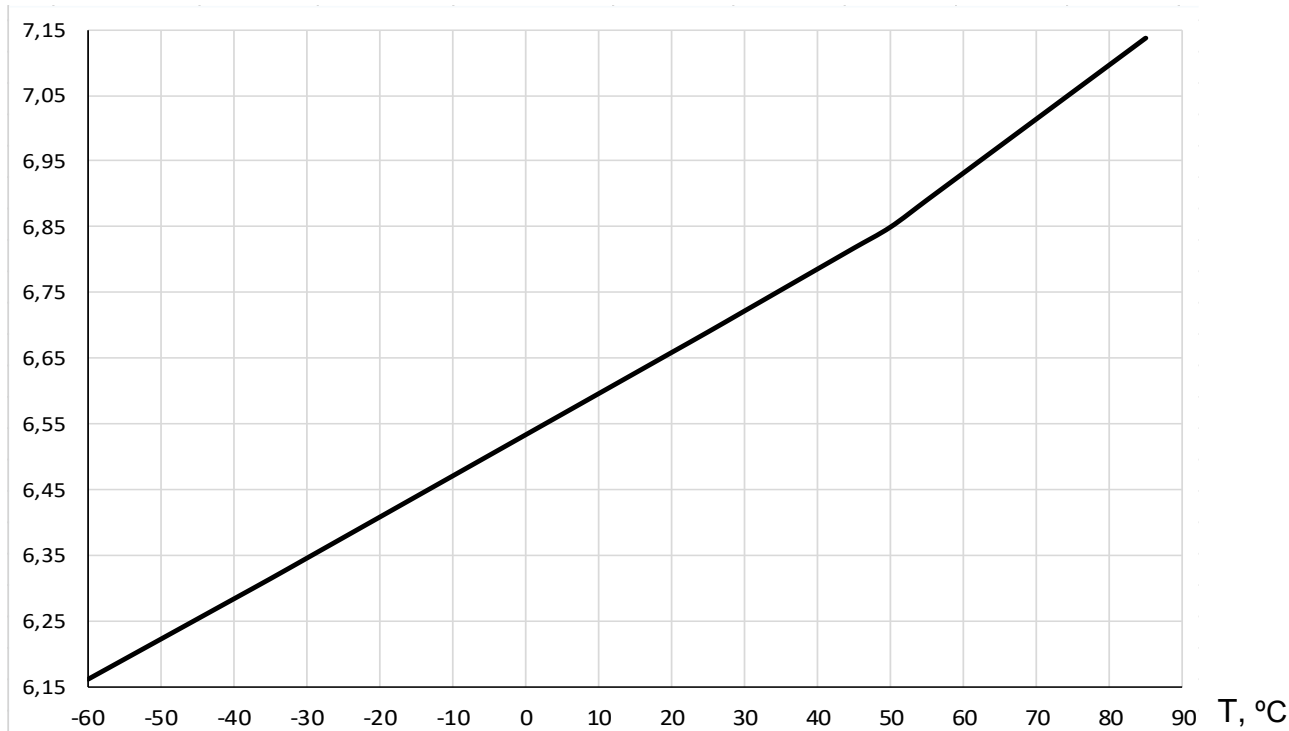


Рисунок 20 – Зависимость динамического тока потребления от температуры в режиме преобразования напряжения (MDS=010), при $f_c = 4$ МГц, $U_{\text{REF}} = 2,4$ В при $U_{\text{CC}} = 3,3$ В, $U_{\text{IH}} = 3,3$ В, $U_{\text{IL}} = 0$ В

$I_{\text{осс}}, \text{мА}$

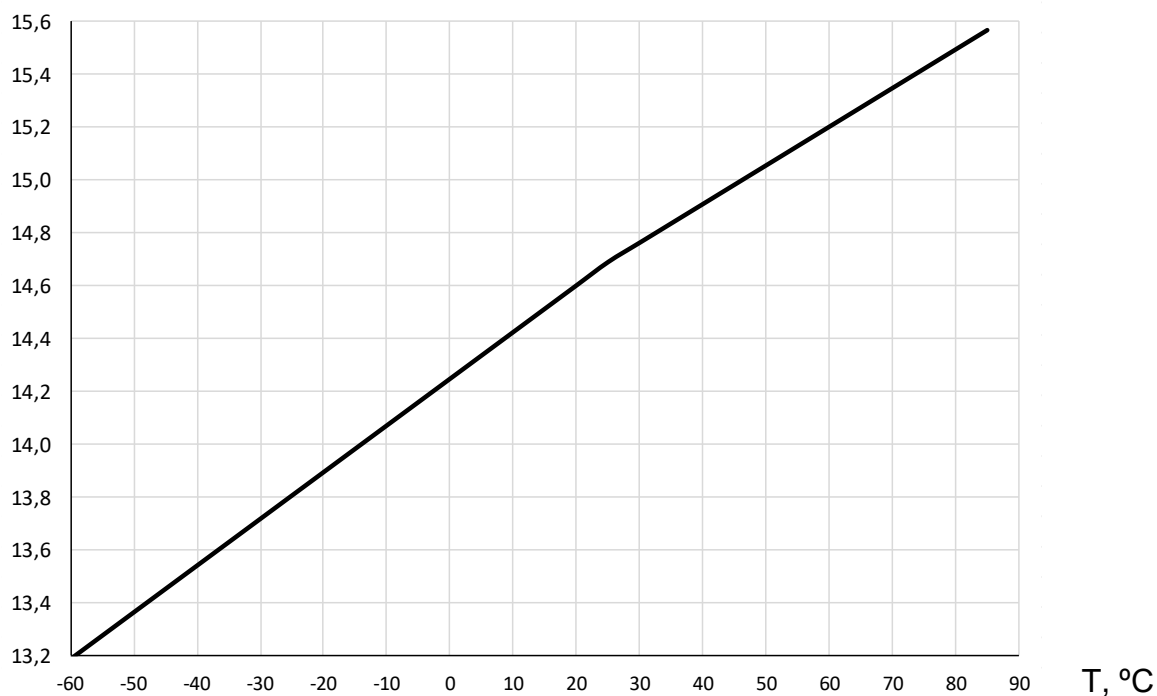


Рисунок 21 – Зависимость динамического тока потребления от температуры в режиме преобразования тока (MDS=001), при $f_c = 4$ МГц, $U_{\text{REF}} = 2,4$ В при $U_{\text{CC}} = 3,3$ В, $U_{\text{IH}} = 3,3$ В, $U_{\text{IL}} = 0$ В



Рисунок 22 – Зависимость динамического тока потребления от количества включенных каналов в режиме преобразования напряжения (MDS=010), при $f_c = 4$ МГц, внешним опорным напряжением $U_{REF} = 2,4$ В при $U_{CC} = 3,6$ В, $U_{IH} = 3,6$ В, $U_{IL} = 0$ В, $T = 25$ °С



Рисунок 23 – Зависимость динамического тока потребления от количества включенных каналов в режиме преобразования тока (MDS=001), при $f_c = 4$ МГц, $U_{REF} = 2,4$ В при $U_{CC} = 3,6$ В, $U_{IH} = 3,6$ В, $U_{IL} = 0$ В, $T = 25$ °С

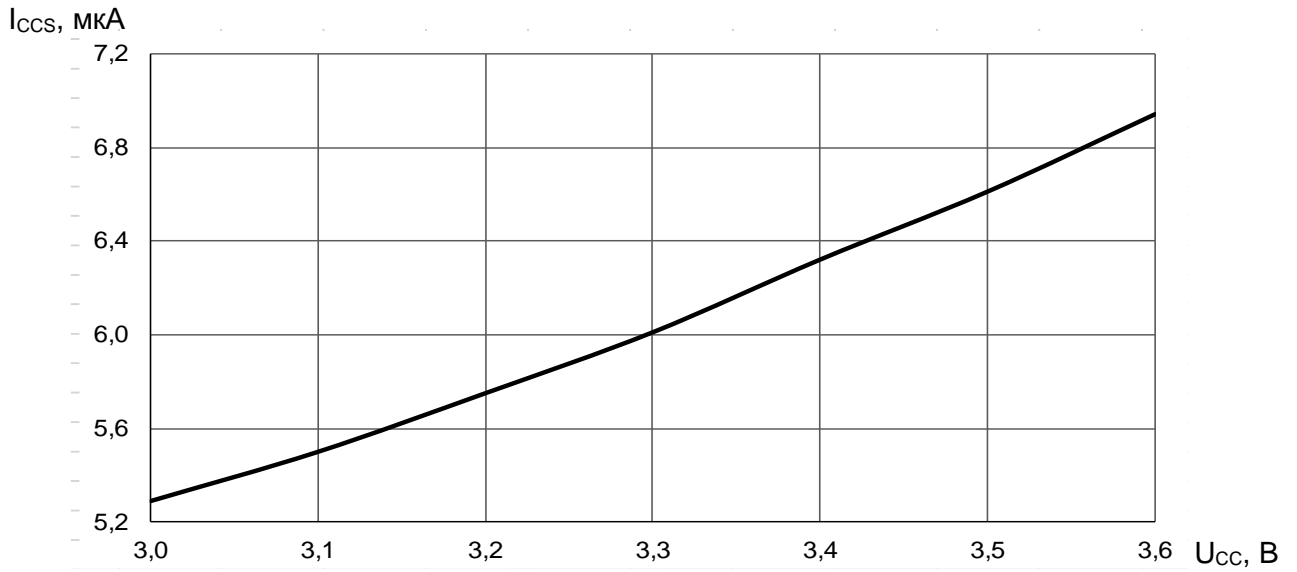


Рисунок 24 – Зависимость тока потребления в режиме пониженного энергопотребления от напряжения питания при T = 25 °C

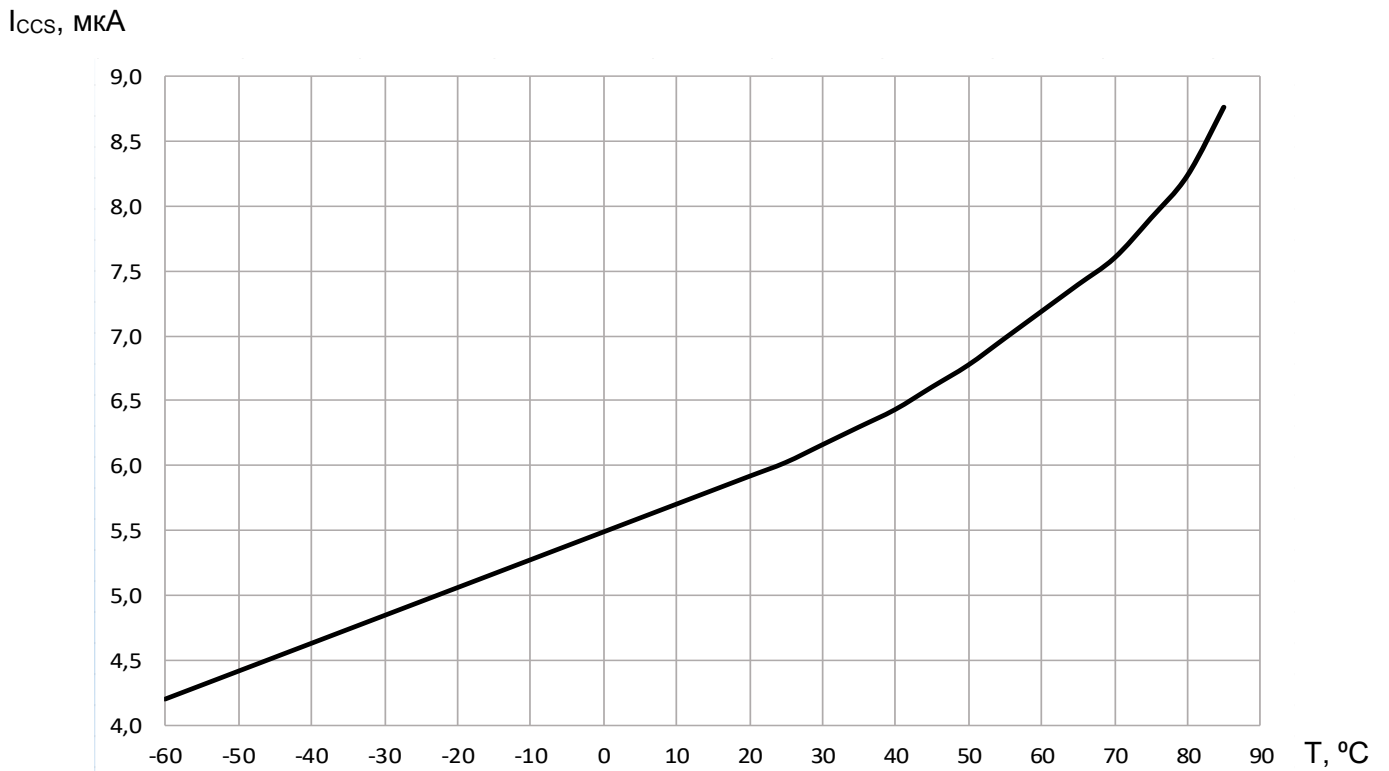


Рисунок 25 – Зависимость тока потребления в режиме пониженного энергопотребления от температуры при U_{cc} = 3,3 В

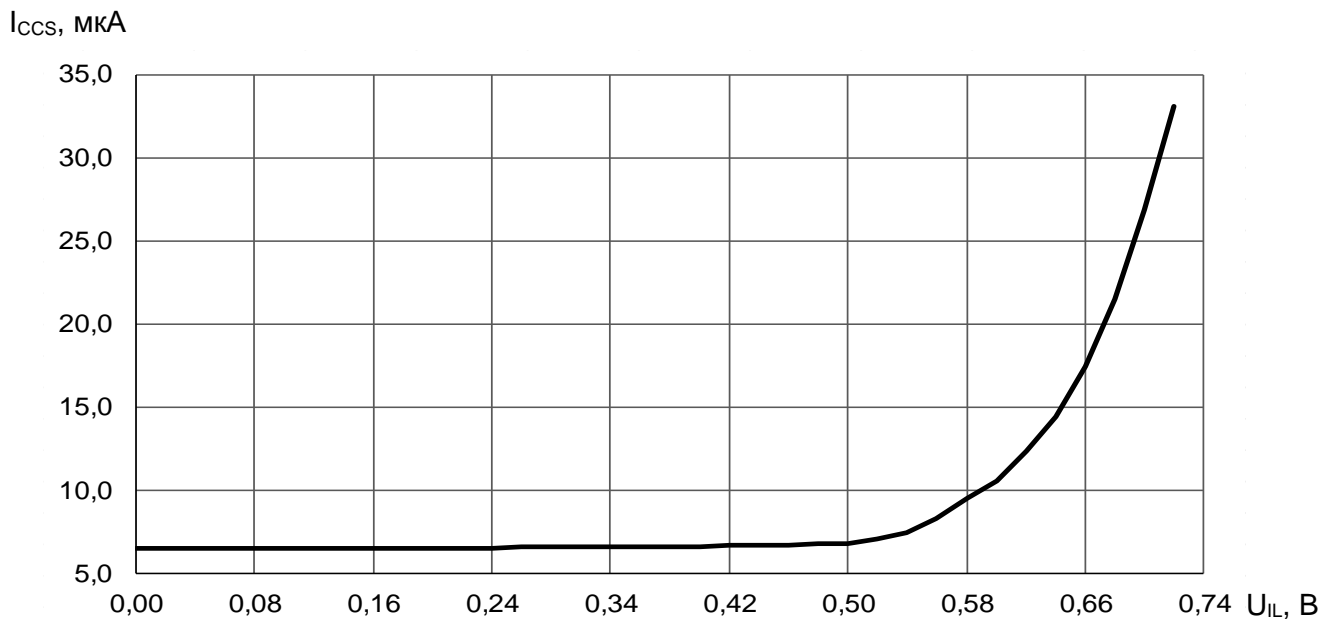


Рисунок 26 – Зависимость тока потребления в режиме пониженного энергопотребления от входного напряжения низкого уровня при $U_{CC} = 3,6$ В, $T = 25$ °С

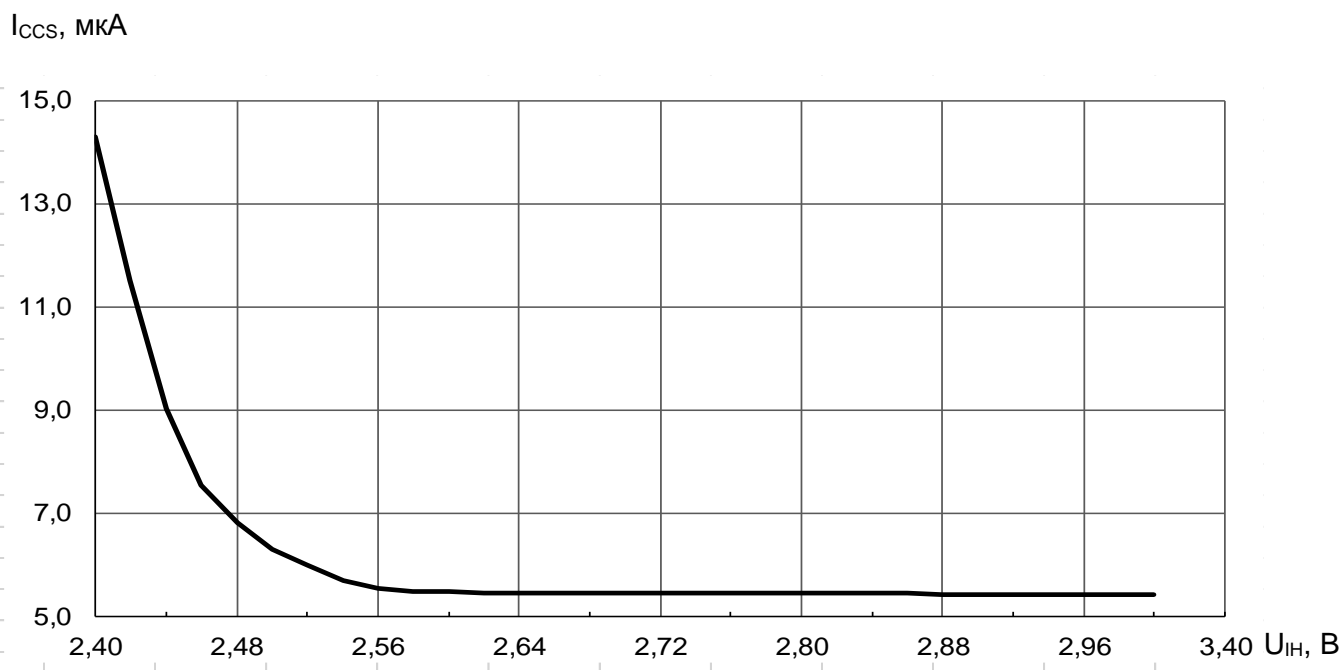


Рисунок 27 – Зависимость тока потребления в режиме пониженного энергопотребления от входного напряжения высокого уровня при $U_{CC} = 3,0$ В, $T = 25$ °С

I_{CCS} , мкА

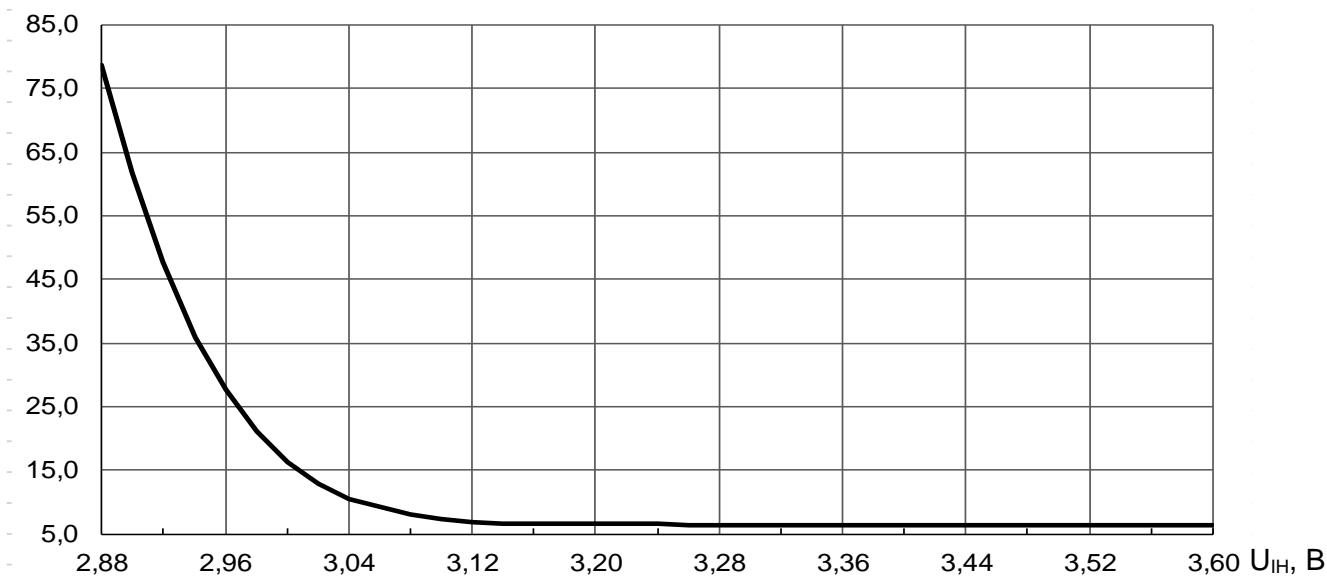


Рисунок 28 – Зависимость тока потребления в режиме пониженного энергопотребления от уровня входного напряжения высокого уровня при $U_{CC} = 3,6$ В, $T = 25$ °С

U_{REF} , В

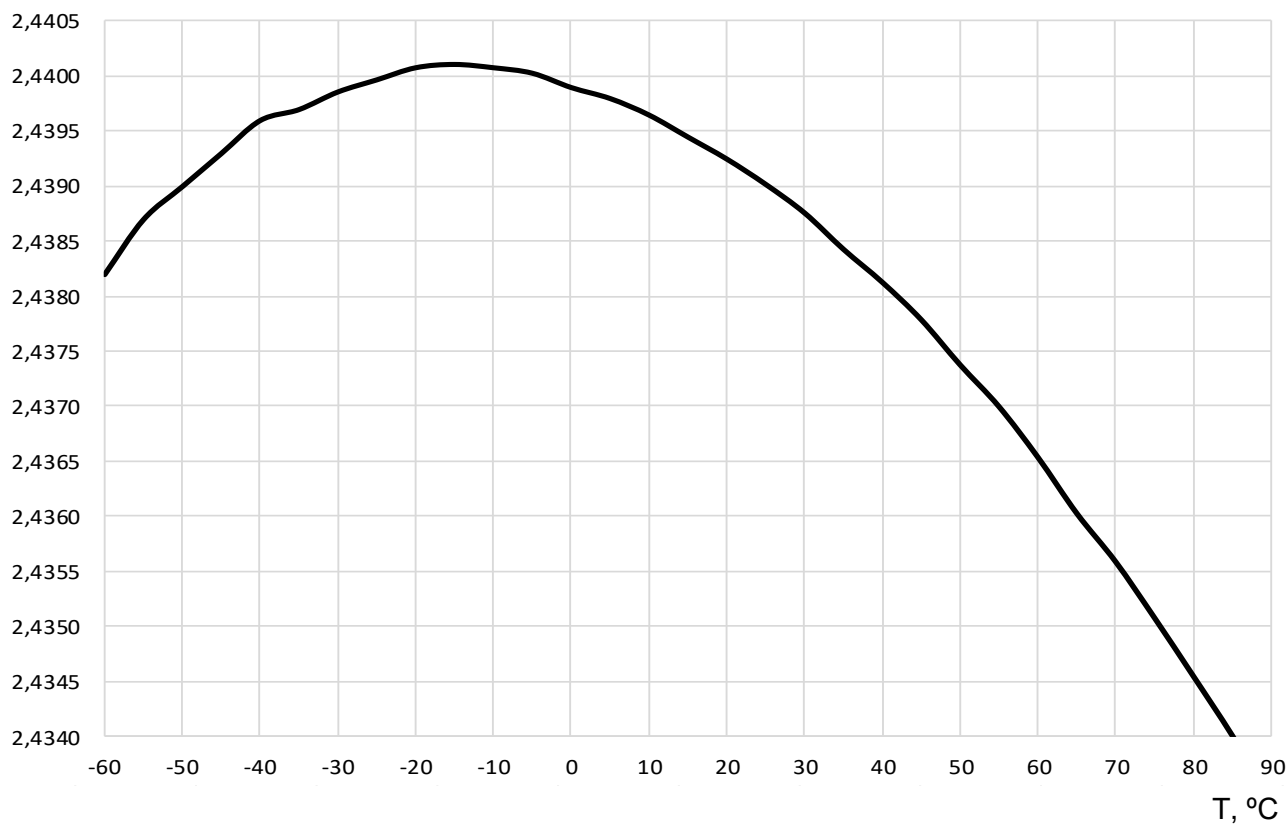


Рисунок 29 – Зависимость выходного опорного напряжения внутреннего источника опорного напряжения от температуры при $U_{CC} = 3,3$ В

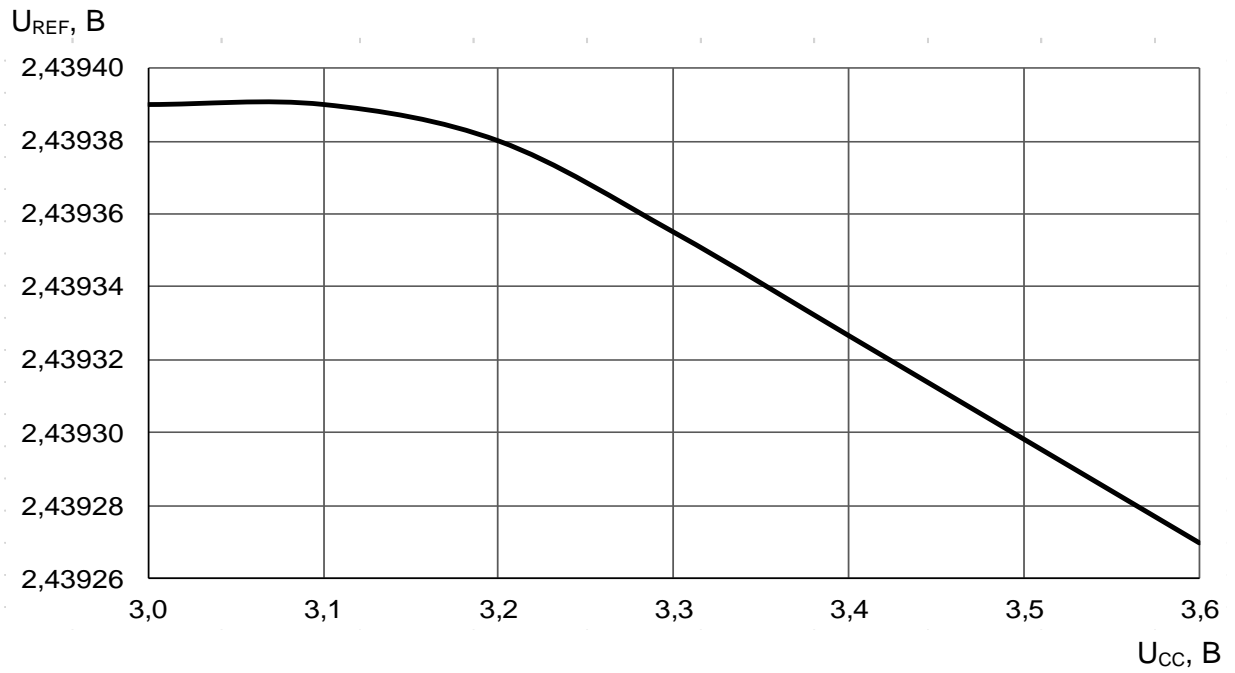


Рисунок 30 – Зависимость выходного напряжения внутреннего источника опорного напряжения от напряжения питания при $T = 25\text{ °C}$

8 Электрические параметры микросхем

Таблица 17 – Электрические параметры микросхем при приемке и поставке

| Наименование параметра, единица измерения, режим измерения | Буквенное обозначение параметра | Норма параметра | | Темпе- ратура среды, °С | |
|---|---------------------------------------|-----------------------|-----------------------|----------------------------------|-------|
| | | не менее | не более | | |
| Выходное напряжение низкого уровня, В, на выводах SDO, nVALID, DOUT, nDOUT | U _{OL} | – | 0,1 • U _{CC} | 25, 85, – 60 | |
| Выходное напряжение высокого уровня, В, на выводах SDO, nVALID, DOUT, nDOUT | U _{OH} | 0,9 • U _{CC} | – | | |
| Напряжение смещения, мВ | U _{IO} | –3,0 | 3,0 | | |
| Входной ток смещения, пА, по входам AIN1 – AIN8 | I _{BIAS} | – | 1,0 | 25 | |
| | | – | 10 | 85 | |
| Динамический ток потребления, мА | I _{OC} | – | 60 | 25, 85, – 60 | |
| Ток потребления в режиме пониженного энергопотребления, мкА | I _{CCS} | – | 100 | | |
| Входной ток утечки низкого уровня, мкА, по входам TEST, nDCLK, DCLK, CLK, nDIN, DIN, nRESET, SCLK, SDIN, nCS, CONV, CLK_4X, FORMAT, RANGE0, RANGE1, RANGE2 | I _{ILL} | –10 | 10 | | |
| Входной ток утечки высокого уровня, мкА, по входам TEST, nDCLK, DCLK, CLK, nDIN, DIN, nRESET, SCLK, SDIN, nCS, CONV, CLK_4X, FORMAT, RANGE0, RANGE1, RANGE2 | I _{ILH} | -10 | 10 | | |
| Максимальное значение накопленного заряда, пКл, при U _{REF} = 2,4 В: | диапазон 0 | Q ₀ | 10,0 | | 14,0 |
| | диапазон 1 | Q ₁ | 47,5 | | 52,5 |
| | диапазон 2 | Q ₂ | 95,0 | | 105,0 |
| | диапазон 3 | Q ₃ | 142,5 | | 157,5 |
| | диапазон 4 | Q ₄ | 190,0 | | 210,0 |
| | диапазон 5 | Q ₅ | 237,5 | | 262,5 |
| | диапазон 6 | Q ₆ | 285,0 | 315,0 | |
| | диапазон 7 | Q ₇ | 332,5 | 367,5 | |
| Отношение сигнал/шум + искажения АЦП, дБ, при U _{REF} = 2,4 В, MDS = 100, FS = 0101, дифференциальный входной сигнал амплитудой минус 1 дБ, частотой 171 Гц | SNDR | 85 | – | | |
| Погрешность в конечной точке характеристики преобразования АЦП, %, при U _{REF} = 2,4 В | E _G | –1 | 1 | | |
| Выходная частота внутреннего RC-генератора, МГц | f ₀ | 3,9 | 4,2 | | |
| Разрешающая способность АЦП, разрядов | N | – | 20 | | |
| Примечание – Режимы измерения параметров приведены в АЕНВ.431320.584ТУ | | | | | |

Микросхемы устойчивы к воздействию статического электричества с потенциалом не менее 2 000 В.

9 Предельно-допустимые и предельные параметры

Таблица 18 – Предельно-допустимые электрические режимы эксплуатации и предельные электрические режимы микросхем

| Наименование параметра, единица измерения | Буквенное обозначение параметра | Норма параметра | | | |
|---|---------------------------------------|-----------------------------------|--------------------|---------------------|----------------|
| | | Предельно- допустимый режим | | Предельный режим | |
| | | не менее | не более | не менее | не более |
| Напряжение питания, В | U_{CC} | 3,0 | 3,6 | – | 4,0 |
| Опорное напряжение, В | U_{REF} | 2,2 | 2,6 | – | U_{CC} |
| Входное напряжение низкого уровня, В | U_{IL} | 0 | $0,2 \cdot U_{CC}$ | –0,3 | – |
| Входное напряжение высокого уровня, В | U_{IH} | $0,8 \cdot U_{CC}$ | U_{CC} | – | $U_{CC} + 0,3$ |
| Входное напряжение на входах VIN АЦП, В | U_{I_VIN} | 0 | U_{REF} | –0,3 | $U_{CC} + 0,3$ |
| Входное дифференциальное напряжение на входах VIN АЦП, В | U_{ID_VIN} | $-U_{REF}$ | U_{REF} | – | – |
| Выходной ток низкого уровня, мА | I_{OL} | – | 1 | – | 4 |
| Выходной ток высокого уровня, мА | I_{OH} | –1 | – | –4 | – |
| Максимальный входной ток, мА, по входам AIN1 – AIN8 | $I_{INP}^{1)}$ | – | 0,036 | – | 0,75 |
| Частота следования импульсов тактовых сигналов, МГц, на выводах DCLK, nDCLK | f_C | – | 20 | – | – |
| Время полного преобразования АЦП, мс | t_C | 0,4 | 1000 | – | – |
| Время интегрирования, мкс | $t_{INT}^{1)}$ | 10 | – | – | – |
| <p>¹⁾ Выбор режима по входному току и времени интеграции зависит от требуемого значения накопленного заряда. Значение накопленного заряда Q определяется по формуле (1). Примечание – Не допускается одновременное задание более одного предельного режима</p> | | | | | |

10 Справочные данные

Справочные параметры микросхемы приведены в таблице 19.

Зависимости основных электрических параметров микросхем от режимов и условий эксплуатации приведены на рисунках 18 – 28.

Зависимость выходного напряжения внутреннего источника опорного напряжения от температуры и напряжения питания приведены на рисунках 29, 30.

Значение собственной резонансной частоты не менее 6,6 кГц.

Значение теплового сопротивления кристалл-окружающая среда в нормальных условиях не более 14,0 °С/Вт.

Предельная температура р-п перехода кристалла 150 °С.

Таблица 19 – Справочные параметры микросхем

| Наименование параметра, единица измерения, (режим измерения) | Норма параметра | | Температура, °С |
|--|-----------------|----------|----------------------|
| | не менее | не более | |
| Температурный дрейф частоты внутреннего RC-генератора, % | – | 3 | – 60/85 |
| Коэффициент зависимости частоты внутреннего RC-генератора от напряжения питания, кГц/В | – | 15 | 25 ± 10 |
| Абсолютный фазовый джиттер частоты внутреннего RC-генератора, мкс rms, в полосе частот от 0,02 до 2 Гц | – | 1,2 | 25 ± 10 |
| Продолжительность инициализации микросхемы, мс | – | 1 | – 60/85 |
| Температурный дрейф ИОН 2,4, 10 ⁻⁶ /°С | – | 100 | – 60/85, шаг 5 °С |
| Интегральная мощность шума на выходе ИОН 2,4 В в полосе от 0,1 до 2 кГц, мкВ rms | – | 32 | 25 ± 10 |
| Собственные шумы микросхемы в диапазонах, EMP rms | – | – | 25 ± 10 |
| | – | 252,5 | |
| | – | 75,0 | |
| | – | 60,5 | |
| | – | 55,0 | |
| | – | 45,5 | |
| | – | 40,0 | |
| | – | 35,5 | |
| Напряжение шумов АЦП при замкнутых на землю входах, мкВ rms, для комбинации бит управления: MDS=100, FS=0000 | – | 20 | 25 ± 10 |
| Напряжение шумов АЦП при замкнутых на землю входах, мкВ rms, для комбинации бит управления: MDS=100, FS=1010 | – | 2 | 25 ± 10 |
| Температурный дрейф напряжения смещения АЦП, мкВ/С° | –2 | +2 | – 60/25/85 |
| Температурный дрейф коэффициента усиления АЦП, ppm/С° | –2 | +2 | – 60/25/85 |

Таблица 20 – Эффективная разрешающая способность

| Значение FS | Шумы при входах, подключенных к шине «Общий», мкВ (ЕМР) | Эффективная разрешающая способность, бит | Частота преобразований, Гц | Подавление 50 Гц |
|-------------|---|--|----------------------------|------------------|
| 0000 | 16,8 (3,6) | 17,8 | 3048 | нет |
| 0001 | 34,1 (7,3) | 16,8 | 5333 | нет |
| 0010 | 19,2 (4,1) | 17,6 | 3556 | нет |
| 0011 | 15,4 (3,3) | 18,0 | 2667 | нет |
| 0100 | 13,6 (2,9) | 18,1 | 2133 | нет |
| 0101 | 13,1 (2,8) | 18,2 | 1067 | нет |
| 0110 | 10,3 (2,2) | 18,6 | 533 | нет |
| 0111 | 5,6 (1,2) | 19,4 | 200 | нет |
| 1000 | 4,2 (0,9) | 19,9 | 100 | нет |
| 1001 | 2,8 (0,6) | 20,0 | 50 | есть |
| 1010 | 2,3 (0,5) | 20,0 | 25 | есть |
| 1011 | 1,4 (0,3) | 20,0 | 10 | есть |
| 1100 | 0,9 (0,2) | 20,0 | 5 | есть |
| 1101 | 0,5 (0,1) | 20,0 | 3,1 | нет |
| 1110 | 0,9 (0,2) | 20,0 | 1,6 | нет |
| 1111 | 0,7 (0,1) | 20,0 | 0,8 | нет |

Примечания

- 1 Данные приведены для тактовой частоты 4,096 МГц;
- 2 Собственные шумы измерены в НУ для конфигурации MDS = 100, REFS = 1, CLCS = 1;
- 3 Эффективная разрешающая способность рассчитана по формуле

$$ENOB = \frac{20 \lg \frac{20^{20}}{\text{СКО шума в ЕМР}} - 1,76}{6,02} \quad (7)$$

11 Габаритный чертеж микросхемы

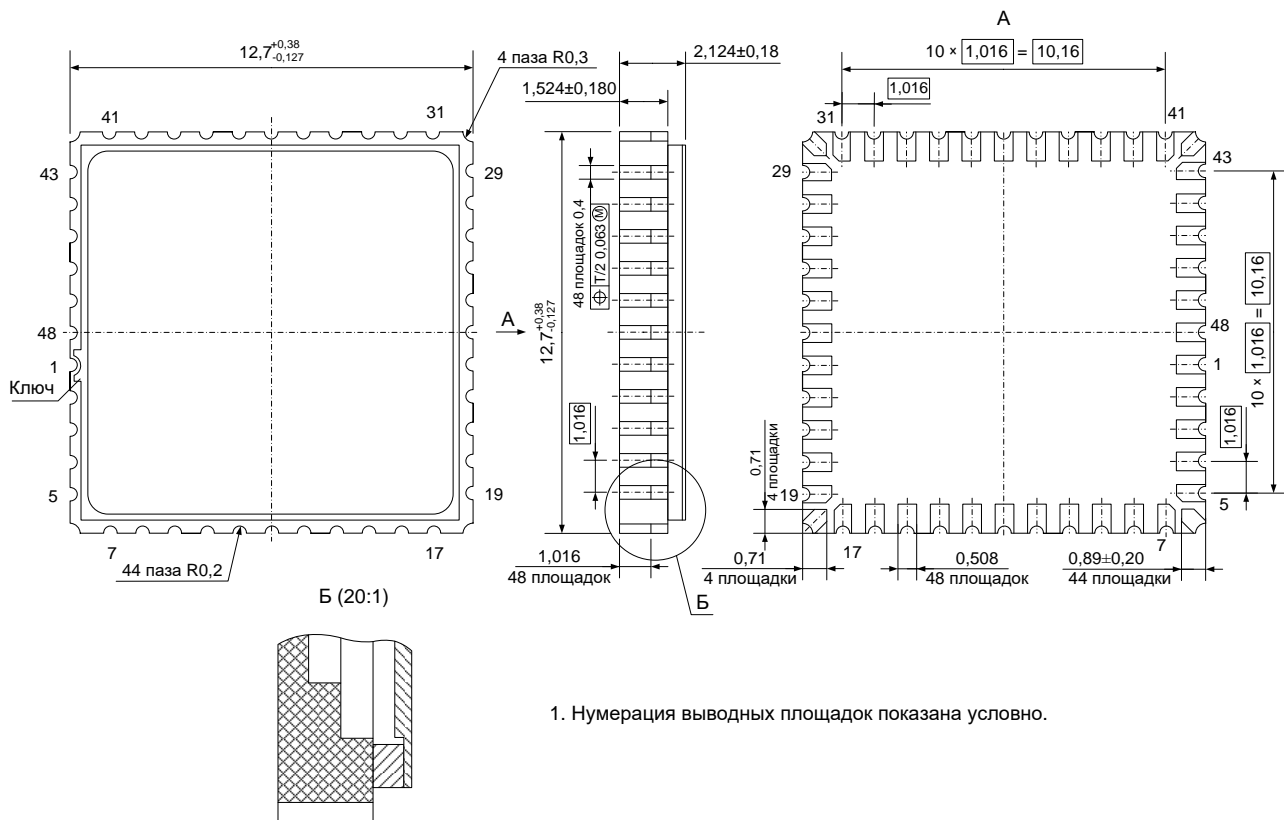


Рисунок 31 – Микросхема в корпусе 5142.48-A

12 Информация для заказа

| Обозначение | Маркировка | Тип корпуса | Температурный диапазон |
|-------------|-------------|-------------|------------------------|
| 5101НВ035 | 5101НВ035 | 5142.48-А | минус 60 – 85 °С |
| К5101НВ035 | К5101НВ035 | 5142.48-А | минус 60 – 85 °С |
| К5101НВ035К | К5101НВ035• | 5142.48-А | 0 – 70 °С |

