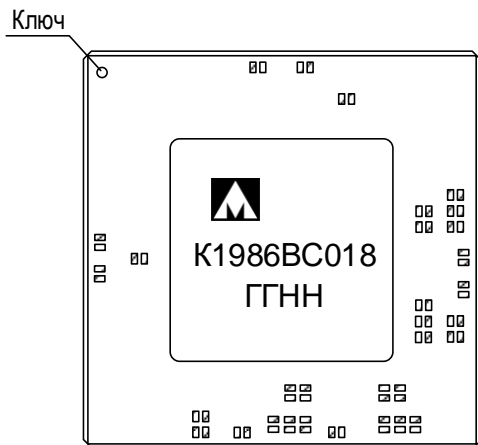


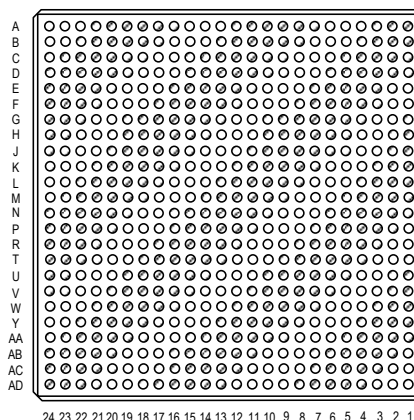


Микросхема контроллера видеоадаптера K1986BC018, K1986BC018K



Лицевая сторона

ГГ – год выпуска



Обратная сторона

Обозначение	Диапазон
K1986BC018	минус 45 – 85 °С
K1986BC018K	0 – 70 °С

Тип корпуса:

- 576-ти выводной металлокерамический корпус типа BGA МК 8303.576-1.

Основные технические характеристики процессора

- Напряжение питания цифровой и аналоговой части от 3,0 до 3,6 В;
- 16/32-битная асинхронная системная шина с временем доступа не менее 20 нс;
- Последовательный интерфейс типа SPI с частотой до 100 МГц;
- 64-битная шина данных внешней статической видеопамяти;
- Поддержка разрешений видеовыхода до 1920 × 1080 (в том числе произвольных) и частот обновления экрана до 75 Гц;
- Поддержка текстовых режимов без внешней памяти и с возможностью наложения на изображение;
- Встроенный и загружаемый знакогенераторы;
- Аппаратная поддержка вертикального и горизонтального скроллинга, графического курсора;
- Аналоговый видеовыход формата RGBHV совместимый с VESA VSIS v1r2;
- Цифровой параллельный КМОП-видеовыход 16 бит (R5G6R5) с пиксельным синхросигналом до 150 МГц и стробом данных (интерфейс к LCD).

Общее описание и область применения микросхемы

Микросхемы интегральные K1986BC018, контроллер видеоадаптера, (далее – микросхемы) предназначены для преобразования цифровых данных от управляющего устройства в аналоговые/цифровые сигналы, воспринимаемые мониторами с электронно-лучевыми трубками и жидкокристаллическими мониторами и панелями.

Микросхемы позволяют получать на экране изображение и/или текст в широком диапазоне разрешений (до 1920 × 1080 пикселей) и частот кадровой развертки (до 75 Гц), с поддержкой большого количества режимов работы, различных типов мониторов/панелей и внешней статической памяти (ОЗУ).

Для средств автоматизированного проектирования радиоэлектронной аппаратуры рекомендуется использовать Ibis-модель.

Доступен отладочный модуль контроллера видеоадаптера и набор программных драйверов для исследования работоспособности микросхемы.

Содержание

1	Структурная блок-схема микросхема	5
2	Условное графическое обозначение	6
3	Описание выводов	9
4	Указания по применению и эксплуатации	28
5	Контроллер системной шины	29
5.1	Шина адреса HA[23:0]	30
5.1.1	Режим оконной адресации	30
5.1.2	Режим прямой адресации	32
5.2	Шина данных HD[31:0]	33
5.2.1	Режим 16 бит данных	33
5.2.2	Режим 32 бита данных	33
5.3	Управляющие сигналы	34
5.3.1	nHCS	34
5.3.2	nHWE	35
5.3.3	nHOE	35
5.3.4	nHWHE, nHWLE	35
5.3.5	HRDY	35
5.4	Временные диаграммы и особенности работы	36
6	Контроллер SPI	39
6.1	Выводы интерфейса SPI	39
6.1.1	SCLK	39
6.1.2	nSCS	40
6.1.3	SDI	40
6.1.4	SDO	40
6.2	Пакеты SPI	40
6.2.1	Пакет команды	41
6.2.2	Пакет данных	41
6.2.3	Пустой пакет	41
6.3	Протокол передачи данных SPI	42
6.3.1	Одиночное чтение	42
6.3.2	Одиночная запись	43
6.3.3	Непрерывное чтение	43
6.3.4	Непрерывная запись	44
6.4	Временные диаграммы	45
7	Контроллер внешней видеопамяти	46
7.1	Контроллер асинхронной памяти	48
7.2	Контроллер синхронной конвейерной памяти	52
8	Встроенный генератор и умножители частоты	55
8.1	Генератор опорного синхросигнала	55
8.2	Блок ФАПЧ цифровой части микросхемы	55
8.3	Блок ФАПЧ видеосистемы	56
8.3.1	Коэффициент предделителя dac_pll_r	56
8.3.2	Коэффициент петлевого делителя dac_pll_n	57
8.3.3	Коэффициент постделителя dac_pll_m	57
8.3.4	Ограничения блока ФАПЧ	57
8.3.5	Процедура старта блока ФАПЧ	57

9	Генератор синхросигнала.....	59
9.1	Параметры генератора синхросигнала.....	60
9.2	Процедура включения блока генератора развертки.....	61
10	Графический контроллер	62
10.1	Настройки графического контроллера.....	62
10.2	Включение блока графического контроллера	62
10.3	Виртуальный кадровый буфер	63
10.4	Аппаратный скроллинг	63
10.5	Формат пикселя изображения	64
10.6	Размещение изображения во внешней видео памяти	64
10.7	Примеры использования виртуального кадрового буфера и скроллинга....	64
10.8	Разрешение экрана в графическом режиме и конфигурация внешней памяти	67
11	Контроллер графического курсора	71
11.1	Настройки графического курсора.....	71
11.2	Встроенное ОЗУ графического курсора	71
11.3	Формат пикселя графического курсора	72
11.4	Примеры отображения графического курсора	72
12	Текстовый контроллер.....	74
12.1	Настройки текстового контроллера.....	75
12.2	Процедура включения текстового контроллера.....	75
12.3	Встроенное текстовое ОЗУ и виртуальный текстовый буфер	76
12.4	Формат текстового символа	77
12.5	Знакогенератор.....	78
12.5.1	Загружаемый знакогенератор	78
12.5.2	Встроенный знакогенератор	80
12.6	Таблица цветности текста	83
12.7	Текстовый курсор	85
13	Блок наложения и цветности	87
14	Аналоговый видеовыход	90
15	Цифровой параллельный КМОП-интерфейс видеовыхода.....	92
16	Контроллер прерываний и статуса блоков	94
17	Карта памяти	97
18	Карта системных регистров	98
18.1	0x0000 – GCFG	99
18.2	0x0002 – INTCFG	100
18.3	0x0004 – GSTAT.....	101
18.4	0x0006 – RS0	102
18.5	0x0008 – PLLSCFG0	103
18.6	0x000A – PLLSCFG1.....	104
18.7	0x000C – MEMCFG0.....	104
18.8	0x000E – MEMCFG1	105
18.9	0x0010 – MWA0.....	106
18.10	0x0012 – MWA1.....	106
18.11	0x0014 – VBA0	107
18.12	0x0016 – VBA	107
18.13	0x0018 – PSIZE0	107
18.14	0x001A – PSIZE1	107
18.15	0x001C – PSIZE2.....	108
18.16	0x001E – PSIZE3.....	108
18.17	0x0020 – PSCRL0.....	108
18.18	0x0022 – PSCRL1.....	108

18.19	0x0024 – VTIM0	109
18.20	0x0026 – VTIM1	109
18.21	0x0028 – VTIM2	109
18.22	0x002A – VTIM3	110
18.23	0x002C – VTIM4	110
18.24	0x002E – VTIM5	110
18.25	0x0030 – GCUR0	111
18.26	0x0032 – GCUR1	111
18.27	0x0034 – TXTCFG0	111
18.28	0x0036 – TXTCFG1	112
18.29	0x0038 – TXTCFG2	112
18.30	0x003A – RS1	112
18.31	0x003C – TCUR0	113
18.32	0x003E – TCUR1	113
18.33	0x0040 – SMWA0	113
18.34	0x0042 – SMWA1	114
19	Типовые схемы включения.....	115
19.1	Типовая схема подключения управляющего устройства к системной шине	119
19.2	Типовая схема подключения управляющего устройства к интерфейсу SPI	120
19.3	Типовые схемы подключения интерфейса внешней видеопамати	121
19.3.1	Типовая схема подключения к микросхемам СОЗУ 1645РУ6У	121
19.3.2	Типовая схема подключения к микросхемам СОЗУ 1645РУ7Я.....	122
19.4	Типовая схема включения кварцевого генератора / резонатора.....	123
19.5	Типовая схема включения интерфейса аналогового видеовыхода	123
19.6	Типовая схема включения цифрового видеовыхода	124
19.7	Типовая схема включения резистора RSET	125
19.8	Типовая схема подключения питания.....	125
19.9	Типовая схема подключения тестовых выводов и JTAG	126
20	Типовые зависимости	127
21	Электрические параметры микросхемы.....	130
22	Предельно допустимые характеристики микросхемы.....	131
23	Справочные параметры	132
24	Габаритный чертеж микросхемы	133
25	Информация для заказа	134
	Лист регистрации изменений.....	135

1 Структурная блок-схема микросхема

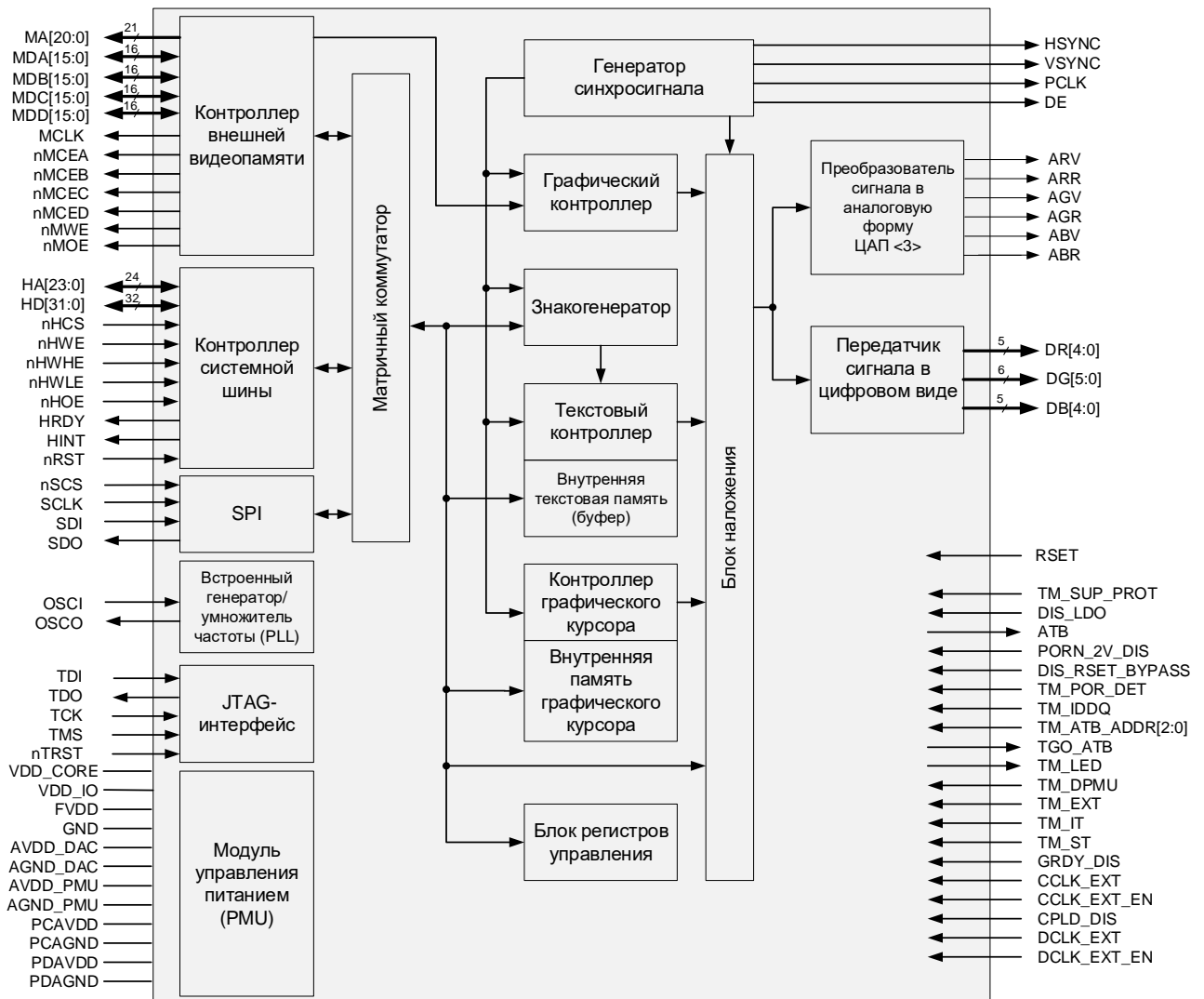


Рисунок 1 – Структурная блок-схема микросхема

2 Условное графическое обозначение

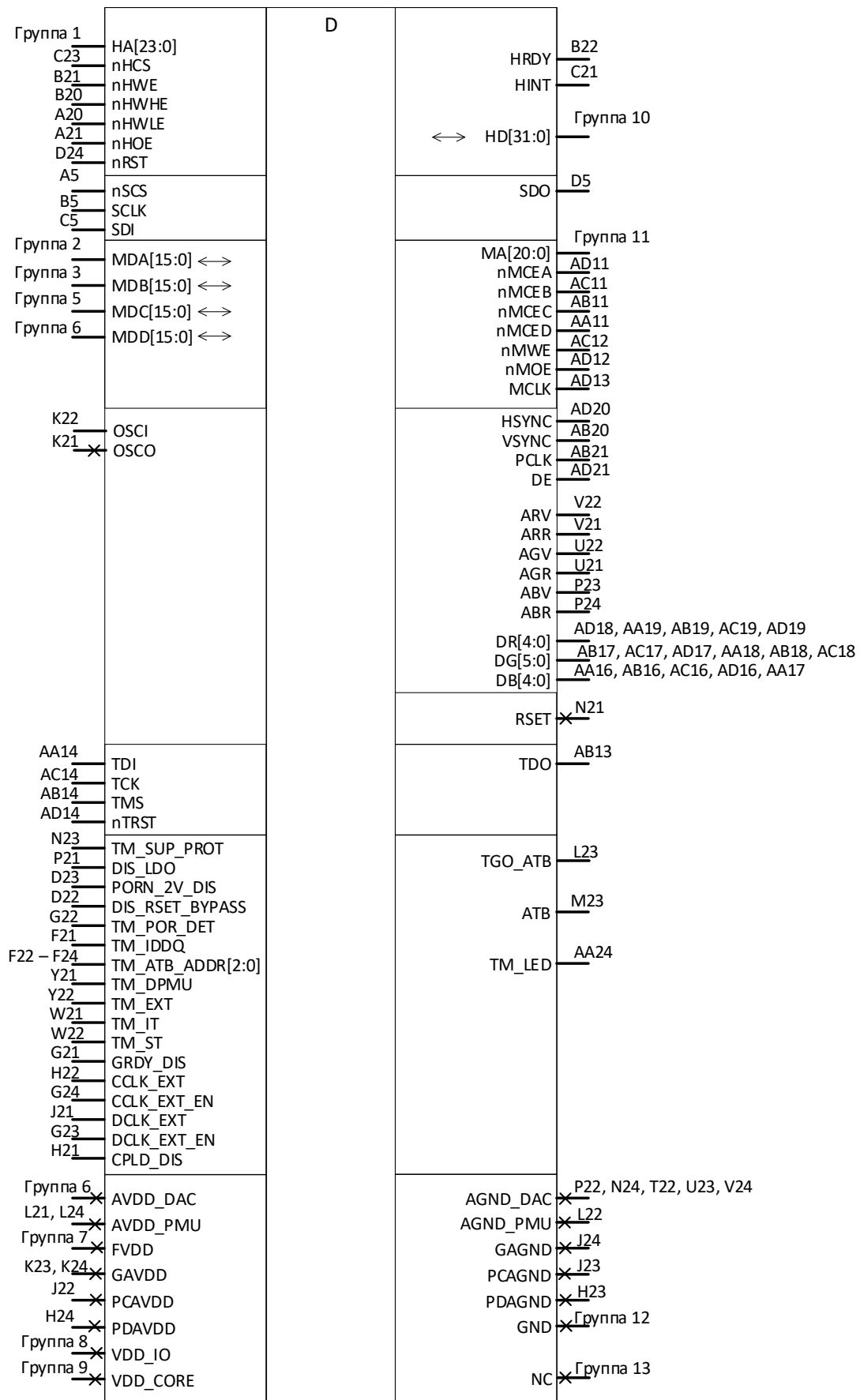


Рисунок 2 – Условное графическое обозначение

Продолжение рисунка

Группы выводов:

Группа 1 HA[23:0]: B14, A14, D15, C15, B15, A15, D16, C16, B16, A16, D17, C17, B17, A17, D18, C18, B18, A18, D19, C19, B19, A19, D20, C20;

Группа 2 MDA[15:0]: R2, P4, P2, P1, N3, N1, M4 – M1, L4 – L1, K4, K3;

Группа 3 MDB[15:0]: W2, W1, V4 – V1, U4 – U1, T4 – T1, R4, R3;

Группа 4 MDC[15:0]: AC6, AD6, AA5, AB5, AC5, AD5, AB4, AC4, AD4, AC3, Y4 – Y1, W4, W3;

Группа 5 MDD[15:0]: AB10, AC10, AD10, AA9, AB9, AC9, AD9, AA8, AB8, AC8, AA7, AB7, AC7, AD7, AA6, AB6;

Группа 6 AVDD_DAC: T21, T24, V23, W23, Y24;

Группа 7 FVDD: A4, B4, E23, E24, AA1, AA2, AA22, AB23;

Группа 8 VDD_IO: B24, C24, E6, E8, E10 – E15, E17, E19, F5, F20, G4, G20, H5, H20, K2, K5, K20, L5, L20, M5, M20, N4, N5, N20, P5, P20, R5, R20, U5, U20, V20, W5, W20, Y6, Y8, Y10-15, Y17, Y19, AB24, AC24, AD2, AD3, AD8, AD22, AD23;

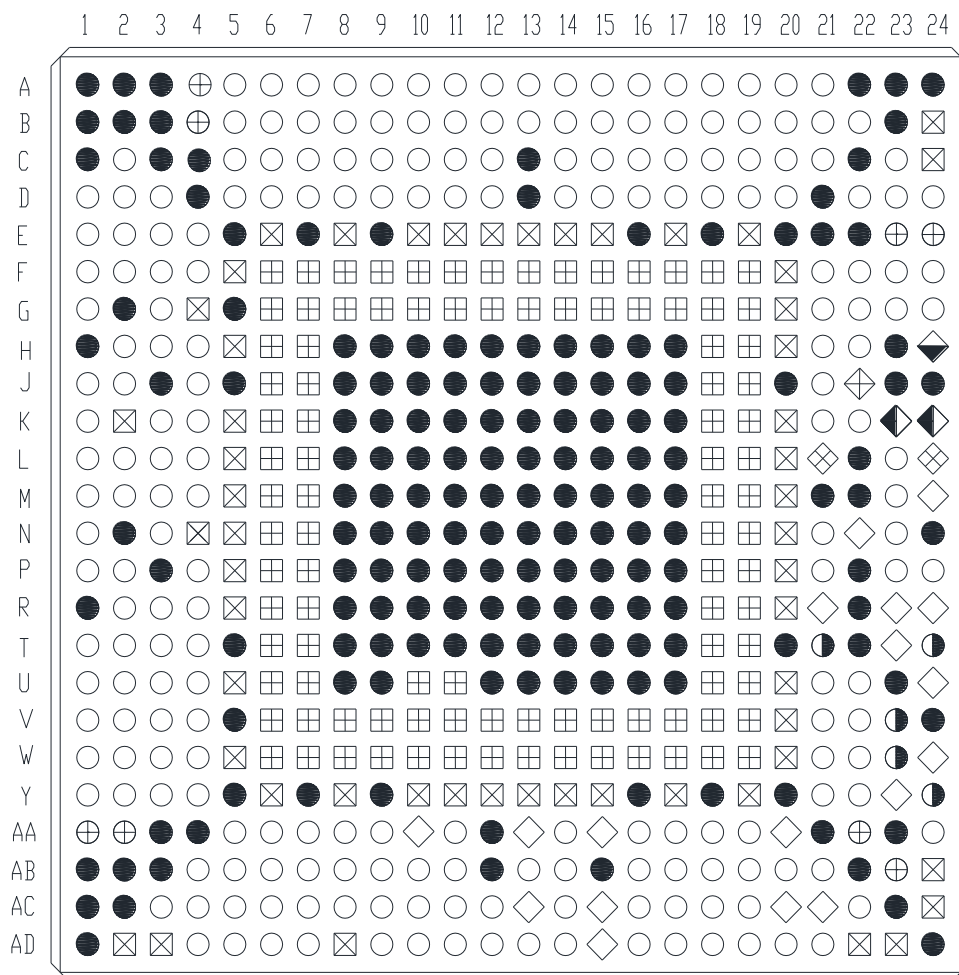
Группа 9 VDD_CORE: F6 – F19, G6 – G19, H6, H7, H18, H19, J6, J7, J18, J19, K6, K7, K18, K19, L6, L7, L18, L19, M6, M7, M18, M19, N6, N7, N18, N19, P6, P7, P18, P19, R6, R7, R18, R19, T6, T7, T18, T19, U6, U7, U10, U11, U18, U19, V6 – V19, W6 – W19;

Группа 10 HD[31:0]: D6, C6, B6, A6, D7, C7, B7, A7, D8, C8, B8, A8, D9, C9, B9, A9, D10, C10, B10, A10, D11, C11, B11, A11, D12, C12, B12, A12, B13, A13, D14, C14;

Группа 11 MA[20:0]: K1, J4, J2, J1, H4 – H2, G3, G1, F4 – F1, E4 – E1, D3 – D1, C2

Группа 12 GND: A1 – A3, A22 – A24, B1 – B3, B23, C1, C3, C4, C13, C22, D4, D13, D21, E5, E7, E9, E16, E18, E20-E22, G2, G5, H1, H8-H17, J3, J5, J8-J17, J20, K8 –K17, L8 – L17, M8 – M17, M21, M22, N2, N8 – N17, P3, P8 – P17, R1, R8 – R17, R22, T5, T8 – T17, T20, U8, U9, U12 – U17, V5, Y5, Y7, Y9, Y16, Y18, Y20, AA3, AA4, AA12, AA21, AA23, AB1 – AB3, AB12, AB15, AB22, AC1, AC2, AC22, AC23, AD1, AD24;

Группа 13 NC: M24, N22, R21, R23, R24, T23, U24, W24, Y23, AA10, AA13, AA15, AA20, AC13, AC15, AC20, AC21, AD15



- – AVDD_DAC – питание ЦАП;
- ◊ – AVDD_PMU – питание PMU;
- ⊕ – FVDD – основное питание цифровой части микросхемы;
- ◆ – GAVDD – питание генератора;
- – GND, AGND_DAC, AGND_PMU, GAGND, PCAGND, PDAGND – «Общий»;
- ◇ – NC – не используются;
- ⊕ – PCAVDD – питание PLL ядра;
- ◆ – PDAVDD – питание PLL системы видеовывода;
- ⊞ – VDD_CORE – питание ядра;
- ⊞ – VDD_IO – питание ввода/вывода;
- – функциональное назначение выводов приведено в таблице 1

Рисунок 3 – Схема расположения выводов «Питание» и «Общий»

3 Описание выводов

Таблица 1 – Описание выводов

Номер вывода корпуса	Обозначение вывода	Тип вывода	Функциональное назначение		
A1	GND	PWR	Вывод «Общий»		
A2					
A3					
A4	FVDD	PWR	Основное питание цифровой части микросхемы		
A5	nSCS	I	Сигнал выборки микросхемы интерфейса SPI. Активный «0»		
A6	HD28	IO	Вход/выход данных системной шины		
A7	HD24				
A8	HD20				
A9	HD16				
A10	HD12				
A11	HD8				
A12	HD4				
A13	HD2				
A14	HA22			I	Вход адреса системной шины
A15	HA18				
A16	HA14				
A17	HA10				
A18	HA6				
A19	HA2				
A20	nHWLE	I	Сигнал разрешения записи младшего полуслова. Активный «0»		
A21	nHOE	I	Сигнал разрешения чтения системной шины. Активный «0»		
A22	GND	PWR	Вывод «Общий»		
A23					
A24					
B1					
B2					
B3					
B4	FVDD	PWR	Основное питание цифровой части микросхемы		
B5	SCLK	I	Синхросигнал интерфейса SPI		
B6	HD29	IO	Вход/выход данных системной шины		
B7	HD25				
B8	HD21				
B9	HD17				
B10	HD13				
B11	HD9				
B12	HD5				
B13	HD3				
B14	HA23	I	Вход адреса системной шины		
B15	HA19				
B16	HA15				
B17	HA11				
B18	HA7				
B19	HA3				
B20	nHWHE	I	Сигнал разрешения записи старшего полуслова. Активный «0»		

Номер вывода корпуса	Обозначение вывода	Тип вывода	Функциональное назначение
B21	nHWE	I	Сигнал разрешения записи системной шины. Активный «0»
B22	HRDY	O	Сигнал готовности системной шины
B23	GND	PWR	Вывод «Общий»
B24	VDD_IO	PWR	Питание площадок ввода/вывода
C1	GND	PWR	Вывод «Общий»
C2	MA0	O	Выход адреса интерфейса внешней памяти
C3	GND	PWR	Вывод «Общий»
C4			
C5	SDI	I	Вход данных интерфейса SPI
C6	HD30	IO	Вход/выход данных системной шины
C7	HD26		
C8	HD22		
C9	HD18		
C10	HD14		
C11	HD10		
C12	HD6		
C13	GND	PWR	Вывод «Общий»
C14	HD0	IO	Вход/выход данных системной шины
C15	HA20	I	Вход адреса системной шины
C16	HA16		
C17	HA12		
C18	HA8		
C19	HA4		
C20	HA0		
C21	HINT	O	Выход прерывания системной шины
C22	GND	PWR	Вывод «Общий»
C23	nHCS	I	Сигнал выборки микросхемы системной шины. Активный «0»
C24	VDD_IO	PWR	Питание площадок ввода/вывода
D1	MA1	O	Выход адреса интерфейса внешней памяти
D2	MA2		
D3	MA3		
D4	GND	PWR	Вывод «Общий»
D5	SDO	O	Выход данных SPI-интерфейса
D6	HD31	IO	Вход/выход данных системной шины
D7	HD27		
D8	HD23		
D9	HD19		
D10	HD15		
D11	HD11		
D12	HD7		
D13	GND	PWR	Вывод «Общий»
D14	HD1	IO	Вход/выход данных системной шины
D15	HA21	I	Вход адреса системной шины
D16	HA17		
D17	HA13		
D18	HA9		
D19	HA5		
D20	HA1	I	Вход адреса системной шины
D21	GND	PWR	Вывод «Общий»

Номер вывода корпуса	Обозначение вывода	Тип вывода	Функциональное назначение
D22	DIS_RSET_BYPASS	I	Тестовый вход. Не подключать или подключать к шине «Общий»
D23	PORN_2V_DIS		
D24	nRST	I	Системный сброс. Активный «0»
E1	MA4	O	Выход адреса интерфейса внешней памяти
E2	MA5		
E3	MA6		
E4	MA7		
E5	GND	PWR	Вывод «Общий»
E6	VDD_IO	PWR	Питание площадок ввода/вывода
E7	GND	PWR	Вывод «Общий»
E8	VDD_IO	PWR	Питание площадок ввода/вывода
E9	GND	PWR	Вывод «Общий»
E10	VDD_IO	PWR	Питание площадок ввода/вывода
E11			
E12			
E13			
E14			
E15			
E16	GND	PWR	Вывод «Общий»
E17	VDD_IO	PWR	Питание площадок ввода/вывода
E18	GND	PWR	Вывод «Общий»
E19	VDD_IO	PWR	Питание площадок ввода/вывода
E20	GND	PWR	Вывод «Общий»
E21			
E22			
E23	FVDD	PWR	Основное питание цифровой части микросхемы
E24	FVDD		
F1	MA8	O	Выход адреса интерфейса внешней памяти
F2	MA9		
F3	MA10		
F4	MA11		
F5	VDD_IO	PWR	Питание площадок ввода/вывода
F6	VDD_CORE	PWR	Тестовый выход/вход 1,8 В питания цифрового ядра микросхемы. Не подключать. Допустимо объединять между собой
F7			
F8			
F9			
F10			
F11			
F12			
F13			
F14			
F15			
F16			
F17			
F18			
F19			
F20	VDD_IO	PWR	Питание площадок ввода/вывода
F21	TM_IDDQ	I	Тестовый вход. Не подключать или подключать к шине «Общий»
F22	TM_ATB_ADDR2		
F23	TM_ATB_ADDR1		
F24	TM_ATB_ADDR0		
G1	MA12	O	Выход адреса интерфейса внешней памяти

Номер вывода корпуса	Обозначение вывода	Тип вывода	Функциональное назначение
G2	GND	PWR	Вывод «Общий»
G3	MA13	O	Выход адреса интерфейса внешней памяти
G4	VDD_IO	PWR	Питание площадок ввода/вывода
G5	GND	PWR	Вывод «Общий»
G6	VDD_CORE	PWR	Тестовый выход/вход 1,8 В питания цифрового ядра микросхемы. Не подключать. Допустимо объединять между собой
G7			
G8			
G9			
G10			
G11			
G12			
G13			
G14			
G15			
G16			
G17			
G18			
G19			
G20	VDD_IO	PWR	Питание площадок ввода/вывода
G21	GRDY_DIS	I	Тестовый вход. Не подключать или подключать к шине «Общий»
G22	TM_POR_DET		
G23	DCLK_EXT_EN		
G24	CCLK_EXT_EN		
H1	GND	PWR	Вывод «Общий»
H2	MA14	O	Выход адреса интерфейса внешней памяти
H3	MA15		
H4	MA16		
H5	VDD_IO	PWR	Питание площадок ввода/вывода
H6	VDD_CORE	PWR	Тестовый выход/вход 1,8 В питания цифрового ядра микросхемы. Не подключать. Допустимо объединять между собой
H7			
H8	GND	PWR	Вывод «Общий»
H9			
H10			
H11			
H12			
H13			
H14			
H15			
H16			
H17			
H18	VDD_CORE	PWR	Тестовый выход/вход 1,8 В питания цифрового ядра микросхемы. Не подключать. Допустимо объединять между собой
H19			
H20	VDD_IO	PWR	Питание площадок ввода/вывода
H21	CPLD_DIS	I	Тестовый вход. Не подключать или подключать к шине «Общий»
H22	CCLK_EXT		
H23	PDAGND	PWR	Вывод «Общий» PLL системы видеовывода
H24	PDAVDD	PWR	Питание PLL системы видеовывода
J1	MA17	O	Выход адреса интерфейса внешней памяти
J2	MA18		
J3	GND	PWR	Вывод «Общий»

Номер вывода корпуса	Обозначение вывода	Тип вывода	Функциональное назначение
J4	MA19	O	Выход адреса интерфейса внешней памяти
J5	GND	PWR	Вывод «Общий»
J6	VDD_CORE	PWR	Тестовый выход/вход 1,8 В питания цифрового ядра микросхемы. Не подключать. Допустимо объединять между собой
J7			
J8	GND	PWR	Вывод «Общий»
J9			
J10			
J11			
J12			
J13			
J14			
J15			
J16			
J17			
J18	VDD_CORE	PWR	Тестовый выход/вход 1,8 В питания цифрового ядра микросхемы. Не подключать. Допустимо объединять между собой
J19			
J20	GND	PWR	Вывод «Общий»
J21	DCLK_EXT	I	Тестовый вход. Не подключать или подключать к шине «Общий»
J22	PCAVDD	PWR	Питание PLL ядра
J23	PCAGND	PWR	Вывод «Общий» PLL ядра
J24	GAGND	PWR	Вывод «Общий» генератора
K1	MA20	O	Выход адреса интерфейса внешней памяти
K2	VDD_IO	PWR	Питание площадок ввода/вывода
K3	MDA0	IO	Вход/выход данных интерфейса внешней памяти
K4	MDA1		
K5	VDD_IO	PWR	Питание площадок ввода/вывода
K6	VDD_CORE	PWR	Тестовый выход/вход 1,8 В питания цифрового ядра микросхемы. Не подключать. Допустимо объединять между собой
K7			
K8	GND	PWR	Вывод «Общий»
K9			
K10			
K11			
K12			
K13			
K14			
K15			
K16			
K17			
K18	VDD_CORE	PWR	Тестовый выход/вход 1,8 В питания цифрового ядра микросхемы. Не подключать. Допустимо объединять между собой
K19			
K20	VDD_IO	PWR	Питание площадок ввода/вывода
K21	OSCO	AO	Выход усилителя для подключения внешнего кварцевого резонатора
K22	OSCI	AI	Вход сигналов тактовой синхронизации от кварцевого генератора/ Вывод для подключения внешнего кварцевого резонатора

Номер вывода корпуса	Обозначение вывода	Тип вывода	Функциональное назначение
K23	GAVDD	PWR	Питание генератора
K24	GAVDD		
L1	MDA2	IO	Вход/выход данных интерфейса внешней памяти
L2	MDA3		
L3	MDA4		
L4	MDA5		
L5	VDD_IO	PWR	Питание площадок ввода/вывода
L6	VDD_CORE	PWR	Тестовый выход/вход 1,8 В питания цифрового ядра микросхемы. Не подключать. Допустимо объединять между собой
L7			
L8	GND	PWR	Вывод «Общий»
L9			
L10			
L11			
L12			
L13			
L14			
L15			
L16			
L17			
L18	VDD_CORE	PWR	Тестовый выход/вход 1,8 В питания цифрового ядра микросхемы. Не подключать. Допустимо объединять между собой
L19			
L20	VDD_IO	PWR	Питание площадок ввода/вывода
L21	AVDD_PMU	PWR	Питание PMU
L22	AGND_PMU	PWR	Вывод «Общий» PMU
L23	TGO_ATB	AO	Тестовый выход. Не подключать
L24	AVDD_PMU	PWR	Питание PMU
M1	MDA6	IO	Вход/выход данных интерфейса внешней памяти
M2	MDA7		
M3	MDA8		
M4	MDA9		
M5	VDD_IO	PWR	Питание площадок ввода/вывода
M6	VDD_CORE	PWR	Тестовый выход/вход 1,8 В питания цифрового ядра микросхемы. Не подключать. Допустимо объединять между собой
M7			
M8	GND	PWR	Вывод «Общий»
M9			
M10			
M11			
M12			
M13			
M14			
M15			
M16			
M17			
M18	VDD_CORE	PWR	Тестовый выход/вход 1,8 В питания цифрового ядра микросхемы. Не подключать. Допустимо объединять между собой
M19			
M20	VDD_IO	PWR	Питание площадок ввода/вывода
M21	GND	PWR	Вывод «Общий»
M22			

Номер вывода корпуса	Обозначение вывода	Тип вывода	Функциональное назначение
M23	ATB	AO	Выход аналоговый тестовый. Не подключать
M24	NC	–	Не используется. Не подключать
N1	MDA10	–	Вход/выход данных интерфейса внешней памяти
N2	GND	PWR	Вывод «Общий»
N3	MDA11	IO	Вход/выход данных интерфейса внешней памяти
N4	VDD_IO	PWR	Питание площадок ввода/вывода
N5			
N6	VDD_CORE	PWR	Тестовый выход/вход 1,8 В питания цифрового ядра микросхемы. Не подключать. Допустимо объединять между собой
N7			
N8	GND	PWR	Вывод «Общий»
N9			
N10			
N11			
N12			
N13			
N14			
N15			
N16			
N17			
N18	VDD_CORE	PWR	Тестовый выход/вход 1,8 В питания цифрового ядра микросхемы. Не подключать. Допустимо объединять между собой
N19			
N20	VDD_IO	PWR	Питание площадок ввода/вывода
N21	RSET	–	Вывод для подключения опорного резистора
N22	NC	–	Не используется. Не подключать
N23	TM_SUP_PROT	AI	Тестовый вход. Не подключать или подключать к шине «Общий»
N24	AGND_DAC	PWR	Вывод «Общий» ЦАП
P1	MDA12	IO	Вход/выход данных интерфейса внешней памяти
P2	MDA13		
P3	GND	PWR	Вывод «Общий»
P4	MDA14	IO	Вход/выход данных интерфейса внешней памяти
P5	VDD_IO	PWR	Питание площадок ввода/вывода
P6	VDD_CORE	PWR	Тестовый выход/вход 1,8 В питания цифрового ядра микросхемы. Не подключать. Допустимо объединять между собой
P7			
P8	GND	PWR	Вывод «Общий»
P9			
P10			
P11			
P12			
P13			
P14			
P15			
P16	GND	PWR	Вывод «Общий»
P17			
P18	VDD_CORE	PWR	Тестовый выход/вход 1,8 В питания цифрового ядра микросхемы. Не подключать. Допустимо объединять между собой
P19			
P20	VDD_IO	PWR	Питание площадок ввода/вывода

Номер вывода корпуса	Обозначение вывода	Тип вывода	Функциональное назначение
P21	DIS_LDO	AI	Тестовый вход. Не подключать или подключать к шине «Общий»
P22	AGND_DAC	PWR	Вывод «Общий» ЦАП
P23	ABV	AO	Аналоговый видеосигнал синего цвета (прямой)
P24	ABR	AO	Аналоговый видеосигнал синего цвета (обратный)
R1	GND	PWR	Вывод «Общий»
R2	MDA15	IO	Вход/выход данных интерфейса внешней памяти
R3	MDB0		
R4	MDB1		
R5	VDD_IO		
R6	VDD_CORE	PWR	Тестовый выход/вход 1,8 В питания цифрового ядра микросхемы. Не подключать. Допустимо объединять между собой
R7			
R8	GND	PWR	Вывод «Общий»
R9			
R10			
R11			
R12			
R13			
R14			
R15			
R16			
R17			
R18	VDD_CORE	PWR	Тестовый выход/вход 1,8 В питания цифрового ядра микросхемы. Не подключать. Допустимо объединять между собой
R19			
R20	VDD_IO	PWR	Питание площадок ввода/вывода
R21	NC	–	Не используется. Не подключать
R22	GND	PWR	Вывод «Общий»
R23	NC	–	Не используется. Не подключать
R24			
T1	MDB2	IO	Вход/выход данных интерфейса внешней памяти
T2	MDB3		
T3	MDB4		
T4	MDB5		
T5	GND	PWR	Вывод «Общий»
T6	VDD_CORE	PWR	Тестовый выход/вход 1,8 В питания цифрового ядра микросхемы. Не подключать. Допустимо объединять между собой
T7			
T8	GND	PWR	Вывод «Общий»
T9			
T10			
T11			
T12			
T13			
T14	GND	PWR	Вывод «Общий»
T15			
T16			
T17			

Номер вывода корпуса	Обозначение вывода	Тип вывода	Функциональное назначение
T18	VDD_CORE	PWR	Тестовый выход/вход 1,8 В питания цифрового ядра микросхемы. Не подключать. Допустимо объединять между собой
T19			
T20	GND	PWR	Вывод «Общий»
T21	AVDD_DAC	PWR	Питание ЦАП
T22	AGND_DAC	PWR	Вывод «Общий» ЦАП
T23	NC	–	Не используется. Не подключать
T24	AVDD_DAC	PWR	Питание ЦАП
U1	MDB6	IO	Вход/выход данных интерфейса внешней памяти
U2	MDB7		
U3	MDB8		
U4	MDB9		
U5	VDD_IO	PWR	Питание площадок ввода/вывода
U6	VDD_CORE	PWR	Тестовый выход/вход 1,8 В питания цифрового ядра микросхемы. Не подключать. Допустимо объединять между собой
U7			
U8	GND	PWR	Вывод «Общий»
U9			
U10	VDD_CORE	PWR	Тестовый выход/вход 1,8 В питания цифрового ядра микросхемы. Не подключать. Допустимо объединять между собой
U11			
U12	GND	PWR	Вывод «Общий»
U13			
U14			
U15			
U16			
U17			
U18	VDD_CORE	PWR	Тестовый выход/вход 1,8 В питания цифрового ядра микросхемы. Не подключать. Допустимо объединять между собой
U19			
U20	VDD_IO	PWR	Питание площадок ввода/вывода
U21	AGR	AO	Аналоговый видеосигнал зеленого цвета (обратный)
U22	AGV	AO	Аналоговый видеосигнал зеленого цвета (прямой)
U23	AGND_DAC	PWR	Вывод «Общий» ЦАП
U24	NC	–	Не используется. Не подключать
V1	MDB10	IO	Вход/выход данных интерфейса внешней памяти
V2	MDB11		
V3	MDB12		
V4	MDB13		
V5	GND	PWR	Вывод «Общий»
V6	VDD_CORE	PWR	Тестовый выход/вход 1,8 В питания цифрового ядра микросхемы. Не подключать. Допустимо объединять между собой
V7			
V8			
V9			
V10			
V11			
V12	VDD_CORE	PWR	Тестовый выход/вход 1,8 В питания цифрового ядра микросхемы. Не подключать. Допустимо объединять между собой
V13			
V14			
V15			
V16			
V17			

Номер вывода корпуса	Обозначение вывода	Тип вывода	Функциональное назначение
V18			Тестовый выход/вход 1,8 В питания цифрового ядра микросхемы. Не подключать. Допустимо объединять между собой
V19			
V20	VDD_IO	PWR	Питание площадок ввода/вывода
V21	ARR	AO	Аналоговый видеосигнал красного цвета (обратный)
V22	ARV	AO	Аналоговый видеосигнал красного цвета (прямой)
V23	AVDD_DAC	PWR	Питание ЦАП
V24	AGND_DAC	PWR	Общий вывод питания ЦАП
W1	MDB14	IO	Вход/выход данных интерфейса внешней памяти
W2	MDB15		
W3	MDC0		
W4	MDC1		
W5	VDD_IO	PWR	Питание площадок ввода/вывода
W6	VDD_CORE	PWR	Тестовый выход/вход 1,8 В питания цифрового ядра микросхемы. Не подключать. Допустимо объединять между собой
W7			
W8			
W9			
W10			
W11			
W12			
W13			
W14			
W15			
W16			
W17			
W18			
W19			
W20	VDD_IO	PWR	Питание площадок ввода/вывода
W21	TM_IT	I	Тестовый вход. Не подключать или подключать к шине «Общий»
W22	TM_ST		
W23	AVDD_DAC	PWR	Питание ЦАП
W24	NC	–	Не используется. Не подключать
Y1	MDC2	IO	Вход/выход данных интерфейса внешней памяти
Y2	MDC3		
Y3	MDC4		
Y4	MDC5		
Y5	GND	PWR	Вывод «Общий»
Y6	VDD_IO	PWR	Питание площадок ввода/вывода
Y7	GND	PWR	Вывод «Общий»
Y8	VDD_IO	PWR	Питание площадок ввода/вывода
Y9	GND	PWR	Вывод «Общий»
Y10	VDD_IO	PWR	Питание площадок ввода/вывода
Y11			
Y12			
Y13			
Y14			
Y15			
Y16	GND	PWR	Вывод «Общий»
Y17	VDD_IO	PWR	Питание площадок ввода/вывода
Y18	GND	PWR	Вывод «Общий»
Y19	VDD_IO	PWR	Питание площадок ввода/вывода
Y20	GND	PWR	Вывод «Общий»

Номер вывода корпуса	Обозначение вывода	Тип вывода	Функциональное назначение
Y21	TM_DPMU	I	Тестовый вход. Не подключать или подключать к шине «Общий»
Y22	TM_EXT		
Y23	NC	–	Не используется. Не подключать
Y24	AVDD_DAC	PWR	Питание ЦАП
AA1	FVDD	PWR	Основное питание цифровой части микросхемы
AA2	FVDD		
AA3	GND	PWR	Вывод «Общий»
AA4			
AA5	MDC13	IO	Вход/выход данных интерфейса внешней памяти
AA6	MDD1		
AA7	MDD5		
AA8	MDD8		
AA9	MDD12		
AA10	NC	–	Не используется. Не подключать
AA11	nMCED	O	Сигнал выбора микросхемы внешней памяти
AA12	GND	PWR	Вывод «Общий»
AA13	NC	–	Не используется. Не подключать
AA14	TDI	I	Вход данных JTAG интерфейса
AA15	NC	–	Не используется. Не подключать
AA16	DB4	O	Цифровой видеосигнал синего цвета
AA17	DB0		
AA18	DG2	O	Цифровой видеосигнал зеленого цвета
AA19	DR3	O	Цифровой видеосигнал красного цвета
AA20	NC	–	Не используется. Не подключать
AA21	GND	PWR	Вывод «Общий»
AA22	FVDD	PWR	Основное питание цифровой части микросхемы
AA23	GND	PWR	Вывод «Общий»
AA24	TM_LED	O	Тестовый выход. Не подключать
AB1	GND	PWR	Вывод «Общий»
AB2			
AB3			
AB4	MDC9	IO	Вход/выход данных интерфейса внешней памяти
AB5	MDC12		
AB6	MDD0		
AB7	MDD4		
AB8	MDD7		
AB9	MDD11		
AB10	MDD15		
AB11	nMCEC	O	Сигнал выбора микросхемы внешней памяти
AB12	GND	PWR	Вывод «Общий»
AB13	TDO	O	Выход данных JTAG-интерфейса
AB14	TMS	I	Выбор режима тестирования JTAG-интерфейса
AB15	GND	PWR	Вывод «Общий»
AB16	DB3	O	Цифровой видеосигнал синего цвета
AB17	DG5	O	Цифровой видеосигнал зеленого цвета
AB18	DG1		
AB19	DR2	O	Цифровой видеосигнал красного цвета
AB20	VSYNC	O	Строб вертикальной синхронизации (кадровой развертки) видеовыходов
AB21	PCLK	O	Пиксельный синхросигнал интерфейса цифрового видеовывода
AB22	GND	PWR	Вывод «Общий»

Номер вывода корпуса	Обозначение вывода	Тип вывода	Функциональное назначение		
AB23	FVDD	PWR	Основное питание цифровой части микросхемы		
AB24	VDD_IO	PWR	Питание площадок ввода/вывода		
AC1	GND	PWR	Вывод «Общий»		
AC2					
AC3	MDC6	IO	Вход/выход данных интерфейса внешней памяти		
AC4	MDC8				
AC5	MDC11				
AC6	MDC15				
AC7	MDD3				
AC8	MDD6				
AC9	MDD10				
AC10	MDD14				
AC11	nMCEB			O	Сигнал выбора микросхемы внешней памяти
AC12	nMWE			O	Сигнал разрешения записи внешней памяти
AC13	NC	–	Не используется. Не подключать		
AC14	TCK	I	Синхросигнал JTAG-интерфейса		
AC15	NC	–	Не используется. Не подключать		
AC16	DB2	O	Цифровой видеосигнал синего цвета		
AC17	DG4		Цифровой видеосигнал зеленого цвета		
AC18	DG0				
AC19	DR1	O	Цифровой видеосигнал красного цвета		
AC20	NC	–	Не используется. Не подключать		
AC21					
AC22	GND	PWR	Вывод «Общий»		
AC23					
AC24	VDD_IO	PWR	Питание площадок ввода/вывода		
AD1	GND	PWR	Вывод «Общий»		
AD2	VDD_IO	PWR	Питание площадок ввода/вывода		
AD3					
AD4	MDC7	IO	Вход/выход данных интерфейса внешней памяти		
AD5	MDC10				
AD6	MDC14				
AD7	MDD2				
AD8	VDD_IO	PWR	Питание площадок ввода/вывода		
AD9	MDD9	IO	Вход/выход данных интерфейса внешней памяти		
AD10	MDD13				
AD11	nMCEA	O	Сигнал выбора микросхемы внешней памяти		
AD12	nMOE	O	Сигнал разрешения чтения внешней памяти		
AD13	MCLK	O	Синхросигнал интерфейса внешней памяти		
AD14	nTRST	I	Сигнал сброса JTAG-интерфейса. Активный «0»		
AD15	NC	–	Не используется. Не подключать		
AD16	DB1	O	Цифровой видеосигнал синего цвета		
AD17	DG3	O	Цифровой видеосигнал зеленого цвета		
AD18	DR4	O	Цифровой видеосигнал красного цвета		
AD19				DR0	
AD20	HSYNC	O	Строб горизонтальной синхронизации (строчной развертки) видеовыходов		
AD21	DE	O	Строб наличия цифрового видеосигнала		
AD22	VDD_IO	PWR	Питание площадок ввода/вывода		
AD23					
AD24	GND	PWR	Вывод «Общий»		

Номер вывода корпуса	Обозначение вывода	Тип вывода	Функциональное назначение
<p>Примечания:</p> <p>1 Обозначение типов выводов:</p> <p>I – цифровой вход; O – цифровой выход; IO – цифровой вход/выход; AI – аналоговый вход; AO – аналоговый выход; PWR – «Питание» и «Общий»;</p> <p>2 Буква «п» в начале обозначения вывода означает активный «0»</p>			

Таблица 2 – Описание выводов по блокам

Номер вывода корпуса	Обозначение вывода	Тип вывода	Функциональное назначение
Контроллер системной шины			
B14	HA23	I	Вход адреса системной шины
A14	HA22	I	
D15	HA21	I	
C15	HA20	I	
B15	HA19	I	
A15	HA18	I	
D16	HA17	I	
C16	HA16	I	
B16	HA15	I	
A16	HA14	I	
D17	HA13	I	
C17	HA12	I	
B17	HA11	I	
A17	HA10	I	
D18	HA9	I	
C18	HA8	I	
B18	HA7	I	
A18	HA6	I	
D19	HA5	I	
C19	HA4	I	
B19	HA3	I	
A19	HA2	I	
D20	HA1	I	
C20	HA0	I	
D6	HD31	IO	Вход/выход данных системной шины
C6	HD30	IO	
B6	HD29	IO	
A6	HD28	IO	
D7	HD27	IO	
C7	HD26	IO	
B7	HD25	IO	
A7	HD24	IO	
D8	HD23	IO	
C8	HD22	IO	
B8	HD21	IO	
A8	HD20	IO	
D9	HD19	IO	
C9	HD18	IO	
B9	HD17	IO	
A9	HD16	IO	
D10	HD15	IO	
C10	HD14	IO	
B10	HD13	IO	
A10	HD12	IO	
D11	HD11	IO	
C11	HD10	IO	
B11	HD9	IO	
A11	HD8	IO	

Номер вывода корпуса	Обозначение вывода	Тип вывода	Функциональное назначение
D12	HD7	IO	Вход/выход данных системной шины
C12	HD6	IO	
B12	HD5	IO	
A12	HD4	IO	
B13	HD3	IO	
A13	HD2	IO	
D14	HD1	IO	
C14	HD0	IO	
A20	nHWLE	I	Сигнал разрешения записи младшего полуслова. Активный «0»
A21	nHOE	I	Сигнал разрешения чтения системной шины. Активный «0»
B20	nHWHE	I	Сигнал разрешения записи старшего полуслова. Активный «0»
B21	nHWE	I	Сигнал разрешения записи системной шины. Активный «0»
B22	HRDY	O	Сигнал готовности системной шины
C21	HINT	O	Выход прерывания системной шины
C23	nHCS	I	Сигнал выборки микросхемы системной шины. Активный «0»
D24	nRST	I	Системный сброс. Активный «0»
Контроллер SPI			
A5	nSCS	I	Сигнал выборки микросхемы интерфейса SPI. Активный «0»
B5	SCLK	I	Синхросигнал SPI-интерфейса
C5	SDI	I	Вход данных SPI-интерфейса
D5	SDO	O	Выход данных SPI-интерфейса
Контроллер внешней памяти			
K1	MA20	O	Выход адреса интерфейса внешней памяти
J4	MA19	O	
J2	MA18	O	
J1	MA17	O	
H4	MA16	O	
H3	MA15	O	
H2	MA14	O	
G3	MA13	O	
G1	MA12	O	
F4	MA11	O	
F3	MA10	O	
F2	MA9	O	
F1	MA8	O	
E4	MA7	O	
E3	MA6	O	
E2	MA5	O	
E1	MA4	O	
D3	MA3	O	
D2	MA2	O	
D1	MA1	O	
C2	MA0	O	
R2	MDA15	IO	Вход/выход данных интерфейса внешней памяти
P4	MDA14	IO	
P2	MDA13	IO	

Номер вывода корпуса	Обозначение вывода	Тип вывода	Функциональное назначение
P1	MDA12	IO	Вход/выход данных интерфейса внешней памяти
N3	MDA11	IO	
N1	MDA10	IO	
M4	MDA9	IO	
M3	MDA8	IO	
M2	MDA7	IO	
M1	MDA6	IO	
L4	MDA5	IO	
L3	MDA4	IO	
L2	MDA3	IO	
L1	MDA2	IO	
K4	MDA1	IO	
K3	MDA0	IO	
W2	MDB15	IO	
W1	MDB14	IO	
V4	MDB13	IO	
V3	MDB12	IO	
V2	MDB11	IO	
V1	MDB10	IO	
U4	MDB9	IO	
U3	MDB8	IO	
U2	MDB7	IO	
U1	MDB6	IO	
T4	MDB5	IO	
T3	MDB4	IO	
T2	MDB3	IO	
T1	MDB2	IO	
R4	MDB1	IO	
R3	MDB0	IO	
AC6	MDC15	IO	
AD6	MDC14	IO	
AA5	MDC13	IO	
AB5	MDC12	IO	
AC5	MDC11	IO	
AD5	MDC10	IO	
AB4	MDC9	IO	
AC4	MDC8	IO	
AD4	MDC7	IO	
AC3	MDC6	IO	
Y4	MDC5	IO	
Y3	MDC4	IO	
Y2	MDC3	IO	
Y1	MDC2	IO	
W4	MDC1	IO	
W3	MDC0	IO	
AB10	MDD15	IO	
AC10	MDD14	IO	
AD10	MDD13	IO	
AA9	MDD12	IO	Вход/выход данных внешней памяти
AB9	MDD11	IO	
AC9	MDD10	IO	
AD9	MDD9	IO	

Номер вывода корпуса	Обозначение вывода	Тип вывода	Функциональное назначение
AA8	MDD8	IO	Вход/выход данных внешней памяти
AB8	MDD7	IO	
AC8	MDD6	IO	
AA7	MDD5	IO	
AB7	MDD4	IO	
AC7	MDD3	IO	
AD7	MDD2	IO	
AA6	MDD1	IO	
AB6	MDD0	IO	
AD11	nMCEA	O	Сигнал выбора микросхемы внешней памяти
AC11	nMCEB	O	
AB11	nMCEC	O	
AA11	nMCED	O	
AC12	nMWE	O	Сигнал разрешения записи внешней памяти
AD12	nMOE	O	Сигнал разрешения чтения внешней памяти
AD13	MCLK	O	Синхросигнал интерфейса внешней памяти
Генератор синхросигнала			
AD20	HSYNC	O	Строб горизонтальной синхронизации (строчной развертки) видеовыходов
AB20	VSYNC	O	Строб вертикальной синхронизации (кадровой развертки) видеовыходов
AB21	PCLK	O	Пиксельный синхросигнал интерфейса цифрового видеовывода
AD21	DE	O	Строб наличия цифрового видеосигнала
Преобразователь сигнала в аналоговую форму (ЦАП) (Аналоговый видеовыход)			
P23	ABV	AO	Аналоговый видеосигнал синего цвета (прямой)
P24	ABR	AO	Аналоговый видеосигнал синего цвета (обратный)
U21	AGR	AO	Аналоговый видеосигнал зеленого цвета (обратный)
U22	AGV	AO	Аналоговый видеосигнал зеленого цвета (прямой)
V21	ARR	AO	Аналоговый видеосигнал красного цвета (обратный)
V22	ARV	AO	Аналоговый видеосигнал красного цвета (прямой)
Передатчик сигнала в цифровом виде (Цифровой видеовыход)			
AD18	DR4	O	Цифровой видеосигнал красного цвета
AA19	DR3	O	
AB19	DR2	O	
AC19	DR1	O	
AD19	DR0	O	
AB17	DG5	O	Цифровой видеосигнал зеленого цвета
AC17	DG4	O	
AD17	DG3	O	
AA18	DG2	O	
AB18	DG1	O	
AC18	DG0	O	
AA16	DB4	O	Цифровой видеосигнал синего цвета
AB16	DB3	O	
AC16	DB2	O	
AD16	DB1	O	
AA17	DB0	O	

Номер вывода корпуса	Обозначение вывода	Тип вывода	Функциональное назначение
Встроенный генератор/умножитель частоты			
K22	OSCI	AI	Вход сигналов тактовой синхронизации от кварцевого генератора/ Вывод для подключения внешнего кварцевого резонатора
K21	OSCO	AO	Выход усилителя для подключения внешнего кварцевого резонатора
JTAG интерфейс			
AA14	TDI	I	Вход данных JTAG-интерфейса
AB13	TDO	O	Выход данных JTAG-интерфейса
AC14	TCK	I	Синхросигнал и JTAG-интерфейса
AB14	TMS	I	Выбор режима тестирования JTAG-интерфейса
AD14	nTRST	I	Сигнал сброса JTAG-интерфейса. Активный «0»
Тестовые выводы			
D22	DIS_RSET_BYPASS	I	Тестовый вход. Не подключать или подключать к шине «Общий»
D23	PORN_2V_DIS	I	
F21	TM_IDDQ	I	
F22	TM_ATB_ADDR2	I	
F23	TM_ATB_ADDR1	I	
F24	TM_ATB_ADDR0	I	
G21	GRDY_DIS	I	
G22	TM_POR_DET	I	
G23	DCLK_EXT_EN	I	
G24	CCLK_EXT_EN	I	
H21	CPLD_DIS	I	
H22	CCLK_EXT	I	
J21	DCLK_EXT	I	
L23	TGO_ATB	AO	
M23	ATB	AO	Выход аналоговый тестовый. Не подключать
N23	TM_SUP_PROT	AI	Тестовый вход. Не подключать или подключать к шине «Общий»
P21	DIS_LDO	AI	
W21	TM_IT	I	
W22	TM_ST	I	
Y21	TM_DPMU	I	
Y22	TM_EXT	I	
AA24	TM_LED	O	
Группа 1	VDD_CORE	PWR	Тестовый выход/вход 1,8 В питания цифрового ядра микросхемы. Не подключать. Допустимо объединять между собой
Вспомогательные выводы			
N21	RSET	–	Вывод для подключения опорного резистора
«Питание», «Общий»			
A4	FVDD	PWR	Основное питание цифровой части микросхемы
B4			
E23			
E24			
AA1			
AA2			
AA22			
AB23			

Номер вывода корпуса	Обозначение вывода	Тип вывода	Функциональное назначение
Группа 2	VDD_IO	PWR	Питание площадок ввода/вывода
H24	PDAVDD	PWR	Питание PLL системы видеовывода
J22	PCAVDD	PWR	Питание PLL ядра
K23	GAVDD	PWR	Питание генератора
K24			
L21	AVDD_PMU	PWR	Питание PMU
L24			
T21	AVDD_DAC	PWR	Питание ЦАП
T24			
V23			
W23			
Y24			
H23			
J23	PCAGND	PWR	Вывод «Общий» PLL ядра
J24	GAGND	PWR	Вывод «Общий» питания генератора
L22	AGND_PMU	PWR	Вывод «Общий» PMU
N24	AGND_DAC	PWR	Вывод «Общий» ЦАП
P22			
T22			
U23			
V24			
Группа 3			
Неиспользуемые выводы			
Группа 4	NC	–	Не используется. Не подключать
<p>Примечания:</p> <p>1 Группы выводов:</p> <ul style="list-style-type: none"> – Группа 1 VDD_CORE: F6 – F19, G6 – G19, H6, H7, H18, H19, J6, J7, J18, J19, K6, K7, K18, K19, L6, L7, L18, L19, M6, M7, M18, M19, N6, N7, N18, N19, P6, P7, P18, P19, R6, R7, R18, R19, T6, T7, T18, T19, U6, U7, U10, U11, U18, U19, V6 – V19, W6 – W19; – Группа 2 VDD_IO: B24, C24, E6, E8, E10 – E15, E17, E19, F5, F20, G4, G20, H5, H20, K2, K5, K20, L5, L20, M5, M20, N4, N5, N20, P5, P20, R5, R20, U5, U20, V20, W5, W20, Y6, Y8, Y10-Y15, Y17, Y19, AB24, AC24, AD2, AD3, AD8, AD22, AD23; – Группа 3 GND: A1-A3, A22 – A24, B1-B3, B23, C1, C3, C4, C13, C22, D4, D13, D21, E5, E7, E9, E16, E18, E20-E22, G2, G5, H1, H8-H17, J3, J5, J8-J17, J20, K8 – K17, L8 – L17, M8 – M17, M21, M22, N2, N8 – N17, P3, P8 – P17, R1, R8 – R17, R22, T5, T8 – T17, T20, U8, U9, U12 – U17, V5, Y5, Y7, Y9, Y16, Y18, Y20, AA3, AA4, AA12, AA21, AA23, AB1 – AB3, AB12, AB15, AB22, AC1, AC2, AC22, AC23, AD1, AD24; – Группа 4 NC: M24, N22, R21, R23, R24, T23, U24, W24, Y23, AA10, AA13, AA15, AA20, AC13, AC15, AC20, AC21, AD15. <p>2 Обозначение типов выводов:</p> <ul style="list-style-type: none"> I – цифровой вход; O – цифровой выход; IO – цифровой вход/выход; AI – аналоговый вход; AO – аналоговый выход; PWR – «Питание» и «Общий» 			

4 Указания по применению и эксплуатации

При пайке микросхем следует применять паяльную пасту Sn63Pb37 или аналогичную. Параметры профиля пайки приведены в таблице 3.

Таблица 3 – Параметры профиля пайки

Параметр	Оловянно-свинцовая паяльная паста
Температура солидуса припоя, °С	183
Температура пайки, °С	235 ± 5
Минимальная пиковая температура пайки (в самой холодной точке платы), °С	205
Скорость нагрева компонента, °С/с	от 0,5 до 4
Скорость охлаждения компонента, °С/с	от 2 до 4
Температура предварительного нагрева, °С	150 ± 10
Длительность предварительного нагрева, с	от 60 до 120
Длительность пребывания при температуре (235 + 5) °С, с	10 ± 1
Общее время нахождения микросхем при температуре выше 183 °С, с	не более 180

При хранении микросхем более 12 месяцев выводы обезжиривают путем погружения в спирт (по ГОСТ Р 55878 или ГОСТ Р 51999) и высушивают в течение от 3 до 5 мин при комнатной температуре.

Выводы микросхемы опускают во флюс и выдерживают в нем от 5 до 10 с, затем вынимают и выдерживают для удаления избытка флюса в вертикальном положении в течение от 30 до 60 с.

Применяемый флюс должен состоять из 25 % по массе канифоли по ГОСТ 19113 и 75 % по массе изопропилового спирта по ГОСТ 9805 или этилового спирта по ГОСТ Р 51999 или ГОСТ Р 55878.

Типовые схемы включения микросхем приведены на рисунках , .

Запрещается подведение каких-либо электрических сигналов (в том числе шин «Питание», «Общий») к выходам микросхем, не используемым согласно таблице .

Запрещается подведение каких-либо электрических сигналов (в том числе шин «Питание», «Общий») к выводам VDD_CORE. Допускается выводы VDD_CORE объединять между собой.

Запрещается подведение каких-либо электрических сигналов (в том числе шин «Питание», «Общий») к тестовым выходам.

Допускается тестовые входы оставлять неподключенными или подключать к шине «Общий».

При ремонте аппаратуры и измерении параметров микросхем замену микросхем необходимо проводить только при отключенных источниках питания.

Порядок подачи и снятия напряжения питания и входных сигналов на микросхемы:

- подача (включение микросхем) – «Общий», питание U_{cc} , входные сигналы или одновременно;
- снятие (выключение микросхем) – в обратном порядке или одновременно.

5 Контроллер системной шины

Контроллер системной шины обеспечивает соединение и обмен данными между управляющим устройством и внутренними блоками микросхемы, а также внешней видеопамятью.

Контроллер имеет внешний асинхронный интерфейс системной шины с отдельными параллельными шинами адреса и данных, а также управляющие сигналы выбора микросхемы, записи, чтения, выбора слов данных и готовности. Для внешнего управляющего устройства контроллер является ведомым (слейвом).

Для корректной работы блока внешний мастер должен уметь обрабатывать сигнал готовности READY (HRDY).

Выводы микросхемы, используемые интерфейсом системной шины представлены в таблице .

Таблица 4 – Выводы интерфейса системной шины

Тип вывода	Разр.	Обозначение вывода	Функциональное назначение
I		nRST	Системный сброс. Длительность сброса не менее 100 нс. Активный «0»
I	[23:0]	HA	Вход адреса системной шины
IO	[31:0]	HD	Вход/выход данных системной шины. В неактивном состоянии имеет состояние высокого импеданса (Hi-Z). Включается на выход только при транзакции чтения из микросхемы
I		nHCS	Вход выборки микросхемы. Используется при подключении нескольких микросхем видеоадаптера к одному управляющему устройству. Активный «0»
I		nHWE	Вход разрешения записи в микросхему. Активный «0»
I		nHWLE	Вход разрешения записи младшего полуслова (16 бит) по шине данных. Активный «0»
I		nHWHE	Вход разрешения записи старшего полуслова (16 бит) по шине данных. Активный «0»
I		nHOE	Вход разрешения чтения из микросхемы. Активный «0»
O		HRDY	Сигнал готовности интерфейса или данных
O		HINT	Выход прерывания системной шины
<p>Примечания:</p> <p>1 Обозначение типов выводов: I – цифровой вход; O – цифровой выход; IO – цифровой вход/выход.</p> <p>2 Буква «n» в начале обозначения вывода означает активный «0»</p>			

Типовая схема подключения интерфейса системной шины к управляющему устройству представлена в подразделе 19.1.

Контроллер системной шины имеет два режима адресации и два типа разрядности шины данных.

Контроллер системной шины имеет в своем составе буферное FIFO.

Размер FIFO составляет 256 транзакций вне зависимости от типа адресации и ширины шины данных.

Все транзакции в системные регистры (чтение/запись) являются прямыми, т.е. не буферизованными.

Все транзакции чтения являются не буферизованными.

Транзакции записи во все области памяти (кроме системных регистров) являются буферизованными и проходят через буферное FIFO.

Контроллер системной шины имеет функцию запроса прерывания по достижению определенного уровня заполненности FIFO.

5.1 Шина адреса HA[23:0]

Адресация системной шины микросхемы со стороны хоста всегда полусловная (16 бит), т.е. единица адреса интерфейса системной шины соответствует 16 битам.

Адреса для всех областей памяти и регистров внутри микросхемы в карте памяти и карте регистров указаны байтовые (8 бит), но доступ возможен только с размером транзакции в 16 или 32 бита данных. Это необходимо учитывать при подключении внешнего устройства.

При использовании управляющего устройства, имеющего внутреннюю байтовую адресацию, достаточно подключить адресную шину управляющего устройства к шине адреса микросхемы видеоконтроллера со смещением на 1 вверх, для того чтобы формат адресного пространства управляющего устройства совпадал с форматом адресного пространства микросхемы видеоконтроллера.

Микросхема видеоконтроллера имеет два режима адресации по системной шине: оконный и прямой. Выбор режима адресации осуществляется посредством записи в поле *hat* регистра GCFG (см. раздел 18 «Карта системных регистров»):

- *hat* = 0 – оконная адресация (по сбросу);
- *hat* = 1 – прямая адресация.

5.1.1 Режим оконной адресации

В режиме оконной адресации доступ к системным регистрам осуществляется напрямую по адресу регистра.

Доступ в остальные области памяти микросхемы осуществляется через окно в 16 Кполуслов (32 Кбайт).

Смещение базового адреса окна доступа задается в регистрах MWA0 и MWA1. Смещение задается в байтах (8 бит). Результирующий адрес вычисляется по формуле

$$MWA = (MWA1 \ll 16) + MWA0. \quad (1)$$

В случае режима оконной адресации учитываются только биты адреса [14:0]. Остальные биты адресной шины не учитываются.

В зависимости от состояния бита адресной шины HA[14] адрес системной шины транслируется во внутренний адрес микросхемы (*haddr*) следующим образом:

- HA[14] = 0 – происходит прямая трансляция адреса системной шины (со смещением на 1 влево) как на чтение, так и на запись. Все транзакции являются прямыми и не проходят через внутреннее буферное FIFO.

Пример: *haddr* = (HA[13:0]<<1)

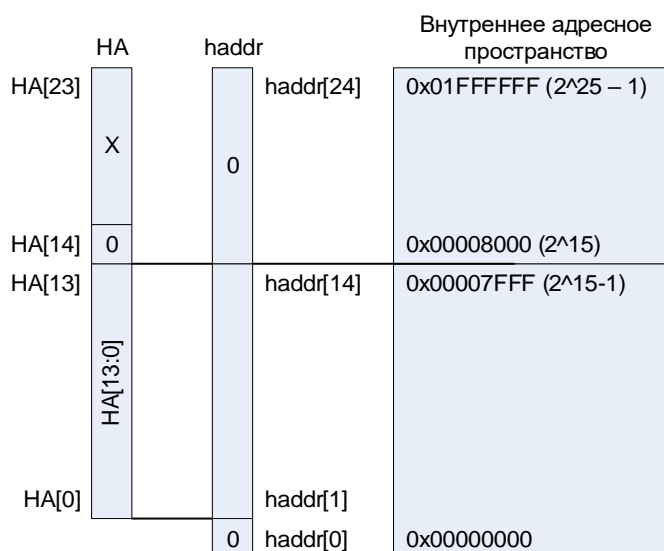


Рисунок 4 – Трансляция адреса и карта памяти в оконном режиме при HA[14] = 0

- HA[14] = 1 – трансляция адреса системной шины во внутренний адрес (haddr) микросхемы осуществляется следующим образом:
 - при транзакциях чтения и записи к полусловному адресу системной шины (смещенному на 1 влево) (HA[13:0]<<1) прибавляется байтовый базовый адрес окна доступа MWA. Фактически адрес системной шины (HA[13:0]<<1) является адресом внутри окна доступа с базовым адресом MWA;
 - при транзакции записи, если суммарный внутренний байтовый адрес haddr меньше, чем 0x0000_8000 (2^{15}), то транзакция на запись происходит мимо буферного FIFO. Фактически это запись в область системных регистров и аналогична случаю, когда HA[14] = 0.
 - при записи, если суммарный внутренний адрес haddr больше или равен 0x0000_8000 (2^{15}), то транзакция на запись буферизуется посредством буферного FIFO;
 - при чтении и записи, если суммарный внутренний адрес haddr переполняется, т.е. сумма (HA[13:0]<<1) + MWA \geq 0x0200_0000 (2^{25}), то транзакция не производится. Это позволяет избежать кольцевой перезаписи данных в нижней части адресного пространства микросхемы видеоконтроллера в случае ошибочного доступа сверх доступного адресного пространства.

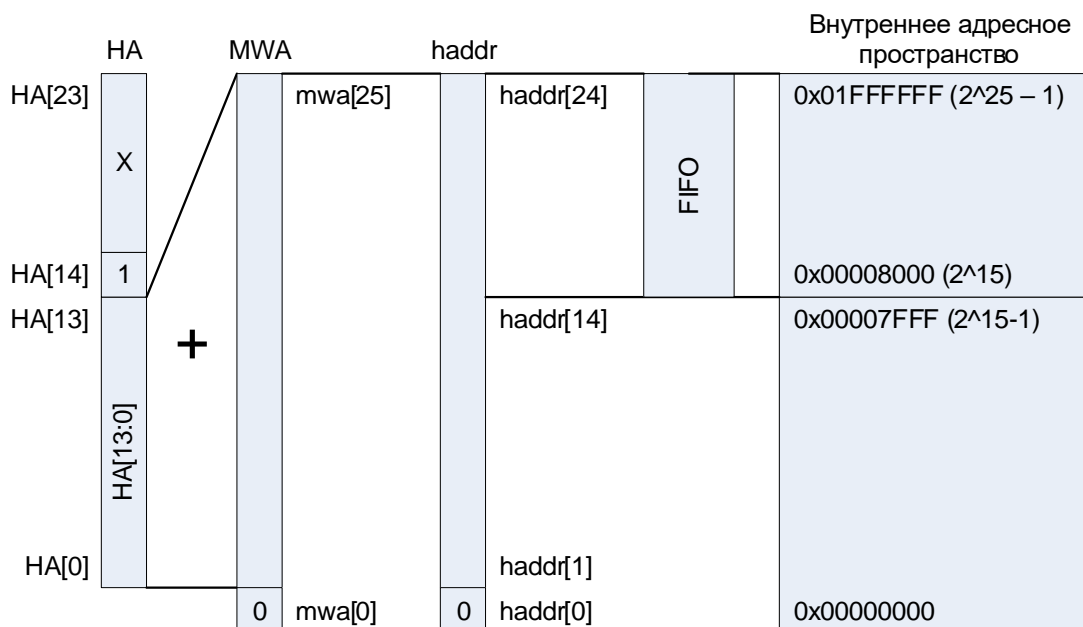


Рисунок 5 – Трансляция адреса и карта памяти в оконном режиме при HA[14] = 1

Учитывая, что адрес системной шины полусловный (16 бит), а внутренний адрес байтовый (8 бит), то младший бит адреса внутреннего адреса haddr всегда 0, т.е. адрес системной шины смещается относительно внутреннего адреса на 1 бит влево

$$haddr = (HA[13:0] \ll 1) + MWA. \quad (2)$$

Базовый адрес окна доступа MWA – байтовый. При трансляции адреса системной шины во внутренний адрес haddr младший бит MWA всегда 0, вне зависимости от содержимого младшего бита регистра MWA0.

В режиме 32-битной шины данных дополнительно перестает учитываться второй младший бит регистра MWA0, т.е. принимается всегда 0 вне зависимости от содержимого второго младшего бита регистра MWA0.

5.1.2 Режим прямой адресации

В случае прямой адресации адрес системной шины HA напрямую транслируется во внутренний адрес haddr (со смещением на 1 влево).

При обращении в область памяти с адресом HA[13:0] или меньше все транзакции являются небуферизованными и не проходят через буферное FIFO.

При обращении в область памяти с адресом больше чем HA[13:0] обращения на запись проходят через буферное FIFO. Адрес окна MWA не учитывается.

Все транзакции на чтение всегда проходят напрямую.

Учитывая, что адрес системной шины полусловный (16 бит), а внутренний адрес байтовый (8 бит), то младший бит адреса внутреннего адреса haddr всегда 0, т.е. адрес системной шины смещается относительно внутреннего адреса на 1 бит влево

$$haddr = (HA[13:0] \ll 1). \quad (3)$$

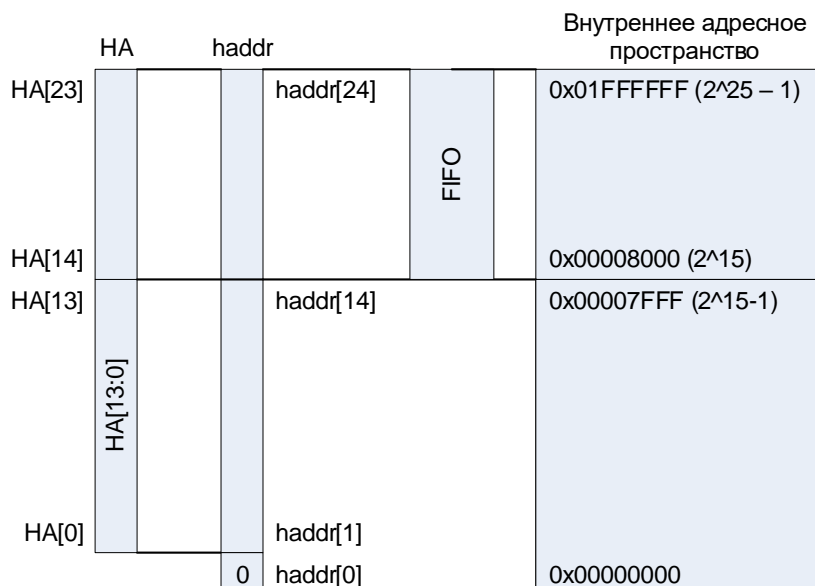


Рисунок 6 – Трансляция адреса и карта памяти в режиме прямой адресации

5.2 Шина данных HD[31:0]

Микросхема видеоконтроллера имеет два режима разрядности системной шины данных: 16 бит и 32 бита. Выбор режима адресации осуществляется посредством записи в поле hdw регистра GCFG (см. раздел 18 «Карта системных регистров»):

- hdw = 0 – 16 бит (по сбросу);
- hdw = 1 – 32 бита.

Системная шина данных является двунаправленной. Шина всегда находится в состоянии высокого импеданса (вход), кроме операций чтения из микросхемы. Направление на чтение/запись определяется управляющими сигналами nHWE и nHOE.

5.2.1 Режим 16 бит данных

В режиме 16-битной шины данных со стороны управляющего устройства всегда используются только младшие 16 бит шины данных HD[15:0].

Все транзакции по системной шине в данном режиме всегда 16 бит.

В 16-битном режиме старшее полуслово HD[31:16] всегда находится в состоянии высокого импеданса. Допустимо не подключать выводы микросхемы или доопределять до 0.

5.2.2 Режим 32 бита данных

В режиме 32-битной шины данных со стороны управляющего устройства используются все 32 бита данных.

Транзакции по системной шине могут быть как 32, так и 16 бит.

Младший бит адреса НА[0] при конвертации в адрес haddr не используется.

Выбор размерности транзакции и состояние второго младшего бита внутреннего адреса haddr[1] определяется только входами nHWLE и nHWHE в соответствии с таблицей .

Таблица 5 – Таблица истинности для nHWLE, nHWHE, htrans, haddr[1]

nHWHE	0	1	0	1
nHWLE	0	0	1	1
htrans	32 бита	16 бит	16 бит	32 бита
haddr[1]	0	0	1	0

При операции чтения со стороны управляющего устройства включение старшего и младшего полуслова шины HD на выход производится согласно таблице .

Таблица 6 – Таблица истинности для nHWLE, nHWHE, HD

nHWHE	0	1	0	1
nHWLE	0	0	1	1
HD[31:16]	0	Hi-Z	0	0
HD[15:0]	0	0	Hi-Z	0
Примечание – Обозначения в таблице: 0 – шина активна (выход); Hi-Z – шина в состоянии высокого импеданса				

При операции записи со стороны управляющего устройства, обработка данных с шины производится согласно таблице .

Таблица 7 – Таблица истинности для nHWLE, nHWHE, HD

nHWHE	0	1	0	1
nHWLE	0	0	1	1
HD[31:16]	I	X	I	I
HD[15:0]	I	I	X	I
Примечание – Обозначения в таблице: I – данные обрабатываются; X – данные не учитываются				

При операции записи вся шина данных находится в состоянии высокого импеданса Hi-Z.

5.3 Управляющие сигналы

5.3.1 nHCS

Сигнал выбора микросхемы (разрешение работы – chip select).

Активный «0».

Применяется для подключения нескольких микросхем видеоконтроллера к одному управляющему устройству:

- nHCS = 1 – транзакции от управляющего устройства не обрабатываются;
- nHCS = 0 – транзакции от управляющего устройства обрабатываются.

Минимальная длительность – 3 такта внутреннего синхросигнала clk_core.

Допустимо выставлять активный уровень постоянным (всегда включено).

Допустимо выставлять/снимать активный уровень одновременно с nHWE и/или nHOE.

Длительность активного уровня должна быть не менее или совпадать с длительностью nHWE или nHOE.

5.3.2 *nHWE*

Сигнал разрешения записи.

Минимальная длительность – 3 такта внутреннего синхросигнала *clk_core*.

Допустимо выставлять/снимать активный уровень одновременно с *nHCS*.

Недопустимо выставлять/снимать активный уровень одновременно с *nHOE*.

Длительность активного уровня должна быть не более или совпадать с длительностью достоверных данных на входах *HA* и *HD*.

5.3.3 *nHOE*

Сигнал разрешения чтения.

Минимальная длительность – 3 такта внутреннего синхросигнала *clk_core*.

Допустимо выставлять/снимать активный уровень одновременно с *nHCS*.

Недопустимо выставлять/снимать активный уровень одновременно с *nHWE*.

Длительность активного уровня должна быть не более или совпадать с длительностью достоверных данных на входах *HA*.

Сигнал *nHOE* управляет буферами шины данных *HD*:

- *nHOE* = 0 – активен, *HD* – выход, согласно таблице ;
- *nHOE* = 1 – неактивен, *HD* – вход, состояние *Hi-Z*.

Переключение *HD* на вход/выход осуществляется одновременно с сигналом *nHOE*.

В случае, когда *nHCS* неактивен (1), вся шина данных *HD* находится в состоянии высокого импеданса *Hi-Z* вне зависимости от состояния *nHOE*, *nHWE*, *nHWHE*, *nHWLE*.

5.3.4 *nHWHE, nHWLE*

Сигналы выбора старшего и младшего полуслова шины данных *HD*.

Длительность сигналов должна совпадать с длительностью адреса *HA*.

В течение транзакции (когда *HA* стабилен) недопустимо изменять состояния сигналов.

5.3.5 *HRDY*

Сигнал готовности интерфейса системной шины.

Сигнал оповещает управляющее устройство о готовности микросхемы производить транзакции, либо о готовности данных на выходе.

Сигнал синхронен к внутреннему синхросигналу *clk_core*.

При операциях чтения (со стороны управляющего устройства) сигнал *HRDY* оповещает управляющее устройство о готовности данных на выходе:

- сигнал *HRDY* переходит в неактивное (0) состояние одновременно с сигналом *nHOE* (только когда *nHCS* активен);
- сигнал *HRDY* переходит в активное (1) состояние одновременно с выдачей готовых данных на шину данных *HD*.

Управляющее устройство обязано отслеживать сигнал *HRDY* и забирать данные с выходов только при переходе (после перехода) сигнала *HRDY* в активный уровень (1).

Управляющее устройство обязано отслеживать сигнал *HRDY*, продлевать активную фазу транзакции и ожидать данных на выходе вплоть до момента перехода сигнала *HRDY* в активный уровень.

В момент, когда HRDY неактивен, данные на выходе могут присутствовать, но являться недостоверными. Обработка таких данных управляющим устройством запрещена.

При операциях небуферизованной записи в адресное пространство HA[13:0] сигнал HRDY всегда 1.

При операциях буферизованной записи в адресное пространство выше HA[13:0] сигнал HRDY деактивируется только в случае угрозы переполнения буферного FIFO (когда остаток свободного места меньше 3-х ячеек). В этом случае сигнал HRDY неактивен до тех пор, пока в буферном FIFO не освободится более 3-х ячеек.

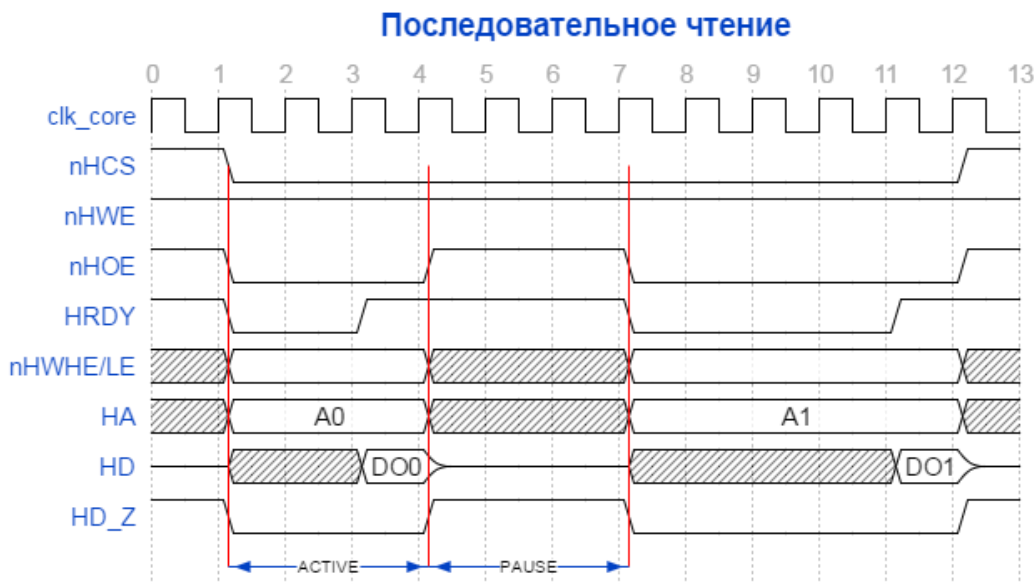
При операциях буферизованной записи сигнал HRDY может перейти в неактивное состояние после деактивации сигналов nHCS/nHWE. В этом случае допустимо начать следующую транзакцию (со стороны управляющего устройства), но обязательно обработать сигнал HRDY внутри этой транзакции, не завершая её до момента перехода HRDY в активное состояние.

При неактивном nHCS = 1 сигнал HRDY находится в состоянии высокого импеданса Hi-Z.

При активном nHCS = 0 сигнал HRDY функционирует в штатном режиме.

Это позволяет подключать несколько микросхем видеоконтроллера к одному управляющему устройству по системной шине.

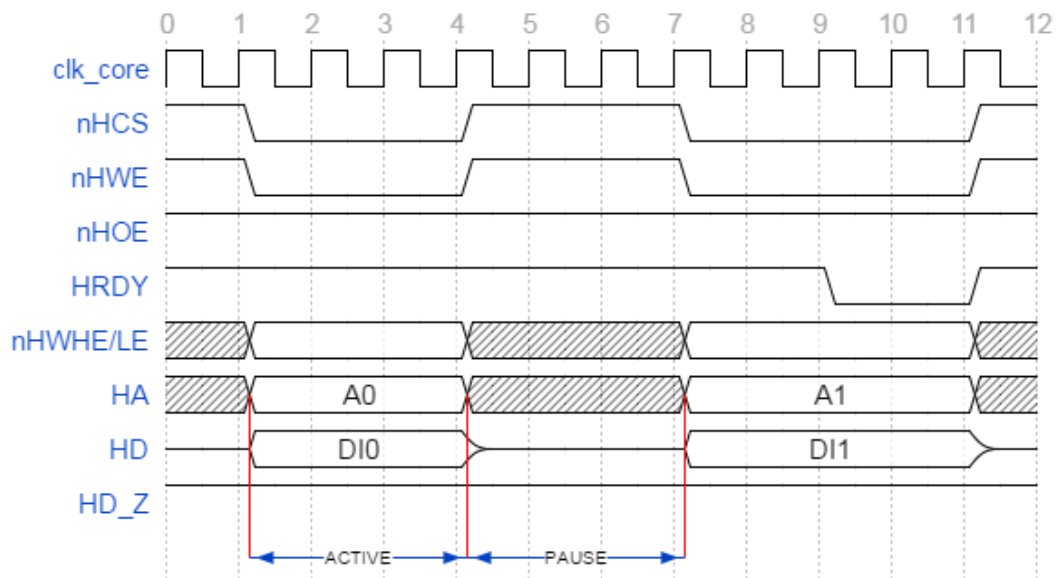
5.4 Временные диаграммы и особенности работы



- clk_core – внутренний синхросигнал микросхемы контроллера видеоадаптера (не управляющего устройства!). Частота сигнала по умолчанию 100 МГц, т.е. период 10 нс;
- nHCS – сигнал выбора микросхемы;
- nHWE – сигнал операции записи;
- nHOE – сигнал операции чтения;
- HA – вход адреса системной шины;
- HD – двунаправленная шина данных;
- HD_Z – условное состояние шины данных со стороны видеоконтроллера (1 – высокий импеданс Hi-Z, т.е. вход; 0 – выход);
- Ax – адрес операции чтения/записи;
- DOx (data out) – данные для чтения из видеоконтроллера в управляющее устройство

Рисунок 7 – Временная диаграмма чтения по системной шине

Последовательная запись



- clk_core – внутренний синхросигнал микросхемы контроллера видеоадаптера (не управляющего устройства!). Частота сигнала по умолчанию 100 МГц, т.е. период 10 нс;
- nHCS – сигнал выбора микросхемы;
- nHWE – сигнал операции записи;
- nHOE – сигнал операции чтения;
- HA – вход адреса системной шины;
- HD – двунаправленная шина данных;
- HD_Z – условное состояние шины данных со стороны видеоконтроллера (1 – высокий импеданс Hi-Z, т.е. вход; 0 – выход);
- Ax – адрес операции чтения/записи;
- DIx (data in) – данные для записи в видеоконтроллер из управляющего устройства

Рисунок 8 – Временная диаграмма записи по системной шине

Все входные сигналы системной шины от управляющего устройства должны быть синхронны друг другу, но могут быть асинхронны к внутреннему синхросигналу микросхемы видеоконтроллера clk_core.

На диаграммах на рисунках и фазовое смещение входных сигналов системной шины от управляющего устройства относительно clk_core показано условно и может быть произвольным.

Операции чтения и записи не влияют друг на друга и могут выполняться в любом порядке и последовательности без дополнительных требований.

Требования к поведению входных сигналов системной шины:

- сигналы должны быть синхронны друг другу;
- минимальная длина фазы ACTIVE – 3 такта clk_core (с учетом обработки сигнала HRDY). Т.е. необходимо убедиться, что в случае, когда HRDY в течение транзакции находится в активном состоянии, время ACTIVE фазы не становится меньше 3 тактов clk_core;
- минимальная длина фазы PAUSE – 3 такта hclk. Фаза PAUSE может состоять из фаз SETUP и HOLD (для управляющего устройства), при этом время предустановки адреса/данных и время удержания относительно сигналов nHWE/nHOE может быть нулевым;
- сигналы nHOE и nHWE обязаны переключаться в начале транзакции и в конце транзакции;

- сигналы HA, HD, nHCS, nHOE, nHWE, nHWHE, nHWLE не должны изменять своего состояния в течение транзакции.

При настройке длительности фазы ACTIVE со стороны управляющего устройства необходимо учитывать алгоритм обработки сигнала HRDY. Если сигнал HRDY обрабатывается не сразу (пересинхронизация) и время обработки больше времени ACTIVE фазы, то длительность ACTIVE фазы необходимо увеличить до момента гарантированной обработки сигнала HRDY управляющим устройством внутри транзакции.

6 Контроллер SPI

Микросхема оснащена контроллером последовательного интерфейса типа SPI, работающим в режиме ведомого устройства (slave) с частотой входного синхросигнала SCLK до 100 МГц.

Контроллер SPI позволяет подключать к микросхеме медленные внешние устройства или устройства, не оснащенные параллельным асинхронным интерфейсом системной шины.

Контроллер SPI имеет доступ ко всем регистрам и областям памяти аналогично системной шине, фактически дублируя её функционал.

Контроллер SPI может работать параллельно с системной шиной, тем не менее приоритет транзакций SPI ниже, чем приоритет транзакций по системной шине. Поскольку интерфейс SPI в несколько раз медленнее, чем интерфейс системной шины, то смещение приоритетов не влияет на скорость обмена данными по SPI.

Адресация по SPI всегда полусловная (16 бит), т.е. единица адреса интерфейса SPI соответствует 16 битам.

Адреса для всех областей памяти и регистров внутри микросхемы в карте памяти и карте регистров указаны байтовые (8 бит), но доступ возможен только с размером транзакции в 16 бит данных.

Доступ во внутреннюю область памяти микросхемы видеоконтроллера осуществляется всегда в оконном режиме.

Смещение базового адреса окна доступа задается в регистрах SMWA0 и SMWA1 (см. раздел 18 «Карта системных регистров»). Смещение задается в байтах (8 бит). Результирующий адрес смещения вычисляется по формуле

$$SMWA = (SMWA1 \ll 16) + SMWA0. \quad (4)$$

6.1 Выводы интерфейса SPI

Выводы интерфейса SPI представлен в таблице .

Таблица 8 – Описание выводов интерфейса SPI

Обозначение вывода	Тип вывода	Функциональное назначение
nSCS	I	Сигнал выбора микросхемы интерфейса SPI. Активный «0»
SCLK	I	Синхросигнал интерфейса SPI
SDI	I	Вход данных интерфейса SPI
SDO	O	Выход данных интерфейса SPI
Примечания: 1 Обозначение типов выводов: I – цифровой вход; O – цифровой выход; 2 Буква «n» в начале обозначения вывода означает активный «0»		

Типовая схема подключения интерфейса SPI к управляющему устройству представлена в подразделе 19.2.

6.1.1 SCLK

Вход синхросигнала от внешнего мастер-устройства.

Частота синхросигнала должна быть не более clk_core.

В неактивном состоянии синхросигнал должен иметь значение 0.

Захват входных данных производится по переднему фронту синхросигнала.

Выставление выходных данных производится также по переднему фронту синхросигнала, что обеспечивает максимальную пропускную способность интерфейса с учетом всех задержек.

Предустановка первого бита на выход (для передачи) происходит до первого переднего фронта синхросигнала для выдачи данных.

Вышеуказанные условия соответствуют режиму работы SPI со следующими настройками: CPOL = 0, CPHA = 0.

6.1.2 nSCS

Вход выборки микросхемы – chip select.

Активный «0».

Между переходом nSCS в активный уровень и первым передним фронтом SCLK должен быть минимум $\frac{1}{2}$ периода SCLK.

Допустимо деактивировать nSCS в любой момент передачи/приема данных:

- в случае деактивации nSCS между пакетами блок продолжает работу в штатном режиме;
- в случае деактивации nSCS в любой момент до завершения пакета, происходит аварийный сброс блока в начальное состояние. Начиная со следующего пакета (активации nSCS) дальнейшая работа блока происходит в штатном режиме.

Фактически для сброса блока в начальное состояние необходимо передать произвольный пакет размером меньше 16 бит.

6.1.3 SDI

Вход данных.

6.1.4 SDO

Выход данных.

При неактивном nSCS = 1 сигнал SDO находится в состоянии высокого импеданса Hi-Z.

При активном nSCS = 0 сигнал SDO функционирует в штатном режиме как выход.

Это позволяет подключать несколько микросхем видеоконтроллера к одному управляющему устройству по интерфейсу SPI.

6.2 Пакеты SPI

Данные по интерфейсу SPI передаются пакетами по 16 бит каждый вне зависимости от назначения пакета.

Допустимо не переводить nSCS в неактивный уровень между пакетами.

Протокол связи содержит три типа пакетов:

- пакет команды;
- пакет данных;
- пустой пакет.

6.2.1 Пакет команды

Пакет команды содержит тип операции и адрес/количество полуслов для последующих данных.

Пакет всегда имеет размер 16 бит.

Пакет всегда передается старшим битом вперед, т.е. первым передается старший бит.

Пакет всегда имеет порядок байтов и битов little-endian, т.е. от младшего к старшему.

Пакет имеет один из следующих форматов, приведенных в таблице 9.

Таблица 9 – Пакет команды SPI

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
r/w	burst=0	rm	spi_addr												
ИЛИ															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
r/w	burst=1	n_words													
<p>Примечание – Обозначения в таблице:</p> <p>r/w – тип операции: 0 – чтение; 1 – запись;</p> <p>burst – режим непрерывной записи/чтения: 0 – одиночная запись/чтение; 1 – запись/чтение определенного количества полуслов;</p> <p>rm – выбор адресного доступа к окну памяти или к регистрам управления: 0 – регистры; 1 – окно памяти. Используется только при burst = 0 (режим одиночного чтения/записи);</p> <p>spi_addr – смещение внутри окна памяти (при rm = 1) или внутри области регистров (rm = 0) для одиночных транзакций чтения/записи. Адресация полусловная (16 бит) используется только в режиме burst = 0 (режим одиночного чтения/записи);</p> <p>n_words – количество полуслов (16 бит) +1 для записи/чтения в непрерывном режиме. Используется только в режиме burst = 1 (режим непрерывной записи/чтения): n_words = 0 – 1 полуслово; n_words = 1 – 2 полуслова и т.д.; т.е. количество полуслов = n_words+1</p>															

6.2.2 Пакет данных

Пакет данных содержит в себе данные для чтения/записи.

Пакет всегда имеет размер 16 бит.

Пакет передается старшим битом вперед.

Пакет всегда имеет порядок байтов и битов little-endian, т.е. от младшего к старшему.

6.2.3 Пустой пакет

Пакет, содержащий все 0 или принимаемый, но игнорируемый блоком.

Пакет всегда имеет размер 16 бит.

Пакет используется только при операциях чтения.

Пакет следует сразу за пакетом команды один раз за любую транзакцию чтения.

6.3 Протокол передачи данных SPI

Протокол связи содержит четыре типа транзакций со стороны SPI, определяемых пакетом команды.

Трансляция адреса SPI во внутренний адрес *haddr* зависит от 14 и 13 бита пакета команды.

Таблица 10 – Трансляция адреса SPI

[14] burst	[13] rm	haddr	Описание
0	0	$\text{spi_addr}[12:0] \ll 1$	Одиночная транзакция
0	1	$(\text{spi_addr}[12:0] \ll 1) + \text{SMWA}$	Одиночная транзакция
1	x	$\text{SMWA} + \text{internal_counter}[13:0]$	Непрерывная передача <i>internal_counter</i> – внутренний счетчик пакетов данных от 0 до <i>n_words</i>

6.3.1 Одиночное чтение

Одиночное чтение производится в 3 фазы:

- 1 фаза команды/адреса;
- 2 фаза ожидания;
- 3 фаза данных.

Каждая фаза имеет длительность 16 бит.

Допустимо не деактивировать *nSCS* между фазами.

Деактивация *nSCS* в любой момент передачи, кроме межфазного сбрасывает блок SPI в начальное состояние.

При сбросе в фазе адреса транзакция не производится.

При сбросе в фазе ожидания или фазе данных транзакция производится, но данные на выход SDO не передаются.

Фаза команды/адреса для одиночного чтения из области системных регистров имеет вид:

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
r/w	burst	rm	spi_addr												
0	0	0	адрес регистра (адресация полусловная – 16 бит)												

Фаза команды/адреса для одиночного чтения из окна памяти имеет вид:

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
r/w	burst	rm	spi_addr												
0	0	1	смещение адреса внутри окна памяти (адресация полусловная – 16 бит)												

При этом внутренний адрес формируется с учетом базового адреса окна доступа

$$\text{haddr} = (\text{spi_addr}[12:0] \ll 1) + \text{SMWA}.$$

Транзакция SPI полностью:

Фаза команды/адреса	Фаза ожидания	Фаза данных
Пакет команды	Пустой пакет	Пакет данных чтения

6.3.2 Одиночная запись

Одиночная запись производится в две фазы:

- 1 фаза команды/адреса;
- 2 фаза данных.

Каждая фаза имеет длительность 16 бит.

Допустимо не деактивировать nSCS между фазами.

Деактивация nSCS в любой момент передачи, кроме межфазного, сбрасывает блок SPI в начальное состояние. Транзакция не производится.

Фаза команды/адреса для одиночной записи в область системных регистров имеет вид:

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
r/w	burst	rm	spi_addr												
1	0	0	адрес регистра (адресация полусловная – 16 бит)												

Фаза команды/адреса для одиночной записи в окно памяти имеет вид:

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
r/w	burst	rm	spi_addr												
1	0	1	смещение адреса внутри окна памяти (адресация полусловная – 16 бит)												

При этом внутренний адрес формируется с учетом базового адреса окна доступа

$$haddr = (spi_addr[12:0] \ll 1) + SMWA.$$

Транзакция SPI полностью:

Фаза команды/адреса	Фаза данных
Пакет команды	Пакет данных для записи

6.3.3 Непрерывное чтение

Непрерывное чтение производится в $2 + (n_words + 1)$ фазы:

- 1 фаза команды/количества полуслов;
- 2 фаза ожидания;
- 3 фаза данных 0;
- 4 ...
- 5 фаза данных n_words .

Каждая фаза имеет длительность 16 бит.

Допустимо не деактивировать nSCS между фазами.

Деактивация nSCS в любой момент передачи, кроме межфазного, сбрасывает блок SPI в начальное состояние.

При сбросе в фазе адреса транзакция не производится.

При сбросе в фазе ожидания или фазе данных – данные не передаются на выход SDO.

Фаза команды/количества полуслов для чтения из окна памяти имеет вид:

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
r/w	burst	n_words													
0	1	количество полуслов (16 бит) для чтения													

Транзакция SPI полностью:

Фаза команды	Фаза ожидания	Фаза данных	Фаза данных	Фаза данных
Пакет команды	Пустой пакет	Пакет данных чтения 0	...	Пакет данных чтения (n_words – 1)

Внутренний адрес haddr транзакции в данном режиме всегда формируется автоматически, начиная с базового адреса окна доступа SMWA и заканчивая SMWA + (n_words[13:0]<<1), даже если базовый адрес окна доступа 0, т.е. область системных регистров.

Фактически это burst режим чтения длиной (n_words + 1) полуслов (не считая фазы команды и фазы ожидания), начиная с базового адреса SMWA.

Защиты от переполнения адреса сверх доступной области памяти микросхемы не предусмотрено.

6.3.4 Непрерывная запись

Непрерывная запись производится в 1 + (n_words + 1) фазы:

- 1 фаза команды/количества полуслов;
- 2 фаза данных 0;
- 3 ...;
- 4 фаза данных n_words.

Каждая фаза имеет длительность 16 бит.

Допустимо не деактивировать nSCS между фазами.

Деактивация nSCS в любой момент передачи, кроме межфазного, сбрасывает блок SPI в начальное состояние.

При сбросе в фазе адреса или первой фазе данных транзакция не производится.

При сбросе в последующих фазах данных в микросхему производится запись последних полностью принятых данных, и блок сбрасывается в начальное состояние.

Фаза команды/количества полуслов для чтения из окна памяти имеет вид:

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
r/w	burst	n_words													
1	1	количество полуслов (16 бит) для записи													

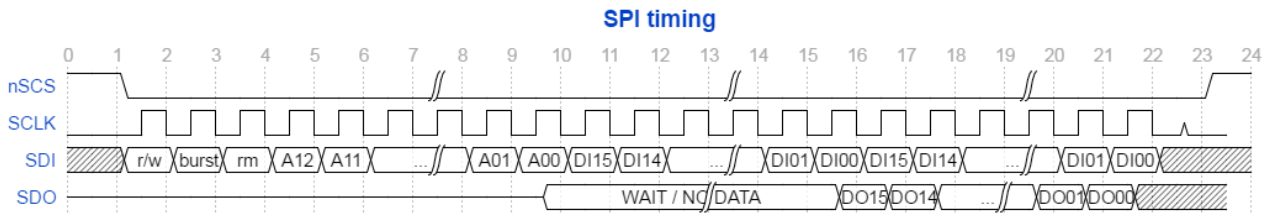
Транзакция SPI полностью:

Фаза команды	Фаза данных	Фаза данных	Фаза данных
Пакет команды	Пакет данных для записи 0	...	Пакет для данных записи n_words

Внутренний адрес haddr транзакции в данном режиме всегда формируется автоматически, начиная с базового адреса окна доступа SMWA и заканчивая SMWA + (n_words[13:0]<<1), даже если базовый адрес окна доступа 0, т.е. область системных регистров.

Фактически это burst режим записи длиной (n_words+1) полуслов (не считая фазы команды), начиная с базового адреса SMWA.

6.4 Временные диаграммы



- Ax – адрес операции чтения/записи;
- DIx (data in) – данные для записи в видеоконтроллер из управляющего устройства;
- DOx (data out) – данные для чтения из видеоконтроллера в управляющее устройство

Рисунок 9 – Временная диаграмма транзакции SPI

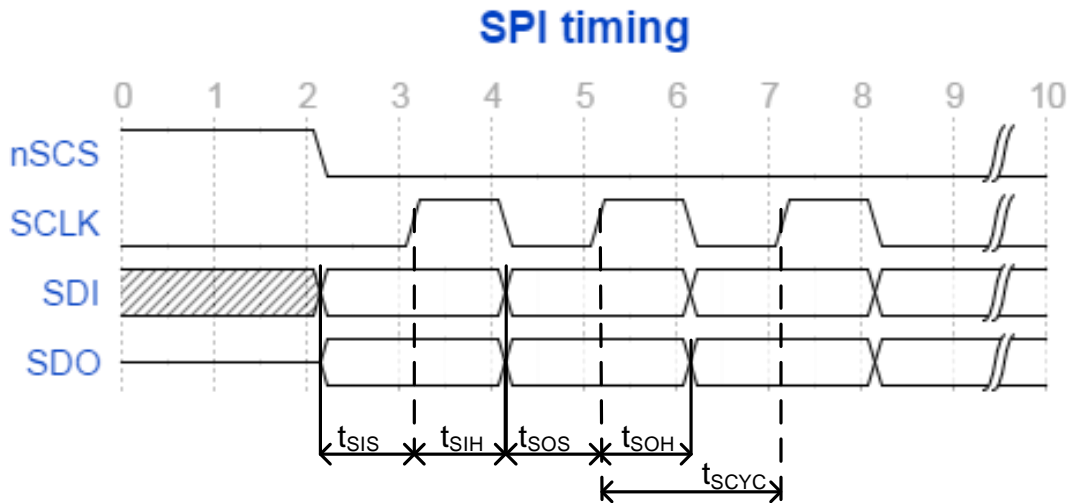


Рисунок 10 – Временная диаграмма пакета SPI

Значения временных характеристик интерфейса синхронной памяти приведены в таблице .

7 Контроллер внешней видеопамяти

Микросхема контроллера видеоадаптера не имеет собственной встроенной видеопамяти. Для её полноценного функционирования необходимо подключение внешних микросхем памяти.

Микросхема имеет внешний интерфейс видеопамяти для подключения одной или нескольких микросхем памяти, а также встроенный контроллер асинхронной и синхронной конвейерной статической памяти.

Разрядность шины данных интерфейса видеопамяти составляет максимум 64 бита. Шина данных функционально разбита на четыре шины (А, В, С и D) по 16 разрядов.

Разрядность шины адреса интерфейса видеопамяти составляет 21 бит, что позволяет напрямую адресовать микросхемы объёмом не более 2 Мслов.

Интерфейс видеопамяти имеет сигналы выборки микросхемы памяти (4 шт.), сигнал разрешения записи, сигнал разрешения чтения, а также синхросигнал.

Таблица 11 – Выводы интерфейса внешней памяти

Тип вывода	Разр.	Обозначение вывода	Функциональное назначение
O	[20:0]	MA	Шина адреса внешней памяти
IO	[15:0]	MDA	Двунаправленная шина данных внешней памяти
IO	[15:0]	MDB	Двунаправленная шина данных внешней памяти
IO	[15:0]	MDC	Двунаправленная шина данных внешней памяти
IO	[15:0]	MDD	Двунаправленная шина данных внешней памяти
O		nMCEA	Режим асинхронной 16-разрядной памяти: Сигнал выборки микросхемы асинхронной памяти, подключенной к шине данных MDA. Режим синхронной 32-разрядной памяти: Сигнал выборки микросхемы синхронной памяти, подключенной к шинам данных MDA и MDB. Активный «0»
O		nMCEB	Режим асинхронной 16-разрядной памяти: Сигнал выборки микросхемы асинхронной памяти, подключенной к шине данных MDB. Режим синхронной 32-разрядной памяти: Сигнал выборки микросхемы синхронной памяти, подключенной к шинам данных MDC и MDD. Активный «0»
O		nMCEC	Режим асинхронной 16-разрядной памяти: Сигнал выборки микросхемы асинхронной памяти, подключенной к шине данных MDC. Режим синхронной 32-разрядной памяти: Сигнал выборки младших полуслов в двух синхронных модулях памяти, подключенных к шинам данных MDA и MDC. Активный «0»

Тип вывода	Разр.	Обозначение вывода	Функциональное назначение
О		nMCED	Режим асинхронной 16-разрядной памяти: Сигнал выборки микросхемы асинхронной памяти с шиной данных MDD. Режим синхронной 32-разрядной памяти: Сигнал выборки старших полуслов в двух синхронных модулях памяти, подключенных к шинам данных MDB и MDD. Активный «0»
О		nMWE	Сигнал разрешения записи во внешнюю память. Активный «0»
О		nMOE	Сигнал разрешения чтения из внешней асинхронной статической памяти. При подключении синхронной статической памяти не используется. Активный «0»
О		MCLK	Выход синхросигнала для синхронной внешней памяти. При подключении асинхронной статической памяти не используется
<p>Примечание – Обозначение типов выводов: О – цифровой выход; IO – цифровой вход/выход; Буква «n» в начале обозначения вывода означает активный «0»</p>			

Микросхема поддерживает работу с 1, 2 или 4 микросхемами 16-разрядного асинхронного статического ОЗУ с временем доступа не более 10 нс (например, 1645PY6У) в режиме 16-разрядной асинхронной памяти.

Микросхема поддерживает работу с 1 или 2 микросхемами 32-разрядного синхронного статического конвейерного ОЗУ с частотой синхросигнала не менее 100 МГц и скоростью выборки не более 4 нс (например, 1645PY7Я) в режиме 32-разрядной синхронной памяти.

Типовые схемы подключения интерфейса внешней памяти к микросхемам памяти приведены в подразделе 19.3.

Микросхема имеет два доступных для чтения/записи системных регистра MEMCFG0 и MEMCFG1 (см. раздел 18 «Карта системных регистров»), позволяющих конфигурировать ее для работы с микросхемами памяти различной разрядности, глубины и типа (синхронная или асинхронная).

Изменение настроек контроллера внешней видеопамати в регистрах MEMCFG0 и MEMCFG1 необходимо производить только при отключенном блоке генератора синхросигнала (см. раздел **Ошибка! Источник ссылки не найден.** «Генератор синхросигнала»), в противном случае возможно искажение изображения на экране.

Возможные конфигурации подключаемой микросхемы памяти приведены в таблице 12.

Таблица 12 – Допустимая конфигурация подключаемых микросхем памяти

Максимально допустимая глубина (Mdm), Мслов	Разрядность (Mw), бит	Количество микросхем (N), шт.	Задействованная разрядность шины данных интерфейса (MBw), бит
2	16	1	16
		2	32
		4	64
	32	1	32
		2	64

Тип подключаемой памяти определяется посредством записи поля mtype регистра MCFG0:

- mtype = 0 – асинхронная 16-разрядная статическая память (по сбросу);
- mtype = 1 – синхронная 32-разрядная конвейерная статическая память.

Суммарная используемая разрядность шины данных памяти определяется посредством записи поля mdw регистра MCFG0:

- mdw = 00 – 16 бит (по сбросу), не используется при mtype = 1;
- mdw = 01 – 32 бит;
- mdw = 10 – 64 бит;
- mdw = 11 – 64 бит.

При отсутствии внешней памяти и/или при работе в текстовом режиме без графического необходимо установить значение поля mdw ≥ 01 (≥ 32 бит) для корректной работы больших разрешений и частот обновления экрана.

Внешняя память, подключенная к микросхеме видеоконтроллера, воспринимается как единый массив памяти.

Адресация внешней памяти начинается с адреса 0x0100_0000 и заканчивается 0x01FF_FFFF (адресация байтовая), позволяя получить доступ к адресному пространству максимальным объёмом в размере $(2^{23} - 1)$ или 16 Мбайт (см. раздел 17 «Карта памяти»). В зависимости от разрядности и количества подключенных микросхем памяти объём реально доступной памяти может изменяться в сторону уменьшения, сокращая доступное адресное пространство со стороны старших адресов.

Контроллер внешней памяти условно функционально можно считать двумя независимыми контроллерами памяти.

В режиме синхронной 32-разрядной памяти изменяется функциональное назначение выводов nMCEC и nMCED. Эти выводы необходимо соединять с выводами BWA/B/C/D (ByteWrite) каждой микросхемы памяти согласно типовым схемам включения синхронной памяти.

При подключении внешней памяти допустимо перемешивать биты адресной шины между собой.

Все остальные подключения необходимо производить только согласно типовым схемам подключения.

7.1 Контроллер асинхронной памяти

При установке типа подключаемой внешней памяти – «асинхронная статическая» – контроллер внешней памяти работает только с микросхемами 16-разрядных асинхронных статических ОЗУ (например, 1645PY6У). Рекомендуется использовать микросхемы с временем доступа не более 10 нс, тем не менее допустимо использовать микросхемы с большим временем доступа, поскольку временная диаграмма контроллера памяти настраивается в достаточно широком диапазоне. Тем не менее, увеличение времени доступа понизит скорость обмена данными с памятью, что может уменьшить максимальное доступное разрешение видео вывода видеоконтроллера в целом.

Со стороны интерфейса к внешней памяти контроллер внешней памяти имеет двунаправленную шину данных суммарной разрядностью 64 бита, которая позволяет подключать одну, две или четыре микросхемы внешней асинхронной памяти.

Две или четыре микросхемы памяти подключаются к интерфейсу параллельно:

- шина адреса общая для всех микросхем;
- шины данных отдельные;

- сигналы выборки микросхемы отдельные;
- сигналы управления чтением/записью общие для всех микросхем.

Со стороны микросхемы видеоконтроллера массив памяти видится как единый блок памяти с возможной различной разрядностью:

- для одной подключенной микросхемы памяти – 16 бит;
- для двух подключенных микросхем памяти – 32 бита;
- для четырех подключенных микросхем памяти – 64 бита.

Интерфейс подключения внешней памяти разделен на четыре отдельные шины данных: А, В, С и D:

- при подключении только одной микросхемы памяти к интерфейсу необходимо использовать только шину А;
- при подключении двух микросхем памяти необходимо использовать только шины А и В;
- при подключении четырех микросхем памяти используются шины А, В, С и D.

Управляющее устройство всегда должно учитывать значение поля `mdw` регистра конфигурации `MEMCFG0` и всегда должно использовать транзакции размером, не превышающим общую разрядность памяти. Так, для 16-битной общей разрядности памяти транзакции должны быть только на 16 бит, для 32-битной общей разрядности памяти транзакции должны быть только на 16 или 32 бита, а для 64-разрядной памяти транзакции должны быть на 16, 32 или 64 бита.

В случае, если микросхема видеоконтроллера получает на вход транзакцию разрядностью, превышающей общую разрядность памяти, то полученная транзакция считается транзакцией разрядности, совпадающей с общей разрядностью памяти. Например, для одной используемой микросхемы памяти общая разрядность составляет 16 бит, и полученная по системной шине транзакция на 32 бита будет обслужена контроллером памяти как 16-битная транзакция: управляющее устройство в результате получит при чтении частичные данные, а при записи запишутся не все данные.

Конфигурация временных параметров интерфейса контроллера внешней памяти в режиме асинхронной памяти задается в регистрах управления `MCFG0` и `MCFG1` (см. раздел 18 «Карта системных регистров»).

Все настройки временных характеристик интерфейса заданы в тактах внутреннего синхросигнала микросхемы видеоконтроллера `clk_core`.

Временные настройки интерфейса:

- **mras** (mem read address setup) – предустановка адреса при чтении от активации `nMCE*` до активации `nMOE`. 0 – 0 тактов, 1 – 1 такт, и т.д.;
- **mraa** (mem read address active) – активная часть транзакции чтения, длительность `nMOE`. 0 – 1 такт, 1 – 2 такта и т.д.;
- **mrah** (mem read address hold) – удержание адреса от деактивации `nMOE` до деактивации `nMCE*`. 0 – 0 тактов, 1 – 1 такт и т.д.;
- **mwas** (mem write address setup) – предустановка адреса при записи от активации `nMCE*` до активации `nMWE`. 0 – 0 тактов, 1 – 1 такт, и т.д.;
- **mwda** (mem write data active) – активная часть транзакции записи, длительность `nMWE` и данных на шине `MD*`. 0 – 1 такт, 1 – 2 такта и т.д.;

- **mwdh** (mem write data hold) – удержание адреса и данных от деактивации nMWE до деактивации nMCE*. 0 – 1 такт, 1 – 2 такта и т.д.;
- **mwpod** (mem write pad output delay) – задержка переключения шины данных MD* на выход от активации nMCE*. 0 – 0 тактов, 1 – 1 такт, и т.д.

Функционирование контроллера внешней памяти в режиме асинхронной памяти показано на временных диаграммах на рисунках и .

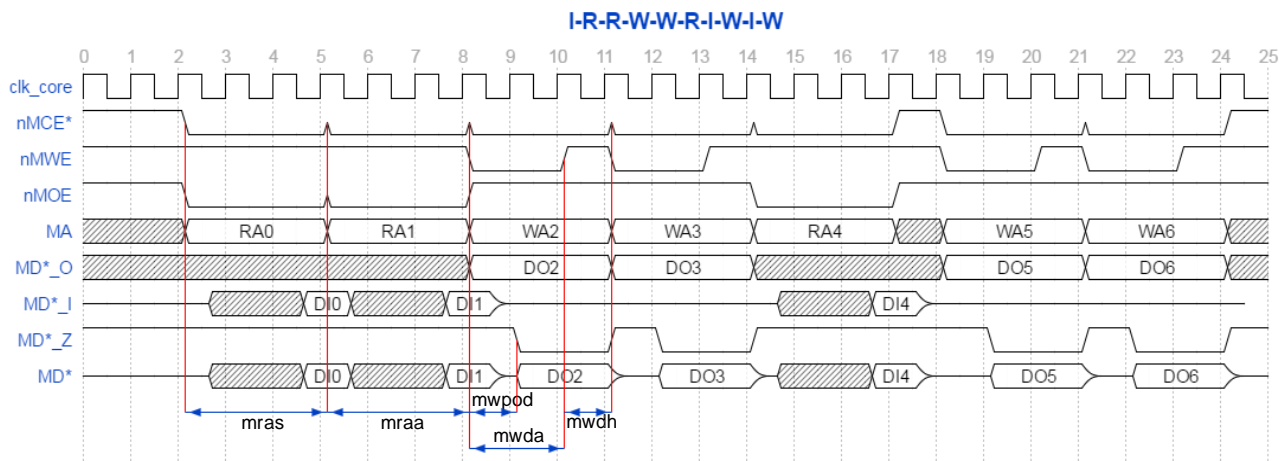
Пример 1 – набор настроек в регистрах MCFG0 MCFG1 1:

Для чтения:

- mras = 0 (0 тактов clk_core)
- mraa = 2 (3 такта clk_core)
- mraH = 0 (0 тактов clk_core)

Для записи:

- mwas = 0 (0 тактов clk_core)
- mwda = 1 (2 такта clk_core)
- mwdh = 0 (1 такт clk_core)
- mwpod = 1 (1 такт clk_core)



- I (idle) – отсутствие транзакции;
- R (read) – транзакция чтения;
- W (write) – транзакция записи;
- clk_core – внутренний синхросигнал;
- MD*_O – вывод данных на внутренние буферы двунаправленной шины данных MDA/B/C/D;
- MD*_I – вход данных на буферах двунаправленной шины данных MDA/B/C/D в микросхему контроллера видеоадаптера из микросхемы памяти;
- MD*_Z – состояние буферов двунаправленной шины данных MDA/B/C/D, где 1 – вход (состояние Hi-Z), 0 – выход;
- MD* – фактическое состояние двунаправленной шины данных MDA/B/C/D;
- RAx (read address) – адрес операции чтения;
- WAx (write address) – адрес операции записи;
- DIx (data in) – данные чтения из памяти;
- DOx (data out) – данные для записи в память

Рисунок 11 – Временная диаграмма интерфейса асинхронной памяти с набором настроек 1

Следует соблюдать осторожность при выборе значений `mwrod` и `mwda`. Для корректной работы контроллера необходимо, чтобы время задержки включения выходных буферов (согласно `mwrod`) было меньше, чем время активной фазы записи (согласно `mwda`), минимум на 1 такт `clk_core`.

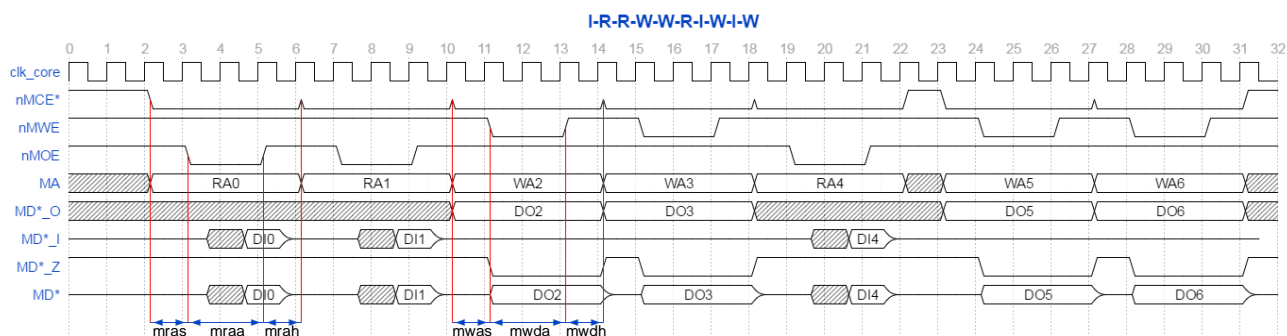
Пример 2 – набор настроек в регистрах MCFG0 MCFG1 2:

Для чтения:

- mras = 1 (1 тактов clk_core)
- mraa = 1 (2 такта clk_core)
- mrah = 1 (1 тактов clk_core)

Для записи:

- mwas = 1 (1 тактов clk_core)
- mwda = 1 (2 такта clk_core)
- mwdh = 0 (1 такт clk_core)
- mwpod = 0 (0 такт clk_core)



- I (idle) – отсутствие транзакции;
- R (read) – транзакция чтения;
- W (write) – транзакция записи;
- clk_core – внутренний синхросигнал;
- MD*_O – вывод данных на внутренние буферы двунаправленной шины данных MDA/B/C/D;
- MD*_I – вход данных на буферах двунаправленной шины данных MDA/B/C/D в микросхему контроллера видеоадаптера из микросхемы памяти;
- MD*_Z – состояние буферов двунаправленной шины данных MDA/B/C/D, где 1 – вход (состояние Hi-Z), 0 – выход;
- MD* – фактическое состояние двунаправленной шины данных MDA/B/C/D;
- RAx (read address) – адрес операции чтения;
- WAx (write address) – адрес операции записи;
- Dlx (data in) – данные чтения из памяти;
- DOx (data out) – данные для записи в память

Рисунок 12 – Временная диаграмма интерфейса асинхронной памяти с набором настроек 2

7.2 Контроллер синхронной конвейерной памяти

При установке типа подключаемой внешней памяти – «синхронная статическая» – контроллер внешней памяти работает только с микросхемами минимум 32-разрядных синхронных конвейерных статических ОЗУ (например, 1645PY7Я) с глубиной конвейера 2, т.е. данные читаются/пишутся через 1 такт после подачи адреса/сигналов управления. Необходимо использовать микросхемы с частотой синхросигнала не менее 100 МГц и временем выборки не более 4 нс.

Со стороны интерфейса к внешней памяти контроллер внешней памяти имеет двунаправленную шину данных суммарной разрядностью 64 бита, которая позволяет подключать одну или две 32-разрядные микросхемы внешней синхронной конвейерной памяти.

Одна или две микросхемы памяти подключаются к интерфейсу параллельно:

- шина адреса общая для всех микросхем;
- шины данных отдельные;
- сигналы выборки микросхемы nMCEA и nMCEB отдельные;
- сигналы выборки младшего/старшего полуслова (nMCEB, nMCED) общие для всех микросхем;
- сигнал управления nMWE общий;
- сигнал управления nMOE не подключен;
- синхросигнал MCLK общий.

Со стороны микросхемы контроллера видеоадаптера массив памяти видится как единый блок памяти с возможной различной разрядностью:

- для одной подключенной микросхемы памяти – 32 бита;
- для двух подключенных микросхем памяти – 64 бита.

Интерфейс подключения внешней памяти разделяется на две парные отдельные шины данных: MDA+MDB и MDC+MDD:

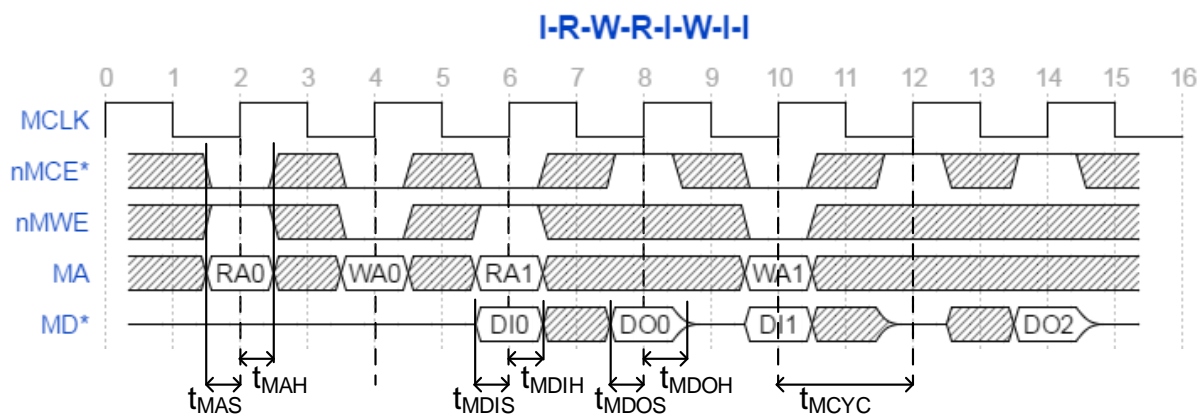
- при подключении только одной микросхемы памяти к интерфейсу необходимо использовать только шину MDA+MDB (MDA – младшее полуслово, MDB – старшее полуслово);
- при подключении двух микросхем памяти необходимо использовать все шины данных MDA+MDB и MDC+MDD, где MDA младшее полуслово, а MDB – старшее полуслово первой микросхемы с сигналом выборки nMCEA, аналогично MDC – младшее полуслово, а MDD – старшее полуслово второй микросхемы с сигналом выборки nMCEB.

Управляющее устройство всегда должно учитывать значение поля mdw регистра конфигурации MEMCFG0 и всегда должно использовать транзакции размером, не превышающим общую разрядность памяти.

16-битная разрядность памяти не используется в режиме синхронной памяти.

Временные параметры интерфейса синхронной памяти не настраиваются. Значения временных параметров приведены в таблице 82.

Частота синхросигнала памяти MCLK всегда равна частоте внутреннего синхросигнала микросхемы контроллера видеоадаптера.



- I (idle) – отсутствие транзакции;
- R (read) – транзакция чтения;
- W (write) – транзакция записи;
- MCLK – синхросигнал тактирования внешней памяти;

Рисунок 13 – Временная диаграмма интерфейса синхронной памяти

Продолжение рисунка

nMCE*	– сигналы управления;
nMWE	– сигнал операции записи (чтения, если неактивен);
MA	– выход адресной шины;
MD*	– двунаправленная шина данных;
RAx (read address)	– адрес операции чтения;
WAx (write address)	– адрес операции записи;
Dlx (data in)	– данные чтения из памяти;
DOx (data out)	– данные для записи в память

Значения временных характеристик интерфейса синхронной памяти приведены в таблице 82.

8 Встроенный генератор и умножители частоты

Микросхема включает в свой состав систему генерации синхросигналов для всех внутренних блоков микросхемы и внешней памяти.

Система генерации синхросигналов состоит из трех независимых блоков:

- генератор опорного синхросигнала;
- блок ФАПЧ цифровой части микросхемы;
- блок ФАПЧ видеосистемы.

8.1 Генератор опорного синхросигнала

Генератор опорного синхросигнала имеет две опции внешнего тактирования:

- кварцевый резонатор;
- внешний генератор синхросигнала.

Таблица 13 – Выводы встроенного генератора

Обозначение вывода	Тип вывода	Функциональное назначение
OSCI	AI	Вход сигналов тактовой синхронизации от кварцевого генератора. Вывод для подключения внешнего кварцевого резонатора
OSCO	AO	Выход усилителя для подключения внешнего кварцевого резонатора
Примечание – Обозначение типов выводов: AI – аналоговый вход; AO – аналоговый выход		

Типовые схемы подключения внешнего кварцевого резонатора или генератора представлены в подразделе 19.4.

При использовании кварцевого резонатора, подключенного к выводам OSCI и OSCO, встроенный генератор использует режим по умолчанию и генерирует внутренний опорный синхросигнал частотой, соответствующей частоте кварцевого резонатора. В этом случае настройка микросхемы видеоконтроллера не требуется.

При использовании внешнего генератора синхросигнала необходимо подключать только вход OSCI к внешнему источнику опорного синхросигнала, вывод OSCO не подключать. В этом режиме после включения микросхемы рекомендуется установить поле `gen_dis` в регистре GCFG в состояние 1 (см. раздел 18 «Карта системных регистров»), в целях уменьшения энергопотребления блока встроенного генератора. Допустимо не устанавливать бит `gen_dis` в 1, при этом все параметры микросхемы сохраняются.

8.2 Блок ФАПЧ цифровой части микросхемы

Микросхема имеет встроенный блок ФАПЧ для тактирования ядра микросхемы. Опорный синхросигнал для блока ФАПЧ поступает с выхода встроенного генератора внутреннего опорного синхросигнала.

Блок ФАПЧ имеет настройку выходной частоты синхросигнала для ядра микросхемы и внешней памяти в поле `core_pll_n` регистра PLLCFG0 (см. раздел 18 «Карта системных регистров»). По умолчанию поле имеет десятичное значение 10 (1010) означающее, что коэффициент петлевого делителя ФАПЧ равен 10, т.е. выходная частота в 10 раз больше опорного синхросигнала от генератора.

Необходимо использовать значение по умолчанию. Работоспособность микросхемы во всем диапазоне температур гарантируется только при значении петлевого делителя по умолчанию 10.

Блок ФАПЧ тактирует как цифровую часть ядра микросхемы, так и внешнюю память. По умолчанию синхросигнал для тактирования внешней памяти (MCLK) синхронен (совпадает по фазе) с синхросигналом для ядра микросхемы. Тем не менее, блок ФАПЧ имеет настройку фазового смещения синхросигнала внешней памяти относительно синхросигнала ядра микросхемы для возможной точной подстройки временных параметров выходного интерфейса внешней синхронной памяти. Фазовое смещение задается в поле `clk_tem_ph` регистра PLLSCFG0 (см. раздел 18). По умолчанию значение равно 0, т.е. синхросигналы не имеют фазового смещения относительно друг друга. Допустимо записывать в поле значения от 0 до 10, обеспечивая смещение фазы с точностью 1/11 от периода синхросигнала. Запрещено использовать значения смещения более 10.

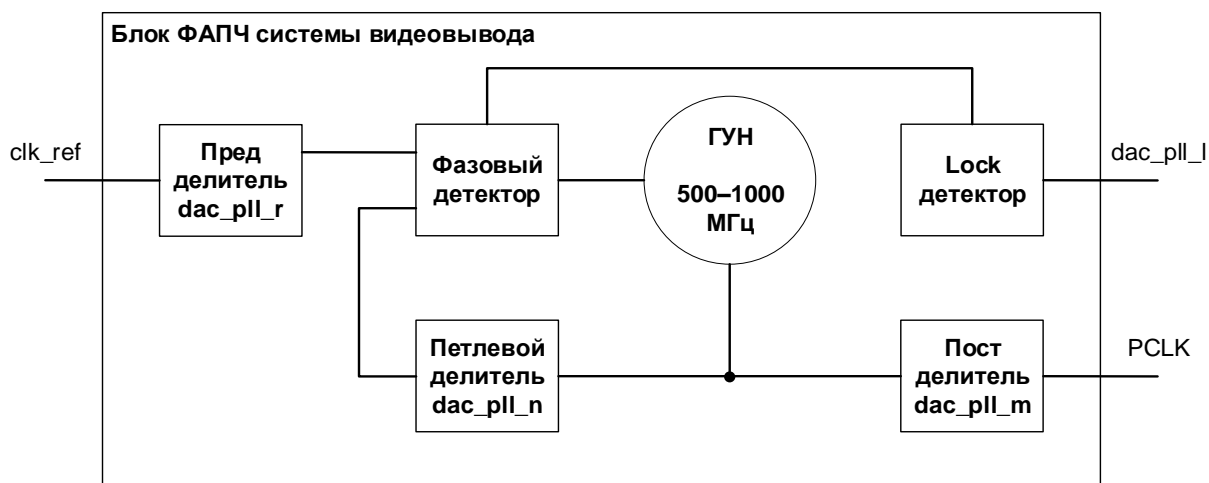
8.3 Блок ФАПЧ видеосистемы

Блок ФАПЧ видеосистемы является генератором внутреннего синхросигнала для видеосистемы, включая синхросигнал для трех ЦАП и выходной синхросигнал PCLK для внешнего параллельного цифрового RGB интерфейса.

Опорный синхросигнал для блока ФАПЧ поступает с выхода встроенного генератора внутреннего опорного синхросигнала.

Блок имеет три настроечных поля `dac_pll_r`, `dac_pll_n` и `dac_pll_m` в регистрах PLLSCFG0 и PLLSCFG1 и флаг готовности `dac_pll_l` регистра GSTAT (см. раздел 18).

Каждое из настроечных полей определяет значение соответствующего делителя блока ФАПЧ согласно схеме на рисунке 14.



- `clk_ref` – вход опорного синхросигнала от генератора (10 МГц);
- `dac_pll_l` – флаг готовности к работе (стабильность выходного синхросигнала);
- `PCLK` – выход синхросигнала системы видео вывода

Рисунок 14 – Блока ФАПЧ системы видеовывода

8.3.1 Коэффициент предделителя `dac_pll_r`

Коэффициент предделителя `dac_pll_r` делит входную опорную частоту на значение из регистра:

- 0001 – деление на 1;
- 0010 – деление на 2;

- ...
- 1111 – деление на 15.

Использование значение 0 – запрещено.

8.3.2 Коэффициент петлевого делителя *dac_pll_n*

Коэффициент петлевого делителя *dac_pll_n* умножает входную опорную частоту (деленую на коэффициент предделителя) на значение из регистра:

- 0000000110 – умножение на 6;
- 0000000111 – умножение на 7;
- ...
- 1111111111 – умножение на 1023.

Использование значения менее 6 запрещено.

8.3.3 Коэффициент постделителя *dac_pll_m*

Коэффициент постделителя *dac_pll_m* делит промежуточную частоту ГУН на условное значение из поля регистра:

- 001 – деление на 2;
- 010 – деление на 4;
- 011 – деление на 8;
- ...
- 101 – деление на 32.

Использование значений менее 001 и более 101 запрещено.

Значение коэффициента в регистре связано с фактическим коэффициентом деления частоты по формуле

$$\text{фактический делитель} = 2^{\text{значение поля регистра}}. \quad (5)$$

8.3.4 Ограничения блока ФАПЧ

Блок ФАПЧ рассчитан на работу в диапазоне выходных частот от 20 до 150 МГц. Выходная частота блока ФАПЧ рассчитывается по формуле

$$PCLK = clk_{ref} * \frac{(dac_pll_n)}{(dac_pll_r * dac_pll_m)}. \quad (6)$$

ГУН блока ФАПЧ работает в диапазоне от 500 до 1000 МГц.

Выбирать значение предделителя и петлевого делителя необходимо с учетом рабочей частоты ГУН, указанной выше. Частота работы ГУН рассчитывается по формуле

$$f_{гун} = clk_{ref} * \frac{dac_pll_n}{dac_pll_r}. \quad (7)$$

При выборе предделителя рекомендуется выбирать его как можно меньшим.

При выборе петлевого делителя рекомендуется выбирать его таким, чтобы частота работы ГУН была как можно большей.

8.3.5 Процедура старта блока ФАПЧ

По умолчанию блок ФАПЧ находится в неактивном состоянии.

Процедура старта блока ФАПЧ следующая:

- 1 до активации блока ФАПЧ необходимо установить настройки блока в полях `das_pll_r`, `das_pll_n` и `das_pll_m` регистров `PLLSCFG0` и `PLLSCFG1` (см. раздел 18 «Карта системных регистров») согласно требованиям и ограничениям;
- 2 для активации блока необходимо установить в поле `lcd_en` и/или в поле `das_en` регистра `GCFG` значение 1;
- 3 после активации блока необходимо убедиться, что блок ФАПЧ выдает стабильную частоту, проверив флаг `das_pll_l` в регистре `GSTAT`;
- 4 если флаг находится в активном состоянии 1, дальнейшая работа с системой видео вывода происходит в штатном режиме;
- 5 если флаг находится в неактивном состоянии дольше чем 50 мс, необходимо отключить блок ФАПЧ записью 0 в оба поля `das_en` и `lcd_en` и проверить настройки делителей блока в полях `das_pll_r`, `das_pll_n` и `das_pll_m` на соответствие требованиям. Затем произвести перезапуск блока, начиная с п. 1 процедуры запуска.

9 Генератор синхросигнала

Блок генератора синхросигнала обеспечивает формирование сигналов строчной и кадровой развертки, а также синхросигнала для вывода изображения на экран посредством систем видеовывода (как аналоговой, так и цифровой).

Генератор синхросигнала управляет всеми контроллерами (графическим, текстовым, графическим курсором) и блоком наложения, а также формирует сигналы видео синхронизации для внешних устройств.

Таблица 14 – Выводы блока генератора синхросигнала

Обозначение вывода	Тип вывода	Функциональное назначение
HSYNC	О	Выход сигнала строчной синхронизации (горизонтальный синхроимпульс)
VSYNC	О	Выход сигнала кадровой синхронизации (вертикальный синхроимпульс)
DE	О	Строб наличия цифрового видеосигнала (строб видеоданных)
PCLK	О	Выход пиксельного синхросигнала

Примечание – Обозначение типов выводов:
О – цифровой выход

Генератор синхросигнала формирует выходные синхросигналы согласно рисунку .

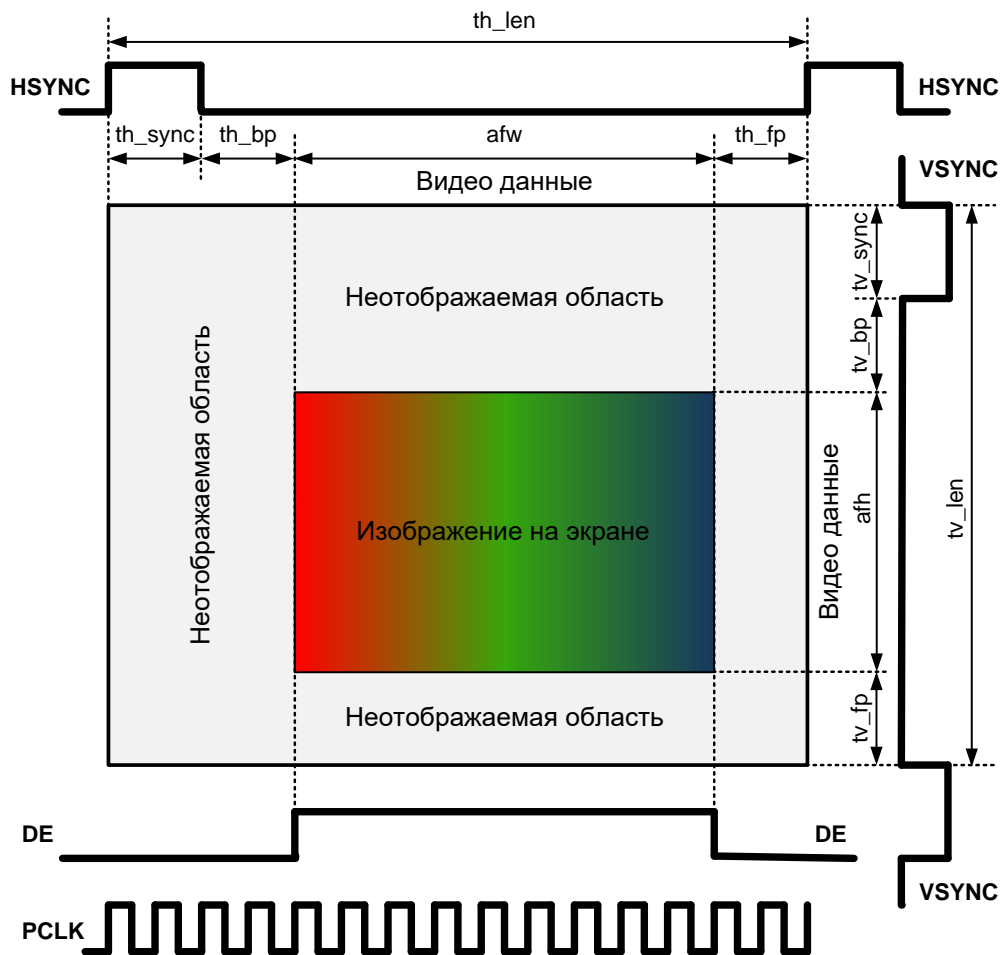


Рисунок 15 – Временная диаграмма развертки видеокадра

Взаимное расположение сигналов HSYNC и VSYNC представлено на рисунке .

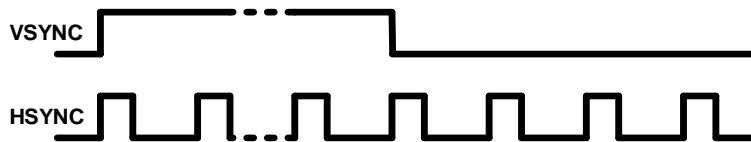


Рисунок 16 – Временная диаграмма сигналов HSYNC и VSYNC

На рисунке изображены сигналы с активным высоким уровнем. При использовании сигналов с активным низким уровнем (активный 0) сигналы на диаграмме необходимо инвертировать по вертикальной оси.

Длительность и скважность сигналов строчной и кадровой синхронизации HSYNC и VSYNC определяют разрешение выходного видеоизображения, а их полярности определяют соотношение сторон согласно стандарту VESA DMT1 v13.

9.1 Параметры генератора синхросигнала

Все временные параметры, представленные на временной диаграмме развертки видеокadra (см. рисунок 15), доступны для настройки в системных регистрах:

- PSIZE2:
 - afw (active frame width) – горизонтальный размер видимого на экране изображения (ширина кадра) в пикселях;
- PSIZE3:
 - afh (active frame height) – вертикальный размер видимого на экране изображения (высота кадра) в горизонтальных строках;
- VTIM0:
 - th_len (total horizontal length) – полный горизонтальный размер кадра (ширина кадра) в пикселях, включая горизонтальные интервалы гашения;
- VTIM1:
 - tv_len (total vertical length) – полный вертикальный размер кадра (высота кадра) в горизонтальных строках, включая вертикальные интервалы гашения;
- VTIM2:
 - th_bp (horizontal back porch time) – длительность горизонтального интервала гашения после сигнала горизонтальной синхронизации HSYNC в пикселях;
- VTIM3:
 - th_sync (horizontal sync time) – длительность активной части сигнала горизонтальной синхронизации HSYNC в пикселях;
 - hsync_pol (horizontal sync polarity) – полярность сигнала HSYNC, где 0 – прямая, 1 – обратная (активный 0);
- VTIM4:
 - tv_bp (vertical back porch time) – длительность вертикального интервала гашения после сигнала вертикальной синхронизации VSYNC в горизонтальных строках;
- VTIM5:
 - tv_sync (vertical sync time) – длительность активной части сигнала вертикальной синхронизации VSYNC в строках;
 - vsync_pol (vertical sync polarity) – полярность сигнала VSYNC, где 0 – прямая, 1 – обратная (активный 0).

Временные параметры th_fp (horizontal front porch time) – длительность горизонтального интервала гашения перед сигналом HSYNC и tv_fp (vertical front porch time) – длительность вертикального интервала гашения перед сигналом VSYNC вычисляются блоком генератора развертки автоматически по формулам

$$th_fp = th_len - th_sync - th_bp - afw, \quad (8)$$

$$tv_fp = tv_len - tv_sync - tv_bp - afh. \quad (9)$$

Ограничения для временных настроек, следующие:

- все временные параметры (кроме настроек полярности и afw) должны быть больше или равны 1;
- afw должен быть кратным 4 и быть большим или равным 4.

Частота сигнала PCLK настраивается посредством настройки блока ФАПЧ видеосистемы (см. подраздел 8.3). Частота пиксельного синхросигнала должна соответствовать временным параметрам для соответствующего разрешения кадра и частоты кадровой развертки согласно стандарту VESA DMTTr1 v13.

В случае использования произвольного разрешения и частоты кадровой развертки необходимо:

- вычислить частоту пиксельного синхросигнала f_{PCLK} по формуле

$$f_{PCLK} = th_len * tv_len * f_{frame} \text{ (Гц)}, \quad (10)$$

где f_{frame} – частота обновления экрана в кадрах в секунду.

- произвести настройку блока ФАПЧ видеосистемы на эту частоту.

Подробнее описание сигналов цифрового видеовыхода HSYNC, VSYNC, PCLK см. раздел 15.

9.2 Процедура включения блока генератора развертки

По умолчанию (после включения микросхемы) блок генератора развертки находится в выключенном состоянии.

Процедура старта блока следующая:

- произвести настройку всех параметров блока генератора развертки в регистрах (см. подраздел 9.1);
- произвести настройку и включение блока ФАПЧ видеосистемы (см. подраздел 8.3);
- активировать генератор развертки посредством записи 1 в поле vo_en (video out enable) регистра GCFG (1 – блок активен, 0 – блок выключен).

Процедура перенастройки блока:

- деактивировать генератор развертки посредством записи 0 в поле vo_en регистра GCFG;
- изменить настройки блока генератора развертки;
- при необходимости изменить настройки блока ФАПЧ видеосистемы;
- активировать генератор развертки посредством записи 1 в поле vo_en регистра GCFG.

При изменении настроек генератора развертки, когда генератор включен, настройки не применяются до перезапуска блока.

10 Графический контроллер

Блок графического контроллера микросхемы обеспечивает непрерывный вывод графической информации из внешней памяти, подключенной к микросхеме, в блок наложения и цветности (см. раздел 13).

Блок графического контроллера воспринимает внешнюю видеопамять как виртуальный кадровый буфер.

10.1 Настройки графического контроллера

Графический контроллер имеет следующие настройки в регистрах управления:

- VBA0 (video buffer address) – младшие 16 бит смещения адреса начала виртуального кадрового буфера относительно 0 адреса внешней памяти (адресация байтовая);
- VBA1 (video buffer address) – старшие 16 бит смещения адреса начала виртуального кадрового буфера относительно 0 адреса внешней памяти (адресация байтовая);
- PSIZE0 (picture size): поле pw (picture width) – горизонтальный размер виртуального кадрового буфера в пикселях;
- PSIZE1 (picture size): поле ph (picture height) – вертикальный размер виртуального кадрового буфера в строках;
- PSCRL0 (picture scroll): поле hscr1 (horizontal scroll) – горизонтальное смещение отображаемого на экране кадра от начала виртуального кадрового буфера в пикселях;
- PSCRL1 (picture scroll): поле vscl1 (vertical scroll) – вертикальное смещение отображаемого на экране кадра от начала виртуального кадрового буфера в памяти в строках.

Существуют ограничения для регистров VBA0 и PSIZE0 (поле pw) в зависимости от ширины шины данных внешней памяти. Значения регистров должны быть кратными числу, указанному в таблице 15.

Таблица 15 – Зависимость кратности VBA0 и pw от значений mdw

Шина данных, бит	MEMCFG0: mdw	для VBA0	для PSIZE0: pw
16	00	2	1
32	01	4	2
64	10/11	8	4

10.2 Включение блока графического контроллера

По умолчанию (после включения микросхемы) блок графического контроллера находится в выключенном состоянии.

Процедура включения блока графического контроллера следующая:

- выполнить настройку контроллера внешней видеопамяти согласно типу и количеству подключенной внешней видеопамяти (см. раздел 7 «Контроллер внешней видеопамяти»);
- выполнить настройку всех параметров блока генератора развертки в регистрах (см. подраздел 9.1);
- в обязательном порядке задать значения полей pw и ph регистров PSIZE0 и PSIZE1 для задания начальных размеров виртуального кадрового буфера;

- выполнить настройку и включение блока ФАПЧ видеосистемы (см. подраздел 8.3);
- активировать генератор развертки посредством записи 1 в поле *vo_en* (video out enable) регистра GCFG (1 – блок активен, 0 – блок выключен);
- активировать графический контроллер посредством записи 1 в поле *graph_en* регистра GCFG. Активацию контроллера допустимо производить одновременно с активацией генератора развертки.

В процессе работы блока допустимо изменять любые параметры блока в любой момент времени. Измененные параметры применяются, начиная со следующего отображаемого кадра.

Вывод изображения начинается с верхнего левого угла экрана и выводится слева направо и сверху вниз.

10.3 Виртуальный кадровый буфер

Микросхема использует виртуальный кадровый буфер.

Смещение начала виртуального кадрового буфера относительно 0 адреса внешней памяти задается в регистрах VBA0 и VBA1. Байтовый адрес начала виртуального кадрового буфера во внешней памяти VBA (virtual buffer address) вычисляется по формуле

$$VBA = (VBA1 \ll 16) + VBA0. \quad (11)$$

Изменение смещения виртуального кадрового буфера позволяет реализовать систему двойной/тройной и т.д. буферизации при выводе изображения на экран. Например, возможно обеспечить вывод изображения из одной области памяти без потери целостности изображения на экране в процессе перезаписи картинка в другой области памяти. Или возможно хранить несколько различных по размеру и содержанию изображений в памяти с возможностью быстрого переключения между ними без потери целостности изображения на экране.

Размер виртуального кадрового буфера, заданный в полях *rw* и *rh* регистров PSIZE0 и PSIZE1, должен совпадать с размером текущей выводимой на экран картинка из внешней памяти.

10.4 Аппаратный скроллинг

Размер виртуального кадрового буфера (и изображений в памяти) должен быть равным или большим разрешения видеовывода

$$pw \geq afw, \quad (12)$$

$$ph \geq afh. \quad (13)$$

В случае, когда изображение в памяти имеет больший размер, чем разрешение видеовывода, становится доступен аппаратный горизонтальный и вертикальный попиксельный скроллинг.

Посредством записи в регистр PSCRL0 значения горизонтального смещения в пикселях, а в регистр PSCRL1 значения вертикального смещения в строках, возможно осуществлять произвольный скроллинг в пределах виртуального кадрового буфера.

В случае смещения отображаемой на экране области за границы виртуального кадрового буфера целостность картинка не гарантируется.

10.5 Формат пикселя изображения

Микросхема поддерживает работу только с 16-битными входными данными, записанными во внешней памяти, для кодирования цвета пикселя в графическом режиме.

Цвет пикселя определяется в 16-битной палитре RGB (красный-зеленый-синий) с форматом 5:6:5 битов на пиксель, т.е. всего $32 \times 64 \times 32 = 65536$ цветов.

Фактически микросхема поддерживает так называемый Highcolor (16bpp) графический цветовой режим.

Таблица 16 – Таблица кодирования цвета пикселя RGB

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Красный					Зеленый						Синий				

Таблица 17 – Таблица кодирования цвета пикселя BGR

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Синий					Зеленый						Красный				

Для изображения во внешней памяти возможно использование не RGB-формата пикселя, а BGR. Для смены цветового формата пикселя при выводе на экран используется поле `rgb_order` регистра GCFG, где 0 – RGB-формат данных в памяти, 1 – BGR-формат данных в памяти. Подробнее см. раздел 13.

10.6 Размещение изображения во внешней видео памяти

Для адекватного вывода на экран изображений из внешней памяти необходимо располагать их в памяти строго определенным образом:

- пиксели должны располагаться в памяти начиная с верхнего левого угла изображения слева направо и сверху вниз, т.е. построчно друг за другом без разрывов в адресном пространстве в пределах одного изображения;
- допустимо делать произвольные разрывы в адресном пространстве для разных изображений;
- правильный порядок байтов и битов для микросхемы – от младшего к старшему (little-endian), т.е. в младшем байтовом адресе должен находиться младший байт пикселя, а в младшем бите младшего байта – младший бит цвета пикселя;
- начальный байтовый адрес расположения изображения может быть произвольным, но с учетом ограничений для смещения начального адреса виртуального кадрового буфера (см. таблицу 15).

10.7 Примеры использования виртуального кадрового буфера и скроллинга

На рисунках 17 и 18 изображены примеры расположения двух различных по содержанию и размеру изображений во внешней памяти, а также текущее положение виртуального кадрового буфера и активной части изображения на экране в пределах кадрового буфера.

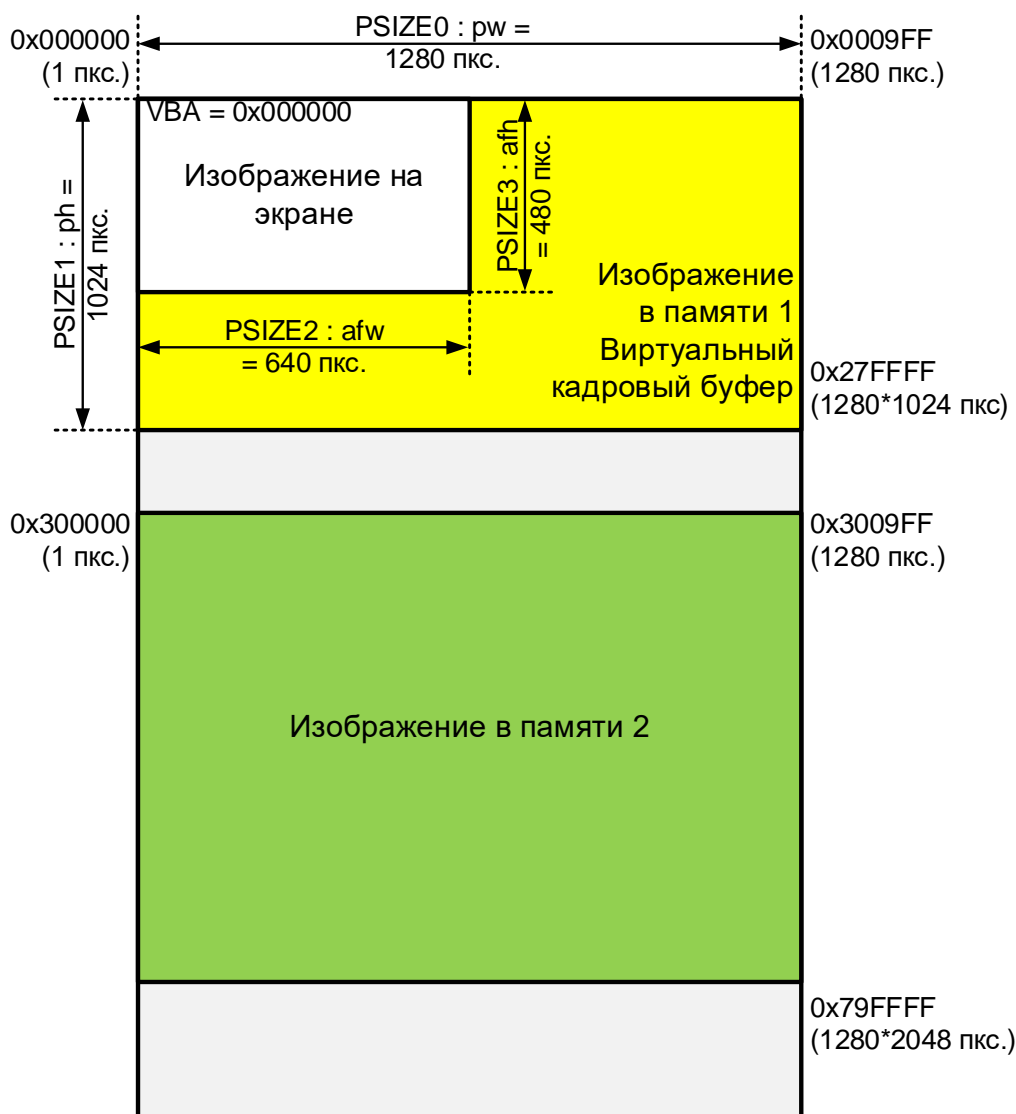


Рисунок 17 – Расположение изображений. Пример 1

Комментарии к рисунку 17:

- внешняя память имеет байтовую адресацию, начиная с 0x000000;
- изображение 1 имеет размер 1280 × 1024 пикселей (16 бит на пиксель);
- изображение 2 имеет размер 1280 × 2048 пикселей;
- виртуальный кадровый буфер имеет смещение 0 относительно начала массива внешней памяти, т.е. VBA = 0x000000;
- размер виртуального кадрового буфера совпадает с размером изображения 1, т.е. pw = 1280, ph = 1024;
- разрешение видео вывода 640 × 480 пикселей: afw = 640, afh = 480;
- таким образом на экране отображается верхняя левая часть изображения 1 размером 640 × 480 пикселей.

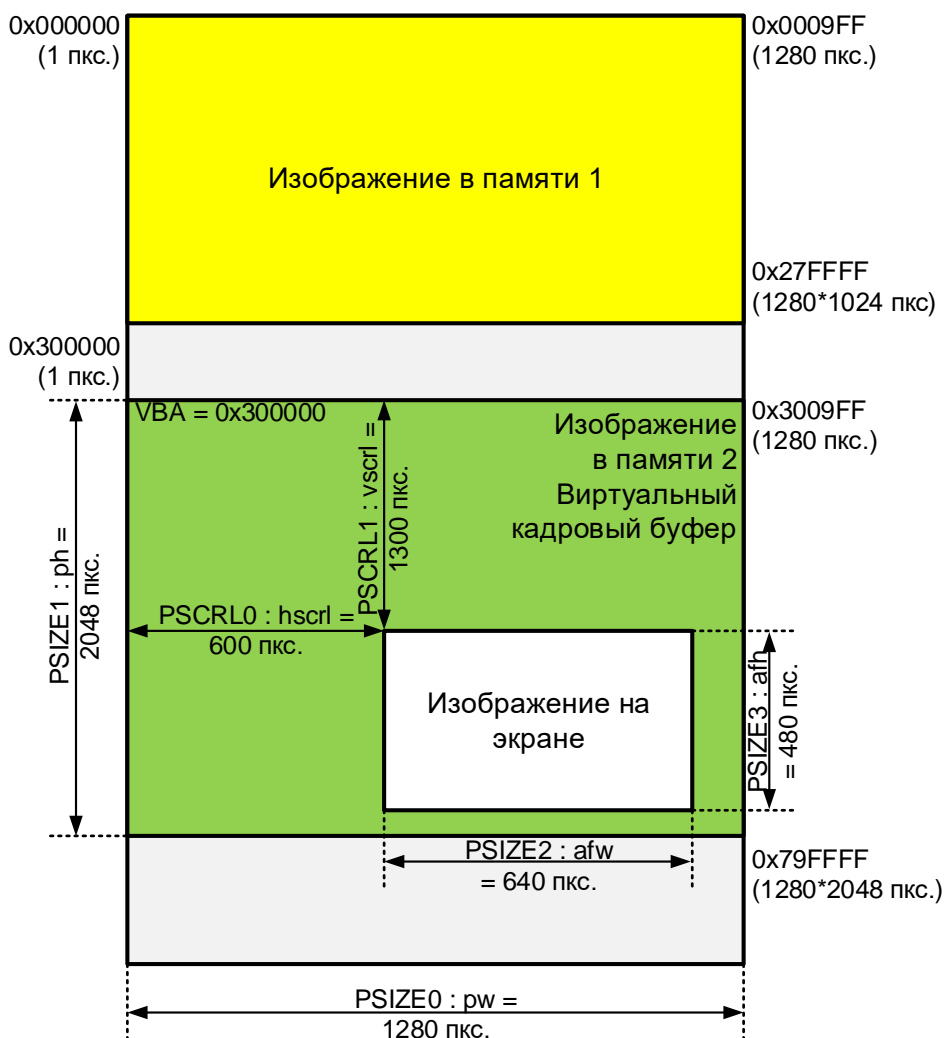


Рисунок 18 – Расположение изображений. Пример 2

Комментарии к рисунку 18:

- адресация внешней памяти, расположение обоих изображений и разрешение видеовывода осталось прежним (см. рисунок 17);
- изменилось смещение виртуального кадрового буфера $VBA = 0x300000$, т.е. начало буфера совпадает с 1 пикселем Изображения 2;
- изменился размер виртуального буфера, чтобы соответствовать размеру изображения 2, т.е. $pw = 1280$, $ph = 2048$;
- изменились координаты горизонтального и вертикального скроллинга внутри виртуального буфера для вывода нижней правой части изображения 2 на экран: $hscrl = 600$, $vscri = 1300$.

Переход от примера 1 к примеру 2 возможен в пределах смены двух кадров на экране. Для этого достаточно произвести перезапись настроечных регистров $VBA0-1$, $PSIZE0-1$ и $PSCRL0-1$ «на лету», т.е. без отключения каких-либо блоков микросхемы и дополнительных условий.

Фактически примеры демонстрируют возможность организации системы двойной буферизации и скроллинга.

Дополнительно возможна перезапись по внешней управляющей шине любой части изображения или любого участка внешней памяти, которая находится вне области вывода на экран без нарушения целостности изображения на экране.

10.8 Разрешение экрана в графическом режиме и конфигурация внешней памяти

Графический контроллер функционирует исключительно при наличии внешней видеопамати. Объём, разрядность и пропускная способность подключенной внешней видеопамати обуславливают максимальное разрешение и частоту обновления экрана в графическом режиме, включая режимы наложения.

Для определения возможности поддержки определенного разрешения экрана для определенной конфигурации видеопамати необходимо произвести расчеты и убедиться, что условия выполнены:

- рассчитывается максимальный объем видеокadra Fv по формуле

$$Fv = afw * afh * 16 \text{ (бит)}; \quad (14)$$

- для корректного функционирования графического режима объём подключенной памяти Mv должен удовлетворять условию

$$Mv \geq Fv; \quad (15)$$

- кадр во внешней памяти может быть больше, чем разрешение изображения на экране, и/или кадров может быть несколько, что необходимо учитывать при расчете разрешения;

- рассчитывается минимально необходимая пропускная способность видеопамати Dbr для непрерывного обновления изображения на экране по формуле

$$Dbr = Fv * f_{frame} * \left(\frac{afw}{th_len} \right) \text{ (бит/сек)}, \quad (16)$$

где f_{frame} – частота обновления экрана в кадрах в секунду;

- рассчитывается пропускная способность Mbr текущей конфигурации внешней памяти на чтение:

- для синхронной внешней памяти по формуле

$$Mbr = \frac{f_{MCLK}}{2} * 32 * n \text{ (бит/сек)}, \quad (17)$$

где n – количество 32-разрядных модулей синхронной памяти (см. подраздел 7.2);

f_{MCLK} – выходной синхросигнал для памяти, равный внутренней частоте микросхемы, в герцах (см. подразделы 7.2 и 8.2);

- для асинхронной внешней памяти

$$Mbr = \frac{f_{core}}{(mras+(mraa+1)+mrah)} * 16 * n \text{ (бит/сек)}, \quad (18)$$

где n – количество 16 разрядных модулей асинхронной памяти (см. подраздел 7.1);

f_{core} – внутренняя частота микросхемы в герцах (см. подраздел 8.2);

- основным условием работоспособности графического контроллера является выполнение неравенства для рассчитанных значений Dbr и Mbr

$$Mbr > Dbr, \quad (19)$$

т.е. реальная пропускная способность внешней памяти на чтение должна быть больше минимально необходимой пропускной способности для отображения кадра;

- для синхронной памяти операция записи в память отделена по времени от операции чтения и не влияет на пропускную способность памяти на чтение;
- для асинхронной памяти операции чтения не отделены по времени от операций записи, но имеют над ними приоритет. Это следует учитывать при расчетах, чтобы оставить запас фактической пропускной способности асинхронной памяти для возможности записи в память по внешним интерфейсам, т.е.

$$Mbr > Dbr + Dbm, \quad (20)$$

где Dbm – минимально допустимая/возможная для пользователя пропускная способность внешних интерфейсов в бит/сек на запись/чтение, определяемая настройками управляющего устройства.

Пример результатов расчета допустимых разрешений для различных конфигураций подключенной внешней памяти представлен в таблицах и .

Таблица 18 – Пример результатов расчета разрешений для асинхронной памяти

afw, пикс.	afh, пикс.	Fv, МБ	f _{frame} , Гц	Dbr, МБ/с	n	Mv, МБ	Mv-Fv, МБ	Mbr, МБ/с	Dbm, МБ/с
640	480	0,586	60	28,13	1	2	1,414	100	71,88
					2	4	3,414	200	171,88
					4	8	7,414	400	371,88
			75	33,40	1	2	1,414	100	66,60
					2	4	3,414	200	166,60
					4	8	7,414	400	366,60
800	600	0,916	60	41,61	1	2	1,084	100	58,39
					2	4	3,084	200	158,39
					4	8	7,084	400	358,39
			75	52,02	1	2	1,084	100	47,98
					2	4	3,084	200	147,98
					4	8	7,084	400	347,98
1024	768	1,500	60	68,58	1	2	0,500	100	31,42
					2	4	2,500	200	131,42
					4	8	6,500	400	331,42
			75	87,75	1	2	0,500	100	12,25
					2	4	2,500	200	112,25
					4	8	6,500	400	312,25
1280	1024	2,500	60	114,00	1	2	-0,500	100	-14,00
					2	4	1,500	200	86,00
					4	8	5,500	400	286,00
			75	142,50	1	2	-0,500	100	-42,50
					2	4	1,500	200	57,50
					4	8	5,500	400	257,50
1920	1080	3,955	60	207,17	1	2	-1,955	100	-107,17
					2	4	0,045	200	-7,17
					4	8	4,045	400	192,83

Таблица 18 содержит результаты расчетов для конфигураций внешнего асинхронного статического ОЗУ (типа 1645РУ6У) при настройках контроллера внешней памяти $mras = 0$, $mraa = 1$, $mrah = 0$.

Ввиду того, что запись/чтение во внешнюю память по внешним интерфейсам (системная шина и SPI) для асинхронной памяти не отделены по времени от операций чтения графическим контроллером (без нарушения целостности изображения), то в столбце Dbm указана остаточная пропускная способность памяти, доступная для использования внешними управляющими интерфейсами. Фактически контроллер системной шины будет ограничивать собственную пропускную способность для исключения превышения остаточной пропускной способности памяти.

Таблица 19 – Пример результатов расчета разрешений для синхронной памяти

afw, пикс.	afh, пикс.	Fv, МБ	f _{frame} , Гц	Dbr, МБ/с	n	Mv, МБ	Mv-Fv, МБ	Mbr, МБ/с	Dbm, МБ/с
640	480	0,586	60	28,13	1	8	7,414	200	200
					2	16	15,414	400	400
			75	33,40	1	8	7,414	200	200
					2	16	15,414	400	400
800	600	0,916	60	41,61	1	8	7,084	200	200
					2	16	15,084	400	400
			75	52,02	1	8	7,084	200	200
					2	16	15,084	400	400
1024	768	1,500	60	68,58	1	8	6,500	200	200
					2	16	14,500	400	400
			75	87,75	1	8	6,500	200	200
					2	16	14,500	400	400
1280	1024	2,500	60	114,00	1	8	5,500	200	200
					2	16	13,500	400	400
			75	142,50	1	8	5,500	200	200
					2	16	13,500	400	400
1920	1080	3,955	60	207,17	1	8	4,045	200	200
					2	16	12,045	400	400

Таблица 19 содержит результаты расчетов для конфигураций внешнего синхронного конвейерного статического ОЗУ (типа 1645РУ7Я).

Ввиду того, что запись/чтение во внешнюю память по внешним интерфейсам (системная шина и SPI) для синхронной памяти отделены по времени от операций чтения графическим контроллером (без нарушения целостности изображения), то в столбце Dbm указана фактическая постоянная пропускная способность памяти, доступная для использования внешними управляющими интерфейсами, не зависящая от необходимой пропускной способности для графического контроллера.

Красным цветом в таблицах и выделены конфигурации памяти, при которых работа в данном разрешении невозможна ввиду недостаточного объёма памяти для хранения хотя бы одного кадра или недостаточной пропускной способности для чтения графическим контроллером без нарушения целостности изображения на экране.

Для удобства восприятия значения пересчитаны в более крупные единицы, например, Мбайт вместо бит или Мбайт/сек вместо бит/сек.

11 Контроллер графического курсора

Микросхема имеет аппаратную поддержку графического курсора.

Контроллер графического курсора имеет встроенное ОЗУ для хранения изображения курсора. Контроллер графического курсора работает вне зависимости от наличия внешней памяти.

Контроллер графического курсора обеспечивает вывод изображения курсора из встроенного ОЗУ в блок наложения и цветности.

Контроллер графического курсора работает полностью независимо от остальных контроллеров и отображается на самом верхнем слое наложения (см. раздел 13).

11.1 Настройки графического курсора

Графический контроллер имеет следующие настройки в регистрах управления:

- GCFG: поле `gcur_en` – включение/выключение отображения графического курсора:
 - 0 – выключен;
 - 1 – включен;
- GCUR0: поле `gcur_h` – горизонтальное смещение верхнего левого угла курсора от левого края экрана вправо в пикселях;
- GCUR1: поле `gcur_v` – вертикальное смещение верхнего левого угла курсора от верхнего края экрана в пикселях.

Для включения отображения курсора необходимо записать изображение курсора во внутреннее ОЗУ, а затем активировать курсор записью 1 в поле `gcur_en`.

Любые изменения состояния курсора применяются к следующему отображаемому на экране кадру.

Включение и отключение курсора, изменение его положения, а также перезапись изображения курсора допустимо производить «на лету» в любой момент времени без дополнительных действий.

11.2 Встроенное ОЗУ графического курсора

Адресация внутреннего ОЗУ курсора по внешним интерфейсам начинается с адреса `0x0010_0000` и заканчивается `0x0010_07FF` (адресация байтовая), позволяя получить доступ к адресному пространству максимальным объёмом 2 Кбайта (см. раздел 13).

Графический курсор является загружаемым, т.к. при включении микросхемы внутреннее ОЗУ курсора пусто.

Графический курсор имеет размер 32 × 32 пикселей по 16 бит на пиксель.

Изображение курсора в ОЗУ должно быть записано следующим образом:

- пиксели должны располагаться в ОЗУ, начиная с верхнего левого угла изображения слева направо и сверху вниз, т.е. построчно друг за другом без разрывов в адресном пространстве;
- правильный порядок байтов и битов для микросхемы – от младшего к старшему (little-endian), т.е. в младшем байтовом адресе должен находиться младший байт пикселя, а в младшем бите младшего байта – младший бит цвета пикселя.

11.3 Формат пикселя графического курсора

Микросхема поддерживает работу только с 16-битными входными данными (записанными во внешней памяти) для кодирования цвета пикселя графического курсора.

Цвет пикселя определяется в 16-битной палитре TRGB (прозрачность-красный-зеленый-синий) с форматом 1:5:5:5 битов на пиксель, т.е. всего $32 \times 32 \times 32 = 32768$ цветов.

Формат пикселя графического курсора отличается от формата пикселя графического контроллера.

Таблица 20 – Таблица кодирования цвета пикселя курсора TRGB

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Прозрачность	Красный					Зеленый					Синий				

Таблица 21 – Таблица кодирования цвета пикселя курсора TBGR

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Прозрачность	Синий					Зеленый					Красный				

Для изображения курсора в ОЗУ возможно использование не RGB-формата пикселя, а BGR. Для смены цветового формата пикселя при выводе на экран используется поле `rgb_order` регистра GCFG, где 0 – RGB формат данных в памяти, 1 – BGR формат данных в памяти. Порядок цветов пикселя курсора во встроенном ОЗУ должен совпадать с порядком цветов данных во внешней памяти для графического контроллера.

Старший бит (15) пикселя определяет его прозрачность:

- 0 – пиксель прозрачный, т.е. пиксель курсора не отображается на экране вне зависимости от цветового кода;
- 1 – пиксель не прозрачный и отображается на экране согласно цветовому коду палитры RGB.

Подробнее см. раздел 13.

11.4 Примеры отображения графического курсора

На рисунках и представлены два случая отображения графического курсора.

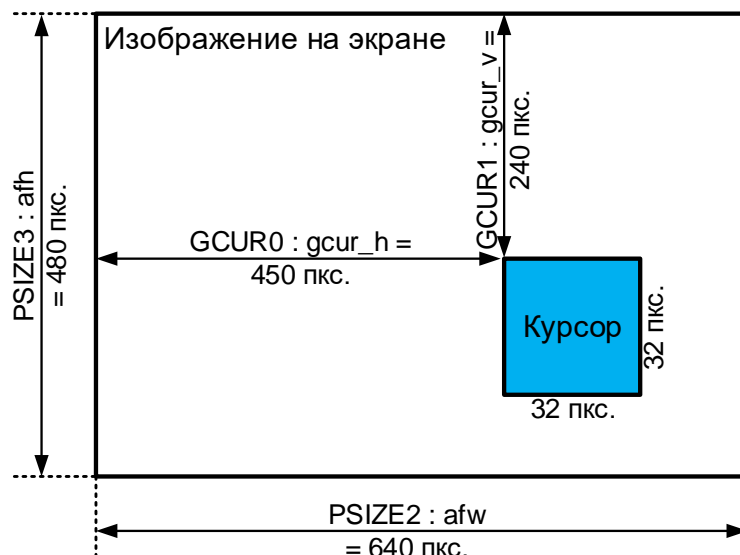


Рисунок 19 – Отображения курсора. Пример 1

На рисунке выше курсор выводится на экран со смещением 450 пикселей по горизонтали и 240 пикселей по вертикали относительно верхнего левого угла экрана. Вывод изображения курсора осуществляется слева направо и сверху вниз. Поскольку сумма смещения курсора и размера курсора меньше, чем разрешение видеовывода, курсор отображается на экране полностью.

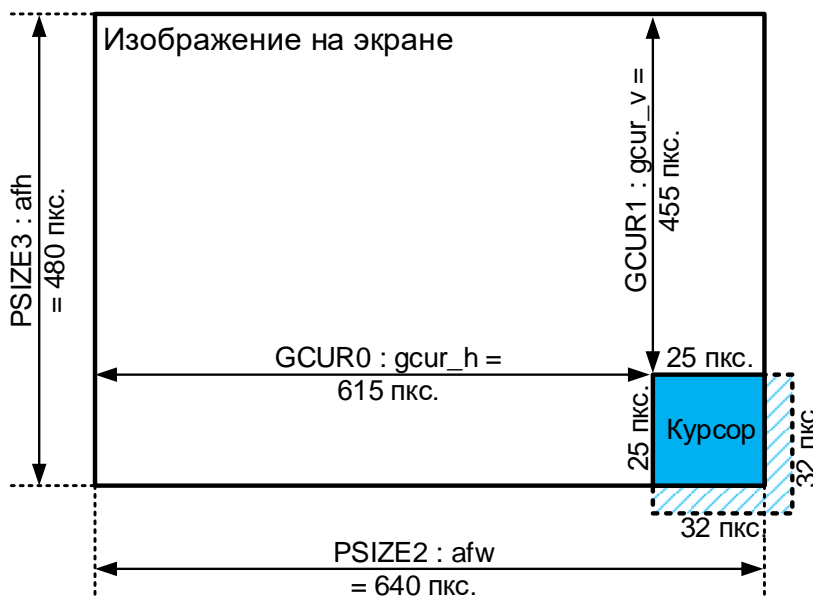


Рисунок 20 – Отображения курсора. Пример 2

На рисунке курсор выводится на экран со смещением 615 пикселей по горизонтали и 455 пикселей по вертикали относительно верхнего левого угла экрана. Поскольку сумма смещения курсора и размера курсора больше, чем разрешение видеовывода, курсор отображается на экране не полностью, а только частью размером 25 × 25 пикселей до окончания видимой области экрана. Часть изображения курсора вне разрешения экрана не отображается.

Допустимо устанавливать значения смещения курсора больше, чем разрешение экрана, в этом случае курсор отображаться не будет.

12 Текстовый контроллер

Микросхема содержит в своем составе текстовый контроллер со встроенным текстовым буфером (встроенное ОЗУ), знакогенератором с пятью таблицами кодировок и шрифтов (две пользовательские и три встроенные) и аппаратным текстовым курсором. Текстовый контроллер обеспечивает непрерывный вывод текстовой информации из текстового буфера и вывод текстового курсора в блок наложения и цветности.

Микросхема гарантированно поддерживает следующие разрешения и частоты обновления экрана при функционировании в текстовом режиме.

Таблица 22 – Текстовые режимы

afw, пикс.	afh, пикс.	Tw, симв.	Th, стр.	bpsym, бит	f _{frame} , Гц	Sw, пикс.	Sh, пикс.
Простой текстовый режим							
640	400	80	25	16	70/75	8	16
Текстовый режим с возможностью наложения							
640	480	80	30	16	60/75	8	16
640	480	40	30	16	60/75	16	16
800	600	100	37,5	16	60/75	8	16
800	600	50	37,5	16	60/75	16	16
1024	768	128	48	16	60/75	8	16
1024	768	64	48	16	60/75	16	16
1280	1024	160	64	16	60/75	8	16
1280	1024	80	64	16	60/75	16	16
1920	1080	240	67,5	16	60/75	8	16
1920	1080	120	67,5	16	60/75	16	16
<p>Примечание – Расшифровка столбцов таблицы: afw – ширина кадра в пикселях; afh – высота кадра в пикселях; Tw – ширина текстовой строки в символах; Th – количество строк на экране; bpsym – битов на символ; f_{frame} – частота обновления экрана в герцах; Sw – ширина символа в пикселях; Sh – высота символа в пикселях</p>							

Все текстовые режимы полноценно функционируют как в простом режиме (только текст), так и в режиме наложения (совместно с графикой и графическим курсором).

Объём внутреннего встроенного ОЗУ микросхемы достаточен для полноценного функционирования микросхемы в любом из вышеперечисленных текстовых режимов без подключения внешней видеопамати.

Микросхема также поддерживает произвольные (пользовательские) текстовые режимы с возможностью наложения.

Текстовый режим и режим наложения поддерживаются для всех графических разрешений, доступных для микросхемы.

12.1 Настройки текстового контроллера

Текстовый контроллер имеет следующие настройки в регистрах управления:

- GCFG, поля:
 - text_en – включение/выключение отображения текстовой информации из текстового буфера. 0 – выключено, 1 – включено;
 - tcur_en – включение/выключение отображения текстового курсора: 0 – выключено, 1 – включено;
- TXTCFG0, поле tba – младшие 16 бит смещения адреса начала виртуального текстового буфера относительно базового адреса внутренней текстовой памяти (адресация байтовая);
- TXTCFG1, поле tba – старшие 16 бит смещения адреса начала виртуального текстового буфера относительно базового адреса внутренней текстовой памяти (адресация байтовая);
- TXTCFG2, поле tcodepage – поле выбора кодовой страницы (знакогенератора);
- TCUR0, поля:
 - tcur_h – горизонтальное смещение текстового курсора от левого края экрана вправо в единицах знакомест;
 - tcur_v – вертикальное смещение текстового курсора от верхнего края экрана вниз в единицах знакомест;
- TCUR1, поле tcur_glyph – 16-битный код текстового символа, используемый для отображения курсора согласно формату текстового символа из текущей таблицы кодировки.

12.2 Процедура включения текстового контроллера

По умолчанию (после включения микросхемы) текстовый контроллер находится в выключенном состоянии.

Процедура старта блока следующая:

- выполнить настройку всех параметров блока генератора развертки в регистрах (см. подраздел 9.1);
- при необходимости выполнить настройку графического контроллера. Если графический контроллер не будет активирован в дальнейшем, то для корректной работы только в текстовом режиме без внешней видеопамати необходимо установить в поле mdw регистра MEMCFG0 значение большее или равное 1. Остальные настройки графического контроллера (если он не будет активирован) и контроллера внешней видеопамати (если внешняя память не задействована) допустимо оставить в значениях по умолчанию;
- выполнить настройку и включение блока ФАПЧ видеосистемы (см. подраздел 8.3);
- активировать генератор развертки посредством записи 1 в поле vo_en (video out enable) регистра GCFG (1 – блок активен, 0 – блок выключен);
- записать в пользовательский знакогенератор таблицу кодировки/шрифт или использовать встроенные режимы;
- при необходимости активировать графический контроллер посредством записи 1 в поле graph_en регистра GCFG. Активацию контроллера допустимо выполнять одновременно с активацией генератора развертки;
- активировать текстовый контроллер посредством записи 1 в поле text_en регистра GCFG. Активацию текстового контроллера допустимо выполнять одновременно с генератором развертки и графическим контроллером.

В процессе работы блока допустимо изменять любые параметры блока в любой момент времени. Измененные параметры применяются, начиная со следующего отображаемого кадра.

Вывод текста начинается с верхнего левого угла экрана и выводится слева направо и сверху вниз.

12.3 Встроенное текстовое ОЗУ и виртуальный текстовый буфер

Микросхема содержит в своем составе встроенное ОЗУ для хранения текстовой информации, выводимой на экран.

Размер ОЗУ составляет 32 Кбайта. Учитывая формат текстового символа в 16 бит, во встроенном ОЗУ возможно разместить до 16384 символов, что достаточно для полноценного функционирования текстового режима вплоть до разрешения экрана 1920 × 1080 пикселей. Например, для разрешения экрана 1920 × 1080 пикселей при размере знакоместа 8 × 16 символов для заполнения всего экрана потребуется 16200 символов.

Встроенное текстовое ОЗУ имеет базовый адрес 0x00800000 и имеет размер адресного пространства 0x7FFF байт (адресация байтовая).

Микросхема видеоконтроллера использует виртуальный текстовый буфер, находящийся в пределах встроенного ОЗУ, аналогично графическому кадровому буферу. Виртуальный текстовый буфер имеет объем, соответствующий текущему разрешению экрана.

Смещение начала виртуального текстового буфера относительно базового адреса встроенного ОЗУ задается в регистрах TXTCFG0 и TXTCFG1. Байтовый адрес начала виртуального текстового буфера во внутреннем ОЗУ *tba* (text buffer address) вычисляется по формуле

$$tba = (TXTCFG1 \ll 16) + TXTCFG0. \quad (21)$$

Изменение смещения виртуального текстового буфера позволяет реализовать систему двойной/тройной и т.д. буферизации при выводе текста на экран, а также возможность вертикального скроллинга текста без его перезаписи во встроенном ОЗУ.

Вывод текстовой информации из текстового буфера осуществляется с 0 байтового адреса виртуального текстового буфера (не ОЗУ) посимвольно слева направо и построчно сверху вниз. Перенос строки происходит автоматически при достижении максимального количества знакомест в строке (края экрана). Количество знакомест в строке определяется автоматически в зависимости от горизонтального разрешения экрана (поле *afw* регистра PSIZE2) и ширины знакоместа (8 или 16 пикселей).

Соответственно, хранение информации во встроенном ОЗУ необходимо организовать с учетом предыдущего абзаца, т.е. от младшего адреса к старшему, где младший адрес – это верхняя левая часть экрана. Один символ – 16 бит, шаг адреса для записи/чтения текстовых данных во встроенное ОЗУ должен быть равен 2 (адресация байтовая).

Пример расположения текста во внутреннем ОЗУ и положения текстового буфера представлен на рисунке 21.

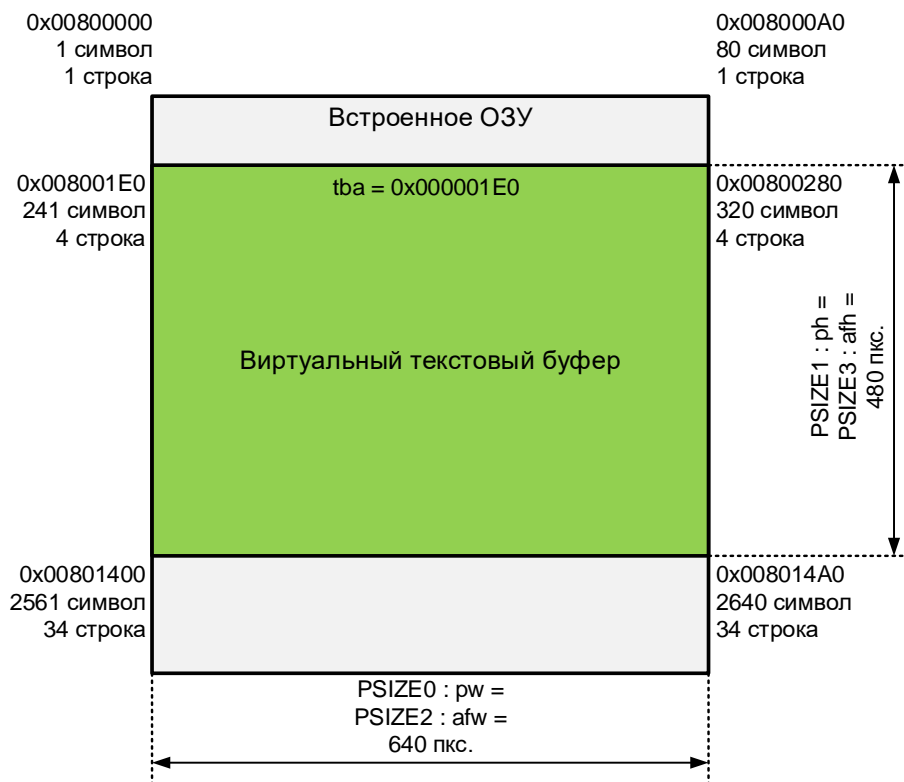


Рисунок 21 – Пример расположения текста в ОЗУ

В данном примере разрешение экрана составляет 640 × 480 пикселей. Текстовое знакоместо имеет размер 8 × 16 пикселей. Таким образом на экране помещается 30 строк по 80 знакомест в каждой.

Учитывая смещение виртуального текстового буфера $tba = 0x000001E0$, вывод на экран начинается с 1-го символа 4-ой строки ОЗУ (фактически 241-го символа в ОЗУ) и заканчивается 80-м символом 34-ой строки текстовой информации в ОЗУ (фактически 2640-м символом в ОЗУ).

12.4 Формат текстового символа

Каждый текстовый символ, выводимый на экран, должен иметь формат, представленный в таблице 23.

Таблица 23 – Формат текстового символа

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Мерцание	Цвет фона			Цвет символа				Код символа знакогенератора							

В каждое знакоместо текстового буфера (16 бит) должен быть записан соответствующий символ. Для корректного отображения символа на экране все поля текстового символа должны соответствовать требованиям формата символа:

- поле «Код символа знакогенератора», биты 0 – 7, содержит код символа из текущей таблицы кодировки. Подробнее см. подраздел 12.5;
- поле «Цвет символа», биты 8 – 11, содержит код цвета символа из таблицы цветности. Подробнее см. подраздел 12.6;
- поле «Цвет фона», биты 12 – 14, содержит код цвета фона символа из таблицы цветности текста. Подробнее см. подраздел 12.6;
- поле «Мерцание», бит 15, содержит признак мерцания текстового символа:
 - 0 – мерцание отключено;
 - 1 – мерцание включено.

Период мерцания составляет 1/32 от частоты обновления экрана. Во время мерцания текстовый символ периодически становится невидимым, в этом случае отображается только фон текстового символа. Если фон текста в поле «Цвет фона» задан прозрачным, то в период невидимости отображается либо графическое изображение под символом (при активном графическом контроллере), либо черный цвет.

12.5 Знакогенератор

Знакогенератор представляет собой модуль, отвечающий за отображение символа текста согласно коду символа, и содержит попиксельную матрицу шрифта каждого символа.

Микросхема содержит два знакогенератора по 256 знакомест в каждом:

- встроенный знакогенератор с размером символьной матрицы 8 × 16;
- загружаемый знакогенератор с размером символьной матрицы 8 × 16 и 16 × 16.

Каждый из знакогенераторов имеет специальную выделенную область внутренней встроенной памяти (ОЗУ – для загружаемого знакогенератора и ПЗУ – для встроенного), в которой хранятся символьные матрицы (шрифт) для каждого кода символа различных кодировок.

Базовый адрес внутренней памяти для таблиц кодировок знакогенераторов равен 0x0040_0000. Подробнее см. раздел 17.

Тип используемого знакогенератора и кодировки/шрифта (для встроенного знакогенератора) определяется посредством записи соответствующего значения в поле tcodepage регистра THTCFG2 (см. подраздел 18.29).

12.5.1 Загружаемый знакогенератор

Загружаемый знакогенератор позволяет записывать/считывать произвольные символьные матрицы в/из ОЗУ микросхемы размером 8 × 16 или 16 × 16 пикселей.

Символьные матрицы хранятся во встроенном ОЗУ по адресам от 0x0040_0000 до 0x0040_1FFF. По умолчанию после включения питания ОЗУ содержит произвольные данные и требует загрузки в него символьных матриц пользователем.

Символьные матрицы хранятся в памяти последовательно от младшего кода символа к старшему.

Шаг адреса составляет 0x10 для матрицы 8 × 16 пикселей на символ и 0x20 для матрицы 16 × 16 пикселей на символ (адресация байтовая).

Пример 3 – символьная матрица с кодом символа 9 хранится в адресном пространстве:

- от 0x0040_0090 до 0x0040_009F для загружаемого знакогенератора 8 × 16 пикселей;
- от 0x0040_0120 до 0x0040_0013F (адресация байтовая) для загружаемого знакогенератора 16 × 16 пикселей.

Символьные матрицы приведены в таблицах 24 и 25.

Таблица 24 – Символьная матрица для символа «Я», имеющего код символа 9 в загружаемом знакогенераторе 8 × 16 пикселей на символ

Адрес	Биты							
	0	1	2	3	4	5	6	7
0x00400_0090	0	0	0	0	0	0	0	0
0x00400_0091	0	0	0	0	0	0	0	0
0x00400_0092	0	1	1	1	1	1	1	0
0x00400_0093	1	1	0	0	0	1	1	0
0x00400_0094	1	1	0	0	0	1	1	0
0x00400_0095	1	1	0	0	0	1	1	0
0x00400_0096	1	1	0	0	0	1	1	0
0x00400_0097	0	1	1	1	1	1	1	0
0x00400_0098	0	0	1	1	0	1	1	0
0x00400_0099	0	1	1	0	0	1	1	0
0x00400_009A	1	1	0	0	0	1	1	0
0x00400_009B	1	1	0	0	0	1	1	0
0x00400_009C	0	0	0	0	0	0	0	0
0x00400_009D	0	0	0	0	0	0	0	0
0x00400_009E	0	0	0	0	0	0	0	0
0x00400_009F	0	0	0	0	0	0	0	0

Таблица 25 – Символьная матрица для символа «Я», имеющего код символа 9 в загружаемом знакогенераторе 16 × 16 пикселей на символ

Адрес	Биты															
	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0x00400_0120	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x00400_0122	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x00400_0124	0	0	1	1	1	1	1	1	1	1	1	1	1	1	0	0
0x00400_0126	1	1	1	1	0	0	0	0	0	0	1	1	1	1	0	0
0x00400_0128	1	1	1	1	0	0	0	0	0	0	1	1	1	1	0	0
0x00400_012A	1	1	1	1	0	0	0	0	0	0	1	1	1	1	0	0
0x00400_012C	1	1	1	1	0	0	0	0	0	0	1	1	1	1	0	0
0x00400_012E	0	0	1	1	1	1	1	1	1	1	1	1	1	1	0	0
0x00400_0130	0	0	0	0	1	1	1	1	0	0	1	1	1	1	0	0
0x00400_0132	0	0	1	1	1	1	0	0	0	0	1	1	1	1	0	0
0x00400_0134	1	1	1	1	0	0	0	0	0	0	1	1	1	1	0	0
0x00400_0136	1	1	1	1	0	0	0	0	0	0	1	1	1	1	0	0
0x00400_0138	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x00400_013A	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x00400_013C	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x00400_013E	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

В таблицах символьных матриц (таблицы 24 и 25):

0 – фон символа;

1 – сам символ.

Символьная матрица определяет только геометрический вид символа относительно фона. Цвет символа и цвет фона определяются в последующих стадиях обработки символьных матриц знакогенератора перед выводом на экран с использованием таблицы цветности текста.

12.5.2 Встроенный знакогенератор

Встроенный знакогенератор по принципу работы и размещению символьных матриц аналогичен загружаемому, но недоступен для записи (только чтение) и имеет размер символьной матрицы 8 × 16 пикселей.

Если необходимо использовать таблицу кодировки из встроенного генератора с размером 16 × 16 пикселей на символ, допустимо считать таблицу кодировки посредством управляющего устройства, провести преобразование всех символьных матриц в формат 16 × 16 (фактически продублировать каждый бит символьной матрицы) и записать результат преобразования символьных матриц в загружаемый знакогенератор.

Встроенный знакогенератор поддерживает следующие расширенные кириллические кодировки:

- CP866;
- CP1251;
- KOI8-R.

Первые 128 символов (порядковые десятичные номера от 0 до 127) во всех трёх встроенных таблицах кодировки соответствуют кодировке CP437/ASCII (см. таблицу 26).

Таблица 26 – Символы от 0 до 127 встроенных кодировок (CP437/ASCII)

	.0	.1	.2	.3	.4	.5	.6	.7	.8	.9	.A	.B	.C	.D	.E	.F
0.		☺	☹	♥	♦	♣	♠	•	▪	○	◼	♂	♀	♪	♫	☀
1.	▶	◀	↕	!!	¶	§	—	↕	↑	↓	→	←	└	↔	▲	▼
2.		!	"	#	\$	%	&	'	()	*	+	,	-	.	/
3.	0	1	2	3	4	5	6	7	8	9	:	;	<	=	>	?
4.	@	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O
5.	P	Q	R	S	T	U	V	W	X	Y	Z	[\]	^	_
6.	`	a	b	c	d	e	f	g	h	i	j	k	l	m	n	o
7.	p	q	r	s	t	u	v	w	x	y	z	{		}	~	△

Код символа (для использования в поле «код символа знакогенератора» при формировании 16-битного знакоместа для записи в текстовый буфер) определяется

соответствующими номерами строки и столбца таблицы кодировки. Например, символ «N» будет иметь код 0x4E.

Встроенные символьные матрицы для каждого кода символа стандартной кодировки CP437/ASCII (0 – 127 коды символов) располагаются в адресном пространстве от 0x0040_2000 до 0x0040_27FF.

Для расчета начального адреса символьной матрицы определенного кода символа используется формула

$$symbol_matrix_address = codepage_start_address + (symbol_code \ll 4), \quad (22)$$

где:

- *symbol_matrix_address* – абсолютный начальный байтовый адрес символьной матрицы в памяти микросхемы;
- *codepage_start_address* – абсолютный начальный байтовый адрес таблицы стандартной кодировки в памяти микросхемы;
- *symbol_code* – код символа знакогенератора.

Пример 4 – для символа «N» с кодом 0x4E для всех встроенных таблиц кодировки начальный адрес символьной матрицы будет следующим

$$\begin{aligned} symbol_{matrixaddress} &= 0x0040_{2000} + (0x4E \ll 4) = 0x0040_{2000} + 0x4E0 = \\ &= 0x0040_{24E0}. \end{aligned} \quad (23)$$

Следующие 128 кодов символов (порядковые десятичные номера от 128 до 255) соответствуют кириллическим символам и псевдографике в соответствии с выбранной расширенной кодировкой, см. таблицы 27 – 29.

Таблица 27 – Символы от 128 до 255 встроенной расширенной кодировки CP866

	.0	.1	.2	.3	.4	.5	.6	.7	.8	.9	.A	.B	.C	.D	.E	.F
8.	А	Б	В	Г	Д	Е	Ж	З	И	Й	К	Л	М	Н	О	П
9.	Р	С	Т	У	Ф	Х	Ц	Ч	Ш	Щ	Ъ	Ы	Ь	Э	Ю	Я
A.	а	б	в	г	д	е	ж	з	и	й	к	л	м	н	о	п
B.	▒	▓	█		┌	┐	└	┘	┌	┐	└	┘	┌	┐	└	┘
C.	┌	└	┐	┘	─	┌	┐	└	┘	┌	└	┐	┘	=	┌	└
D.	┌	└	┐	┘	┌	┐	└	┘	┌	┐	└	┘	█	█	█	█
E.	р	с	т	у	ф	х	ц	ч	ш	щ	ъ	ы	ь	э	ю	я
F.	Ё	ё	Є	є	Ї	ї	Ў	ў	°	·	·	√	№	¤	■	

Таблица 28 – Символы от 128 до 255 встроенной расширенной кодировки CP1251

	.0	.1	.2	.3	.4	.5	.6	.7	.8	.9	.A	.B	.C	.D	.E	.F
8.	Ъ	Ѓ	,	ѓ	„	…	†	‡	€	‰	Љ	‹	Њ	Ќ	Ў	Џ
9.	ђ	‘	’	“	”	•	–	—		™	љ	›	њ	ќ	ћ	џ
A.		Ў	ў	Ј	ѡ	Ѓ	Ї	§	Ё	©	Є	«	¬		®	ї
B.	°	±	І	і	ѓ	μ	¶	·	ё	№	є	»	ј	ѕ	ѕ	ї
C.	А	Б	В	Г	Д	Е	Ж	З	И	Й	К	Л	М	Н	О	П
D.	Р	С	Т	У	Ф	Х	Ц	Ч	Ш	Щ	Ъ	Ы	Ь	Э	Ю	Я
E.	а	б	в	г	д	е	ж	з	и	й	к	л	м	н	о	п
F.	р	с	т	у	ф	х	ц	ч	ш	щ	ъ	ы	ь	э	ю	я

Таблица 29 – Символы от 128 до 255 встроенной расширенной кодировки KOI8-R

	.0	.1	.2	.3	.4	.5	.6	.7	.8	.9	.A	.B	.C	.D	.E	.F
8.	–		Г	Г	Л	Л	Т	Т	Т	Т	†	■	■	■	■	■
9.	⋯	⋯	⋯		■	·	√	≈	≤	≥		Ј	°	²	·	÷
A.	=		Г	ё	П	П	Т	Т	Т	Т	Ц	Ц	Ц	Ц	Ц	Ц
B.	Т	Т	Т	ё	Т	Т	Т	Т	Т	Т	Ц	Ц	Ц	Ц	Ц	©
C.	ю	а	б	ц	д	е	ф	г	х	и	й	к	л	м	н	о
D.	п	я	р	с	т	у	ж	в	ь	ы	з	ш	э	щ	ч	ъ
E.	Ю	А	Б	Ц	Д	Е	Ф	Г	Х	И	Й	К	Л	М	Н	О
F.	П	Я	Р	С	Т	У	Ж	В	Ь	Ы	З	Ш	Э	Щ	Ч	Ъ

Для расширенных кодировок код символа определяется соответствующими номерами строки и столбца таблицы кодировки, т.е. символ «Я» будет иметь код 0x9F.

Встроенные символьные матрицы для каждого кода символа расширенных кодировок располагаются в следующих адресных пространствах:

- от 0x0040_2800 до 0x0040_2FFF – для расширенной кодировки CP866 (128 – 255 коды символов);
- от 0x0040_3000 до 0x0040_37FF – для расширенной кодировки CP1251 (128 – 255 коды символов);
- от 0x0040_3800 до 0x0040_3FFF – для расширенной кодировки KOI8-R (128 – 255 коды символов).

Для расчета начального адреса символьной матрицы определенного кода символа в расширенной кодировке используется формула

$$symbol_matrix_address = codepage_start_address + ((symbol_code - 0x80) \ll 4), \quad (24)$$

где:

- *symbol_matrix_address* – абсолютный начальный байтовый адрес символьной матрицы в памяти микросхемы;
- *codepage_start_address* – абсолютный начальный байтовый адрес таблицы расширенной кодировки в памяти микросхемы;
- *symbol_code* – код символа знакогенератора.

Пример 5 – для символа «Я» с кодом 0xDF расширенной таблицы кодировки CP1251 начальный адрес символьной матрицы будет следующим

$$\begin{aligned} symbol_{matrix_address} &= 0x0040_{3000} + ((0xDF - 0x80) \ll 4) = \\ &= 0x0040_{3000} + 0x5F0 = 0x0040_{35F0}. \end{aligned}$$

Символьная матрица в ПЗУ знакогенератора кодировки CP1251 с начальным адресом 0x0040_35F0 представлена в таблице 30.

Таблица 30 – Символьная матрица встроенного знакогенератора кодировки CP1251

Адрес	Биты							
	0	1	2	3	4	5	6	7
0x00400_35F0	0	0	0	0	0	0	0	0
0x00400_35F1	0	0	0	0	0	0	0	0
0x00400_35F2	0	1	1	1	1	1	1	0
0x00400_35F3	1	1	0	0	0	1	1	0
0x00400_35F4	1	1	0	0	0	1	1	0
0x00400_35F5	1	1	0	0	0	1	1	0
0x00400_35F6	1	1	0	0	0	1	1	0
0x00400_35F7	0	1	1	1	1	1	1	0
0x00400_35F8	0	0	1	1	0	1	1	0
0x00400_35F9	0	1	1	0	0	1	1	0
0x00400_35FA	1	1	0	0	0	1	1	0
0x00400_35FB	1	1	0	0	0	1	1	0
0x00400_35FC	0	0	0	0	0	0	0	0
0x00400_35FD	0	0	0	0	0	0	0	0
0x00400_35FE	0	0	0	0	0	0	0	0
0x00400_35FF	0	0	0	0	0	0	0	0

12.6 Таблица цветности текста

Таблица цветности текста является палитрой цветов, используемых при выводе символьной матрицы на экран, и доступна для перезаписи пользователем.

Таблица цветности переопределяет цвет пикселя из символьной матрицы для символа или фона символа согласно палитре.

Таблица цветности расположена в памяти микросхемы по адресам от 0x0020_0000 до 0x0020_002F.

Таблица цветности состоит из двух частей. Первая часть используется для палитры цветов текстового символа, вторая – для палитры цветов фона.

Обе части таблицы цветности имеют предустановленные значения цветов по сбросу (при включении микросхемы), а также доступны для перезаписи пользователем для изменения цветовой палитры как символа, так и фона символа.

Формат цвета в палитре совпадает с форматом пикселя графического режима (не графического курсора!). См. подраздел 10.5.

Цвет пикселя определяется в 16-битной палитре RGB с форматом 5:6:5 битов на пиксель.

Таблица 31 – Таблица кодирования цвета пикселя текста RGB

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Красный					Зеленый						Синий				

Таблица 32 – Таблица кодирования цвета пикселя текста BGR

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Синий					Зеленый						Красный				

При использовании/перезаписи цветов палитры необходимо учитывать значение поля `rgb_order` регистра `GCFG`, где:

- 0 – RGB-формат цвета пикселя (таблица 31);
- 1 – BGR-формат цвета пикселя (таблица 32).

Порядок цветов пикселя текста в палитре должен совпадать с порядком цветов данных во внешней видео памяти для графического контроллера, а также для графического курсора.

По сбросу (по умолчанию) в палитре записаны цвета в формате RGB. Подробнее см. раздел 13.

При значении пикселя в символьной матрице равном 1 (см. подраздел 12.5.1) для задания цвета пикселя символа (при выводе на экран) используется цвет из первой части таблицы цветности (адреса с `0x0020_0000` до `0x0020_001E`), соответствующий коду в поле «цвет символа» (см. подраздел 12.4).

При значении пикселя в символьной матрице равном 0 (см. подраздел 12.5.1) для задания цвета пикселя фона символа (при выводе на экран) используется цвет из второй части таблицы цветности (адреса с `0x0020_0020` до `0x0020_002E`), соответствующий коду в поле «цвет фона» (см. подраздел 12.4).

Таблица 33 – Таблица цветности (палитра) текста

Код цвета	Адрес	Значение по сбросу	Цвет по сбросу	
			Название	Пример
Цвет символа				
0x0	0x0020_0000	0x0000	Черный (Black)	
0x1	0x0020_0002	0x8000	Темно-бордовый (Maroon)	
0x2	0x0020_0004	0x0400	Зеленый (Green)	
0x3	0x0020_0006	0x8400	Оливковый (Olive)	
0x4	0x0020_0008	0x0010	Темно-синий (Navy)	
0x5	0x0020_000A	0x8010	Фиолетовый (Purple)	
0x6	0x0020_000C	0x0410	Сине-зеленый/чирковый (Teal)	
0x7	0x0020_000E	0xC618	Серебряный (Silver)	
0x8	0x0020_0010	0x8410	Серый (Gray)	
0x9	0x0020_0012	0xF800	Красный (Red)	
0xA	0x0020_0014	0x07E0	Лайм/салатовый (Lime)	
0xB	0x0020_0016	0xFFE0	Желтый (Yellow)	

Код цвета	Адрес	Значение по сбросу	Цвет по сбросу	
			Название	Пример
Цвет символа				
0xC	0x0020_0018	0x001F	Синий (Blue)	
0xD	0x0020_001A	0xF81F	Маджента/фуксия (Magenta)	
0xE	0x0020_001C	0x07FF	Циан (Cyan)	
0xF	0x0020_001E	0xFFFF	Белый (White)	
Цвет фона				
0x0	0x0020_0020	0x0000	Прозрачный	
0x1	0x0020_0022	0x0000	Черный (Black)	
0x2	0x0020_0024	0xF800	Красный (Red)	
0x3	0x0020_0026	0x07E0	Лайм/салатовый (Lime)	
0x4	0x0020_0028	0xFFE0	Желтый (Yellow)	
0x5	0x0020_002A	0x001F	Синий (Blue)	
0x6	0x0020_002C	0x07FF	Циан (Cyan)	
0x7	0x0020_002E	0xFFFF	Белый (White)	


Цвет фона символа – «прозрачный» означает, что при использовании кода цвета фона 0x0 при любом значении в таблице цветности по адресу 0x0020_0020 фон символа будет прозрачный, т.е. сам символ будет отображаться согласно таблице цветности, а фон отображаться не будет. Вместо фона символа на экране будет отображаться либо графическое изображение (при активном графическом контроллере), либо черный цвет.

Пример 6:

- выбрана кодировка CP1251 (tcodepage = 0x4);
- текстовый символ, записанный в текстовый буфер, имеет значение 0xCCDF;
- выходной формат пикселя – RGB (rgb_order = 0).

Таблица 34 – Текстовый символ в текстовом буфере

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
1	1	0	0	1	1	0	0	1	1	0	1	1	1	1	1

В этом случае, символ будет иметь вид  и мерцать. Сам символ – «Я», цвет символа – синий, цвет фона символа – желтый, мерцание – включено.

12.7 Текстовый курсор

Микросхема имеет аппаратную поддержку текстового курсора.

Текстовый курсор полноценно функционирует как в простом текстовом режиме, так и в режиме наложения текста на графику.

Символ курсора, цвет курсора, цвет фона курсора и мерцание задаются в поле tcur_glyph регистра TCUR1 (см. подраздел 18.32).

Формат курсора полностью совпадает с форматом текстового символа (см. подраздел 12.4).

Символ курсора используется из текущей таблицы кодировки.

Цвет символа курсора и цвет фона курсора используется из текущей таблицы цветности.

Мерцание курсора определяется старшим битом в поле tcur_glyph:

0 – мерцание отключено;

1 – мерцание включено.

В режиме наложения текстовый курсор всегда отображается перед текстом/графикой, но за графическим курсором (см. раздел 13).

Горизонтальное положение курсора относительно верхнего левого угла экрана задается в знаковых местах (начиная с 0) в поле `tcur_h` регистра TCUR0 (см. подраздел 18.31).



Вертикальное положение курсора относительно верхнего левого угла экрана задается в знаковых местах (начиная с 0) в поле `tcur_v` регистра TCUR0 (см. подраздел 18.31).

Пример 7:

- выбрана кодировка CP866 (`tcodepage = 0x2`);
- поле `tcur_glyph` регистра TCUR1, имеет значение `0x0FB2`;
- выходной формат пикселя – RGB (`rgb_order = 0`);
- горизонтальное положение курсора `tcur_h = 16`;
- вертикальное положение курсора `tcur_v = 5`;
- графический контроллер отключен (`graph_en = 0`).

Таблица 35 – Значения поля `tcur_glyph` регистра TCUR1

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	1	1	1	1	1	0	1	1	0	0	1	0

В этом случае текстовый курсор будет иметь вид  и не будет мерцать. Сам символ курсора (`0xB2`) – «», цвет символа (`0xF`) – белый, цвет фона символа (`0x0`) – прозрачный, мерцание – выключено.

Графический контроллер отключен, т.е. графическое изображение под прозрачным фоном курсора будет черным.

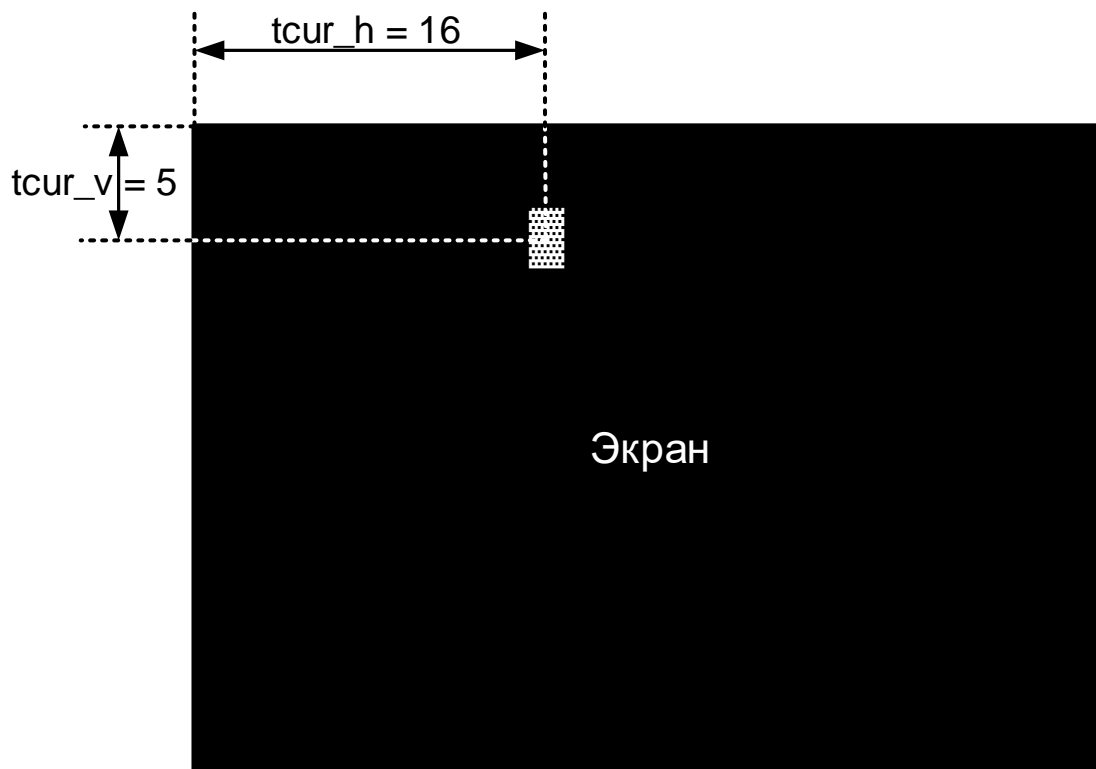


Рисунок 22 – Отображение текстового курсора на экране для примера

13 Блок наложения и цветности

Микросхема содержит в своем составе блок наложения и цветности, который реализует режим послойного наложения графического курсора, текстового курсора, текста и графической картинке друг на друга. Фактически блок по определенному алгоритму анализирует условия отображения каждого пикселя каждого слоя видеоданных и выбирает пиксель какого слоя и в каком цвете передавать далее в видеовыход.

Приоритет расположения и анализа слоев видеоданных:

- 1 графический курсор,
- 2 текстовый курсор,
- 3 текст,
- 4 графическое изображение,

где 1 – наивысший приоритет (верхний слой), 4 – минимальный приоритет (нижний слой).

Каждый из слоев наложения может быть включен/выключен вне зависимости от состояния других слоев.

В случае, когда графический контроллер отключен, в качестве самого нижнего слоя с минимальным приоритетом используется черный цвет.

Алгоритм анализа видеоданных каждого слоя приведен на рисунке 23.

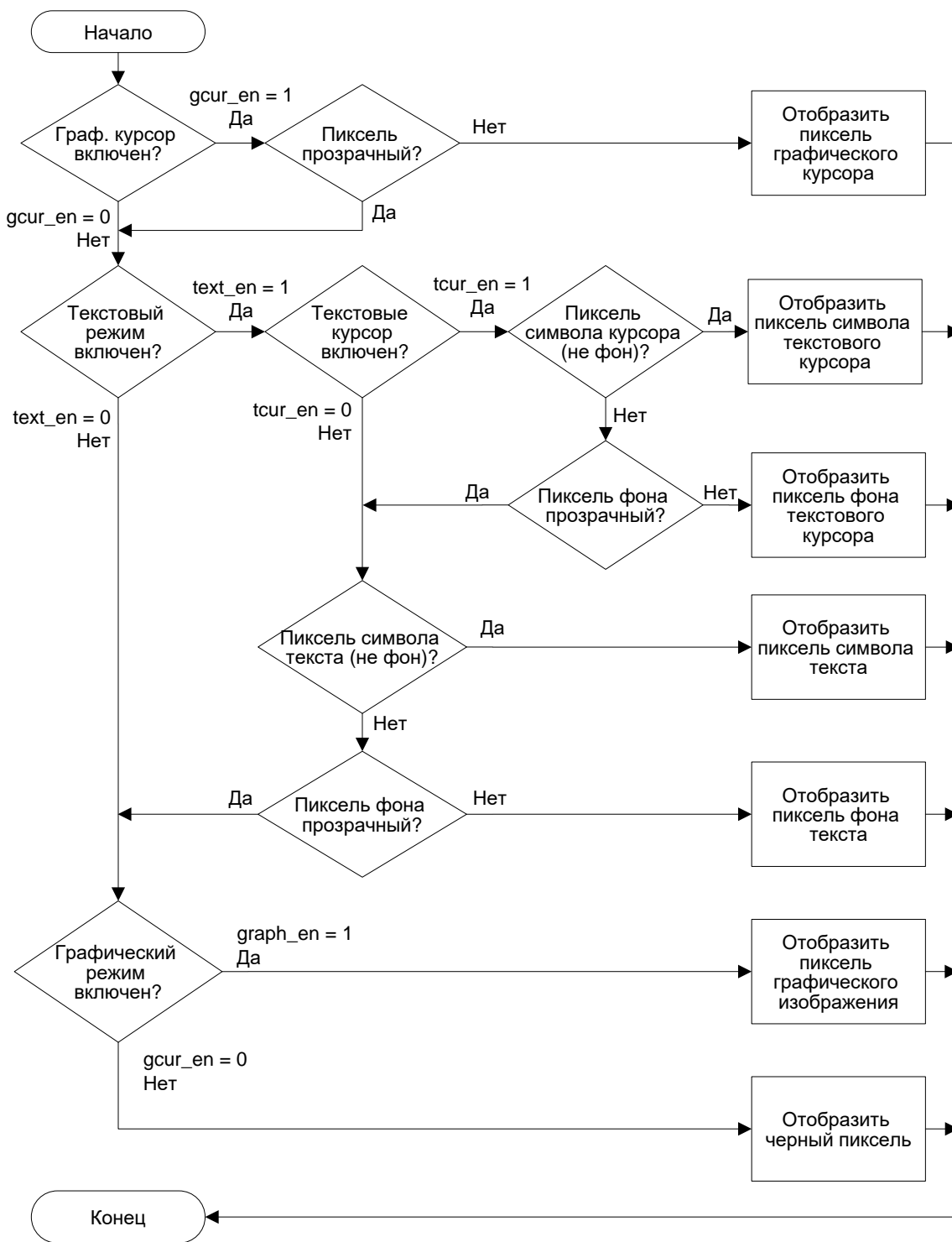


Рисунок 23 – Алгоритм работы блока наложения и цветности

После определения типа пикселя для вывода на экран блок наложения и цветности производит преобразование цветового кода пикселя соответствующего слоя в единый формат RGB565. Формат пикселя после преобразования идентичен формату пикселя графического изображения (см. подраздел 10.5).

Блок наложения и цветности разбивает преобразованный цветовой код пикселя по цветовым каналам и передает значение яркости цвета в соответствующий цветовой канал блоков видеовывода.

По умолчанию блок наложения и цветности после преобразования формата пикселя (если он отличается от формата пикселя графического изображения) передает старшие 5 бит кода цвета пикселя (красный цвет) в канал красного цвета, средние 6 бит

(зеленый цвет) – в канал зеленого цвета, а младшие 5 бит (синий цвет) – в канал синего цвета блоков видеовывода.

Таблица 36 – Таблица кодирования цвета пикселя для видеовывода RGB565

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Красный канал					Зеленый канал						Синий/зеленый				

Для смены цветового формата пикселя при выводе на экран используется поле `rgb_order` регистра `GCFG`, где:

0 – прямой формат RGB (таблица 36), установлен по умолчанию;

1 – формат BGR, старшие 5 бит цветового кода подаются в синий канал, средние 6 бит – в зеленый, а младшие 5 бит – в красный цветовой канал блоков видеовывода (таблица 37).

Таблица 37 – Таблица кодирования цвета пикселя для видеовывода BGR565

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Синий канал					Зеленый канал						Красный канал				

Таким образом, при смене выходного формата пикселя на BGR (`rgb_order = 1`) необходимо поменять местами поля цветовых кодов (красный и синий) в исходном графическом изображении в видеопамяти, в изображении графического курсора и в таблицах цветности текста для корректного цветового отображения на экране, если исходные изображения/палитры имели формат RGB.

Аналоговый видеоинтерфейс имеет в своем составе 8-битные ЦАП.

Преобразование значений яркости красного и синего цветового канала из 5 бит в 8 бит интерфейса ЦАП красного и синего каналов производится по формуле

$$AI[7:0] = (DO[4:0] \ll 3) + (DO[4:0] \gg 2) = \text{floor}(DO * 8 + DO/4), \quad (25)$$

где AI – входной 8-битный интерфейс ЦАП;

DO – 5/6 битные коды яркости цвета в блоке наложения и цветности;

`floor` – математическая операция округления в сторону меньшего;

`<<` – операция побитового сдвига влево;

`>>` – операция побитового сдвига вправо.

Преобразование значения яркости зеленого цветового канала из 6 бит в 8 бит интерфейса ЦАП красного и синего каналов производится по формуле

$$AI[7:0] = (DO[5:0] \ll 2) + (DO[5:0] \gg 3) = \text{floor}(DO * 4 + DO/8), \quad (26)$$

где AI – входной 8-битный интерфейс ЦАП;

DO – 5/6 битные коды яркости цвета в блоке наложения и цветности;

`floor` – математическая операция округления в сторону меньшего;

`<<` – операция побитового сдвига влево;

`>>` – операция побитового сдвига вправо.

Блок наложения и цветности имеет в своем составе дополнительный буфер (FIFO) размером в 2048 пикселей. Данного буфера достаточно, чтобы компенсировать неравномерность поступления данных из внешней видеопамяти и поднять доступную частоту пиксельного синхросигнала за счет использования времени интервалов гашения на дозапись сформированных видеоданных в буфер.

Буфер имеет флаг запроса прерывания `vo_fe_i` в регистре `GSTAT`, который также дублируется на вывод `HINT` и сигнализирует о том, что выходной буфер почти пуст, т.е. средняя скорость поступления видеоданных в блок наложения и цветности ниже, чем требуется для вывода изображения на экран.

14 Аналоговый видеовыход

Микросхема содержит в своем составе три цифро-аналоговых преобразователя (ЦАП) для формирования выходных аналоговых видеосигналов.

Каждый ЦАП имеет входной 8-разрядный интерфейс данных от блока наложения и цветности. Преобразование цветового кода для каждого цветового канала из 5(6) бит в 8 бит производится в блоке наложения и цветности.

Частота дискретизации каждого ЦАП равна выходной частоте блока ФАПЧ видеосистемы (см. подраздел 8.3) – частоте пиксельного синхросигнала PCLK.

Выходные сигналы видео ЦАП полностью совместимы со стандартом VESA VSISv1r2 и имеют формат RGBHV.

Микросхема содержит в своем составе генератор сигналов вертикальной и горизонтальной синхронизации (см. подраздел 9).

Микросхема позволяет изменять полярность сигналов горизонтальной и вертикальной синхронизации (активный 0 или активная 1). Настройки полярности находятся в системных регистрах.

Микросхема не поддерживает режим GreenSync (синхронизация по зеленому каналу).

Интерфейс аналогового видеовыхода представлен в таблице .

Таблица 38 – Аналоговый видеовыход

Обозначение	Тип	Описание
ABV	АО	Аналоговый видеосигнал синего цвета (прямой)
ABR	АО	Аналоговый видеосигнал синего цвета (обратный)
AGR	АО	Аналоговый видеосигнал зеленого цвета (обратный)
AGV	АО	Аналоговый видеосигнал зеленого цвета (прямой)
ARR	АО	Аналоговый видеосигнал красного цвета (обратный)
ARV	АО	Аналоговый видеосигнал красного цвета (прямой)
HSYNC	О	Сигнал горизонтальной синхронизации
VSYNC	О	Сигнал вертикальной синхронизации

Примечание – Обозначение типов выводов:
 АО – аналоговый выход;
 О – цифровой выход

Выводы каждого ЦАП требуют обязательного внешнего терминирования резисторами, как со стороны передатчика (т.е. микросхемы видеоадаптера), так и со стороны приемника (устройства вывода видеoinформации).

Между выводами ARV (analog red video), AGV (analog green video) и ABV (analog blue video) и шиной «Общий» необходимо установить внешние терминирующие резисторы сопротивлением 75 Ом каждый. Далее выводы подключить к соответствующим цветовым выводам разъема DE15.

Между выводами ARR (analog red return), AGR (analog green return) и ABR (analog blue return) и шиной «Общий» необходимо установить по два внешних терминирующих параллельных резистора сопротивлением 75 Ом каждый. Далее выводы никуда не подключать.

Типовая схема подключения интерфейса аналогового видеовывода к разъему VGA (D-sub DE15) представлена в подразделе 19.5.

Каждый из трех ЦАП выдает аналоговый сигнал яркости только для своего цвета:

- AB* – analog blue;
- AG* – analog green;
- AR* – analog red.

В сопровождении сигналов HSYNC и VSYNC три аналоговых выхода формируют интерфейс аналогового видеосигнала формата RGBHV. Данного набора сигналов достаточно для полноценного вывода аналоговой видеоинформации на устройство вывода видеоинформации.

По умолчанию (при старте микросхемы или по сбросу) аналоговый видеовывод выключен. Для управления включением/выключением видеовывода используется поле `das_en` регистра GCFG:

- 0 – интерфейс аналогового видеовывода выключен;
- 1 – интерфейс аналогового видеовывода включен.

Сигналы HSYNC и VSYNC по умолчанию находятся во включенном состоянии. Деактивация выходов этих сигналов задается полем `hvsync_en` регистра GCFG:

- 1 – сигналы включены (по умолчанию);
- 0 – сигналы на выходы HSYNC и VSYNC не поступают.

15 Цифровой параллельный КМОП-интерфейс видеовыхода

Микросхема имеет цифровой параллельный КМОП-интерфейс видеовыхода для подключения ЖК-панелей.

КМОП-интерфейс видеовыхода представлен в таблице 39.

Таблица 39 – КМОП-интерфейс видеовыхода

Обозначение	Тип	Описание
PCLK	О	Пиксельный синхросигнал
DE	О	Сигнал наличия цифровых видеоданных
DR0 ... DR4	О	Цифровой сигнал красного цвета
DG0 ... DG5	О	Цифровой сигнал зеленого цвета
DB0 ... DB4	О	Цифровой сигнал синего цвета
HSYNC	О	Сигнал горизонтальной синхронизации
VSYNC	О	Сигнал вертикальной синхронизации
Примечание – Обозначение типа выводов: О – цифровой выход		

Типовая схема подключения КМОП-интерфейса видеовыхода к разъёму ЖК-панели представлена в подразделе 19.6.

По умолчанию (при старте микросхемы или по сбросу) видеовывод выключен. Для управления включением/выключением видеовывода используется поле `lcd_en` регистра GCFG:

- 0 – (по умолчанию) интерфейс цифрового видеовывода выключен;
- 1 – интерфейс цифрового видеовывода включен.

Видеоданные из блока наложения и цветности передаются в цифровую 16-битную шину данных (DR*, DG*, DB*) напрямую без преобразований в формате RGB565. При необходимости подключения внешнего устройства отображения видеoinформации с шиной данных 24 бита, необходимо выполнить подключение шины данных интерфейса микросхемы к интерфейсу экрана в особом порядке, указанном на типовой схеме включения в подразделе 19.6.

Сигналы HSYNC и VSYNC по умолчанию находятся во включенном состоянии. Деактивация выходов этих сигналов задается полем `hvsync_en` регистра GCFG:

- 1 – сигналы включены (по умолчанию);
- 0 – сигналы на выходы HSYNC и VSYNC не поступают.

Сигнал DE является стробом, активное состояние которого говорит о том, что на видеовыходах (как цифровых, так и аналоговых) присутствуют видеоданные, т.е. видимая на экране часть кадра. Сигнал DE по умолчанию деактивирован. Для его активации используется поле `de_en` регистра GCFG:

- 0 – (по умолчанию) сигнал на выход DE не передается;
- 1 – сигнал присутствует на выходе DE.

Выход PCLK является пиксельным синхросигналом и имеет возможность инверсии полярности. Полярность сигнала определяется полем `pclock_pol` регистра GCFG:

- 0 – (по умолчанию) прямая полярность;
- 1 – обратная полярность.

По умолчанию сигнал PCLK имеет прямую полярность относительно сигналов HSYNC, VSYNC и DE.

Временная диаграмма работы КМОП-интерфейса видеовыхода представлена на рисунке 22.

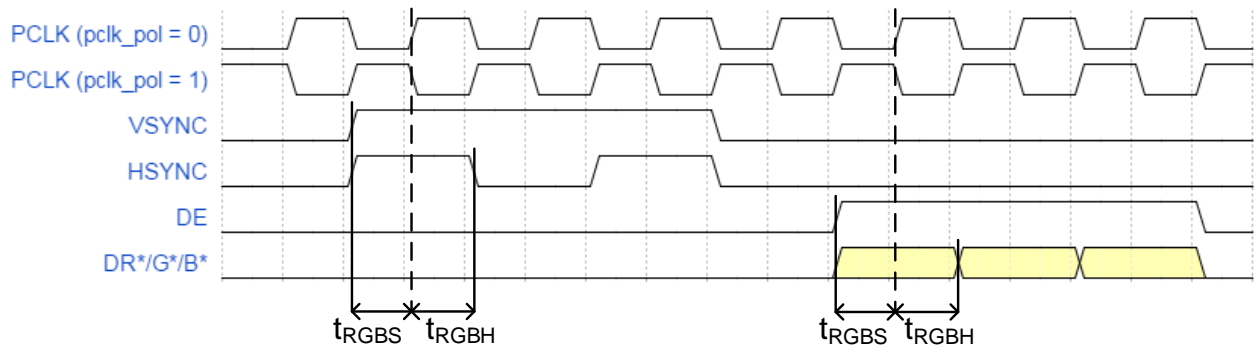


Рисунок 24 – Временная диаграмма КМОП-интерфейса видеовыхода

16 Контроллер прерываний и статуса блоков

Контроллер прерываний и статуса блоков позволяет отслеживать текущее состояние некоторых блоков и управлять сигналом запроса прерывания к управляющему устройству (вывод HINT).

Информация о статусе блоков находится с 8 по 15 бит системного регистра GSTAT (см. подраздел **Ошибка! Источник ссылки не найден.**).

Следующие статусные биты регистра GSTAT являются также флагами запроса прерывания и выводятся на вывод HINT для подключения к обработчику прерываний управляющего устройства.

Таблица 40 – Флаги запроса прерывания регистра GSTAT, соединенные с выводом HINT

Бит	Поле	Доступ	Знач. по сбросу	Описание
11	vsync_i	R/W1C	0	Флаг прерывания при импульсе вертикальной синхронизации: 0 – прерывание отсутствует; 1 – прерывание сработало
10	hsync_i	R/W1C	0	Флаг прерывания при импульсе горизонтальной синхронизации: 0 – прерывание отсутствует; 1 – прерывание сработало
9	vo_fe_i	R/W1C	0	Флаг прерывания при опустошении FIFO-системы видеовывода: 0 – прерывание отсутствует; 1 – прерывание сработало
8	hw_ff_i	R/W1C	0	Флаг прерывания при заполнении FIFO записи системной шины выше/ниже уровня hw_fil: 0 – прерывание отсутствует; 1 – прерывание сработало
<p>Примечание – Обозначение прав доступа к регистрам: R/W1C – чтение/запись 1 сбрасывает бит в 0 (запись 0 не меняет значение)</p>				

Все флаги запроса прерывания, приведенные в таблице 40, объединены логическим ИЛИ для вывода на вывод HINT. Таким образом, при возникновении хотя бы одного из четырех запросов прерывания в системных регистрах (с учетом маски) вывод HINT становится активным (переводится в состояние логической «1») и остается в активном состоянии до тех пор, пока все флаги прерываний в системных регистрах не будут сброшены внешним управляющим устройством.

Флаги запроса прерывания vsync_i и hsync_i возникают каждый раз при возникновении активного уровня на выводах VSYNC и HSYNC соответственно и остаются активными до их принудительного сброса управляющим устройством.

Флаг запроса прерывания vo_fe_i (video output FIFO empty interrupt) возникает только в том случае, когда выходной буфер FIFO-блока наложения и цветности почти пуст, т.е. количество доступных для вывода на экран данных в FIFO меньше 256 пикселей.

Флаг запроса прерывания hw_ff_i (host FIFO full interrupt) сигнализирует о том, что уровень заполненности входного буфера контроллера системной шины находится выше или ниже уровня, установленного в системном регистре INTCFG.

Таблица 41 – Настройки флага прерывания hw_ff_i в регистре INTCFG

Бит	Поле	Доступ	Знач. по сбросу	Описание
[15:13]		R/W	0	Зарезервировано
[12]	hw_fit	R/W	0	Тип прерывания hw_ff_i при заполнении FIFO записи системной шины: 0 – выше уровня hw_fil; 1 – ниже уровня hw_fil
[11:8]		R/W	0	Зарезервировано
[7:0]	hw_fil	R/W	FF	Уровень заполненности FIFO, выше/ниже которого формируется флаг прерывания hw_ff_i
Примечание – Обозначение прав доступа к регистрам: R/W – чтение/запись				

Поле hw_fit (host fifo interrupt type) регистра INTCFG определяет условие возникновения запроса прерывания hw_ff_i:

- 0 – (по умолчанию) выше уровня hw_fil;
- 1 – ниже уровня hw_fil.

Поле hw_fil (host write FIFO interrupt level) регистра INTCFG определяет уровень заполненности FIFO системной шины, относительно которого происходит срабатывание запроса прерывания hw_ff_i. По умолчанию значение уровня равно 0xFF, т.е. FIFO полностью заполнено.

При hw_fit = 0 (выше уровня hw_fil), возникновение флага запроса прерывания hw_ff_i сигнализирует о том, что скорость записи данных в микросхему от управляющего устройства превышает скорость обработки данных микросхемой и буфер FIFO системной шины переполняется.

При hw_fit = 1 (ниже уровня hw_fil), возникновение флага запроса прерывания hw_ff_i сигнализирует о том, что буфер FIFO не полон и микросхема готова принимать данные от управляющего устройства, а также то, что скорость записи данных меньше, чем скорость обработки данных микросхемой и допустимо записывать данные в микросхему непрерывно.

В регистре GSTAT биты с 0 по 3 (hw_ff_i_en, vo_fe_i_en, hsync_i_en, vsync_i_en) являются маской соответствующих запросов прерывания, где:

1 – (по умолчанию) прерывание активно, при возникновении запроса прерывания производится запись 1 в соответствующий бит регистра GSTAT и активируется вывод HINT;

0 – запрос прерывания заблокирована, при возникновении запроса прерывания состояние соответствующего бита регистра GSTAT становится равным 0, состояние вывода HINT перестает зависеть от отключенного флага прерывания.

Таблица 42 – Маскирование флагов прерываний в регистре GSTAT

Бит	Поле	Доступ	Знач. по сбросу	Описание
3	vsync_i_en	R/W	0	Разрешение прерывания при вертикальной синхронизации: 0 – запрещено (неактивно); 1 – разрешено

Бит	Поле	Доступ	Знач. по сбросу	Описание
2	hsync_i_en	R/W	0	Разрешение прерывания при горизонтальной синхронизации: 0 – запрещено (неактивно); 1 – разрешено
1	vo_fe_i_en	R/W	0	Разрешение прерывания при опустошении FIFO чтения системы видеовывода: 0 – запрещено (неактивно); 1 – разрешено
0	hw_ff_i_en	R/W	0	Разрешение прерывания при заполнении FIFO записи системной шины: 0 – запрещено (неактивно); 1 – разрешено
Примечание – Права доступа к регистрам: R/W – чтение/запись				

Остальные статусные поля регистра GSTAT представлены в таблице 43.

Таблица 43 – Статусные флаги регистра GSTAT

Бит	Поле	Доступ	Знач. по сбросу	Описание
15	flag_rset_ol	RO	0	Флаг обрыва внешнего резистора RSET: 0 – обрыва нет; 1 – обрыв
14	flag_rset_cs	RO	0	Флаг закоротки резистора RSET: 0 – закоротки нет; 1 – КЗ
13	dac_pll_l	RO	0	Флаг статуса ФАПЧ видеосистемы: 0 – нестабильна (ожидание стабилизации); 1 – стабильна (работа в штатном режиме)
12	core_pll_l	RO	0	Флаг статуса ФАПЧ ядра: 0 – нестабильна (ожидание стабилизации); 1 – стабильна (работа в штатном режиме)

Флаги flag_rset_ol и flag_rset_cs возникают при возникновении соответствующего события (обрыв или закоротка внешнего опорного резистора на выводе RSET). Флаги автоматически сбрасываются после исчезновения условия их возникновения.

Статусные флаги dac_pll_l и core_pll_l возникают при возникновении соответствующего события (стабильность частоты на выходах умножителей частоты). Флаги автоматически сбрасываются после исчезновения условия их возникновения, т.е. при срыве/нестабильности выходной частоты умножителей частоты.

17 Карта памяти

В данном разделе представлена карта адресуемой управляющим устройством памяти микросхемы видеоконтроллера (ОЗУ/ПЗУ), включающая в себя адресное пространство регистров, графического курсора, знакогенератора, текстового буфера и внешней видео памяти.

Адрес в карте памяти – байтовый (8 бит на единицу адреса), а адресация по системной шине и SPI – полусловная (16 бит на единицу адреса). Это необходимо учитывать при обращении в области памяти микросхемы по внешним интерфейсам.

Порядок байтов и битов little-endian (от младшего к старшему).

Таблица 44 – Карта внешней и внутренней адресуемой памяти

Начало	Конец	Описание
0x0100_0000	0x01FF_FFFF	Внешняя видео память
0x0080_0000	0x0080_7FFF	Текстовый буфер (внутренняя память)
0x0040_3800	0x0040_3FFF	Встроенная кодовая таблица знакогенератора KOI8-R
0x0040_3000	0x0040_37FF	Встроенная кодовая таблица знакогенератора CP1251
0x0040_2800	0x0040_2FFF	Встроенная кодовая таблица знакогенератора CP866
0x0040_2000	0x0040_27FF	Встроенная кодовая таблица знакогенератора CP437 (символы 1 ÷ 32), ASCII (символы 33 ÷ 128)
0x0040_0000	0x0040_1FFF	Загружаемая кодовая таблица шрифтов знакогенератора (8 × 16 или 16 × 16 пикселей на символ)
0x0020_0020	0x0020_002F	Таблица цветности фона текста
0x0020_0000	0x0020_001F	Таблица цветности символа текста
0x0010_0000	0x0010_07FF	Графический курсор
0x0000_0000	0x0000_0044	Регистры управления

Обращение в адресное пространство вне указанного выше диапазона адресов может привести к циклической перезаписи данных внутри каждого из диапазонов. Например, при операциях записи в адрес 0x0000_0082 произойдет перезапись регистра по адресу 0x0000_0002. А операция записи в 0x0010_080A перезапишет адрес 0x0010_000A.

Операции записи/чтения в адресное пространство вне диапазона из таблицы 44 запрещены.

18 Карта системных регистров

Блок системных регистров содержит в себе настройки всех блоков и интерфейсов микросхемы.

Адреса в карте системных регистров – байтовые.

Допустимая адресация регистров 2 или 4 байта (полуслово или слово). При обращении к регистрам по внешним интерфейсам необходимо учитывать, что адресация по системной шине и SPI – полусловная (16 бит).

При чтении/записи по системной шине в 32-разрядном режиме с размером транзакции 32 бита происходит чтение/запись двух последовательных регистров согласно адресной карте.

Порядок байтов и разрядов в регистре – от младшего к старшему (little-endian).

В таблице 45 представлена полная карта системных регистров с наименованиями полей.

Таблица 45 – Карта системных регистров

Адрес	Название	Доступ	Значение по сбросу
0x0000	GCFG	R/W	0x0804
0x0002	INTCFG	R/W	0x00FF
0x0004	GSTAT	RO, R/W1C, R/W	0x0000
0x0006	RS0	R/W	0x0000
0x0008	PLLSCFG0	R/W	0x000A
0x000A	PLLSCFG1	R/W	0x0000
0x000C	MEMCFG0	R/W	0x0000
0x000E	MEMCFG1	R/W	0x0000
0x0010	VMWA0	R/W	0x0000
0x0012	VMWA1	R/W	0x0000
0x0014	VBA0	R/W	0x0000
0x0016	VBA1	R/W	0x0000
0x0018	PSIZE0	R/W	0x0000
0x001A	PSIZE1	R/W	0x0000
0x001C	PSIZE2	R/W	0x0000
0x001E	PSIZE3	R/W	0x0000
0x0020	PSCRL0	R/W	0x0000
0x0022	PSCRL1	R/W	0x0000
0x0024	VTIM0	R/W	0x0000
0x0026	VTIM1	R/W	0x0000
0x0028	VTIM2	R/W	0x0000
0x002A	VTIM3	R/W	0x0000
0x002C	VTIM4	R/W	0x0000
0x002E	VTIM5	R/W	0x0000
0x0030	GCUR0	R/W	0x0000
0x0032	GCUR1	R/W	0x0000
0x0034	TXTCFG0	R/W	0x0000
0x0036	TXTCFG1	R/W	0x0000
0x0038	TXTCFG2	R/W	0x0000
0x003A	RS1	R/W	0x0000
0x003C	TCUR0	R/W	0x0000
0x003E	TCUR1	R/W	0x0000
0x0040	SMWA0	R/W	0x0000

Адрес	Название	Доступ	Значение по сбросу
0x0042	SMWA1	R/W	0x0000
Примечание – Обозначение прав доступа к регистрам: R/W – чтение/запись; RO – только чтение; R/W1C – чтение/запись 1 сбрасывает бит в 0 (запись 0 не меняет значение)			

18.1 0x0000 – GCFG

Регистр общей конфигурации

Таблица 46 – Описание битов регистра GCFG

Бит	Поле	Доступ	Знач. по сбросу	Описание
15		R/W	0	Зарезервировано
14	pclk_pol	R/W	0	Полярность выходного пиксельного синхросигнала: 0 – прямая (активный высокий); 1 – обратная (активный низкий)
13	rgb_order	R/W	0	Порядок цветов в полуслове (16 бит) пикселя при выводе на экран: 0 – порядок R[15:11]G[10:5]B[4:0]; 1 – порядок B[15:11]G[10:5]R[4:0]
12	de_en	R/W	0	Включение выхода DE: 0 – выключен; 1 – включен
11	hvsync_en	R/W	1	Включение выходов HSYNC/VSNC: 0 – выключен; 1 – включен
10	vo_en	R/W	0	Включение системы видео вывода: 0 – выключен; 1 – включен
9	tcur_en	R/W	0	Включение текстового курсора (работает только при включенном текстовом контроллере): 0 – выключен; 1 – включен
8	text_en	R/W	0	Включение текстового контроллера: 0 – выключен; 1 – включен
7	gcur_en	R/W	0	Включение графического курсора: 0 – выключен; 1 – включен
6	graph_en	R/W	0	Включение графического контроллера: 0 – выключен; 1 – включен
5	lcd_en	R/W	0	Включение интерфейса LCD: 0 – выключен; 1 – включен. Для активации видеовывода по интерфейсу DRGB (цифровой RGB) необходимо дополнительно установить бит vo_en

Бит	Поле	Доступ	Знач. по сбросу	Описание
4	dac_en	R/W	0	Включение аналогового интерфейса VGA (включение ЦАП): 0 – выключен; 1 – включен. Для активации видеовывода по интерфейсу ARGB (аналоговый RGB / VGA) необходимо дополнительно установить бит vo_en
3	gen_dis	R/W	0	Выключение встроенного генератора синхросигнала: 1 – выключен; 0 – включен. В случае подключения к внешним выводам OSCI/OSCO кварцевого резонатора генератор необходимо оставить включенным. При подключении внешнего генератора внутренний генератор можно выключить для уменьшения энергопотребления
2	spi_en	R/W	1	Включение интерфейса SPI. Всегда включен. Не влияет на поведение SPI
1	hat	R/W	0	Тип адресации по системной шине: 0 – оконная (16 бит адреса); 1 – прямая (24 бита адреса)
0	hdw	R/W	0	Разрядность данных системной шины: 0 – 16 бит; 1 – 32 бита
Примечание – Обозначение прав доступа к регистрам: R/W – чтение/запись				

18.2 0x0002 – INTCFG

Регистр конфигурации прерываний (см. раздел 16).

Таблица 47 – Описание битов регистра INTCFG

Бит	Поле	Доступ	Знач. по сбросу	Описание
[15:13]		R/W	0	Зарезервировано
[12]	hw_fit	R/W	0	Тип прерывания hw_ff_i при заполнении FIFO записи системной шины: 0 – выше уровня hw_fil; 1 – ниже уровня hw_fil
[11:8]		R/W	0	Зарезервировано
[7:0]	hw_fil	R/W	FF	Уровень заполненности буфера FIFO системной шины, выше/ниже которого формируется флаг прерывания hw_ff_i
Примечание – Обозначение прав доступа к регистрам: R/W – чтение/запись				

18.3 0x0004 – GSTAT

Регистр статуса и прерываний (см. раздел 16).

Таблица 48 – Описание битов регистра GSTAT

Бит	Поле	Доступ	Знач. по сбросу	Описание
15	flag_rset_ol	RO	0	Флаг обрыва внешнего резистора RSET: 0 – обрыва нет; 1 – обрыв
14	flag_rset_cs	RO	0	Флаг закоротки резистора RSET: 0 – закоротки нет; 1 – КЗ
13	dac_pll_l	RO	0	Флаг статуса ФАПЧ видеосистемы: 0 – нестабильна (ожидание стабилизации); 1 – стабильна (работа в штатном режиме)
12	core_pll_l	RO	0	Флаг статуса ФАПЧ ядра: 0 – нестабильна (ожидание стабилизации); 1 – стабильна (работа в штатном режиме)
11	vsync_i	R/W1C	0	Флаг прерывания при импульсе вертикальной синхронизации: 0 – прерывание отсутствует; 1 – прерывание сработало
10	hsync_i	R/W1C	0	Флаг прерывания при импульсе горизонтальной синхронизации: 0 – прерывание отсутствует; 1 – прерывание сработало
9	vo_fe_i	R/W1C	0	Флаг прерывания при опустошении FIFO системы видео вывода: 0 – прерывание отсутствует; 1 – прерывание сработало
8	hw_ff_i	R/W1C	0	Флаг прерывания при заполнении FIFO записи системной шины выше/ниже уровня hw_fil: 0 – прерывание отсутствует; 1 – прерывание сработало
7:4		R/W	0	Зарезервировано
3	vsync_i_en	R/W	0	Разрешение прерывания при вертикальной синхронизации: 0 – запрещено (неактивно); 1 – разрешено
2	hsync_i_en	R/W	0	Разрешение прерывания при горизонтальной синхронизации: 0 – запрещено (неактивно); 1 – разрешено
1	vo_fe_i_en	R/W	0	Разрешение прерывания при опустошении FIFO чтения системы видеовывода: 0 – запрещено (неактивно); 1 – разрешено
0	hw_ff_i	R/W	0	Разрешение прерывания при заполнении FIFO записи системной шины: 0 – запрещено (неактивно); 1 – разрешено

Бит	Поле	Доступ	Знач. по сбросу	Описание
Примечание – Обозначение прав к регистрам: R/W – чтение/запись; RO – только чтение; R/W1C – чтение/запись 1 сбрасывает бит в 0 (запись 0 не меняет значение)				

Статусные биты резистора RSET GSTAT[15:14] доступны только для чтения. Запись в эти статусные биты не изменяет их состояния. Флаги статуса резистора RSET возникают сразу же по возникновению соответствующего события и остаются активны пока событие происходит. Т.е. при обрыве/закоротке резистора флаг обрыва/закоротки будет активен до тех пор, пока обрыв/закоротка не будет устранена.

Статусные биты ФАПЧ GSTAT[13:12] доступны только для чтения. Запись в эти статусные биты не изменяет их состояния. Флаги статуса ФАПЧ возникают сразу же по возникновению соответствующего события и остаются активны пока событие происходит. Т.е. пока ФАПЧ нестабильна, флаг равен 0, после стабилизации флаг принимает значение 1. Если по какой-то причине ФАПЧ переходит в нестабильное состояние в процессе работы, то соответствующий флаг статуса изменит своё состояние на 0 до тех пор, пока ФАПЧ не стабилизируется.

Флаги прерываний GSTAT[11:8] срабатывают по возникновению события и остаются активными до сброса флага записью 1, даже если условие возникновения перестало выполняться.

Флаги прерываний GSTAT[11:8] срабатывают согласно маске разрешения прерываний в битовых полях [3:0], где 1 – флаг прерывания разрешен, а 0 – флаг прерывания всегда 0.

Запись 1 в любой флаг прерывания GSTAT[11:8] приводит к сбросу этого флага в 0.

Запись 0 в любой флаг прерывания GSTAT[11:8] не изменяет состояние этого флага.

18.4 0x0006 – RS0

Сервисный регистр настройки выходной мощности выводов.

Регистр RS0 предназначен для управления выходной мощностью групп площадок ввода/вывода. Это может понадобиться для уменьшения энергопотребления и/или улучшения/ухудшения работы внешних интерфейсов в зависимости от потребностей пользователя или трассировки печатной платы. Например, для длинных слабо согласованных линий с большой нагрузкой (несколько микросхем памяти на шине MDA) рекомендуется использовать значения мощности по умолчанию (высокая мощность), что увеличивает крутизну фронтов сигналов, но также увеличивает амплитуду перерегулирования. И наоборот, для коротких согласованных линий возможно использование низкой мощности площадок для уменьшения энергопотребления микросхемы и уменьшения амплитуды перерегулирования.

Таблица 49 – Описание битов регистра RS0

Бит	Поле	Доступ	Знач. по сбросу	Описание
15:0		R/W	0	Зарезервировано

Бит	Поле	Доступ	Знач. по сбросу	Описание
4	drgb_dsn	R/W	0	Мощность выхода выводов DR[4:0], DG[5:0], DB[4:0], HSYNC, VSYNC, DE, PCLK: 0 – высокая; 1 – низкая
3	md_dsn	R/W	0	Мощность выхода выводов MDA/B/C/D, nMCEA/B/C/D: 0 – высокая; 1 – низкая
2	ma_dsn	R/W	0	Мощность выхода выводов MA, nMOE, nMWE, MCLK: 0 – высокая; 1 – низкая
1	sdo_dsn	R/W	0	Мощность выхода вывода SDO: 0 – высокая; 1 – низкая
0	hd_dsn	R/W	0	Мощность выхода выводов HD[31:0], HRDY, HINT: 0 – высокая; 1 – низкая
<p>Примечание – Обозначение прав доступа к регистрам: R/W – чтение/запись</p>				

18.5 0x0008 – PLLSCFG0

Регистр настройки блоков ФАПЧ (см. подразделы 8.2 и 8.3).

Таблица 50 – Описание битов регистра PLLSCFG0

Бит	Поле	Доступ	Знач. по сбросу	Описание
15		R/W	0	Зарезервировано
14:12	dac_pll_m	R/W	0	Значение постделителя выходной частоты ФАПЧ видеосистемы (1 – 32): 001 – 2 раза; 010 – 4 раза; ... 101 – 32 раза. При значении поля вне указанного диапазона (001 – 101) стабильная работа ФАПЧ не гарантируется
11:8	dac_pll_r	R/W	0	Значение предделителя входной частоты ФАПЧ видеосистемы (1 – 15): 0001 – 1; 0010 – 2; ... 1111 – 15. Если поле имеет значение 0000, то стабильная работа ФАПЧ не гарантируется
7:4	clk_mem_ph	R/W	0	Фазовое смещение выхода MCLK относительно внутреннего синхросигнала ядра микросхемы clk_core: 0000 – 0; 0001 – 1/11 периода; 0010 – 2/11 периода; ... 0101 – 10/11 периода

Бит	Поле	Доступ	Знач. по сбросу	Описание
3:0	core_pll_n	R/W	0xA	Значение петлевого делителя ФАПЧ ядра (10 – 15): 1010 – 10; 1100 – 11; ... 1111 – 15. Если поле имеет значение меньше 1010, то стабильная работа ФАПЧ не гарантируется
Примечание – Обозначение прав доступа к регистрам: R/W – чтение/запись				

18.6 0x000A – PLLSCFG1

Регистр настройки блоков ФАПЧ (см. подраздел 8.3).

Таблица 51 – Описание битов регистра PLLSCFG1

Бит	Поле	Доступ	Знач. по сбросу	Описание
15:10		R/W	0	Зарезервировано
9:0	dac_pll_n	R/W	0	Значение петлевого делителя ФАПЧ видеосистемы (6 – 1023): 000000110 – 6; 000000111 – 7; ... 111111111 – 1023. Если поле имеет значение меньше 000000110, то стабильная работа PLL не гарантируется
Примечание – Обозначение прав доступа к регистрам: R/W – чтение/запись				

18.7 0x000C – MEMCFG0

Регистр конфигурации контроллера внешней памяти (см. раздел 7).

Таблица 52 – Описание битов регистра MEMCFG0

Бит	Вывод блока	Доступ	Знач. по сбросу	Описание
15:14		R/W	0	Зарезервировано
13:12	mrah	R/W	0	Количество тактов системного синхросигнала удержания адреса при чтении от деактивации nMOE до деактивации nMCEA/B/C/D: 0 – 0 тактов; 1 – 1 такт; 2 – 2 такта; 3 – 3 такта

Бит	Вывод блока	Доступ	Знач. по сбросу	Описание
11:8	mraa	R/W	0	Количество тактов системного синхросигнала активной части транзакции чтения, длительность nMOE: 0 – 1 такт; 1 – 2 такта; ... 15 – 16 тактов
7:6		R/W	0	Зарезервировано
5:4	mras	R/W	0	Количество тактов системного синхросигнала предустановки адреса при чтении от активации nMCE* до активации nMOE: 0 – 0 тактов; 1 – 1 такт; 2 – 2 такта; 3 – 3 такта
3		R/W	0	Зарезервировано
2	mtype	R/W	0	Тип внешней памяти: 0 – асинхронное статическое ОЗУ; 1 – синхронное конвейерное статическое ОЗУ
1:0	mdw	R/W	0	Суммарная разрядность шины данных подключенных ОЗУ: 00 – 16 бит; 01 – 32 бита; 10/11 – 64 бита
<p>Примечание – Обозначение прав доступа к регистрам: R/W – чтение/запись</p>				

18.8 0x000E – MEMCFG1

Регистр конфигурации контроллера внешней памяти (см. раздел 7).

Таблица 53 – Описание битов регистра MEMCFG1

Бит	Поле	Доступ	Знач. по сбросу	Описание
15:14		R/W	0	Зарезервировано
13:12	mwdh	R/W	0	Количество тактов системного синхросигнала удержания адреса и данных при записи от деактивации nMWE до деактивации nMCE*: 0 – 1 такт; 1 – 2 такта; 2 – 3 такта; 3 – 4 такта
11:8	mwda	R/W	0	Количество тактов системного синхросигнала активной части транзакции записи, длительность nMWE и данных на шине MD*: 0 – 1 такт; 1 – 2 такта; ... 15 – 16 тактов

Бит	Поле	Доступ	Знач. по сбросу	Описание
7:6		R/W	0	Зарезервировано
5:4	mwas	R/W	0	Количество тактов системного синхросигнала предустановки адреса при записи от активации nMCE* до активации nMWE: 0 – 0 тактов; 1 – 1 такт; 2 – 2 такта; 3 – 3 такта
2		R/W	0	Зарезервировано
1:0	mwpod	R/W	0	Количество тактов системного синхросигнала задержки переключения выводов шины данных MD* на выход при записи от активации nMCE*: 0 – 0 тактов; 1 – 1 такт; 2 – 2 такта; 3 – 3 такта
Примечание – Обозначение прав доступа к регистрам: R/W – чтение/запись				

18.9 0x0010 – MWA0

Регистр смещения адреса окна доступа в память по системной шине в оконном режиме (см. подраздел 5.1.1).

Таблица 54 – Описание битов регистра MWA0

Бит	Поле	Доступ	Знач. по сбросу	Описание
15:0	MWA[15:0]	R/W	0	Младшие 16 бит смещения адреса окна доступа в память
Примечание – Обозначение прав доступа к регистрам: R/W – чтение/запись				

18.10 0x0012 – MWA1

Регистр смещения адреса окна доступа в память по системной шине в оконном режиме (см. подраздел 5.1.1).

Таблица 55 – Описание битов регистра MWA1

Бит	Поле	Доступ	Знач. по сбросу	Описание
15:0	MWA[31:16]	R/W	0	Старшие 16 бит смещения адреса окна доступа в память
Примечание – Обозначение прав доступа к регистрам: R/W – чтение/запись				

18.11 0x0014 – VBA0

Регистр смещения базового адреса видеобuffers (см. подраздел 10.3)

Таблица 56 – Описание битов регистра смещения базового адреса видеобuffers

Бит	Поле	Доступ	Знач. по сбросу	Описание
15:0	VBA[15:0]	R/W	0	Младшие 16 бит смещения адреса начала виртуального кадрового buffers относительно 0 адреса внешней памяти (адресация байтовая)
Примечание – Обозначение прав доступа к регистрам: R/W – чтение/запись				

18.12 0x0016 – VBA

Регистр смещения базового адреса видеобuffers (см. подраздел 10.3)

Таблица 57 – Описание битов регистра VBA1

Бит	Поле	Доступ	Знач. по сбросу	Описание
15:0	VBA[31:16]	R/W	0	Старшие 16 бит смещения адреса начала виртуального кадрового buffers относительно 0 адреса внешней памяти (адресация байтовая)
Примечание – Обозначение прав доступа к регистрам: R/W – чтение/запись				

18.13 0x0018 – PSIZE0

Регистр размера виртуального кадрового buffers (см подразделы 10.1 и 10.3).

Таблица 58 – Описание битов регистра PSIZE0

Бит	Поле	Доступ	Знач. по сбросу	Описание
15:0	pw	R/W	0	Горизонтальный размер виртуального кадрового buffers в пикселях
Примечание – Обозначение прав доступа к регистрам: R/W – чтение/запись				

18.14 0x001A – PSIZE1

Регистр размера виртуального кадрового buffers (см подразделы 10.1 и 10.3).

Таблица 59 – Описание битов регистра PSIZE1

Бит	Поле	Доступ	Знач. по сбросу	Описание
15:0	ph	R/W	0	Вертикальный размер виртуального кадрового buffers в строках
Примечание – Обозначение прав доступа к регистрам: R/W – чтение/запись				

18.15 0x001C – PSIZE2

Регистр разрешения экрана (см. подраздел 9.1).

Таблица 60 – Описание битов регистра PSIZE2

Бит	Поле	Доступ	Знач. по сбросу	Описание
15:0	afw	R/W	0	Горизонтальный размер видимого на экране кадра (горизонтальное разрешение экрана) в пикселях
Примечание – Обозначение прав доступа к регистрам: R/W – чтение/запись				

18.16 0x001E – PSIZE3

Регистр разрешения экрана (см. подраздел 9.1).

Таблица 61 – Описание битов регистра PSIZE3

Бит	Поле	Доступ	Знач. по сбросу	Описание
15:0	afh	R/W	0	Вертикальный размер видимого на экране кадра (вертикальное разрешение экрана) в строках
Примечание – Обозначение прав доступа к регистрам: R/W – чтение/запись				

18.17 0x0020 – PSCRL0

Регистр горизонтального смещения отображаемого кадра (см. подраздел 10.4).

Таблица 62 – Описание битов регистра PSCRL0

Бит	Поле	Доступ	Знач. по сбросу	Описание
15:0	hscrl	R/W	0	Горизонтальное смещение отображаемого на экране кадра от начала виртуального кадрового буфера в пикселях
Примечание – Обозначение прав доступа к регистрам: R/W – чтение/запись				

18.18 0x0022 – PSCRL1

Регистр вертикального смещения отображаемого кадра (см. подраздел 10.4).

Таблица 63 – Описание битов регистра PSCRL1

Бит	Поле	Доступ	Знач. по сбросу	Описание
15:0	vscrl	R/W	0	Вертикальное смещение отображаемого на экране кадра от начала виртуального кадрового буфера в памяти в строках
Примечание – Обозначение прав доступа к регистрам: R/W – чтение/запись				

18.19 0x0024 – VTIM0

Регистр настройки временных параметров вывода изображения (см. подраздел 9.1).

Таблица 64 – Описание битов регистра VTIM0

Бит	Поле	Доступ	Знач. по сбросу	Описание
15:0	th_len	R/W	0	Полный горизонтальный размер кадра (ширина кадра) в пикселях, включая горизонтальные интервалы гашения и синхроимпульс
Примечание – Обозначение прав доступа к регистрам: R/W – чтение/запись				

18.20 0x0026 – VTIM1

Регистр настройки временных параметров вывода изображения (см. подраздел 9.1).

Таблица 65 – Описание битов регистра VTIM1

Бит	Поле	Доступ	Знач. по сбросу	Описание
15:0	tv_len	R/W	0	Полный вертикальный размер кадра (высота кадра) в горизонтальных строках, включая вертикальные интервалы гашения и синхроимпульс
Примечание – Обозначение прав доступа к регистрам: R/W – чтение/запись				

18.21 0x0028 – VTIM2

Регистр настройки временных параметров вывода изображения (см. подраздел 9.1).

Таблица 66 – Описание битов регистра VTIM2

Бит	Поле	Доступ	Знач. по сбросу	Описание
15:10		R/W	0	Зарезервировано
9:0	th_bp	R/W	0	Длительность горизонтального интервала гашения после сигнала горизонтальной синхронизации HSYNC в пикселях
Примечание – Обозначение прав доступа к регистрам: R/W – чтение/запись				

18.22 0x002A – VTIM3

Регистр настройки временных параметров вывода изображения (см. подраздел 9.1).

Таблица 67 – Описание битов регистра VTIM3

Бит	Поле	Доступ	Знач. по сбросу	Описание
15	hsync_pol	R/W	0	Полярность сигнала горизонтальной синхронизации HSYNC: 0 – прямая; 1 – обратная (активный 0)
14:10		R/W	0	Зарезервировано
9:0	th_sync	R/W	0	Длительность активной части сигнала горизонтальной синхронизации HSYNC в пикселях
Примечание – Обозначение прав доступа к регистрам: R/W – чтение/запись				

18.23 0x002C – VTIM4

Регистр настройки временных параметров вывода изображения (см. подраздел 9.1).

Таблица 68 – Описание битов регистра VTIM4

Бит	Поле	Доступ	Знач. по сбросу	Описание
15:10		R/W	0	Зарезервировано
9:0	tv_bp	R/W	0	Длительность вертикального интервала гашения после сигнала вертикальной синхронизации VSYNC в горизонтальных строках
Примечание – Обозначение прав доступа к регистрам: R/W – чтение/запись				

18.24 0x002E – VTIM5

Регистр настройки временных параметров вывода изображения (см. подраздел 9.1).

Таблица 69 – Описание битов регистра VTIM5

Бит	Поле	Доступ	Знач. по сбросу	Описание
15	vsync_pol	R/W	0	Полярность сигнала вертикальной синхронизации VSYNC: 0 – прямая; 1 – обратная (активный 0)
14:10		R/W	0	Зарезервировано
9:0	tv_sync	R/W	0	Длительность активной части сигнала вертикальной синхронизации VSYNC в строках
Примечание – Обозначение прав доступа к регистрам: R/W – чтение/запись				

18.25 0x0030 – GCUR0

Регистр настройки графического курсора (см. подраздел 11.1).

Таблица 70 – Описание битов регистра GCUR0

Бит	Поле	Доступ	Знач. по сбросу	Описание
15		R/W	0	Зарезервировано
14:0	gcur_h	R/W	0	Горизонтальное смещение верхнего левого угла курсора от левого края экрана вправо в пикселях
Примечание – Обозначение прав доступа к регистрам: R/W – чтение/запись				

18.26 0x0032 – GCUR1

Регистр настройки графического курсора (см. подраздел 11.1).

Таблица 71 – Описание битов регистра GCUR1

Бит	Поле	Доступ	Знач. по сбросу	Описание
15		R/W	0	Зарезервировано
14:0	gcur_v	R/W	0	Вертикальное смещение верхнего левого угла курсора от верхнего края экрана в строках
Примечание – Обозначение прав доступа к регистрам: R/W – чтение/запись				

18.27 0x0034 – TXTCFG0

Регистр настройки текстового контроллера (см. подраздел 12.2).

Таблица 72 – Описание битов регистра TXTCFG0

Бит	Поле	Доступ	Знач. по сбросу	Описание
15:0	tba[15:0]	R/W	0	Младшие 16 бит смещения адреса начала виртуального текстового буфера относительно 0 адреса встроенного текстового ОЗУ
Примечание – Обозначение прав доступа к регистрам: R/W – чтение/запись				

18.28 0x0036 – TXTCFG1

Регистр настройки текстового контроллера (см. подраздел 12.2).

Таблица 73 – Описание битов регистра TXTCFG1

Бит	Поле	Доступ	Знач. по сбросу	Описание
15:0	tba[31:16]	R/W	0	Старшие 16 бит смещения адреса начала виртуального текстового буфера относительно 0 адреса встроенного текстового ОЗУ
Примечание – Обозначение прав доступа к регистрам: R/W – чтение/запись				

18.29 0x0038 – TXTCFG2

Регистр настройки знакогенератора (см. подраздел 12.5).

Таблица 74 – Описание битов регистра TXTCFG2

Бит	Поле	Доступ	Знач. по сбросу	Описание
15:3		R/W	0	Зарезервировано
2:0	tcodepage	R/W	0	Выбор кодовой страницы (знакогенератор): 000 – загружаемый знакогенератор 8 × 16; 001 – загружаемый знакогенератор 16 × 16; 010 – встроенный знакогенератор ASCII(128) + CP866(128) 8 × 16; 100 – встроенный знакогенератор ROM ASCII(128) + CP1251(128) 8 × 16; 110 – встроенный знакогенератор ROM ASCII(128) + KOI8-R(128) 8 × 16
Примечание – Обозначение прав доступа к регистрам: R/W – чтение/запись				

18.30 0x003A – RS1

Регистр зарезервирован.

Таблица 75 – Описание битов регистра RS1

Бит	Поле	Доступ	Знач. по сбросу	Описание
15:0		R/W	0	Зарезервировано
Примечание – Обозначение прав доступа к регистрам: R/W – чтение/запись				

18.31 0x003C – TCUR0

Регистр настройки текстового курсора (см. подраздел 12.6).

Таблица 76 – Описание битов регистра TCUR0

Бит	Поле	Доступ	Знач. по сбросу	Описание
15:8	tcur_v	R/W	0	Вертикальное смещение текстового курсора от верхнего края экрана вниз в текстовых строках
7:0	tcur_h	R/W	0	Горизонтальное смещение текстового курсора от левого края экрана вправо в текстовых символах
Примечание – Обозначение прав доступа к регистрам: R/W – чтение/запись				

18.32 0x003E – TCUR1

Регистр настройки текстового курсора (см. подраздел 12.6).

Таблица 77 – Описание битов регистра TCUR1

Бит	Поле	Доступ	Знач. по сбросу	Описание
15:0	tcur_glyph	R/W	0	Символ текстового курсора, согласно текущей странице кодировки. Формат совпадает с форматом текстового символа (см. подраздел 12.4)
Примечание – Обозначение прав доступа к регистрам: R/W – чтение/запись				

18.33 0x0040 – SMWA0

Регистр смещения базового адреса окна доступа в память по SPI (см. подраздел 6.3).

Таблица 78 – Описание битов регистра SMWA0

Бит	Вывод блока	Доступ	Знач. по сбросу	Описание
15:0	SMWA[15:0]	R/W	0	Младшие 16 бит смещения адреса окна доступа в память по SPI
Примечание – Обозначение прав доступа к регистрам: R/W – чтение/запись				

18.34 0x0042 – SMWA1

Регистр смещения базового адреса окна доступа в память по SPI (см. подраздел 6.3).

Таблица 79 – Описание битов регистра SMWA1

Бит	Вывод блока	Доступ	Знач. по сбросу	Описание
15:0	SMWA[31:16]	R/W	0	Старшие 16 бит смещения адреса окна доступа в память по SPI
Примечание – Обозначение прав доступа к регистрам: R/W – чтение/запись				

19 Типовые схемы включения

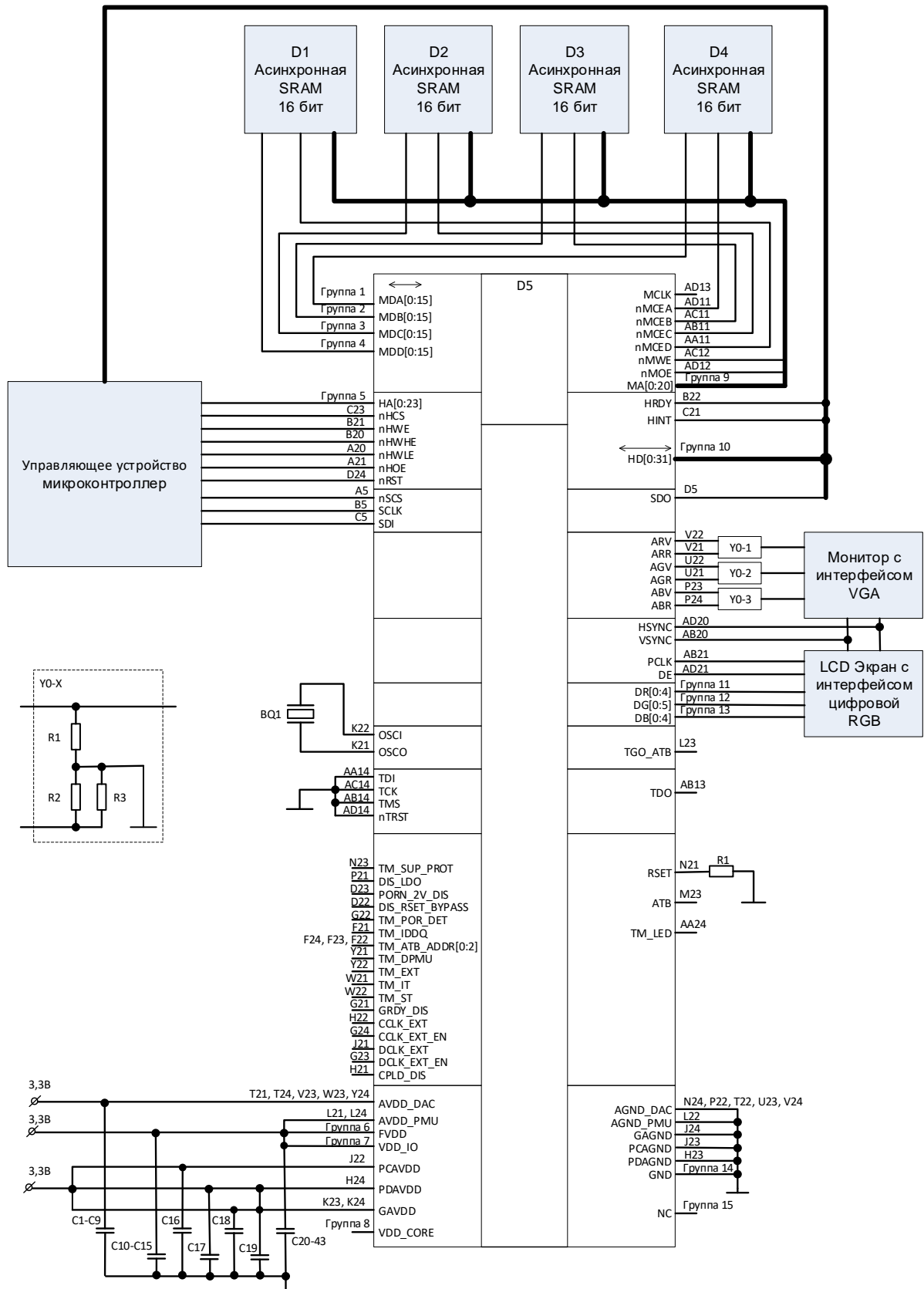


Рисунок 25 – Типовая схема включения микросхемы с асинхронной статической памятью и кварцевым резонатором

Продолжение рисунка

- BQ1 – кварцевый резонатор частотой 10 МГц;
- C1 – C4 – конденсаторы емкостью 1 нФ $\pm 10\%$ (по одному на каждый вывод AVDD_DAC);
- C5 – C8 – конденсаторы емкостью 0,1 мкФ $\pm 10\%$ (по одному на каждый вывод AVDD_DAC);
- C9 – конденсатор емкостью 10 мкФ $\pm 10\%$ (на всю группу AVDD_DAC);
- C10 – C14 – конденсаторы емкостью 0,1 мкФ $\pm 10\%$ (на каждую пару выводов AVDD_PMU);
- C15 – конденсатор емкостью 10 мкФ $\pm 10\%$ (на всю группу AVDD_PMU и FVDD);
- C16 – C18 – конденсаторы емкостью 0,1 мкФ $\pm 10\%$;
- C19 – конденсатор емкостью 10 мкФ $\pm 10\%$;
- C20 – C37 – конденсаторы емкостью 0,1 мкФ $\pm 10\%$ (по одному на каждые три вывода VDD_IO);
- C38 – C41 – конденсаторы емкостью 1 мкФ $\pm 10\%$ (по одному на каждую сторону микросхемы на выводы VDD_IO);
- C42, C43 – конденсатор емкостью 10 мкФ $\pm 10\%$ (два на всю группу выводов VDD_IO);
- D1 – D4 – микросхемы асинхронной статической памяти с шиной данных 16 бит и временем доступа не более 10 нс;
- D5 – включаемая микросхема;
- R1 – резистор сопротивлением 12 кОм $\pm 1\%$;
- Y0 – X – элементы схемы;
- R1 – R3 – резисторы сопротивлением 75 Ом $\pm 1\%$;

Группы выводов:

- 1 – MDA[0:15]: K3, K4, L1 – L4, M1, M2, M3, M4, N1, N3, P1, P2, P4, R2;
- 2 – MDB[0:15]: R3, R4, T1 – T4, U1, U2, U3, U4, V1 – V4, W1, W2;
- 3 – MDC[0:15]: W3, W4, Y1 – Y4, AC3, AD4, AC4, AB4, AD5, AC5, AB5, AA5, AD6, AC6;
- 4 – MDD[0:15]: AB6, AA6, AD7, AC7, AB7, AA7, AC8, AB8, AA8, AD9, AC9, AB9, AA9, AD10, AC10, AB10;
- 5 – HA[0:23]: C20, D20, A19, B19, C19, D19, A18, B18, C18, D18, A17, B17, C17, D17, A16, B16, C16, D16, A15, B15, C15, D15, A14, B14;
- 6 – FVDD: A4, B4, E23, E24, AA1, AA2, AA22, AB23;
- 7 – VDD_IO: B24, C24, E6, E8, E10 – E15, E17, E19, F5, F20, G4, G20, H5, H20, K2, K5, K20, L5, L20, M5, M20, N4, N5, N20, P5, P20, R5, R20, U5, U20, V20, W5, W20, Y6, Y8, Y10-15, Y17, Y19, AB24, AC24, AD2, AD3, AD8, AD22, AD23;
- 8 – VDD_CORE: F6 – F19, G6 – G19, H6, H7, H18, H19, J6, J7, J18, J19, K6, K7, K18, K19, L6, L7, L18, L19, M6, M7, M18, M19, N6, N7, N18, N19, P6, P7, P18, P19, R6, R7, R18, R19, T6, T7, T18, T19, U6, U7, U10, U11, U18, U19, V6 – V19, W6 – W19;
- 9 – MA[0:20]: C2, D1 – D3, E1 – E4, F1 – F4, G1, G3, H2, H3, H4, J1 – J3, K1;
- 10 – HD[0:31]: C14, D14, A13, B13, A12, B12, C12, D12, A11, B11, C11, D11, A10, B10, C10, D10, A8, B9, C9, D9, A8, B8, C8, D8, A7, B7, C7, D7, A6, B6, C6, D6;
- 11 – DR [0:4]: AD19, AC19, AB19, AA19, AD18;
- 12 – DG[0:5]: AC18, AB18, AA18, AD17, AC17, AB17;
- 13 – DB[0:4]: AA17, AD16, AC16, AB16, AA16;
- 14 – GND: A1 – A3, A22 – A24, B1 – B3, B23, C1, C3, C4, C13, C22, D4, D13, D21, E5, E7, E9, E16, E18, E20-E22, G2, G5, H1, H8 – H17, J3, J5, J8 – J17, J20, K8 – K17, L8 – L17, M8 – M17, M21, M22, N2, N8 – N17, P3, P8 – P17, R1, R8 – R17, R22, T5, T8 – T17, T20, U8, U9, U12 – U17, V5, Y5, Y7, Y9, Y16, Y18, Y20, AA3, AA4, AA12, AA21, AA23, AB1 – AB3, AB12, AB15, AB22, AC1, AC2, AC22, AC23, AD1, AD24;
- 15 – NC: M24, N22, R21, R23, R24, T23, U24, W24, Y23, AA10, AA13, AA15, AA20, AC13, AC15, AC20, AC21, AD15.

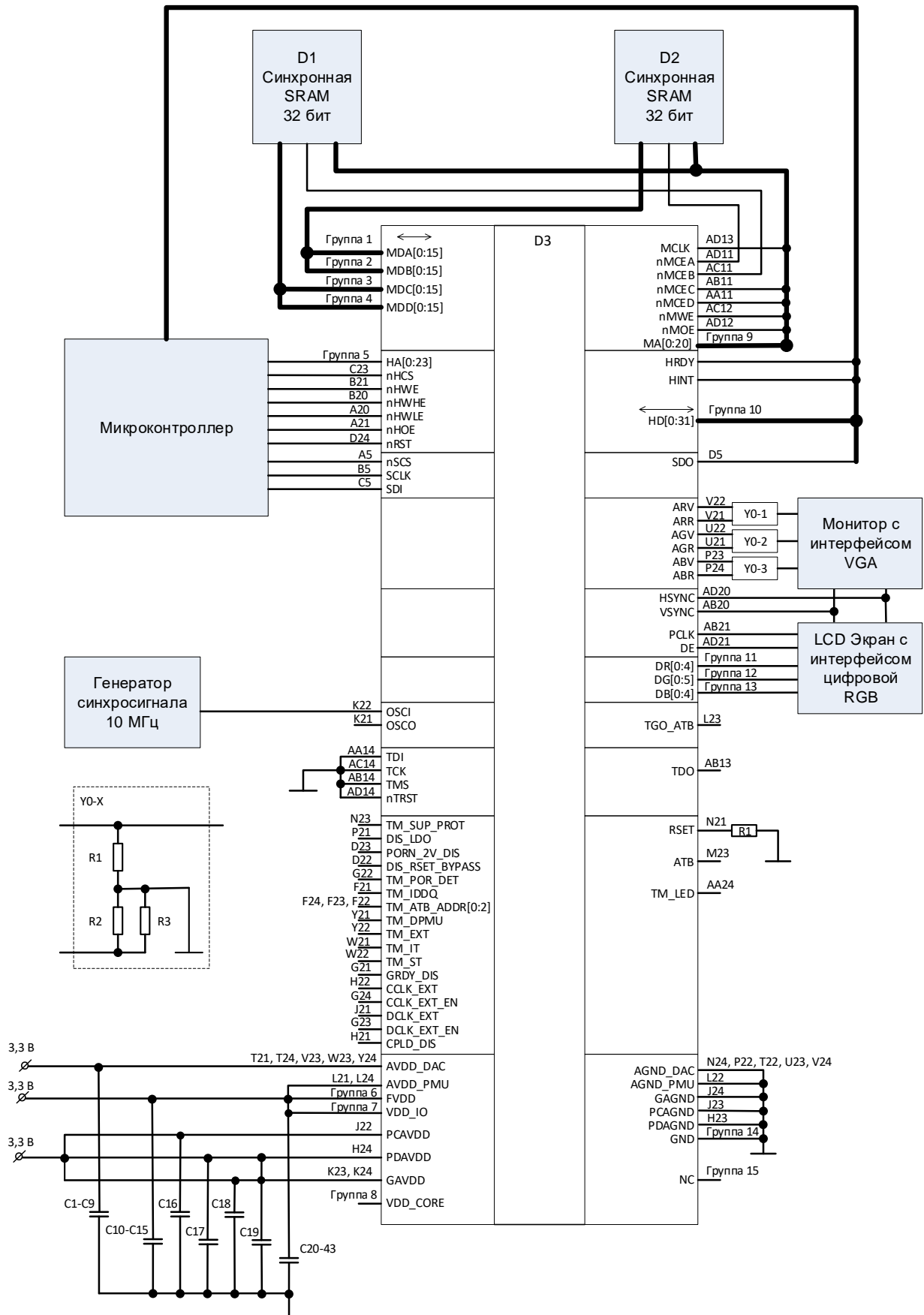


Рисунок 26 – Типовая схема включения микросхемы с синхронной статической памятью и генератором

Продолжение рисунка

- C1 – C4 – конденсаторы емкостью 1 нФ $\pm 10\%$ (на каждый вывод AVDD_DAC);
 C5 – C8 – конденсаторы емкостью 0,1 мкФ $\pm 10\%$ (по одному на каждый вывод AVDD_DAC);
 C9 – конденсатор емкостью 10 мкФ $\pm 10\%$ (на всю группу AVDD_DAC);
 C10 – C14 – конденсаторы емкостью 0,1 мкФ $\pm 10\%$ (по одному на каждую пару выводов AVDD_PMU);
 C15 – конденсатор емкостью 10 мкФ $\pm 10\%$ (на всю группу AVDD_PMU и FVDD);
 C16 – C18 – конденсаторы емкостью 0,1 мкФ $\pm 10\%$;
 C19 – конденсатор емкостью 10 мкФ $\pm 10\%$;
 C20 – C37 – конденсаторы емкостью 0,1 мкФ $\pm 10\%$ (по одному на каждые три вывода VDD_IO);
 C38 – C41 – конденсаторы емкостью 1 мкФ $\pm 10\%$ (по одному на каждую сторону микросхемы на выводы VDD_IO);
 C42, C43 – конденсатор емкостью 10 мкФ $\pm 10\%$ (два на всю группу выводов VDD_IO);
 D1, D2 – микросхемы синхронной статической памяти с шиной данных 32 бит и временем доступа не более 5 нс;
 D3 – включаемая микросхема;
 R1 – резистор сопротивлением 12 кОм $\pm 1\%$;
 Y0–X – элементы схемы;
 R1 – R3 – резисторы сопротивлением 75 Ом $\pm 1\%$.

Группы выводов:

- 1 – MDA[0:15]: K3, K4, L1 – L4, M1, M2, M3, M4, N1, N3, P1, P2, P4, R2;
- 2 – MDB[0:15]: R3, R4, T1 – T4, U1, U2, U3, U4, V1 – V4, W1, W2;
- 3 – MDC[0:15]: W3, W4, Y1 – Y4, AC3, AD4, AC4, AB4, AD5, AC5, AB5, AA5, AD6, AC6;
- 4 – MDD[0:15]: AB6, AA6, AD7, AC7, AB7, AA7, AC8, AB8, AA8, AD9, AC9, AB9, AA9, AD10, AC10, AB10;
- 5 – HA[0:23]: C20, D20, A19, B19, C19, D19, A18, B18, C18, D18, A17, B17, C17, D17, A16, B16, C16, D16, A15, B15, C15, D15, A14, B14;
- 6 – FVDD: A4, B4, E23, E24, AA1, AA2, AA22, AB23;
- 7 – VDD_IO: B24, C24, E6, E8, E10 – E15, E17, E19, F5, F20, G4, G20, H5, H20, K2, K5, K20, L5, L20, M5, M20, N4, N5, N20, P5, P20, R5, R20, U5, U20, V20, W5, W20, Y6, Y8, Y10-15, Y17, Y19, AB24, AC24, AD2, AD3, AD8, AD22, AD23;
- 8 – VDD_CORE: F6 – F19, G6 – G19, H6, H7, H18, H19, J6, J7, J18, J19, K6, K7, K18, K19, L6, L7, L18, L19, M6, M7, M18, M19, N6, N7, N18, N19, P6, P7, P18, P19, R6, R7, R18, R19, T6, T7, T18, T19, U6, U7, U10, U11, U18, U19, V6 – V19, W6 – W19;
- 9 – MA[0:20]: C2, D1 – D3, E1 – E4, F1 – F4, G1, G3, H2, H3, H4, J1 – J3, K1;
- 10 – HD[0:31]: C14, D14, A13, B13, A12, B12, C12, D12, A11, B11, C11, D11, A10, B10, C10, D10, A8, B9, C9, D9, A8, B8, C8, D8, A7, B7, C7, D7, A6, B6, C6, D6;
- 11 – DR [0:4]: AD19, AC19, AB19, AA19, AD18;
- 12 – DG[0:5]: AC18, AB18, AA18, AD17, AC17, AB17;
- 13 – DB[0:4]: AA17, AD16, AC16, AB16, AA16;
- 14 – GND: A1 – A3, A22 – A24, B1 – B3, B23, C1, C3, C4, C13, C22, D4, D13, D21, E5, E7, E9, E16, E18, E20-E22, G2, G5, H1, H8 – H17, J3, J5, J8 – J17, J20, K8 – K17, L8 – L17, M8 – M17, M21, M22, N2, N8 – N17, P3, P8 – P17, R1, R8 – R17, R22, T5, T8 – T17, T20, U8, U9, U12 – U17, V5, Y5, Y7, Y9, Y16, Y18, Y20, AA3, AA4, AA12, AA21, AA23, AB1 – AB3, AB12, AB15, AB22, AC1, AC2, AC22, AC23, AD1, AD24;
- 15 – NC: M24, N22, R21, R23, R24, T23, U24, W24, Y23, AA10, AA13, AA15, AA20, AC13, AC15, AC20, AC21, AD15.

19.1 Типовая схема подключения управляющего устройства к системной шине

В данном подразделе приведены типовые схемы подключения интерфейса системной шины контроллера видеоадаптера к управляющему устройству – микроконтроллеру K1986BE94Я.

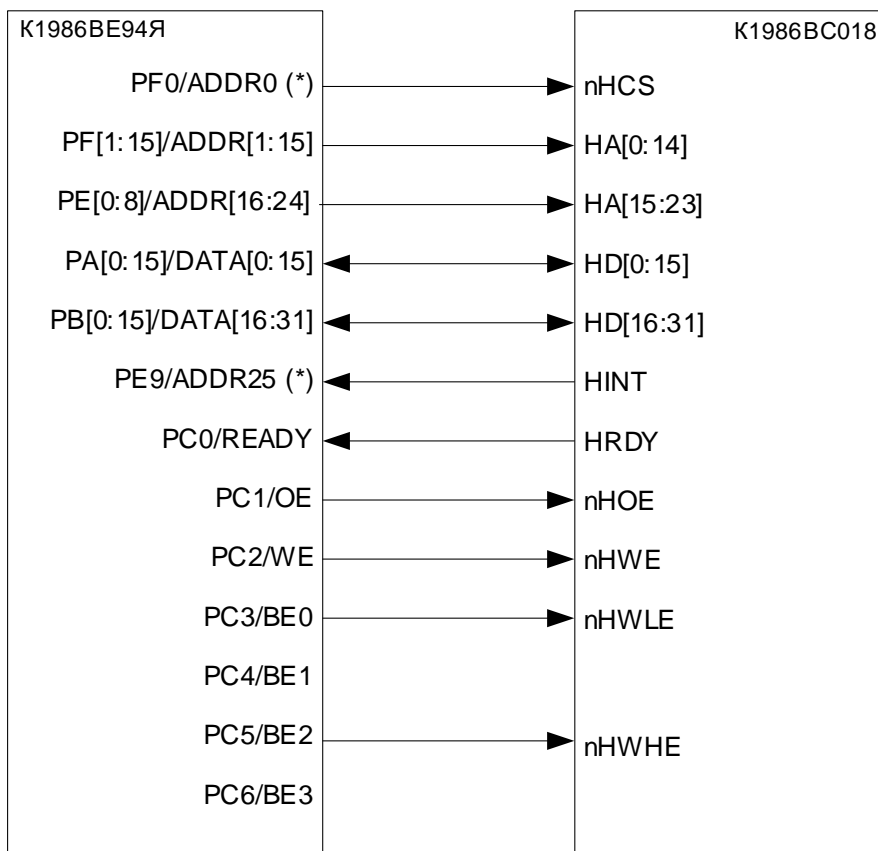


Рисунок 27 – Типовая схема подключения системной шины контроллера видеоадаптера. Вариант для прямой адресации

На рисунке 27 представлен вариант подключения для использования прямой адресации контроллера видеоадаптера ($hat = 1$) и 32-разрядной шины данных ($hdw = 1$).

Вывод PF0/ADDR0 сконфигурирован в микроконтроллере как отдельный независимый от адресной шины выход (GPIO) и должен управляться программно.

Вывод PE9/ADDR25 сконфигурирован в микроконтроллере как отдельный независимый от адресной шины вход (GPIO) и должен быть использован как вход запроса прерывания для обработчика прерываний внутри микроконтроллера.

Адресная шина микроконтроллера ADDR смещена на 1 бит вправо относительно адресной шины HA контроллера видеоадаптера для обеспечения прямой совместимости адресных пространств микросхем. В микроконтроллере адресация байтовая (8 бит на единицу адреса), в системной шине контроллера видеоадаптера – полусловная (16 бит на единицу адреса).

Микроконтроллер должен выполнять только 16-битные или 32-битные транзакции, байтовые транзакции не допускаются.

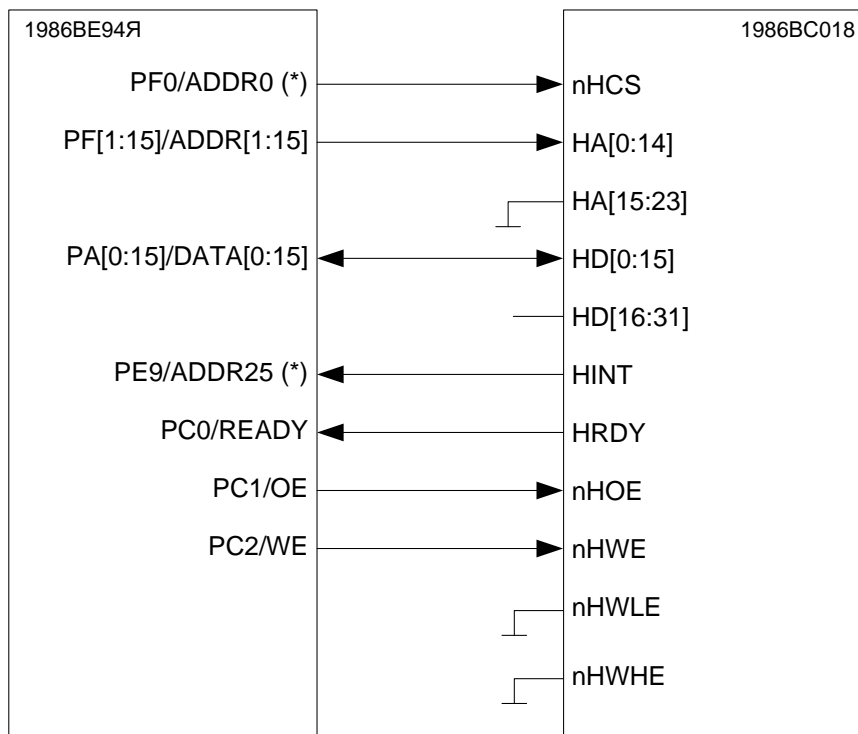


Рисунок 28 – Типовая схема подключения системной шины контроллера видеоадаптера. Вариант для оконной адресации

На рисунке 28 представлен вариант подключения для использования оконной адресации контроллера видеоадаптера ($hat = 0$) и 16-разрядной шины данных ($hdw = 0$).

Вывод PF0/ADDR0 сконфигурирован в микроконтроллере как отдельный независимый от адресной шины выход (GPIO) и должен управляться программно.

Вывод PE9/ADDR25 сконфигурирован в микроконтроллере как отдельный независимый от адресной шины вход (GPIO) и должен быть использован как вход запроса прерывания для обработчика прерываний внутри микроконтроллера.

Адресная шина ADDR микроконтроллера смещена на 1 бит вправо относительно адресной шины HD контроллера видеоадаптера для обеспечения прямой совместимости адресных пространств микросхем. В микроконтроллере адресация байтовая (8 бит на единицу адреса), в системной шине видеоадаптера – полусловная (16 бит на единицу адреса).

Адресная шина HA контроллера видеоадаптера использует только младшие 15 бит адреса для оконного режима. Остальные биты адреса необходимо подключать к шине «Общий».

Шина данных видеоадаптера HD использует только младшие 16 бит данных в режиме 16-битной шины данных. Остальные биты шины данных необходимо оставить неподключенными.

Выводы микроконтроллера nHWNE и nHWLE в режиме 16-битной шины данных необходимо подключать к шине «Общий».

19.2 Типовая схема подключения управляющего устройства к интерфейсу SPI

В данном подразделе приведена типовая схема подключения интерфейса SPI контроллера видеоадаптера к управляющему устройству – микроконтроллеру K1986BE94Я.

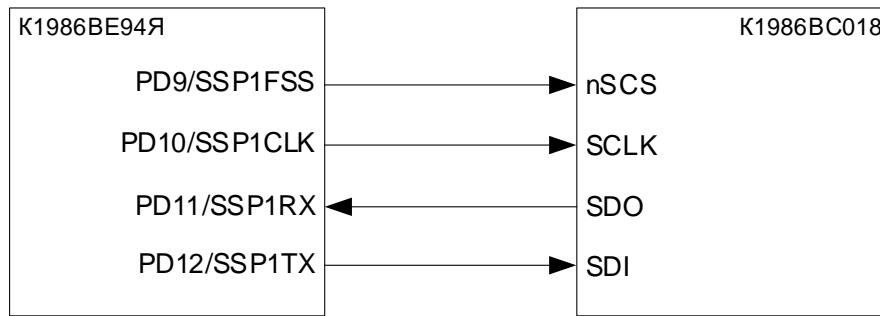


Рисунок 29 – Типовая схема подключения интерфейса SPI контроллера видеоадаптера

19.3 Типовые схемы подключения интерфейса внешней видеопамати

В данном подразделе представлены типовые схемы подключения интерфейса внешней видеопамати контроллера видеоадаптера к микросхемам асинхронного СОЗУ K1645PY6Y и синхронного СОЗУ K1645PY7Я.

19.3.1 Типовая схема подключения к микросхемам СОЗУ K1645PY6Y

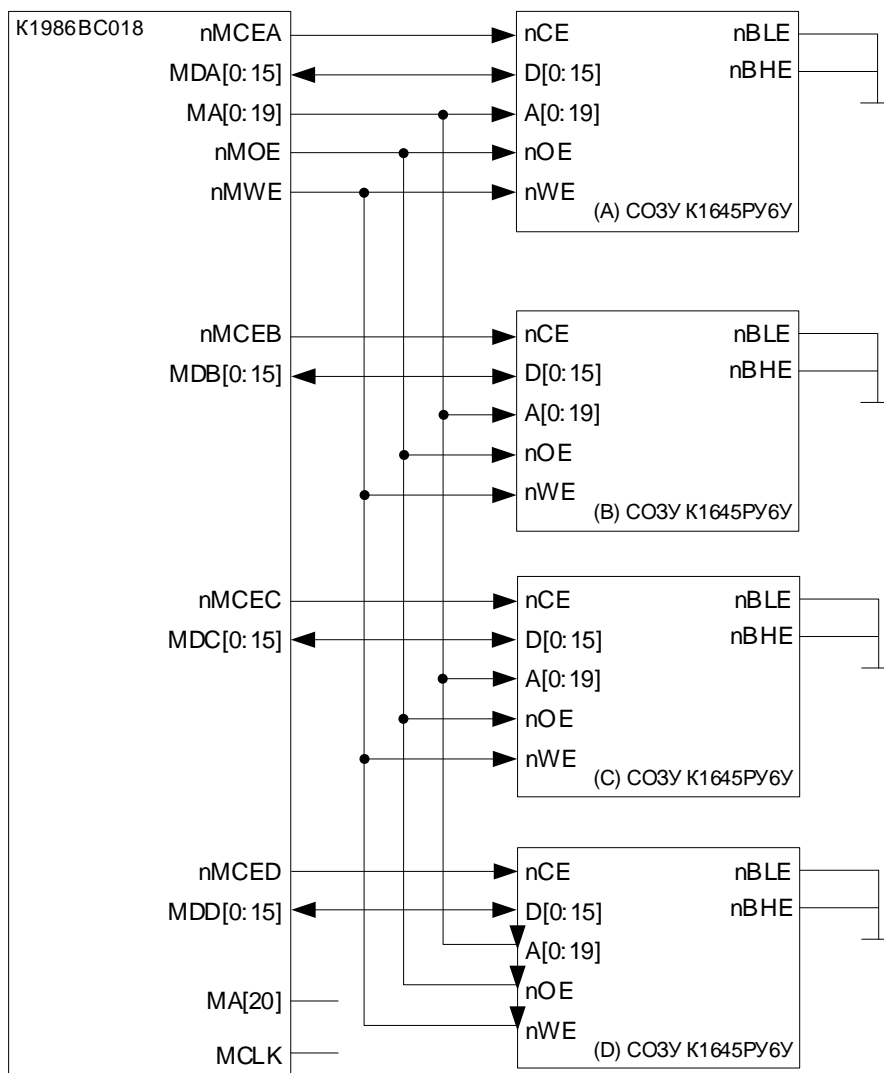


Рисунок 30 – Типовая схема подключения интерфейса внешней видеопамати к асинхронному СОЗУ K1645PY6Y

Вывод шины адреса интерфейса памяти видеоконтроллера MA[20] не подключен, т.к. асинхронное СОЗУ K1645PY6Y имеет 20-разрядную шину адреса.

Вывод MCLK не используется, поскольку СОЗУ K1645PY6Y асинхронное и не требует наличия синхросигнала.

В случае, когда используются одна или две микросхемы асинхронного СОЗУ, подключение памяти необходимо производить соответственно только к порту А или к портам А, В. Неиспользуемые выводы интерфейса памяти (В, С, D или С, D) необходимо оставлять неподключенными.

19.3.2 Типовая схема подключения к микросхемам СОЗУ K1645PY7Я

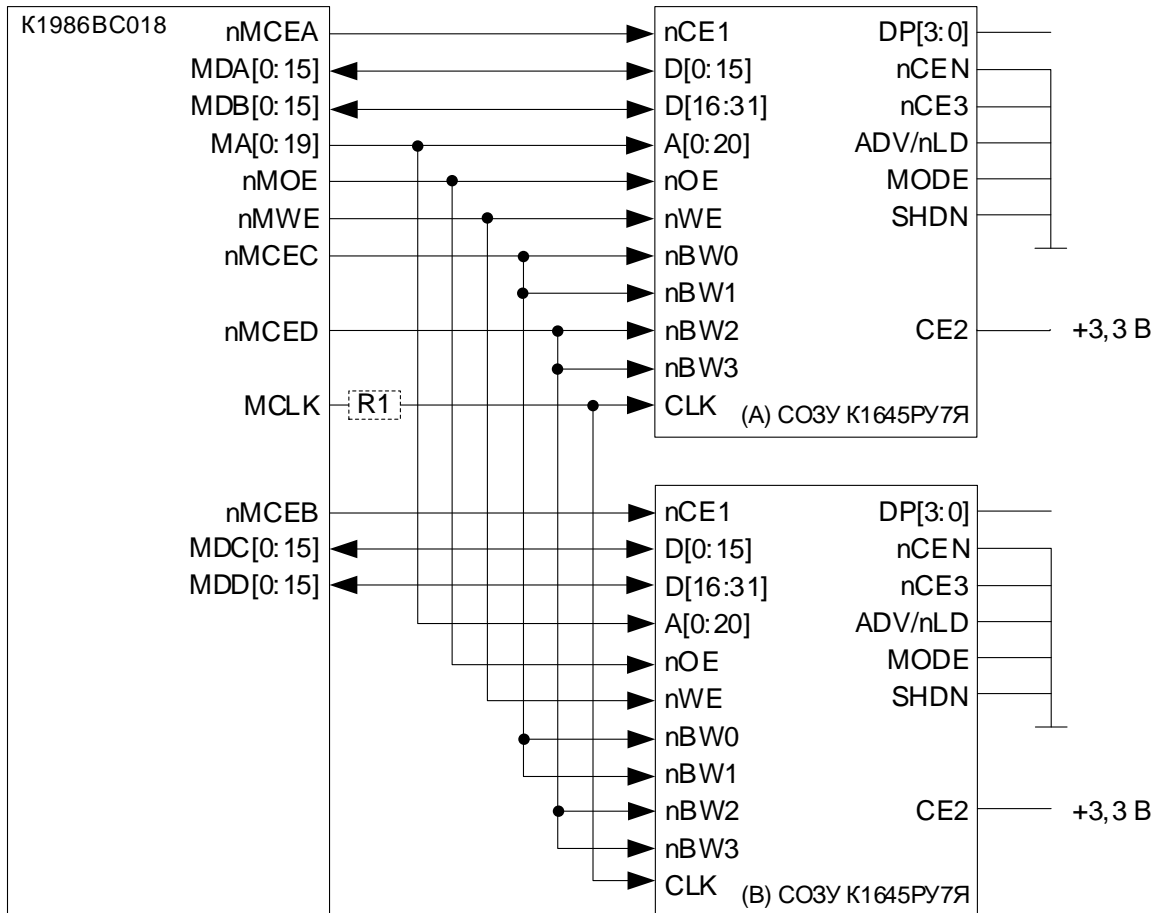


Рисунок 31 – Типовая схема подключения интерфейса внешней видеопамяти к синхронному СОЗУ K1645PY7Я

В случае, когда цепь MCLK от микросхемы видеоадаптера до СОЗУ имеет большую длину, и качество синхросигнала на входах микросхем памяти низкое, допустимо установить последовательно в цепь резистор R1 сопротивлением от 10 до 30 Ом (например, 22 Ом) как можно ближе к микросхеме контроллера видеоадаптера. Это позволит сгладить эффекты перерегулирования по фронтам синхросигнала.

В случае, когда используется одна микросхема синхронного СОЗУ, неиспользуемые выводы необходимо оставить неподключенными.

19.4 Типовая схема включения кварцевого генератора / резонатора

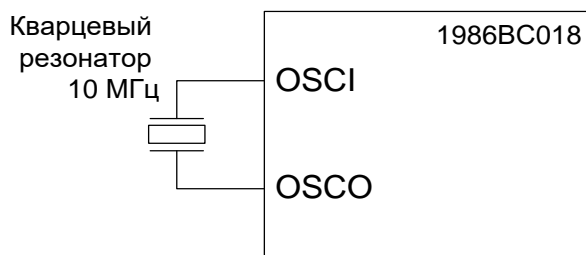


Рисунок 32 – Типовая схема включения кварцевого резонатора 10 МГц

При подключении кварцевого резонатора нет необходимости в подключении дополнительных емкостей, т.к. встроенные емкости есть в составе микросхемы.

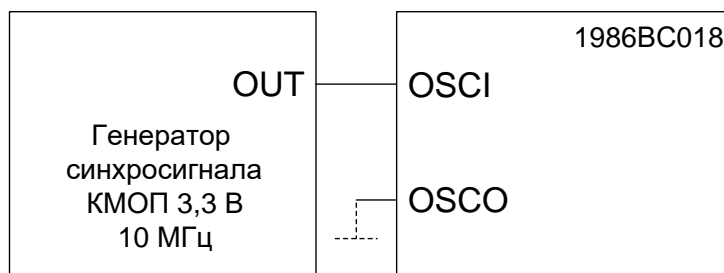
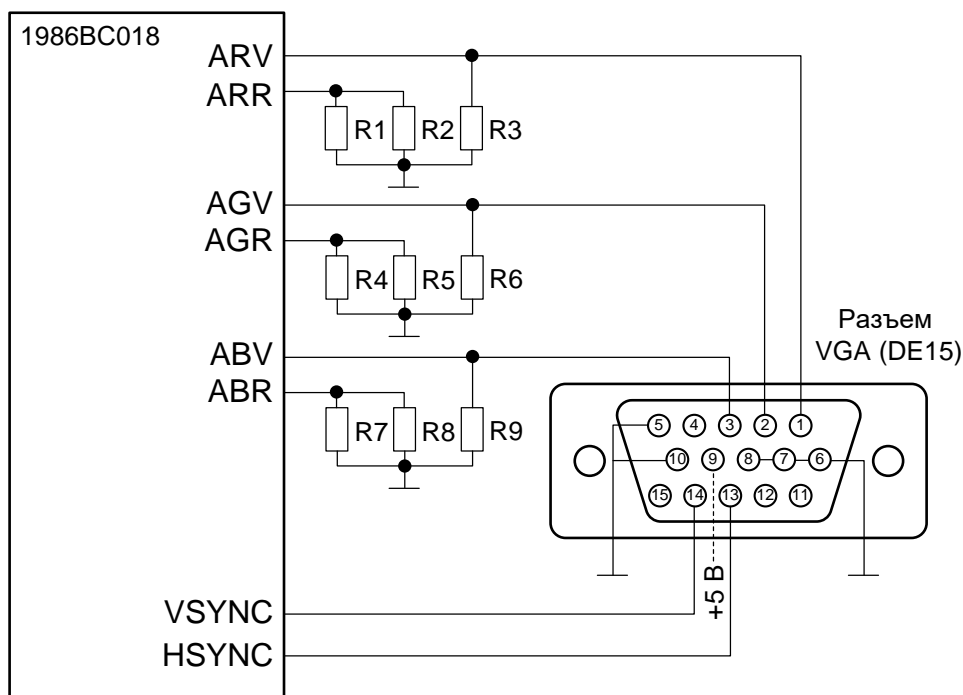


Рисунок 33 – Типовая схема включения генератора опорного синхросигнала КМОП 3,3 В 10 МГц

При подключении внешнего генератора опорного синхросигнала 10 МГц вывод микросхемы OSCO необходимо оставить неподключенным. Допустимо подключать вывод OSCO к шине «Общий».

19.5 Типовая схема включения интерфейса аналогового видеовыхода



R1 – R9 – резисторы сопротивлением 75 Ом

Рисунок 34 – Типовая схема включения интерфейса аналогового видеовыхода

Подключение питания +5 В к контакту 9 разъема VGA (DE15) опционально и зависит от требований подключаемого к разъему устройства отображения графической информации.

19.6 Типовая схема включения цифрового видеовыхода

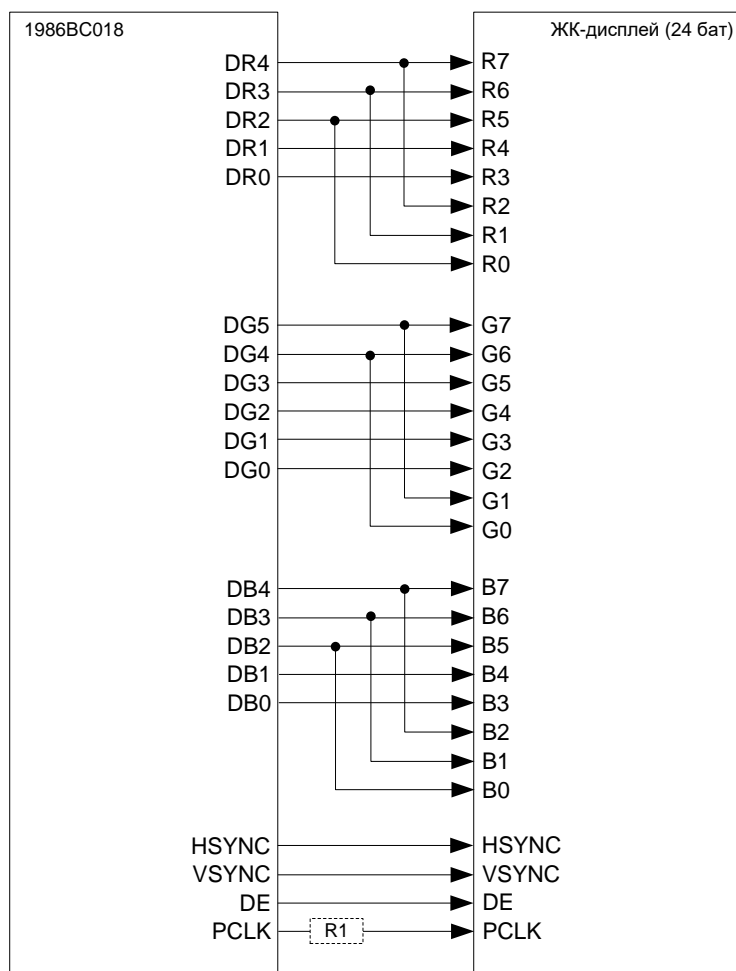


Рисунок 35 – Типовая схема включения цифрового видеовыхода

На рисунке 33 представлена типовая схема подключения цифрового параллельного КМОП-интерфейса микросхемы контроллера видеоадаптера к ЖК-дисплею с 24-битной параллельной шиной видеоданных.

В случае подключения 16-битной шины видеоданных выходы соединяются напрямую в соответствии с номерами выводов.

В случае, когда цепь пиксельного синхросигнала PCLK от микросхемы контроллера видеоадаптера до ЖК-дисплея имеет большую длину и качество синхросигнала на входе дисплея низкое, допустимо установить последовательно в цепь резистор R1 сопротивлением от 10 до 30 Ом (например, 22 Ом) как можно ближе к микросхеме контроллера видеоадаптера. Это позволит сгладить эффекты перерегулирования по фронтам синхросигнала.

19.7 Типовая схема включения резистора RSET

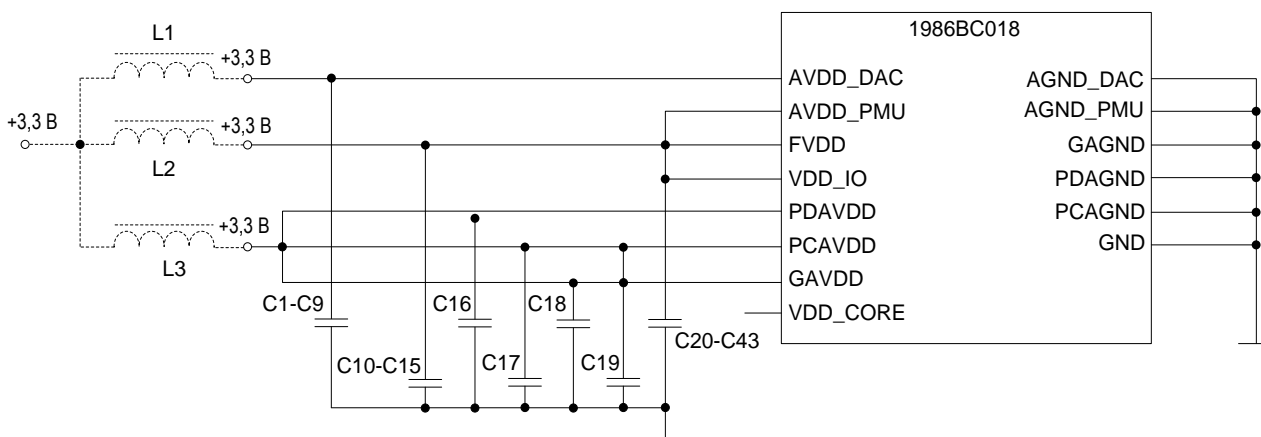


R1 – резистор сопротивлением 12 кОм

Рисунок 36 – Типовая схема включения резистора RSET

Установка опорного тока задающего резистора R1 обязательна.

19.8 Типовая схема подключения питания



- C1 – C4 – конденсаторы емкостью 1 нФ ± 10 % для каждого вывода AVDD_DAC, устанавливать как можно ближе к выводам микросхемы;
- C5 – C8 – конденсаторы емкостью 0,1 мкФ ± 10 % для каждого вывода AVDD_DAC, устанавливать как можно ближе к выводам микросхемы;
- C9 – конденсатор емкостью 10 мкФ ± 10 % один для всей группы AVDD_DAC, устанавливать как можно ближе к микросхеме;
- C10 – C14 – конденсаторы емкостью 0,1 мкФ ± 10 % по одному для каждой пары выводов AVDD_PMU и FVDD, устанавливать как можно ближе к выводам микросхемы;
- C15 – конденсатор емкостью 10 мкФ ± 10 % один для всей группы AVDD_PMU и группы FVDD, устанавливать как можно ближе к микросхеме;
- C16 – C18 – конденсаторы емкостью 0,1 мкФ ± 10 %, по одному для каждого вывода PDAVDD, PCAVDD, GAVDD, устанавливать как можно ближе к выводам микросхемы;
- C19 – конденсатор емкостью 10 мкФ ± 10 %, один для всех выводов PDAVDD, PCAVDD, GAVDD;
- C20 – C37 – конденсаторы емкостью 0,1 мкФ ± 10 % для каждых трех выводов VDD_IO, устанавливать как можно ближе к выводам;
- C38 – C41 – конденсаторы емкостью 1 мкФ ± 10 % с каждой стороны микросхемы для выводов VDD_IO, устанавливать как можно ближе к микросхеме;
- C42, C43 – конденсатор емкостью 10 мкФ ± 10 % два для всей группы выводов VDD_IO;
- L1 – L3 – дроссели подавления ЭМП (ферритовый фильтр, ферритовые «бусины», ferrite bead). При питании от единого источника напряжения рекомендуется дополнительная установка индуктивных фильтров подавления помех для исключения проникновения помех по линиям питания из цифровой части микросхемы в аналоговую.

Рисунок 37 – Типовая схема подключения питания

Запрещается подведение каких-либо электрических сигналов (в том числе шин «Питание», «Общий») к выводам VDD_CORE. Допускается выводы VDD_CORE объединять между собой.

19.9 Типовая схема подключения тестовых выводов и JTAG

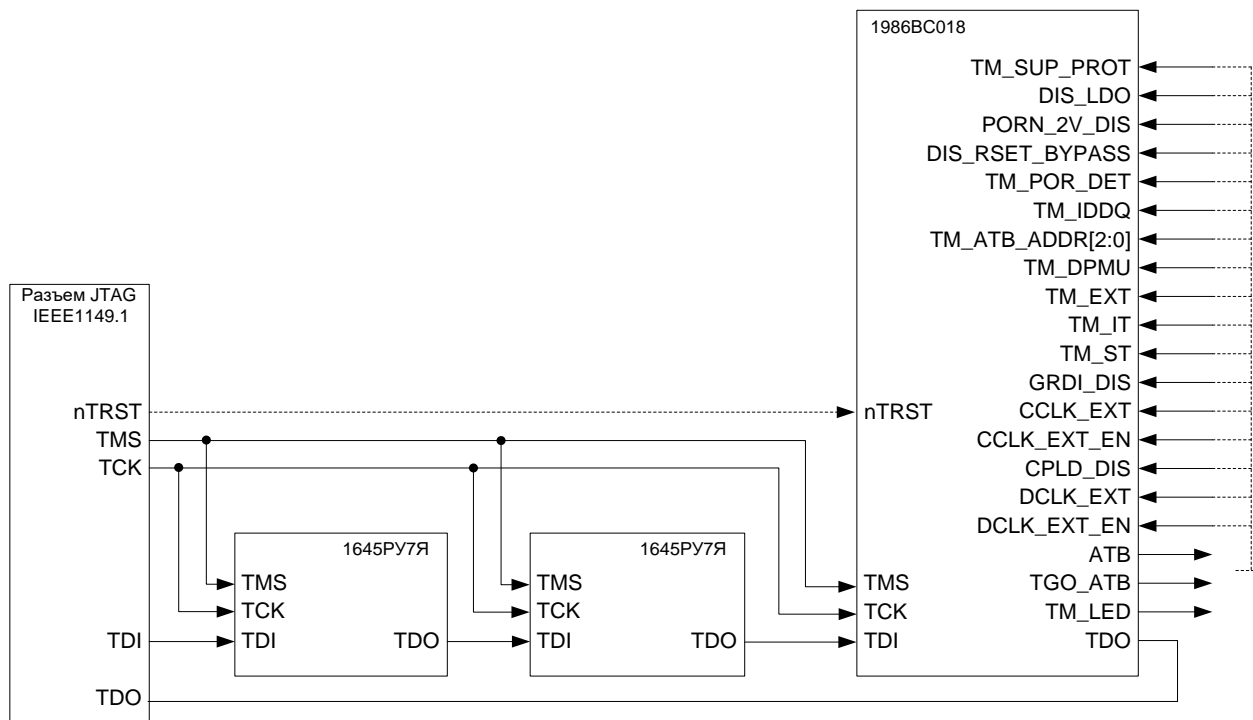


Рисунок 38 – Типовая схема подключения тестовых выводов и JTAG

На рисунке 38 представлена типовая схема подключения тестовых выводов микросхемы контроллера видеоадаптера и JTAG-цепочки совместно с микросхемами СОЗУ 1645PY7Я.

Запрещается подведение каких-либо электрических сигналов (в том числе шин «Питание», «Общий») к тестовым выходам.

Допускается тестовые входы оставлять неподключенными или подключать к шине «Общий».

В случае соединения микросхем в JTAG-цепочку соединение выводов необходимо выполнять так, как указано на схеме на рисунке 38. В JTAG-цепочке допустимо изменять порядок микросхем или добавлять дополнительные микросхемы.

В случае, когда присутствует JTAG соединение, но вывод nTRST не используется, его необходимо подключить вывод к питанию +3,3 В.

В случае, когда JTAG подключение отсутствует, вывод TDO должен оставаться неподключенным. Вывод nTRST необходимо подключить к шине «Общий», выходы TDI, TMS и TCK необходимо оставить неподключенными или подключить к шине «Общий».

20 Типовые зависимости

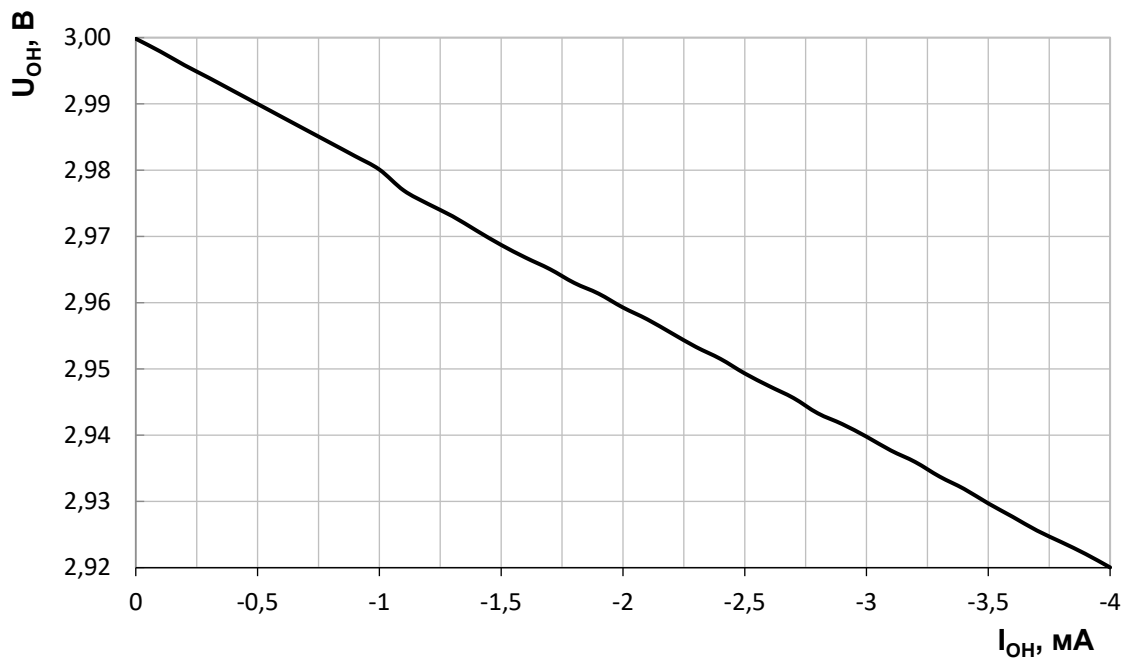


Рисунок 39 – Зависимость выходного напряжения высокого уровня от выходного тока высокого уровня при $T = 25\text{ }^{\circ}\text{C}$, $U_{CC} = 3,0\text{ В}$

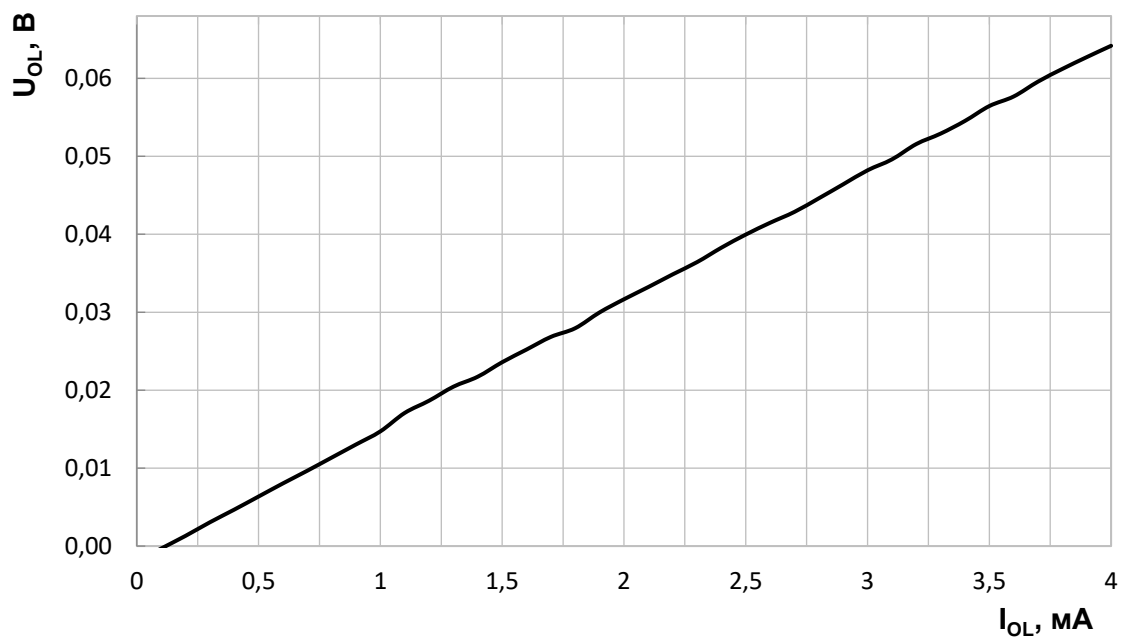


Рисунок 40 – Зависимость выходного напряжения низкого уровня от выходного тока низкого уровня при $T = 25\text{ }^{\circ}\text{C}$, $U_{CC} = 3,6\text{ В}$

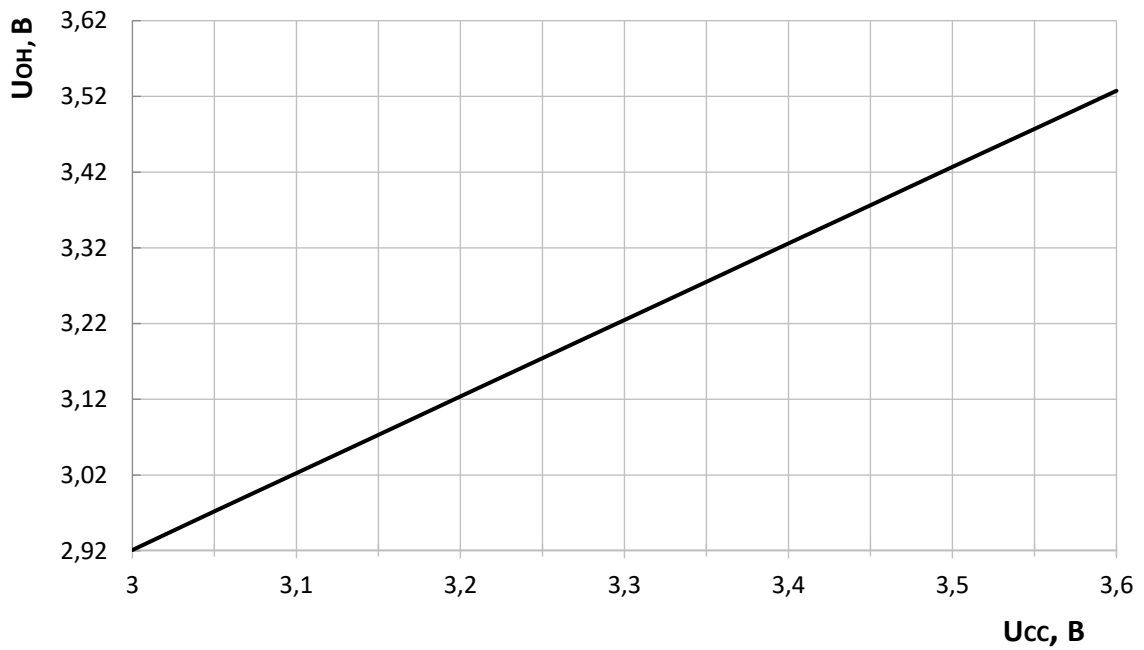


Рисунок 41 – Зависимость выходного напряжения высокого уровня от напряжения питания при $T = 25\text{ }^{\circ}\text{C}$, $I_{OH} = -4\text{ mA}$

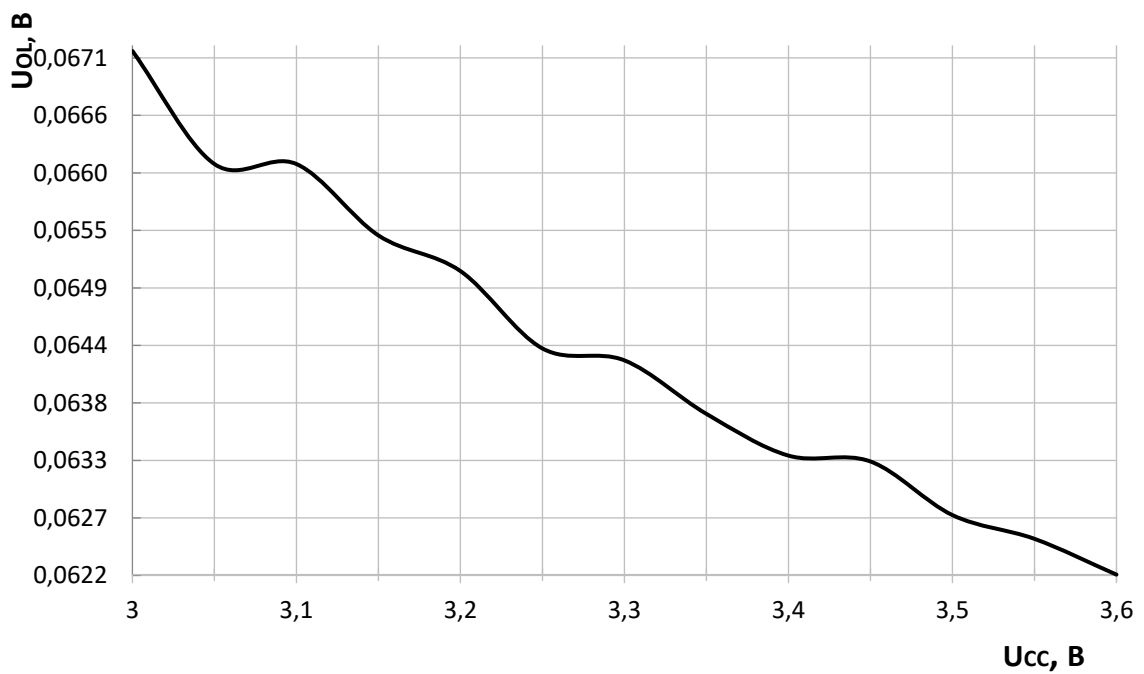


Рисунок 42 – Зависимость выходного напряжения низкого уровня от напряжения питания при $T = 25\text{ }^{\circ}\text{C}$, $I_{OL} = 4\text{ mA}$

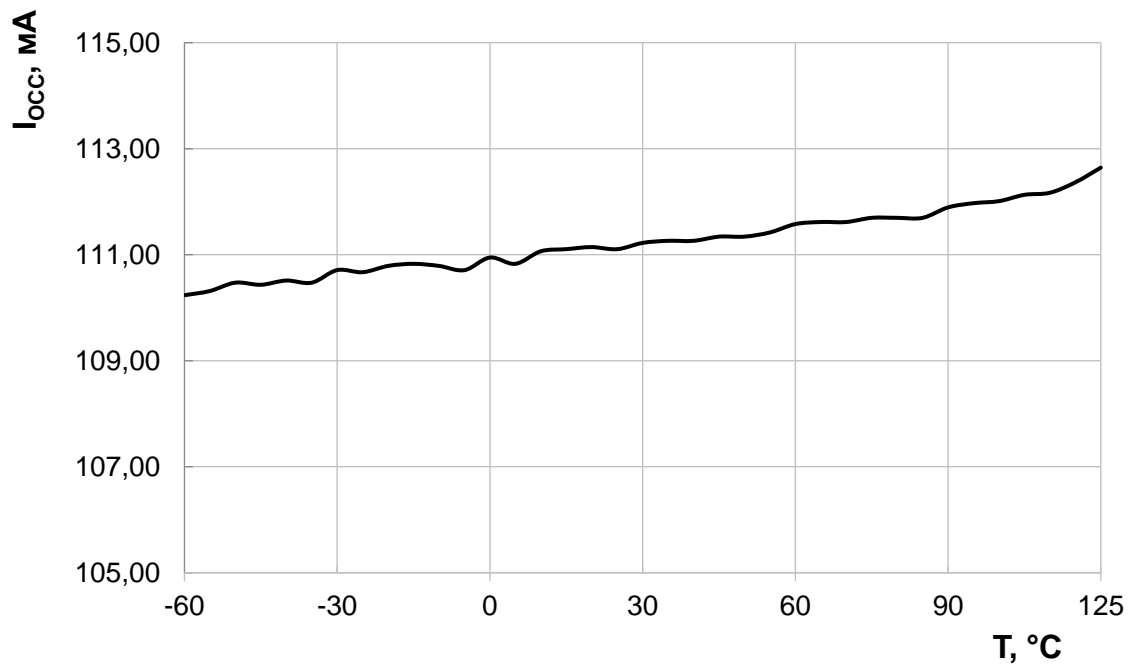


Рисунок 43 – Зависимость динамического тока потребления от температуры при $U_{сс} = 3,6 \text{ В}$

21 Электрические параметры микросхемы

Таблица 80 – Электрические параметры микросхем при приёмке и поставке

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма параметра		Температура среды, °С
		не менее	не более	
Параметры цифровых выводов				
Выходное напряжение высокого уровня, В	U_{OH}	2,4	–	25, 85, – 45
Выходное напряжение низкого уровня, В	U_{OL}	–	0,4	
Входной ток высокого уровня, мкА	I_{IH}	28	103	
Ток утечки высокого уровня на входе, мкА	I_{ILH}	– 10	10	
Ток утечки низкого уровня на входе, мкА	I_{ILL}	– 10	10	
Динамический ток потребления, мА	I_{OCC}	–	250	
Параметры ЦАП (три преобразователя)				
Выходное напряжение, В, – при максимальном коде на входах ЦАП	U_{O1_DAC}	0,665	0,770	25, 85, – 45
Выходное напряжение, мВ, – при минимальном коде на входах ЦАП	U_{O2_DAC}	– 1	1	
Разброс выходных напряжений между выходами ЦАП, %, при максимальном коде на входе	δU_{O_DAC}	–	6	
Разность времен задержек распространения между выходами ЦАП, нс, от момента подачи максимального кода до выхода ЦАП, контроль на уровне 50 % от амплитуды выходного сигнала	Δt_{MIS_DAC}	–	2,5	
Время старта микросхемы, мс	t_{START}	–	50	
Частота синхронизации, МГц: – максимальная; – минимальная	f_{CLK_DAC}	150	–	
		–	20	
Разрешающая способность ЦАП, разрядов	N_{DAC}	–	8	
Интегральная нелинейность, единица младшего разряда	E_L	– 1	1	
Дифференциальная нелинейность, единица младшего разряда	E_{LD}	– 1	1	
Примечание – Режимы измерения параметров приведены в технических условиях АЕНВ.431290.474ТУ				

Микросхемы устойчивы к воздействию статического электричества с потенциалом не менее 2 000 В.

22 Предельно допустимые характеристики микросхемы

Таблица 81 – Предельно-допустимые режимы эксплуатации и предельные режимы микросхем

Наименование параметра, единица измерения	Буквенное обозначение параметра	Предельно- допустимый режим		Предельный режим	
		не менее	не более	не менее	не более
Напряжение питания, В, на выводах AVDD_DAC, AVDD_PMU, FVDD, GAVDD, PCAVDD, PDAVDD, VDD_IO	U _{CC}	3,0	3,6	–	4,0
Параметры цифровых выводов					
Входное напряжение высокого уровня, В	U _{IH}	2,0	U _{CC}	–	U _{CC} + 0,3
Входное напряжение низкого уровня, В	U _{IL}	0	0,8	– 0,3	–
Выходной ток высокого уровня, мА	I _{OH}	– 4	–	– 10	–
Выходной ток низкого уровня, мА	I _{OL}	–	4	–	10
Длительность сигнала системного сброса низкого уровня, нс, на входе nRST	t _{WL_nRST}	100	–	–	–
Частота следования импульсов тактовых сигналов, МГц, в режиме внешнего генератора на выводе OSCI	f _c	9,98	10,02	–	–
Сопrotивление нагрузки, Ом, на выходах ЦАП	R _L	37,125	37,875	–	–
Примечание – Не допускается одновременное задание более одного предельного режима					

23 Справочные параметры

Значение собственной резонансной частоты не менее 5,0 кГц.
 Тепловое сопротивление кристалл-корпус не более 6,0 °С/Вт.
 Предельная температура р-п перехода кристалла 150 °С.
 Справочные параметры микросхемы приведены в таблице 82.

Таблица 82 – Справочные параметры микросхемы

Наименование параметра, единица измерения	Буквенное обозначение параметра	Норма параметра			Температура среды, °С	
		не менее	типовое значение	не более		
Тактовая частота ядра, МГц	f _{CORE}	100	150	150	25, 85, – 45	
Параметры SPI-интерфейса						
Тактовая частота SPI, МГц	f _{SPI}	–	–	100	25, 85, – 45	
Время цикла синхросигнала SPI, нс	t _{SCYC}	10	–	–		
Время предустановки входных данных SDI, нс	t _{SS}	3	–	–		
Время удержания входных данных SDI, нс	t _{SIH}	1	–	–		
Время предустановки выходных данных SDO, нс	t _{SOS}	1	–	–		
Время удержания выходных данных SDO, нс	t _{SOH}	3	–	–		
Параметры интерфейса синхронной памяти						
Выходная тактовая частота для внешней синхронной памяти, МГц	f _{MEM}	–	100	100	25, 85, – 45	
Время цикла синхросигнала MCLK, нс	t _{MCYC}	10	10	–		
Время установления сигналов MA[20:0], nMCEA, nMCEB, nMCEC, nMCED, nMWE относительно положительного фронта MCLK, нс	t _{MAS}	1,7	–	–		
Время удержания сигналов MA, nMCEA, nMCEB, nMCEC, nMCED, nMWE относительно положительного фронта MCLK, нс	t _{MAH}	0,8	–	–		
Время установления сигналов выходных данных MD относительно положительного фронта MCLK, нс	t _{MDOH}	1,7	–	–		
Время удержания сигналов выходных данных MD относительно положительного фронта MCLK, нс	t _{MDOH}	0,8	–	–		
Время установления сигналов входных данных MD относительно положительного фронта MCLK, нс	t _{MDIS}	5	–	–		
Время удержания сигналов входных данных MD относительно положительного фронта MCLK, нс	t _{MDIH}	1	–	–		
Параметры интерфейса цифрового видеовывода						
Время предустановки данных на выходах HSYNC, VSYNC, DE, DR[4:0], DG[5:0], DB[4:0], нс	t _{RGBS}	1	–	–		25, 85, – 45
Время удержания данных на выходах HSYNC, VSYNC, DE, DR[4:0], DG[5:0], DB[4:0], нс	t _{RGBH}	1	–	–		
Параметры ЦАП						
Время нарастания сигнала, время спада сигнала на выходе каждого ЦАП, нс	t _r , t _f	–	–	1,65	25, 85, – 45	
Время задержки распространения от момента подачи максимального кода до выхода ЦАП, нс, контроль на уровне 50 % амплитуды сигнала	t _{mis_dac}	–	–	2,5		

24 Габаритный чертеж микросхемы

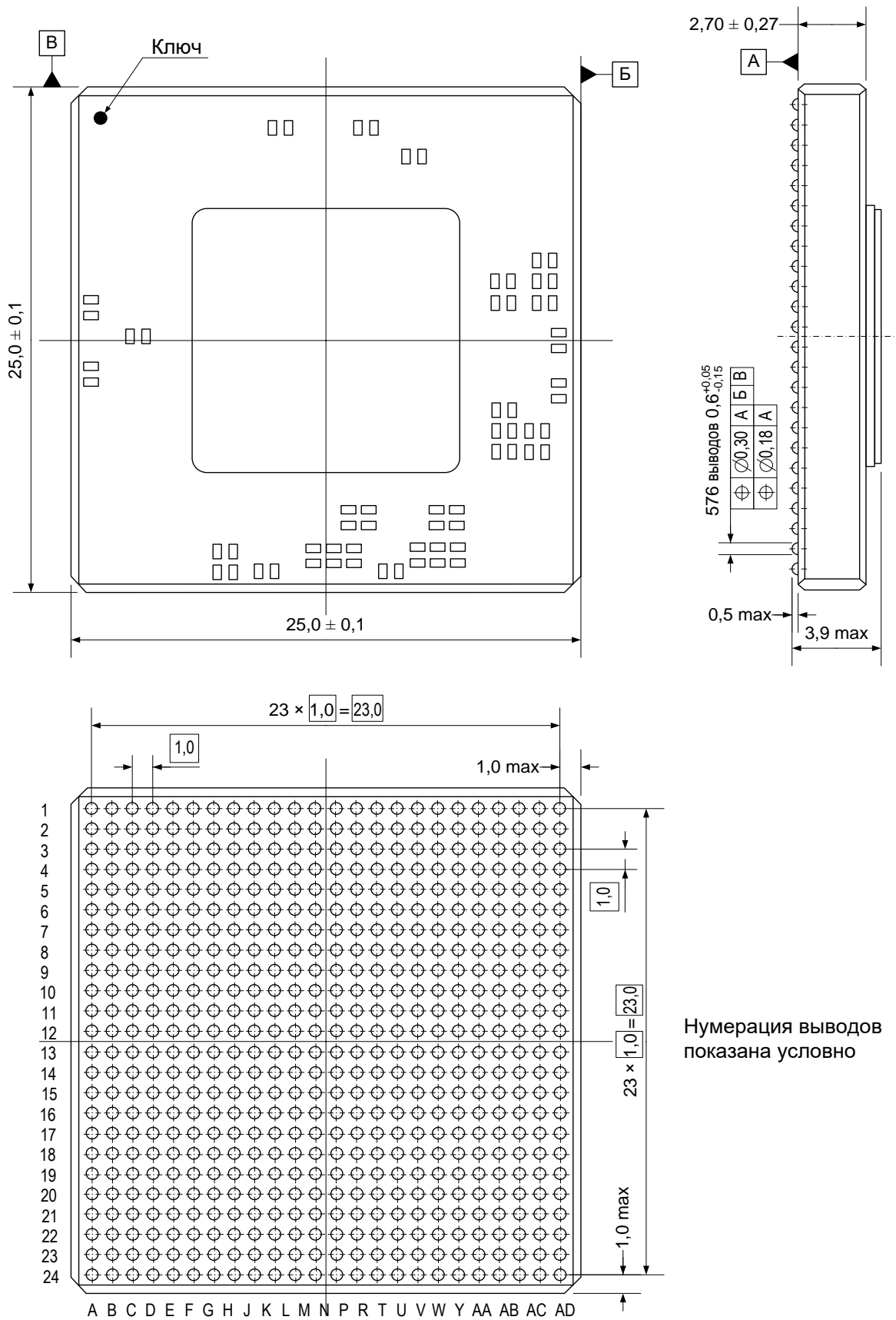


Рисунок 44 – Микросхема в корпусе МК 8303.576-1

25 Информация для заказа

Обозначение	Маркировка	Тип корпуса	Температурный диапазон	Международное обозначение
K1986BC018	K1986BC018	МК 8303.576-1	минус 45 – 85 °С	MDR45018I
K1986BC018K	K1986BC018•	МК 8303.576-1	0 – 70 °С	MDR45018C

Лист регистрации изменений

№ п/п	Дата	Версия	Краткое содержание изменения	№№ изменяемых листов
1	03.12.2019	1.0.0	Введена впервые	Все
2	22.01.2020	1.1.0	Исправлено значение частоты развертки	1
3	21.02.2020	2.0.0	Внесение дополнений гл. конструктора. Приведение в соответствие с ТУ и КД литера А	По тексту
4	01.06.2020	2.0.1	Исправление опечаток, перекрестных ссылок	По тексту
5	07.06.2021	2.0.2	Корректировка перечня ИМС и уточнение температурного диапазона	По тексту