

Ошибки в микросхемах K1967BH04BG

Настоящий документ содержит описание всех ошибок, выявленных в микросхемах, на момент создания данной версии документа.

Статус документа

Настоящий документ является НЕКОНФИДЕНЦИАЛЬНЫМ.

Адрес в сети Интернет

<http://www.milandr.ru>

Обратная связь по продукту

Если у Вас есть какие-либо комментарии или предложения по данному продукту, свяжитесь с Вашим поставщиком, указав:

- название продукта;
- комментарии, либо краткое описание Ваших предложений;
- предпочтительный способ связи с Вами и контакты (организация, электронная почта, номер телефона).

Обратная связь по документу

Если у Вас есть какие-либо комментарии или предложения по данному документу, пожалуйста, пришлите их на электронную почту support@milandr.ru, указав:

- название документа;
- номер и/или дата документа;
- номер страницы;
- комментарии, либо краткое описание Ваших предложений;
- предпочтительный способ связи с Вами и контакты (организация, электронная почта, номер телефона).

Оглавление

Обзор	4
Категории ошибок	4
Сводная таблица ошибок	5
Ошибки категории 2	7
0018 Отсутствие возможности выбрать банки 2 и 3 SDRAM-памяти	7
Ошибки категории 3	8
0001 Ошибка в реализации условия ALT модуля АЛУ	8
0002 Ошибка при «склейке» команд обращения на шину SOC и загрузки-сохранения	9
0003 Отличие от аналога TS201S в реализации параллельного выполнения команд с сохранением 128-битного результата	10
0004 Особенность в реализации команд SIMD умножения чисел с ПЗ одинарной точности	11
0005 Ошибка в реализации команд с ПЗ двойной точности $(a+b)/2$, $(a-b)/2$	12
0006 Ошибка в реализации команд CLU, использующих сдвиг регистра истории..	13
0007 Ошибка разрешения синхронизации таймеров с функцией захвата/ШИМ	14
0008 Ошибка в реализации доступа к внутренней памяти	15
0009 Ошибка в реализации доступа через хост-интерфейс к регистрам периферийных устройств шины SOC	16
0010 Ошибка в реализации чтения регистра MS1_CI	17
0011 Ошибка в реализации выводов интерфейса ARINC	18
0012 Ошибка в реализации программного исключения невыровненного доступа ..	19
0013 Ошибка в реализации работы приемника порта связи в 16-битном режиме ...	20
0014 Ошибка в реализации исполнения программы из внешней памяти	21
0015 Ошибка в генерации прерываний от GPIO	22
0016 Помехи по питанию при работе выходов КМОП.....	23
0017 Ограничение совместимости контроллера передатчика ГОСТ 18977-79 с РТМ 1495-75 (изменение №3) и ARINC429	24
Лист регистрации изменений	25

Обзор

Настоящий документ содержит описание ошибок в продукте с указанием категории критичности. Каждое описание содержит:

- уникальный идентификатор ошибки;
- текущий статус ошибки;
- где существует отклонение от спецификации и условия, при которых возникает ошибка;
- последствия возникновения ошибки в типичных применениях;
- ограничения, рекомендации и способы обхода ошибки, где это возможно.

Категории ошибок

Ошибки разделены на три категории критичности:

Категория 1.

Ошибочное поведение, которое невозможно обойти. Ошибки данной категории серьезно ограничивают использование продукта во всех или в большинстве приложений, что делает устройство непригодным для использования.

Категория 2.

Ошибочное поведение, которое противоречит требуемому поведению. Ошибки данной категории могут ограничивать или серьезно ухудшать целевое использование указанных функций, но не делают продукт непригодным для использования во всех или в большинстве приложений.

Категория 3.

Ошибочное поведение, которое не было изначально определено, но не вызывает проблем в приложениях при соблюдении рекомендаций.

Сводная таблица ошибок

В таблице указывается, в каких ревизиях микросхем присутствует ошибка. Наличие ошибки обозначено символом «X».

Ревизия микросхем определяется датой изготовления, указанной на крышке корпуса микросхемы в формате ГГНН, где ГГ – год изготовления, НН – неделя изготовления.

ID	Описание	Микросхемы, изготавливаемые с даты		
		2045 (рев. 2)	2401 (рев. 3)	
Категория 1				
Категория 2				
0018	Отсутствие возможности выбрать банки 2 и 3 SDRAM-памяти		X	
Категория 3				
0001	Ошибка в реализации условных команд АЛУ	X		
0002	Ошибка при «склейке» команд обращения на шину SOC и загрузки-сохранения	X		
0003	Отличие от аналога TS201S в реализации параллельного выполнения команд с сохранением 128-битного результата	X		
0004	Особенность в реализации команд SIMD умножения чисел с ПЗ одинарной точности	X		
0005	Ошибка в реализации команд с ПЗ двойной точности $(a+b)/2$, $(a-b)/2$	X		
0006	Ошибка в командах CLU, использующих сдвиг регистра истории	X		
0007	Ошибка разрешения синхронизации таймеров с функцией захвата/ШИМ	X		
0008	Ошибка в реализации доступа к внутренней памяти	X		
0009	Ошибка в реализации доступа через хост-интерфейс к регистрам периферийных устройств шины SOC	X		
0010	Ошибка в реализации чтения регистра MS1_CI	X		
0011	Ошибка в реализации выводов интерфейса ARINC	X		

ID	Описание	Микросхемы, изготавливаемые с даты		
		2045 (рев. 2)	2401 (рев. 3)	
0012	Ошибка в реализации программного исключения невыровненного доступа	X		
0013	Ошибка в реализации работы порта связи в 16-битном режиме	X		
0014	Ошибка в реализации исполнения программы из внешней памяти	X		
0015	Ошибка в генерации прерываний от GPIO	X		
0016	Помехи по питанию при работе выходов КМОП	X	X	
0017	Ограничение совместимости контроллера передатчика ГОСТ 18977 79 с PTM 1495 75 (изменение №3) и ARINC429	X	X	

Ошибки категории 2

0018 Отсутствие возможности выбрать банки 2 и 3 SDRAM-памяти

Статус

Актуальна в микросхемах ревизии 3 с даты изготовления 2401.

Описание

Выводы PC[11] и PC[12] не выполняют функции MSSD[2] и MSSD[3] соответственно. При конфигурировании выводов PC[11] и PC[12] в функции MSSD[2] и MSSD[3] контакт настроится как вход и будет находиться в отключенном состоянии.

Условия возникновения

При выборе альтернативной функции PC[11] как MSSD[2] и PC[12] как MSSD[3].

Последствия

Отсутствие возможности выбрать банки 2 и 3 SDRAM-памяти.

Рекомендации и способы обхода

Учитывать при работе.

Ошибки категории 3

0001 Ошибка в реализации условия ALT модуля АЛУ

Статус

Исправлена в микросхемах ревизии 3 с даты изготовления 2401.

Описание

Для предиката ALT (строго меньше нуля в АЛУ) для TS201S необходимо выполнение условия: $AN = 1 \ \& \ AZ = 0$.

В микросхеме необходимо только выполнение условия $AN = 1$.

В системе команд микросхемы имеется набор команд, при выполнении которых возможна одновременная установка флагов AN и AZ в «1» (соответствует получению одновременно отрицательного результата и результата равного нулю). После таких команд выполнение любых команд, использующих ALT, будет отличаться от TS201S, если при $AN = 1$ значение AZ также равно 1.

Условия возникновения

Всегда.

Последствия

Несовместимость с исполняемым кодом для TS201S.

Рекомендации и способы обхода

При программировании на ассемблере необходимо учитывать эту особенность.

0002 Ошибка при «склейке» команд обращения на шину SOC и загрузки-сохранения

Статус

Исправлена в микросхемах ревизии 3 с даты изготовления 2401.

Описание

Одновременное обращение по каналам J и K во внешнюю память или шину SOC при условии, что канал K использует специальную команду пересылки на шину SOC, а канал J использует любую команду загрузки/сохранения.

Условия возникновения

Всегда.

Последствия

Зависание процессора.

Рекомендации и способы обхода

Алгоритмы обхода:

Запретить какую-либо склейку специальных команд обращения к устройствам на шине SOC с другими командами загрузки/сохранения, т.е. должна быть *запрещена* следующая запись:

$$\text{IMASKH} = \text{YR0}; [\text{J31} + 0\text{x}800001\text{C0}] = \text{J0};;$$

При одновременном обращении с помощью специальной команды к регистрам шины SOC и любой(!) другой команды загрузки/сохранения специальная команда обязательно должна использовать слот J.

Т.е. *допустима комбинация*: $\text{IMASKH} = \text{YR0}; [\text{K31} + 0\text{x}800001\text{C0}] = \text{J0};;$

и должна быть *запрещена комбинация*: $\text{IMASKH} = \text{YR0}; [\text{J31} + 0\text{x}800001\text{C0}] = \text{J0};;$

Т.к. ошибка возникает, только когда специальная команда использует слот K.

При этом *возможна* склейка $j0 = j2+1$; $\text{IMASKH} = \text{YR0};;$ Т.к. у записи на шину SOC нет конфликта со слотом J.

0003 Отличие от аналога TS201S в реализации параллельного выполнения команд с сохранением 128-битного результата

Статус

Исправлена в микросхемах ревизии 3 с даты изготовления 2401.

Описание

Только одно из устройств: КЛУ, умножитель или АЛУ – имеет возможность использовать 128-битную шину результата. В ближайшем аналоге TS201S реализован иной механизм:

- команды ALU с квадровыводом не могут исполняться параллельно с командами умножителя с квадровыводом;
- команды КЛУ с квадровыводом не могут исполняться параллельно с командами сдвигового устройства.

Условия возникновения

Всегда.

Последствия

- 1 Неправильное выполнение кода, генерируемого средой VisualDSP (при условии выполнения такой высокоуровневой оптимизации).
- 2 Неправильное выполнение ассемблерного кода, написанного с учетом параллелизма, заложенного в TS201S.

Рекомендации и способы обхода

- 1 Использовать компилятор CM-LYNX.
- 2 Учитывать данную особенность при написании ассемблерного кода.

0004 Особенности в реализации команд SIMD умножения чисел с ПЗ одинарной точности

Статус

Исправлена в микросхемах ревизии 3 с даты изготовления 2401.

Описание

В системе команд микросхемы команды умножения для чисел с ПЗ одинарной точности могут исполняться с опцией округления или усечения результата. Для векторных (SIMD) команд умножения допущена ошибка выполнения, в случае использования опции округления.

Условия возникновения

Всегда.

Последствия

Возможен неверный результат вычислений.

Рекомендации и способы обхода

Если один набор операндов всегда известен (например, коэффициенты БПФ), то предварительно нужно проверить, что умножение коэффициента на любое возможное значение мантиссы от 0x800000 до 0xFFFFFFFF не даст сбоя (процесс быстрый).

Если для какого-то коэффициента получили сбой, то корректируем коэффициент в большую или меньшую сторону, прибавляя к младшему биту 1 или отнимая от младшего бита 1.

Модернизированный коэффициент опять проверяем таким же образом. Процесс повторяется до тех пор, пока не получится нормальный коэффициент.

0005 Ошибка в реализации команд с ПЗ двойной точности $(a+b)/2$, $(a-b)/2$

Статус

Исправлена в микросхемах ревизии 3 с даты изготовления 2401.

Описание

Операции $(a+b)/2$ и $(a-b)/2$ для операндов с ПЗ двойной точности в некоторых случаях будут выдавать результат «0» вместо истинного.

Условия возникновения

Непредсказуемо, в любом месте алгоритма.

Последствия

Невозможность использования этих команд.

Рекомендации и способы обхода

В компиляторе эти команды будут запрещены к использованию. При написании команд на ассемблере взамен этих команд можно использовать альтернативные без заметной потери в производительности. Например:

$c=(a+b)$;; $c = \text{scalb } c \text{ by } -1$;; вместо $c=(a+b)/2$.

0006 Ошибка в реализации команд CLU, использующих сдвиг регистра истории**Статус**

Исправлена в микросхемах ревизии 3 с даты изготовления 2401.

Описание

В командах CLU ACS, DESPREAD, XCORRS одной из составляющих операций является сдвиг регистра истории Trh. Если во время продвижения команды по конвейеру происходит ее останов на последней стадии исполнения, запись в регистры истории не блокируется, и их модификация происходит в каждом такте простоя конвейера.

Условия возникновения

Всякий раз, когда конвейер тормозится какой-то командой, например, командой обращения на шину SOC. Пример:

```
r20 = 0x00;;
```

```
r0 = 0x00;;
```

```
r1 = 0x00;;
```

```
thr1:0 = r1:0;;
```

```
r3:0 = Q[j1+=0x04];;
```

```
tr3:0 = r3:0; r8 = [j2+=0x01];;
```

```
j0 = IMASKH;; -- важным является присутствие именно в этой линии  
команды, которая остановит конвейер в тот момент, когда следующая  
команда CLU будет на стадии W2.
```

```
xtr7:4 = acs(tr3:2, tr1:0, r8); ytr7:4 = acs(tr3:2, tr1:0, r8); r15:12 = Q[j4+=0x04];;
```

```
r7:4 = tr7:4, tr7:4 = acs(tr3:2, tr1:0, r8); // ошибка проявится в этой строке
```

Последствия

Невозможность использования этих команд в силу некорректности результата.

Рекомендации и способы обхода

При использовании указанных команд CLU нужно контролировать отсутствие описанной ситуации. Компилятор это решает автоматически, программист, в случае создания программ на ассемблере, должен следить за этим самостоятельно.

0007 Ошибка разрешения синхронизации таймеров с функцией захвата/ШИМ

Статус

Исправлена в микросхемах ревизии 3 с даты изготовления 2401.

Описание

Тактирование таймеров с функцией захвата/ШИМ осуществляется, когда в регистре CFG8 установлено разрешение синхронизации сразу двух таймеров: GTMR0_en и GTMR1_en.

Условия возникновения

При разрешении синхронизации только одного таймера с функцией захвата/ШИМ.

Последствия

Отсутствие синхронизации таймеров с функцией захвата/ШИМ.

Рекомендации и способы обхода

В регистре CFG8 разрешить синхронизацию двух таймеров с функцией захвата/ШИМ.

0008 Ошибка в реализации доступа к внутренней памяти

Статус

Исправлена в микросхемах ревизии 3 с даты изготовления 2401.

Описание

Процессор имеет внутреннюю память, разделенную на шесть областей размером 2 Мбит каждая, и при этом нет областей, отведенных отдельно под память программ или память данных. Однако, если происходит обращение по записи со стороны контроллера DMA или внешнего хост-устройства в область, где расположен код программы, и в этот момент происходит обращение со стороны процессора за чтением инструкции, то запись будет проигнорирована.

Условия возникновения

- 1 Код программы и область записи данных находятся в одном блоке памяти.
- 2 Запрос на чтение инструкции и запись данных приходят на арбитр одновременно.

Последствия

Данные с внешнего хост-устройства или контроллера DMA не будут записаны.

Рекомендации и способы обхода

Вариант 1:

Размещать данные, которые хост или контроллер DMA намеревается записать, только в тех банках памяти, в которых в момент записи не будет исполняемого кода.

Вариант 2:

Если есть возможность, после записи данных произвести чтение и сравнение. Если запись каких-то данных не удалась, повторить запись.

0009 Ошибка в реализации доступа через хост-интерфейс к регистрам периферийных устройств шины SOC

Статус

Исправлена в микросхемах ревизии 3 с даты изготовления 2401.

Описание

Регистры периферийных устройств шины SOC (адреса 0x80000000 – 0xFFFFFFFF) недоступны по чтению через последовательный хост-интерфейс.

Условия возникновения

Всегда.

Последствия

В отсутствие отладки через JTAG нет возможности прочитать управляющую/статусную информацию об устройствах шины SOC через хост-интерфейс.

Рекомендации и способы обхода

Для отладки использовать только отладочный интерфейс JTAG.

0010 Ошибка в реализации чтения регистра MS1_CI

Статус

Исправлена в микросхемах ревизии 3 с даты изготовления 2401.

Описание

Регистр управления кэшированием команд MS1_CI (группа 0x1E, номер 10) при чтении возвращает значение регистра управления кэшированием команд MS0_CI (группа 0x1E, номер 2).

Условия возникновения

Всегда.

Последствия

Нет возможности убедиться в корректности записанной информации.

Рекомендации и способы обхода

Создать в памяти процессора регистр-копию. При записи в MS1_CI дублировать запись и в копию, а для получения значения читать не MS1_CI, а копию.

0011 Ошибка в реализации выводов интерфейса ARINC

Статус

Исправлена в микросхемах ревизии 3 с даты изготовления 2401.

Описание

Для коммутации выводов контроллера ARINC на выводы PB[21:4], PB[31:26] необходимо выбрать альтернативную функцию указанных выводов GPIO. Все указанные выводы переключаются на интерфейс ARINC корректно, кроме PB[31].

Условия возникновения

Всегда.

Последствия

Для использования вывода AR_OU4N требуется одна дополнительная запись в регистр.

Рекомендации и способы обхода

Помимо выбора альтернативной функции вывода PB[31], необходимо задать направление на выдачу для вывода PB[31]. Например, установить бит 31 в регистре PiDDR_LD или PiDDR_SET порта B (0x80001040).

0012 Ошибка в реализации программного исключения невыровненного доступа

Статус

Исправлена в микросхемах ревизии 3 с даты изготовления 2401.

Описание

При доступе к 64- и 128-разрядным словам в командах альтернативного доступа с использованием стандартной циклической адресации и битреверсной адресации, если адрес доступа не выровнен на границе запрашиваемого слова, исключительная ситуация Non-aligned access не будет сформирована. Поведение процессора будет соответствовать ситуации доступа по выровненному адресу.

Условия возникновения

Всегда при использовании указанного метода адресации с ошибочным адресом и разрешенными программными исключениями.

Последствия

Сокращение возможностей обнаружения ошибок при адресации данных во время отладки программы.

Рекомендации и способы обхода

Данная ошибка не требует каких-либо специальных действий со стороны пользователя.

0013 Ошибка в реализации работы приемника порта связи в 16-битном режиме

Статус

Исправлена в микросхемах ревизии 3 с даты изготовления 2401.

Описание

В режиме работы портов связи, при котором все 16 дифференциальных линий работают на один порт, биты 1, 2 и 3 каждой 16-битной части принимаемого квадрослова формируются неверно.

Условия возникновения

Всегда при RDSIZE = 11 регистра LRCTL.

Последствия

Невозможность работать с приемником с шириной шины портов связи 16 бит.

Рекомендации и способы обхода

Использовать для приемника только 1-, 4- и 8-битные режимы работы портов связи.

0014 Ошибка в реализации исполнения программы из внешней памяти

Статус

Исправлена в микросхемах ревизии 3 с даты изготовления 2401.

Описание

Невозможно исполнять программу, размещенную во внешней по отношению к процессору памяти – SRAM, SDRAM.

Условия возникновения

Всегда.

Последствия

Невозможность работать с программным кодом, размещенным во внешней памяти.

Рекомендации и способы обхода

Использовать для кода программы встроенную память процессора.

0015 Ошибка в генерации прерываний от GPIO

Статус

Исправлена в микросхемах ревизии 3 с даты изготовления 2401.

Описание

Прерывание от выводов PA, PB, PC формируется только от младших битов PA[0], PB[0], PC[0].

Условия возникновения

Всегда.

Последствия

Невозможность генерации прерываний от старших 31 бита портов PA, PB, PC.

Рекомендации и способы обхода

Использовать только реализованные прерывания от внешних выводов: PB[25:22] = IRQ[3:0], PA[0], PB[0], PC[0].

0016 Помехи по питанию при работе выходов КМОП

Статус

Будет исправлена в следующей версии продукта.

Описание

При одновременном переключении большого количества выходов КМОП, например, при операции записи в SDRAM, и одновременной работе приемников портов связи в последних наблюдаются ложные переключения, которые приводят к приему неправильных данных. Причина – помеха по питанию VDD_IO, возникающая из-за большой индуктивности выводов корпуса микросхемы.

Условия возникновения

Всегда при описанной ситуации. Точное количество одновременно переключаемых выходов, которые приводят к этой ошибке, назвать невозможно, так как оно зависит в том числе и от конкретной реализации монтажной платы, на которой размещена микросхема.

Последствия

Невозможность работать с приемником портов связи при одновременной записи во внешнюю память или при ином сценарии, при котором одновременно переключается большое количество выходов КМОП (порты PA, PB, PC, PD, PE).

Рекомендации и способы обхода

1. Для микросхем (K)1967BH044 второй и третьей ревизии - алгоритмически разнести во времени операции записи во внешнюю память и чтения по портам связи.
- 2*. Для микросхем (K)1967BH044 второй ревизии - установка фильтрующих емкостей по питанию VDD_IO и VDD, а также установка резисторов сопротивлением не менее 300 Ом последовательно в трассы сигналов PA, PB, PC, PD, PE на монтажной плате способствует снижению вероятности приема неправильных данных. При этом максимальная частота работы по внешней шине (PC, PD, PE) будет не более 20 МГц.
- 3*. Для микросхем (K)1967BH044 третьей ревизии - установка фильтрующих емкостей 1 мкФ + 100 нФ + 10 нФ на выводы VDD_IO и VDDA (если VDDA подключен к полигону VDD_IO) способствует снижению вероятности приема неправильных данных. VDD_IO=3.05 В. При этом частота работы внешней шины - не более 50 МГц, тактовая частота Link-портов - не более 50 МГц.

* Нельзя гарантировать, что предложенные пути обхода обеспечат прием корректных данных по Link-портам для платы любой конфигурации и топологии. Частота работы внешней шины и тактовая частота Link-портов, обеспечивающие бесспорную работу, подбираются экспериментальным путем.

0017 Ограничение совместимости контроллера передатчика ГОСТ 18977-79 с PTM 1495-75 (изменение №3) и ARINC429

Статус

Будет исправлена в следующей версии продукта.

Описание

Контроллер передатчика по ГОСТ 18977-79 выполняет передачу данных на частоте, которая формируется делителем опорной частоты REF_CLK. В зависимости от выбранного делителя опорной частоты REF_CLK (бит CLK в регистре CONTROL) изменяется не только длительность битового интервала T, но также и длительность импульсов положительной и отрицательной полярности T_{PULSE}:

– CLK = 0: T_{PULSE} = T_{REF_CLK} • 4 = T/2 – 20 %;

– CLK = 1: T_{PULSE} = T_{REF_CLK} • 39 = T/2 – 2,5 %.

Например, при использовании CLK = 0 для задания скорости 100 Кбит/с (опорная частота REF_CLK = 1 МГц) передача данных в RZ последовательном коде в соответствии с ГОСТ 18977-79 осуществляется с длительностью импульсов положительной и отрицательной полярности наличия сигнала 4 мкс. Это ограничивает совместимость с руководством PTM 1495-75 (изменение №3) и стандартом ARINC429, в которых эта длительность регламентирована как 5 мкс ± 5 %.

Условия возникновения

При использовании делителя опорной частоты равного 10 (CLK = 0 в регистре CONTROL).

Последствия

При чувствительности принимающего устройства, функционирующего в соответствии с руководством PTM 1495-75 (изменение №3) или стандартом ARINC429, к длительности импульса положительной или отрицательной полярности наличия сигнала длительностью не менее T/2 мкс ± 5 % возможен сбой (5 мкс ± 5 % при скорости передачи 100 Кбит/с).

Рекомендации и способы обхода

Использовать делитель опорной частоты равный 80 (CLK = 1 в регистре CONTROL).

Например, для передачи данных на скорости 100 Кбит/с в регистре управления передатчиком CONTROL установить скорость передачи следующим образом:

– в поле DIV[7:0] записать значение делителя частоты SOCCLK, при котором опорная частота будет составлять 8 МГц;

– установить бит CLK = 1 (частота передаваемых данных = опорная частота/80).

Таким образом передача данных будет выполняться на скорости 100 Кбит/с, при этом длительность импульсов положительной и отрицательной полярности составит 4,875 мкс (5 мкс – 2,5 %).

Необходимо учитывать, что для получения опорной частоты равной 8 МГц частота тактирования ядра CCLK должна быть кратна 16.

Лист регистрации изменений

Дата	Страница	Статус	ID	Категория	Описание
28.04.22					Документ создан
22.12.22	21 22 23		0014 0015 0016	3	Добавлено описание ошибок
07.02.24					Добавлена ревизия 3
28.03.24	24		0017	3	Добавлено описание ошибки
07.08.24	23		0016	3	Скорректировано описание рекомендаций и способов обхода
27.11.24	7		0018	2	Добавлено описание ошибки