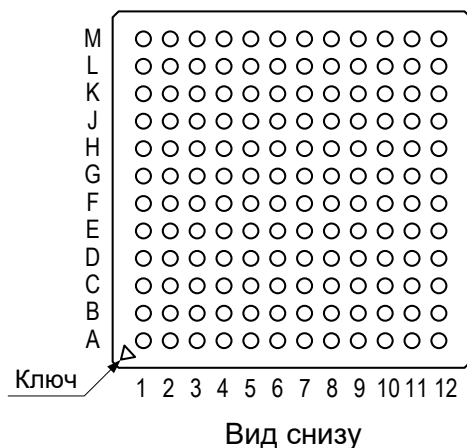
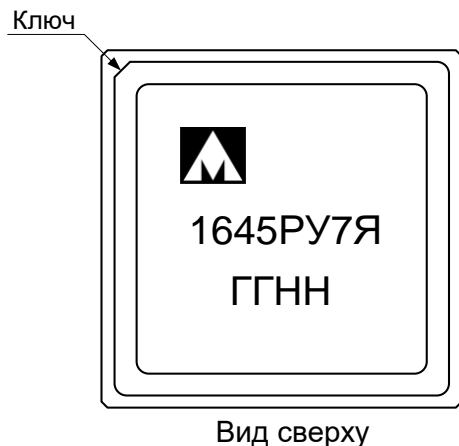




**Микросхема синхронного статического ОЗУ конвейерного типа
емкостью 72 Мбит (2 М × 36)
1645РУ7Я, К1645РУ7Я, К1645РУ7ЯК**



ГГ – год выпуска

НН – неделя выпуска

Тип корпуса:

- 144-выводной металлокерамический корпус МК 8307.144-АНЗ.

Области применения микросхемы

Микросхемы интегральные 1645РУ7Я, синхронное статическое ОЗУ конвейерного типа емкостью 72 Мбит и организацией 2 М слов по 36 бит (далее – микросхемы), предназначены для применения в аппаратуре специального назначения, в том числе в высокоточных системах управления.

Основные характеристики микросхемы:

- Информационная емкость 72 Мбит (2 М × 36);
- Напряжение питания от 3,0 до 3,6 В;
- Время доступа не более 3,0 нс;
- Динамический ток потребления не более 500 мА;
- Ток потребления в режиме хранения не более 99 мА;

- Температурный диапазон:

Обозначение	Диапазон
1645РУ7Я	минус 60 – 85 °С
К1645РУ7Я	минус 60 – 85 °С
К1645РУ7ЯК	0 – 70°С

1 Структурная блок-схема микросхемы

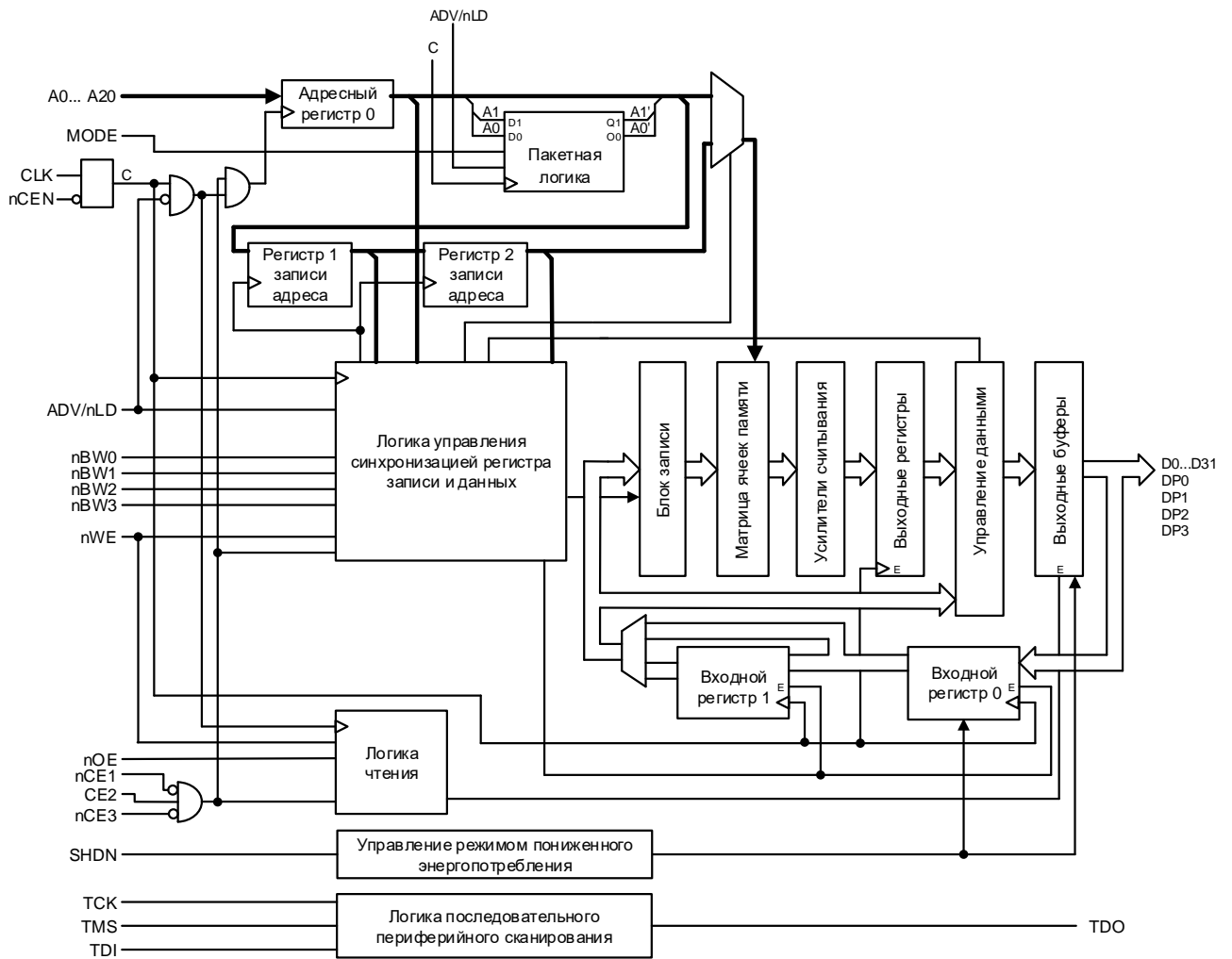
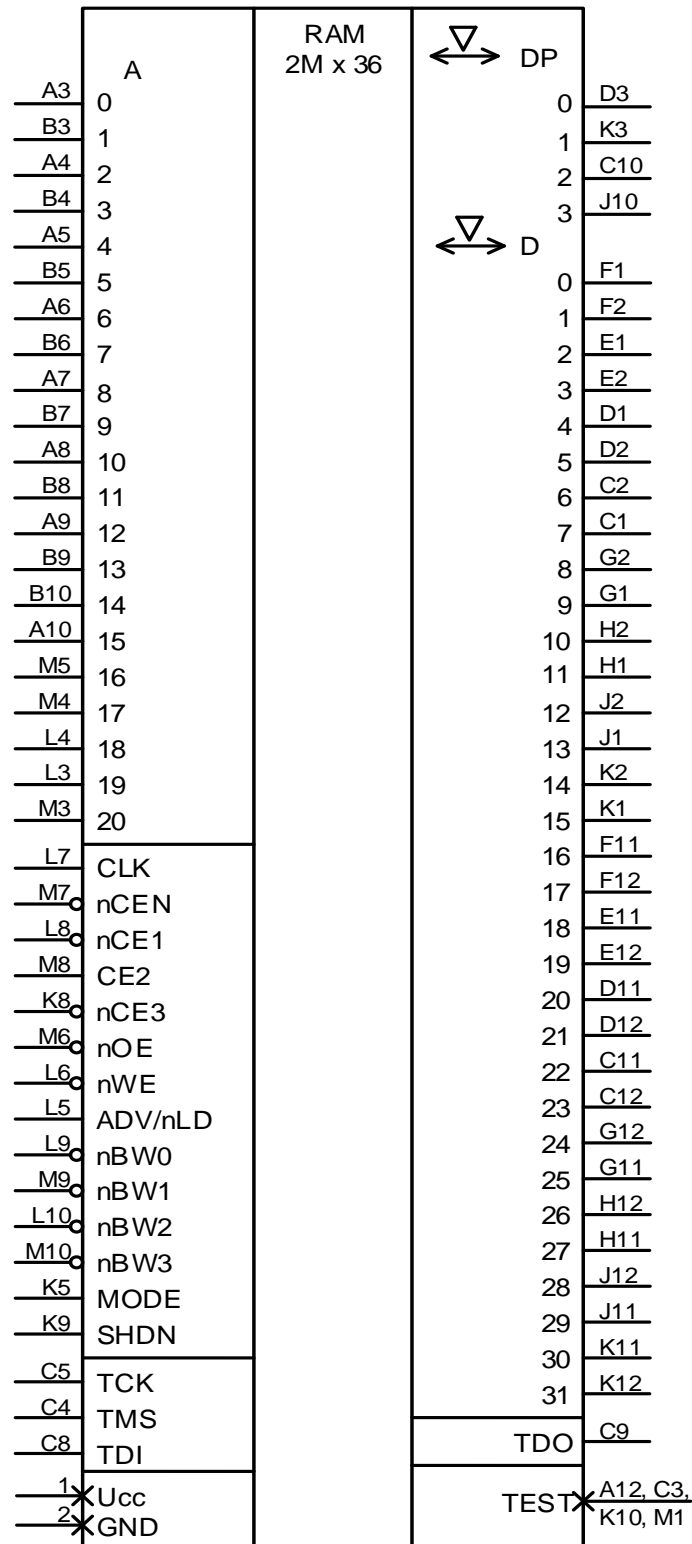


Рисунок 1 – Структурная блок-схема микросхемы

2 Условное графическое обозначение



- 1 – U_{cc} – группа выводов: B1, B12, C6, C7, D6, E4, E10, F4, F9, F10, G3, G4, G9, H3, H9, J7, K6, K7, L1, L12;
- 2 – GND – группа выводов: A1, A2, A11, B2, B11, D4, D5, D7 – D10, E3, E5 – E9, F3, F5 – F8, G5 – G8, G10, H4 – H8, H10, J3 – J6, J8, J9, K4, L2, L11, M2, M11, M12

Рисунок 2 – Условное графическое обозначение

3 Описание выводов

Таблица 1 – Функциональное назначение выводов

Номер вывода	Обозначение вывода	Назначение вывода
A1	GND	Общий
A2	GND	Общий
A3	A0	Вход сигнала адреса
A4	A2	Вход сигнала адреса
A5	A4	Вход сигнала адреса
A6	A6	Вход сигнала адреса
A7	A8	Вход сигнала адреса
A8	A10	Вход сигнала адреса
A9	A12	Вход сигнала адреса
A10	A15	Вход сигнала адреса
A11	GND	Общий
A12	TEST	Тестовый. Запрещено подавать какие-либо сигналы, в том числе шины «Общий» и «Питание»
B1	U _{cc}	Питание
B2	GND	Общий
B3	A1	Вход сигнала адреса
B4	A3	Вход сигнала адреса
B5	A5	Вход сигнала адреса
B6	A7	Вход сигнала адреса
B7	A9	Вход сигнала адреса
B8	A11	Вход сигнала адреса
B9	A13	Вход сигнала адреса
B10	A14	Вход сигнала адреса
B11	GND	Общий
B12	U _{cc}	Питание
C1	D7	Вход/выход данных
C2	D6	Вход/выход данных
C3	TEST	Тестовый. Запрещено подавать какие-либо сигналы, в том числе шины «Общий» и «Питание»
C4	TMS	Вход управления доступом JTAG порта
C5	TCK	Вход тактового сигнала JTAG порта
C6	U _{cc}	Питание
C7	U _{cc}	Питание
C8	TDI	Вход последовательных данных JTAG порта
C9	TDO	Выход последовательных данных JTAG порта
C10	DP2	Вход/выход данных битов четности
C11	D22	Вход/выход данных
C12	D23	Вход/выход данных
D1	D4	Вход/выход данных
D2	D5	Вход/выход данных
D3	DP0	Вход/выход данных битов четности
D4	GND	Общий
D5	GND	Общий
D6	U _{cc}	Питание

Номер вывода	Обозначение вывода	Назначение вывода
D7	GND	Общий
D8	GND	Общий
D9	GND	Общий
D10	GND	Общий
D11	D20	Вход/выход данных
D12	D21	Вход/выход данных
E1	D2	Вход/выход данных
E2	D3	Вход/выход данных
E3	GND	Общий
E4	U _{cc}	Питание
E5	GND	Общий
E6	GND	Общий
E7	GND	Общий
E8	GND	Общий
E9	GND	Общий
E10	U _{cc}	Питание
E11	D18	Вход/выход данных
E12	D19	Вход/выход данных
F1	D0	Вход/выход данных
F2	D1	Вход/выход данных
F3	GND	Общий
F4	U _{cc}	Питание
F5	GND	Общий
F6	GND	Общий
F7	GND	Общий
F8	GND	Общий
F9	U _{cc}	Питание
F10	U _{cc}	Питание
F11	D16	Вход/выход данных
F12	D17	Вход/выход данных
G1	D9	Вход/выход данных
G2	D8	Вход/выход данных
G3	U _{cc}	Питание
G4	U _{cc}	Питание
G5	GND	Общий
G6	GND	Общий
G7	GND	Общий
G8	GND	Общий
G9	U _{cc}	Питание
G10	GND	Общий
G11	D25	Вход/выход данных
G12	D24	Вход/выход данных
H1	D11	Вход/выход данных
H2	D10	Вход/выход данных
H3	U _{cc}	Питание
H4	GND	Общий
H5	GND	Общий

Номер вывода	Обозначение вывода	Назначение вывода
H6	GND	Общий
H7	GND	Общий
H8	GND	Общий
H9	U _{cc}	Питание
H10	GND	Общий
H11	D27	Вход/выход данных
H12	D26	Вход/выход данных
J1	D13	Вход/выход данных
J2	D12	Вход/выход данных
J3	GND	Общий
J4	GND	Общий
J5	GND	Общий
J6	GND	Общий
J7	U _{cc}	Питание
J8	GND	Общий
J9	GND	Общий
J10	DP3	Вход/выход данных битов четности
J11	D29	Вход/выход данных
J12	D28	Вход/выход данных
K1	D15	Вход/выход данных
K2	D14	Вход/выход данных
K3	DP1	Вход/выход данных битов четности
K4	GND	Общий
K5	MODE	Вход выбора последовательности пакетов данных
K6	U _{cc}	Питание
K7	U _{cc}	Питание
K8	nCE3	Вход сигнала разрешения выборки
K9	SHDN	Вход управления режимом пониженного энергопотребления. Имеет внутреннюю подтяжку к шине «Общий»
K10	TEST	Тестовый. Запрещено подавать какие-либо сигналы, в том числе шины «Общий» и «Питание»
K11	D30	Вход/выход данных
K12	D31	Вход/выход данных
L1	U _{cc}	Питание
L2	GND	Общий
L3	A19	Вход сигнала адреса
L4	A18	Вход сигнала адреса
L5	ADV/nLD	Вход выбора пакетного режима
L6	nWE	Вход сигнала разрешения записи
L7	CLK	Вход тактового сигнала
L8	nCE1	Вход сигнала разрешения выборки
L9	nBW0	Вход сигнала разрешения записи байта 0
L10	nBW2	Вход сигнала разрешения записи байта 2
L11	GND	Общий
L12	U _{cc}	Питание
M1	TEST	Тестовый. Запрещено подавать какие-либо сигналы, в том числе шины «Общий» и «Питание»

Номер вывода	Обозначение вывода	Назначение вывода
M2	GND	Общий
M3	A20	Вход сигнала адреса
M4	A17	Вход сигнала адреса
M5	A16	Вход сигнала адреса
M6	nOE	Вход сигнала разрешения выхода данных
M7	nCEN	Вход сигнала разрешения выборки тактового сигнала
M8	CE2	Вход сигнала разрешения выборки
M9	nBW1	Вход сигнала разрешения записи байта 1
M10	nBW3	Вход сигнала разрешения записи байта 3
M11	GND	Общий
M12	GND	Общий

4 Указания по применению и эксплуатации

При ремонте аппаратуры и измерении параметров микросхем замену микросхем необходимо проводить только при отключенных источниках питания.

Неиспользуемые адресные и управляющие входы микросхемы должны быть подключены к шине «Питание» или «Общий» в соответствии с разделом 5.

Неиспользуемые входы/выходы подключать к шине «Общий» через резистор сопротивлением не менее 3 кОм.

Запрещается подведение каких-либо электрических сигналов (в том числе шин «Питание» и «Общий») к неиспользуемому выходу TDO микросхем.

Запрещается подведение каких-либо электрических сигналов (в том числе шин «Питание» и «Общий») к выводам A12, C3, K10, M1.

Рекомендуемая длительность фронта подачи напряжения питания на микросхему не менее 20 мкс. Время до начала первого обращения к памяти не менее 100 мкс от достижения 70 % значения напряжения питания.

Максимальное значение времени нарастания/спада входных сигналов не более 100 нс, динамические параметры при этом не гарантируются. Для обеспечения максимального быстродействия микросхемы время нарастания/спада входных сигналов должно быть не более 1 нс.

Минимальная длительность выборки микросхемы по сигналам nCE1, CE2, nCE3 должна быть не менее двух периодов тактового сигнала CLK.

При пайке микросхем следует применять паяльную пасту Sn63Pb37 или аналогичную. Параметры профиля пайки приведены в таблице .

При хранении микросхем более 12 месяцев выводы обезжиривают путем погружения в спирт и высушивают в течение от 3 до 5 мин при комнатной температуре.

Таблица 2 – Параметры профиля пайки

Параметр	Оловянно-свинцовая паяльная паста
Температура солидуса припоя, °С	183
Температура пайки, °С	235 ± 5
Минимальная пиковая температура пайки (в самой холодной точке платы), °С	205
Скорость нагрева компонента, °С/с	от 0,5 до 4
Скорость охлаждения компонента, °С/с	от 2 до 4
Температура предварительного нагрева, °С	150 ± 10
Длительность предварительного нагрева, с	от 60 до 120
Длительность пребывания при температуре (235 + 5) °С, с	10 ± 1
Общее время нахождения микросхем при температуре свыше 183 °С, с	180, не более

Типовая схема подключения питания микросхемы при эксплуатации приведена на рисунке 6. Порядок подачи и снятия напряжения питания и входных сигналов на микросхемы должен быть следующим:

- подача (включение микросхем) – «Общий», «Питание», входные сигналы или одновременно;
- снятие (выключение микросхем) – в обратном порядке.

Крышка корпуса электрически соединена с выводами E6, E7, F5 – F8, G5 – G8, H6, H7.

5 Описание функционирования микросхемы

Микросхемы представляют собой синхронное пакетно-конвейерное статическое ОЗУ с информационной емкостью 72 Мбит и архитектурой, устраняющей циклы ожидания (пустые циклы) между операциями чтения и записи.












Все синхронные входы соединены с входными регистрами, управляемыми фронтом тактового сигнала CLK. Тактовый сигнал управляется входным сигналом разрешения выборки тактового сигнала (nCEN). Если на входе nCEN состояние высокого уровня, то тактовый сигнал не воспринимается и внутренние состояния микросхемы сохраняются. Все синхронные процессы зависят от состояния nCEN. Выходы данных соединены с выходным регистром, управляемым фронтом тактового сигнала CLK.

Выборка микросхемы инициируется состоянием всех трёх сигналов разрешения выборки (nCE1, CE2, nCE3), активируемых фронтом сигнала CLK. Использование трёх синхронных сигналов разрешения выборки nCE1, CE2, nCE3 и асинхронного сигнала разрешения выхода информации nOE упрощает реализацию функции расширения по глубине. Минимальная длительность выборки микросхемы по сигналам nCE1, CE2, nCE3 должна быть не менее двух периодов тактового сигнала CLK. Когда на входах nCEN и ADV/nLD состояние низкого уровня, установившийся на адресных входах адрес записывается в адресный регистр.

Режим чтения или записи микросхемы определяется состоянием входа nWE. Входы nBW[x] используются в режиме побайтовой записи.


Все операции чтения, записи и хранения – конвейерные. После нахождения микросхемы в режиме хранения сигнал на входе ADV/nLD необходимо переключить в состояние низкого уровня для загрузки нового адреса для следующей операции. Таблицы истинности микросхем представлены в таблицах 3, 4. Временные диаграммы режимов работы микросхемы приведены на рисунках 3 – 5.

Таблица 3 – Таблица истинности

Режим	Используемый адрес	nCE	SHDN	ADV/nLD	nWE	nBWx	nOE	nCEN	CLK	Dx/DPx
Хранение	Любой	H	L	L	X	X	X	L		Z
Продолжение хранения	Любой	X	L	H	X	X	X	L		Z
Считывание – начало пакета	Внешний	L	L	L	H	X	L	L		Выходные данные (Q)
Считывание – продолжение пакета	Внутренний счетчик адреса	X	L	H	X	X	L	L		Выходные данные (Q)
Фиктивный цикл считывания (NOP) – начало пакета	Внешний	L	L	L	H	X	H	L		Z
Фиктивный цикл считывания – продолжение пакета	Внутренний счетчик адреса	X	L	H	X	X	H	L		Z
Запись – начало пакета	Внешний	L	L	L	L	L	X	L		Входные данные (D)
Запись – продолжение пакета	Внутренний счетчик адреса	X	L	H	X	L	X	L		Входные данные (D)
Фиктивный цикл записи (NOP) – начало пакета	Любой	L	L	L	L	H	X	L		Z
Фиктивный цикл записи – продолжение пакета	Внутренний счетчик адреса	X	L	H	X	H	X	L		Z
Останов (пропуск фронта тактового сигнала)	Текущий	X	L	X	X	X	X	H		–
Режим пониженного энергопотребления	Любой	H	H	X	X	X	X	X	X	Z

Примечания:

1 Обозначения в таблице:

- L – уровень логического нуля;
- H – уровень логической единицы;
- X – любое состояние «0» или «1»;
- Z – высокий импеданс на выходе;
-  – фронт сигнала.

2 nCE определяется по таблице .

3 Адреса внутреннего счетчика адреса приведены в таблице .

4 Входы nBWx используются для побайтовой записи. Режимы записи байтов данных приведены в таблице

Таблица 4 – Таблица истинности для nCE

nCE1	CE2	nCE3	nCE
L	L	L	H
L	L	H	H
L	H	L	L
L	H	H	H
H	L	L	H
H	L	H	H
H	H	L	H
H	H	H	H

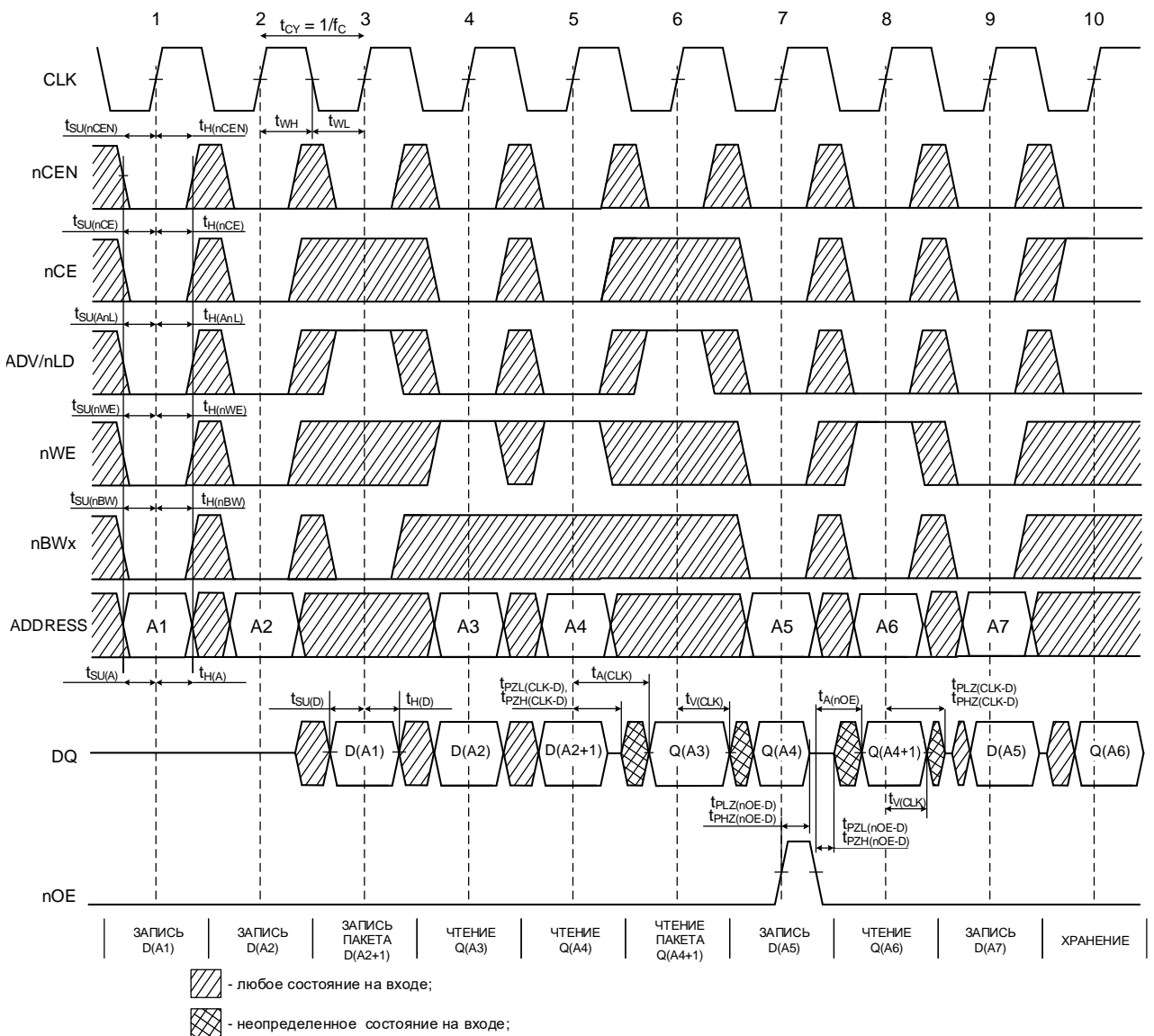


Рисунок 3 – Временная диаграмма режимов записи-читывания

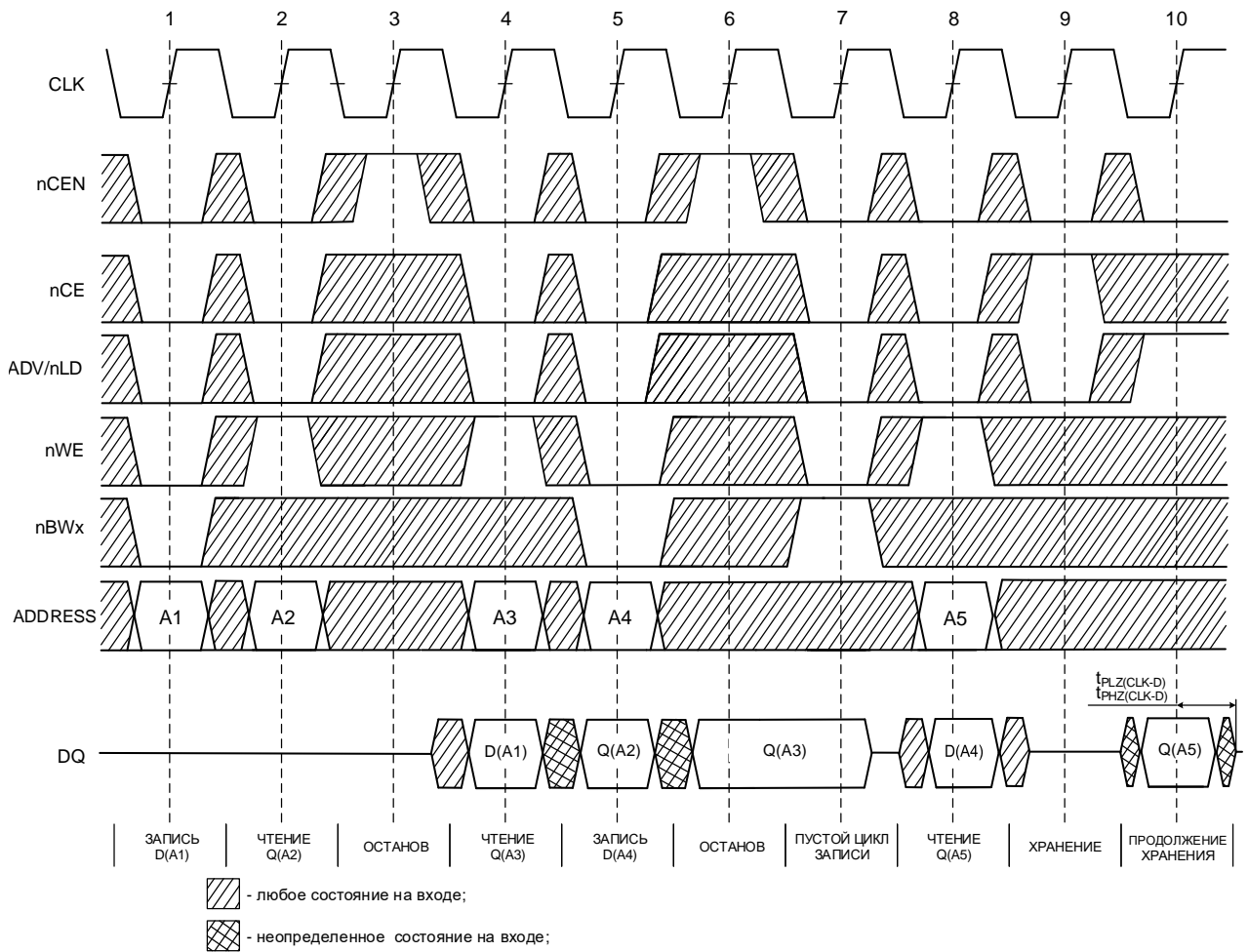


Рисунок 4 – Временная диаграмма режимов фиктивной записи, останова и хранения

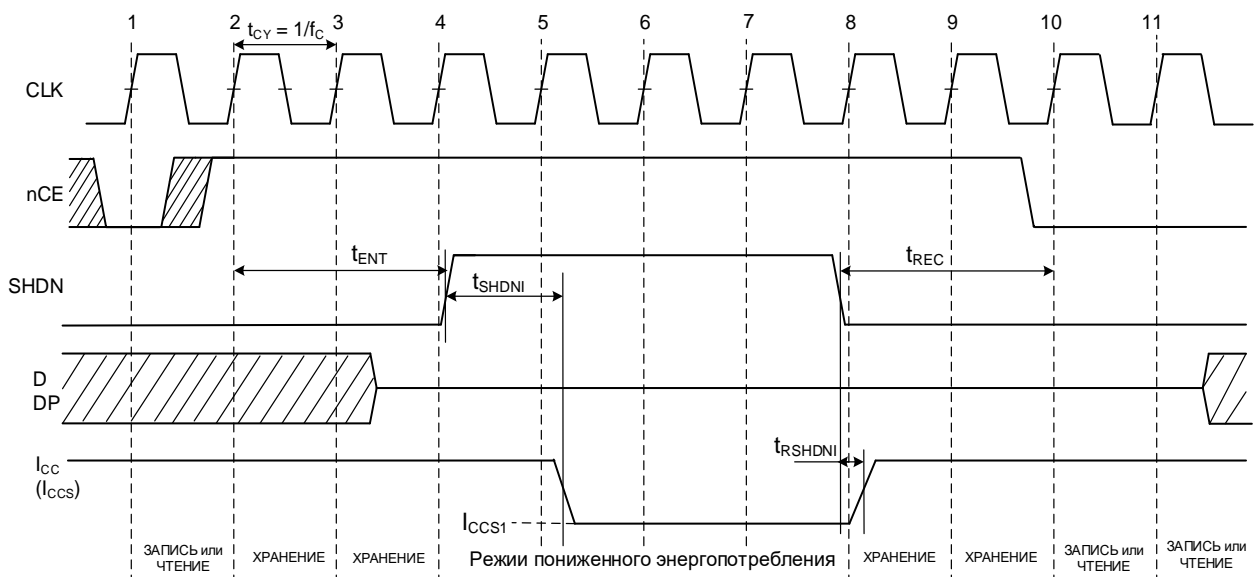


Рисунок 5 – Временная диаграмма режима пониженного энергопотребления

5.1 Режим считывания

Режим считывания активируется по фронту тактового сигнала CLK при выполнении условий:

- на nCEN состояние низкого уровня;
- на nCE состояние низкого уровня (см. таблицу);
- на nWE состояние высокого уровня;
- на ADV/nLD состояние низкого уровня.

Считывание происходит за два периода тактового сигнала CLK. В течение первого фронта тактового сигнала CLK сигналы адреса с адресных входов запоминаются в регистре адреса и поступают в блоки памяти и управляющую логику. Управляющая логика определяет, что выбран режим считывания, и позволяет данным пройти на вход выходного регистра. Следующий фронт сигнала CLK позволяет требуемым данным пройти через выходной регистр на шину данных за время $t_{A(CLK)}$ при низком уровне на входе nOE. Если вход nOE переведён в состояние высокого уровня, то выходные буферы переходят в третье состояние. В течение второго цикла сигнала CLK могут быть инициируемы последующие режимы – чтение, запись или хранение. Режим хранения также конвейерный. Когда СОЗУ переводится в режим хранения по фронту тактового сигнала одним из сигналов разрешения выборки, выходы микросхемы переходят в третье состояние по следующему фронту тактового сигнала.

5.2 Режим пакетного считывания (Burst Read)

В микросхеме есть внутренний двухразрядный счётчик адреса, который разрешает пользователю подать один адрес и провести четыре считывания без изменения адреса на адресных входах. Для загрузки нового адреса в СОЗУ сигнал ADV/nLD должен находиться в состоянии низкого уровня. Последовательность счётчика пакета определяется входным сигналом MODE. Низкий уровень на входе MODE выбирает линейный пакетный режим, высокий уровень на входе MODE выбирает перемежающийся пакетный режим. Оба пакетных режима используют адресные входы A0 и A1 в последовательности пакета. Адреса пакетных режимов приведены в таблице 5. Высокий уровень на входе ADV/nLD инкрементирует внутренний счётчик пакета независимо от состояния входов разрешения выборки и nWE. Сигнал nWE защелкивается во входном регистре, начиная пакетный цикл. Режим (чтение, запись или хранение) остается неизменным в течение пакетного режима (на ADV/nLD состояние высокого уровня).

Таблица 5 – Таблица адресов пакетных режимов

Первый адрес A1:A0	Второй адрес A1:A0	Третий адрес A1:A0	Четвёртый адрес A1:A0
Перемежающийся пакетный режим (MODE = H)			
00	01	10	11
01	00	11	10
10	11	00	01
11	10	01	00
Линейный пакетный режим (MODE = L)			
00	01	10	11
01	10	11	00
10	11	00	01
11	00	01	10

5.3 Режим записи

Режим записи активируется по фронту тактового сигнала CLK при выполнении условий:

- на nCEN состояние низкого уровня;
- на nCE состояние низкого уровня (см. таблицу);
- на nWE состояние низкого уровня;
- на ADV/nLD состояние низкого уровня.

Запись происходит за три периода тактового сигнала CLK. В течение первого фронта тактового сигнала CLK сигналы адреса с адресных входов запоминаются в регистре адреса. Сигналы записи защёлкиваются в блоке логики управления. По второму фронту тактового сигнала CLK шина данных автоматически переходит в третье состояние независимо от состояния входного сигнала nOE, что позволяет подать данные на выходы Dх/DPх. По второму фронту сигнала CLK могут подаваться адресные коды для последующих режимов (считывания, записи, хранения).

По третьему фронту тактового сигнала CLK данные Dх/DPх, представленные на соответствующих входах, защёлкиваются в микросхему и запись считается завершённой.

Данные, записываемые в течение режима записи, управляются сигналами nBWх. Подача сигнала записи nWE совместно с определенным входом nBWх, приводит к избирательной записи только требуемых байтов. Байты, не выбранные в течение режима записи, остаются неизменными (см. таблицу).

Т.к. микросхема имеет совмещённые информационные входы/выходы данных, входные данные не должны подаваться на выходы микросхемы до тех пор, пока выходы находятся в активном состоянии. В целях надёжности выходы Dх/DPх автоматически переходят в третье состояние в режиме записи, независимо от состояния на входе nOE.

Таблица 6 – Режимы записи байтов данных

Режим	nWE	nBW3	nBW2	nBW1	nBW0
Считывание	H	X	X	X	X
Фиктивная запись – нет записываемых байтов	L	H	H	H	H
Запись байта 0 – (D[0:7] и DP0)	L	H	H	H	L
Запись байта 1 – (D[8:15] и DP1)	L	H	H	L	H
Запись байтов 1, 0	L	H	H	L	L
Запись байта 2 – (D[16:23] и DP2)	L	H	L	H	H
Запись байтов 2, 0	L	H	L	H	L
Запись байтов 2, 1	L	H	L	L	H
Запись байтов 2, 1, 0	L	H	L	L	L
Запись байта 3 – (D[24:31] и DP3)	L	L	H	H	H
Запись байтов 3, 0	L	L	H	H	L
Запись байтов 3, 1	L	L	H	L	H
Запись байтов 3, 1, 0	L	L	H	L	L
Запись байтов 3, 2	L	L	L	H	H
Запись байтов 3, 2, 0	L	L	L	H	L
Запись байтов 3, 2, 1	L	L	L	L	H
Запись всех байтов	L	L	L	L	L

5.4 Режим пакетной записи (Burst write)

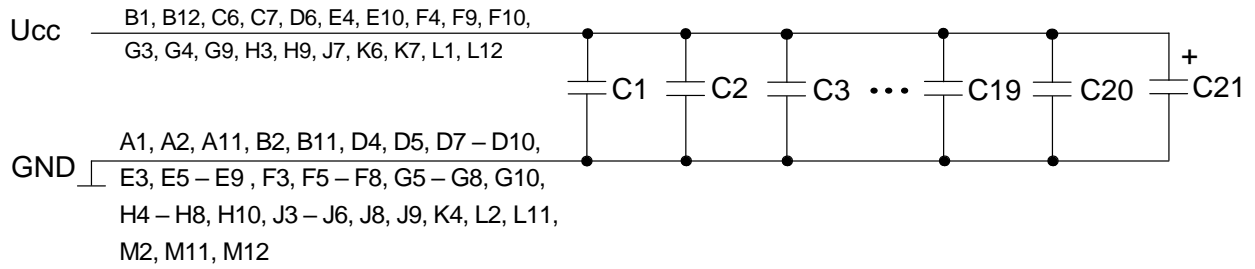
Двухразрядный счётчик адреса микросхем разрешает пользователю подать один адрес и провести четыре записи без изменения адреса на адресных входах. Для загрузки нового адреса в СОЗУ сигнал ADV/nLD должен находиться в состоянии низкого уровня. Когда на вход ADV/nLD подаётся напряжение высокого уровня, по следующему фронту тактового сигнала состояние входов nCE1, CE2, nCE3 и nWE игнорируется и счётчик пакетов инкрементируется. nBWx должны подаваться в каждом цикле пакетной записи для корректной записи байтов данных.

5.5 Режим пониженного энергопотребления.

Вход SHDN является асинхронным входом. Установление SHDN в состояние высокого уровня переводит микросхему в режим пониженного энергопотребления. Переход в этот режим может осуществляться только в невыбранном состоянии (режим хранения), когда на nCE высокий уровень (см. таблицу 4). Доступ к памяти в режиме пониженного энергопотребления невозможен.

Микросхему необходимо перевести в невыбранное состояние (режим хранения) не позднее, чем за два цикла до перехода в режим пониженного энергопотребления. На nCE должен оставаться высокий уровень в течение времени t_{REC} после возврата входа SHDN состояние низкого уровня. Значения электрических параметров приведены в разделе 6. Временные диаграммы работы микросхемы в режиме пониженного энергопотребления приведены на рисунке .

6 Типовая схема включения микросхемы



C1 – C20 – конденсаторы ёмкостью 0,1 мкФ (рекомендуется использовать керамические конденсаторы группы H20);

C21 – конденсатор емкостью 10 мкФ.

Указанные конденсаторы располагаются как можно ближе к каждому выводу питания.

Рисунок 6 – Типовая схема подключения питания микросхемы при эксплуатации

7 Предельно-допустимые характеристики микросхемы

Таблица 7 – Предельно-допустимые режимы эксплуатации и предельные электрические режимы микросхем

Наименование параметра, единица измерения	Буквенное обозначение	Предельно допустимый режим		Предельный режим	
		не менее	не более	не менее	не более
Напряжение питания, В	U_{CC}	3,0	3,6	–	3,9
Входное напряжение высокого уровня, В	U_{IH}	$U_{CC} - 0,2$	U_{CC}	–	$U_{CC} + 0,3$
Входное напряжение низкого уровня, В	U_{IL}	0	0,2	– 0,3	–
Напряжение высокого уровня, прикладываемое к выходу в состоянии «Выключено», В	U_{OZH}	–	U_{CC}	–	$U_{CC} + 0,3$
Напряжение низкого уровня, прикладываемое к выходу в состоянии «Выключено», В	U_{OZL}	0	–	– 0,3	–
Выходной ток высокого уровня, мА	I_{OH}	– 6	–	– 10	–
Выходной ток низкого уровня, мА	I_{OL}	–	6	–	10
Тактовая частота, МГц, на входе CLK	f_C	–	200	–	–
Длительность высокого уровня тактового сигнала, нс	t_{WH}	2,0	–	–	–
Длительность низкого уровня тактового сигнала, нс	t_{WL}	2,0	–	–	–
Время установления адреса относительно фронта сигнала CLK, нс	$t_{SU(A)}$	1,4	–	–	–
Время установления входных данных относительно фронта сигнала CLK, нс	$t_{SU(D)}$	1,4	–	–	–
Время установления сигнала nCEN относительно фронта сигнала CLK, нс	$t_{SU(nCEN)}$	1,4	–	–	–
Время установления сигнала nWE относительно фронта сигнала CLK, нс	$t_{SU(nWE)}$	1,4	–	–	–
Время установления сигнала nBW относительно фронта сигнала CLK, нс	$t_{SU(nBW)}$	1,4	–	–	–
Время установления сигнала ADV/nLD относительно фронта сигнала CLK, нс	$t_{SU(AnL)}$	1,4	–	–	–
Время установления сигнала nCE относительно фронта сигнала CLK, нс	$t_{SU(nCE)}$	1,4	–	–	–
Время удержания адреса относительно фронта сигнала CLK, нс	$t_{H(A)}$	0,4	–	–	–
Время удержания входных данных относительно фронта сигнала CLK, нс	$t_{H(D)}$	0,4	–	–	–
Время удержания сигнала nCEN относительно фронта сигнала CLK, нс	$t_{H(nCEN)}$	0,4	–	–	–
Время удержания сигнала nWE относительно фронта сигнала CLK, нс	$t_{H(nWE)}$	0,4	–	–	–
Время удержания сигнала nBW относительно фронта сигнала CLK, нс	$t_{H(nBW)}$	0,4	–	–	–
Время удержания сигнала ADV/nLD относительно фронта сигнала CLK, нс	$t_{H(AnL)}$	0,4	–	–	–

Наименование параметра, единица измерения	Буквенное обозначение	Предельно допустимый режим		Предельный режим	
		не менее	не более	не менее	не более
Время удержания сигнала nCE относительно фронта сигнала CLK, нс	$t_{H(nCE)}$	0,4	–	–	–
Емкость нагрузки, пФ	$C_L^{1)}$	–	2	–	–

¹⁾ Допускается $C_L \leq 200$ пФ без гарантии динамических параметров.

П р и м е ч а н и е – Не допускается одновременное воздействие двух и более предельных режимов

8 Электрические параметры микросхемы

Таблица 8 – Электрические параметры микросхем при приёмке и поставке

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма параметра		Температура среды, °С
		не менее	не более	
Выходное напряжение высокого уровня, В, на выходах DP<0:3>, D<0:31>, TDO	U _{OH}	2,4	–	25, 85, – 60
Выходное напряжение низкого уровня, В, на выходах DP<0:3>, D<0:31>, TDO	U _{OL}	–	0,4	
Входной ток высокого уровня, мкА, по входу SHDN	I _{IH}	30	150	
Входной ток высокого уровня, мкА, по входам MODE, TDI, TMS	I _{IH1}	–25	10	
Входной ток низкого уровня, мкА, по входу SHDN	I _{IL}	–10	25	
Входной ток низкого уровня, мкА, по входам MODE, TDI, TMS	I _{IL1}	–150	–30	
Ток утечки высокого уровня, мкА, по входам TCK, nCE1, CE2, nCE3, nCEN, AVD/nLD, nOE, nBW0, nBW1, nBW2, nBW3, nWE, CLK, A<0:20>	I _{ILH}	–10	10	
Ток утечки низкого уровня, мкА, по входам TCK, nCE1, CE2, nCE3, nCEN, AVD/nLD, nOE, nBW0, nBW1, nBW2, nBW3, nWE, CLK, A<0:20>	I _{ILL}	–10	10	
Выходной ток высокого уровня в состоянии «Выключено», мкА, по выходам DP<0:3>, D<0:31>, TDO	I _{OZH}	–10	10	
Выходной ток низкого уровня в состоянии «Выключено», мкА, по выходам DP<0:3>, D<0:31>, TDO	I _{OZL}	–10	10	
Ток потребления в режиме хранения, мА	I _{CCS}	–	99	
Ток потребления в режиме пониженного энергопотребления, мА	I _{CCS1}	–	99	
Динамический ток потребления, мА	I _{OCC}	–	500	
Время выборки данных по сигналу CLK, нс	t _{A(CLK)}	–	3	
Время выборки данных по сигналу nOE, нс	t _{A(nOE)}	–	3	
Примечание – Режимы измерения параметров приведены в технических условиях АЕНВ.431220.585ТУ				

Микросхемы устойчивы к воздействию статического электричества с потенциалом не менее 2 000 В.

9 Справочные данные

Зависимости основных электрических параметров микросхем от режимов и условий эксплуатации приведены на рисунках 7 – 33.

Значение собственной резонансной частоты не менее 8,7 кГц.

Предельная температура р-п перехода кристалла 150 °С.

Справочные параметры микросхемы приведены в таблице 9.

Таблица 9 – Справочные параметры микросхемы

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма параметра		Температура среды, °С
		не менее	не более	
Время задержки распространения сигнала данных при переходе выхода из состояния низкого (высокого) уровня в состояние «Выключено» по фронту тактового сигнала CLK, нс	$t_{PLZ(CLK-D)}$ $t_{PHZ(CLK-D)}$	–	3,0	25, 85, – 60
Время задержки распространения сигнала данных при переходе выхода из состояния «Выключено» в состояние низкого (высокого) уровня по фронту тактового сигнала CLK, нс	$t_{PZL(CLK-D)}$ $t_{PZH(CLK-D)}$	1,2	–	
Время задержки распространения сигнала данных при переходе выхода из состояния низкого (высокого) уровня в состояние «Выключено» по сигналу nOE, нс	$t_{PLZ(nOE-D)}$ $t_{PHZ(nOE-D)}$	–	3,3	
Время задержки распространения сигнала данных при переходе выхода из состояния «Выключено» в состояние низкого (высокого) уровня по сигналу nOE, нс	$t_{PZL(nOE-D)}$ $t_{PZH(nOE-D)}$	1,2	–	
Время сохранения выходных данных после фронта тактового сигнала CLK, нс	$t_V(CLK)$	1,3	–	
Время перехода микросхемы в режим пониженного энергопотребления, нс	t_{REC}	10	–	
Время нахождения микросхемы в режим хранения до подачи высокого уровня на SHDN, нс	t_{ENT}	$2 / f_C$	–	
Время перехода микросхемы в режим пониженного энергопотребления, нс	t_{SHDNI}	–	10	
Время выхода микросхемы из режима пониженного энергопотребления, нс	t_{RSHDNI}	0	–	

10 Основные зависимости

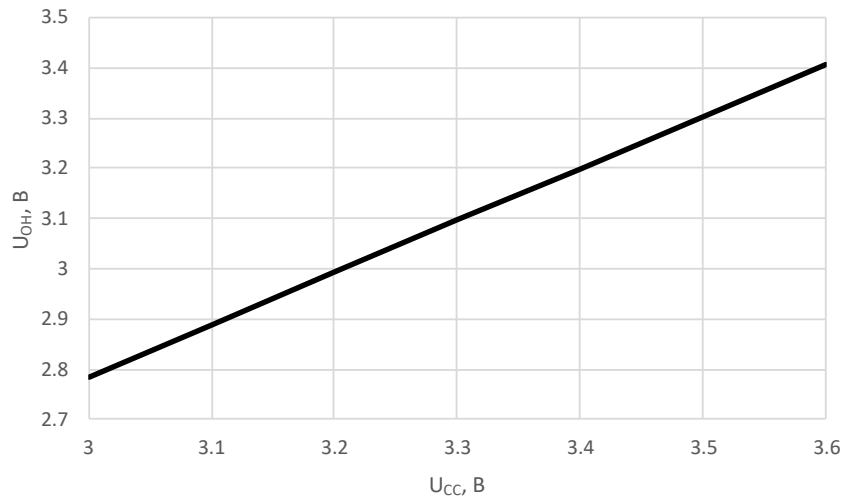


Рисунок 7 – Зависимость выходного напряжения высокого уровня от напряжения питания при температуре среды $85\text{ }^{\circ}\text{C}$, $I_{ОН} = -6\text{ мА}$

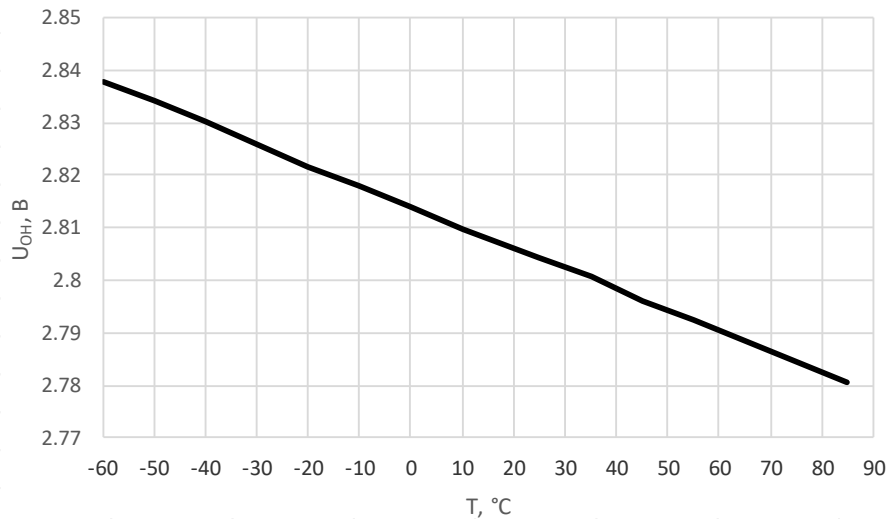


Рисунок 8 – Зависимость выходного напряжения высокого уровня от температуры среды при $U_{СС} = 3,0\text{ В}$, $I_{ОН} = -6\text{ мА}$

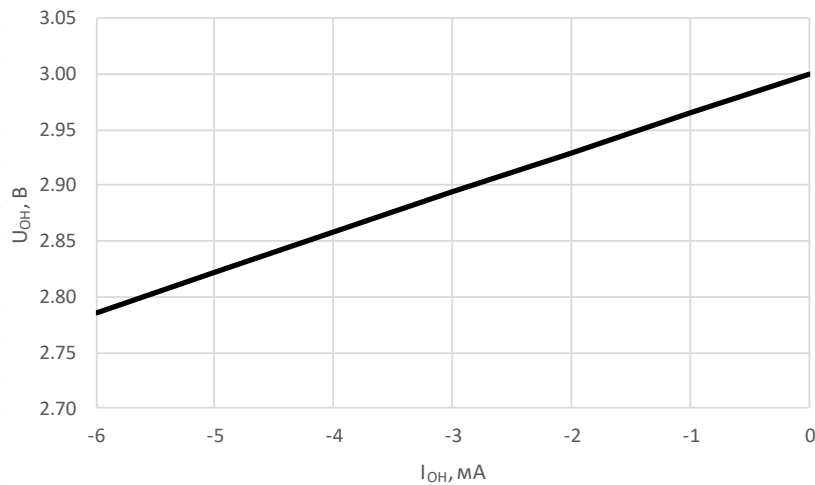


Рисунок 9 – Зависимость выходного напряжения высокого уровня от выходного тока высокого уровня при температуре среды $85\text{ }^{\circ}\text{C}$, $U_{СС} = 3,0\text{ В}$

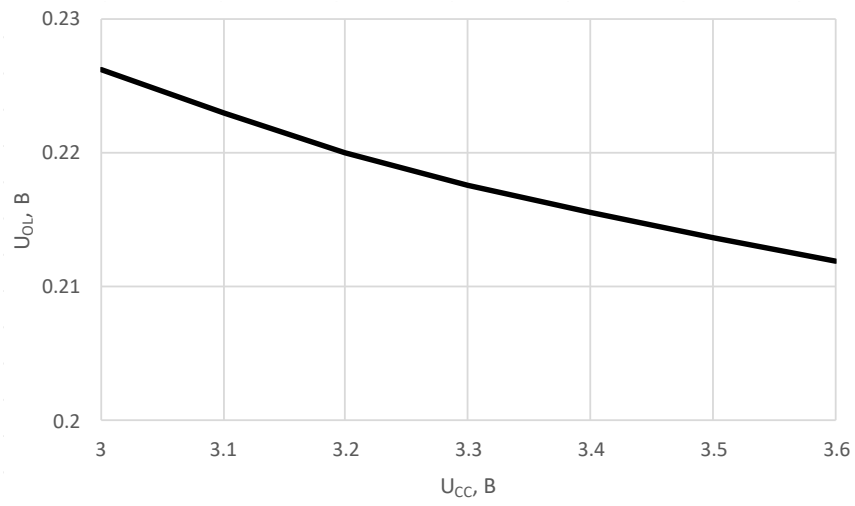


Рисунок 10 – Зависимость выходного напряжения низкого уровня от напряжения питания при температуре среды 85 °С, I_{OL} = 6 мА

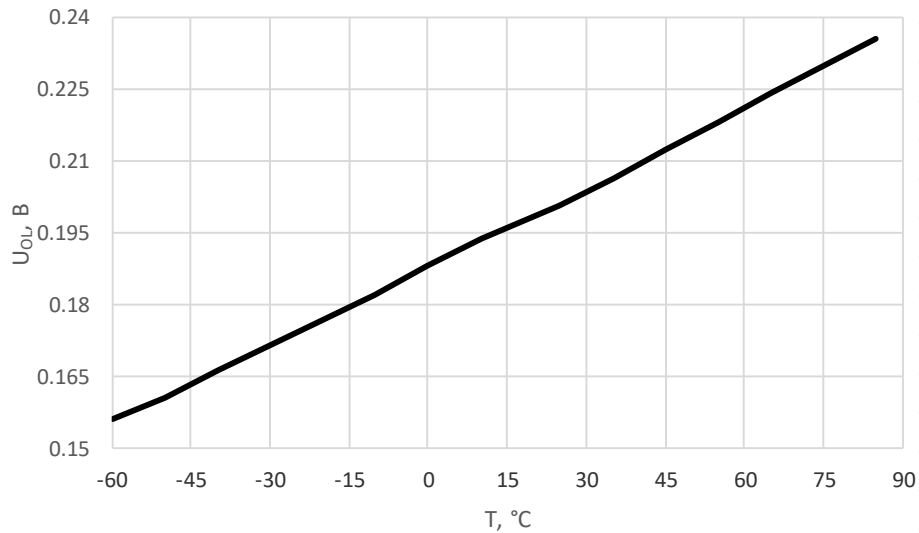


Рисунок 11 – Зависимость выходного напряжения низкого уровня от температуры среды при U_{CC} = 3,0 В, I_{OH} = 6 мА

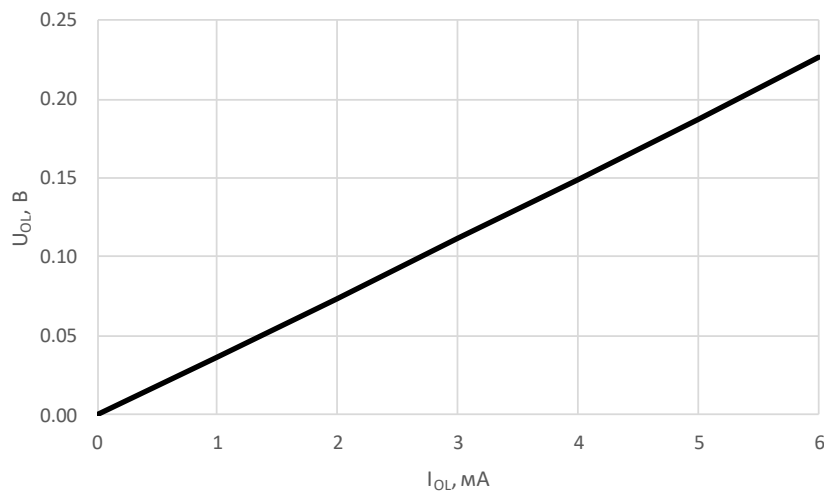


Рисунок 12 – Зависимость выходного напряжения низкого уровня от выходного тока низкого уровня при температуре среды 85 °С, U_{CC} = 3,0 В

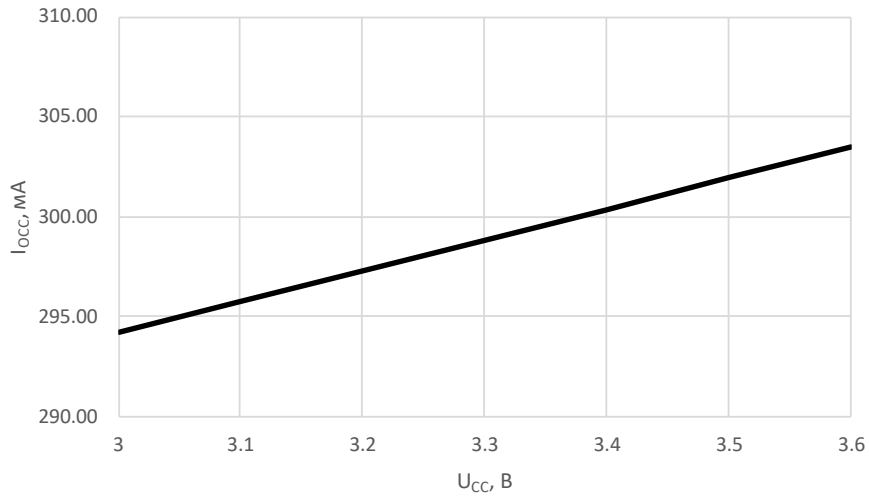


Рисунок 13 – Зависимость динамического тока потребления от напряжения питания при температуре среды 25 °С, $f_c = 200$ МГц

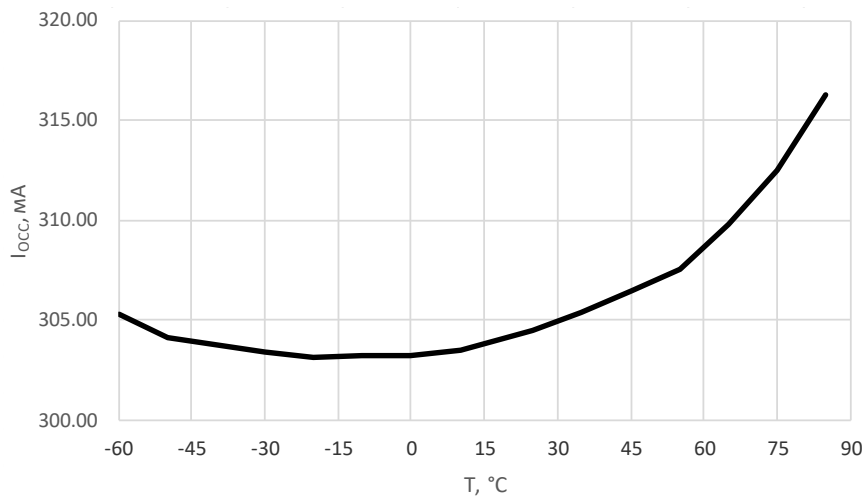


Рисунок 14 – Зависимость динамического тока потребления от температуры среды при $U_{CC} = 3,6$ В, $f_c = 200$ МГц

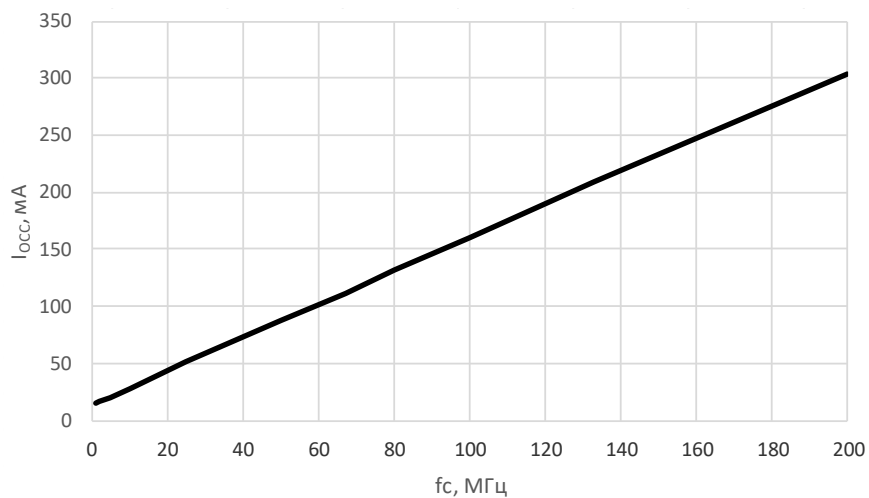


Рисунок 15 – Зависимость динамического тока потребления от тактовой частоты при температуре среды 25 °С, $U_{CC} = 3,6$ В

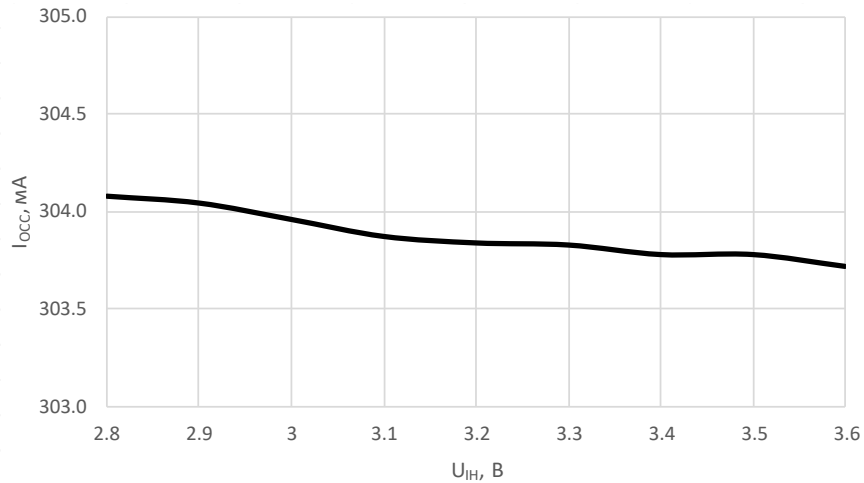


Рисунок 16 – Зависимость динамического тока потребления от входного напряжения высокого уровня при температуре среды 25 °С, U_{CC} = 3,6 В, U_{IL} = 0,2 В, f_c = 200 МГц

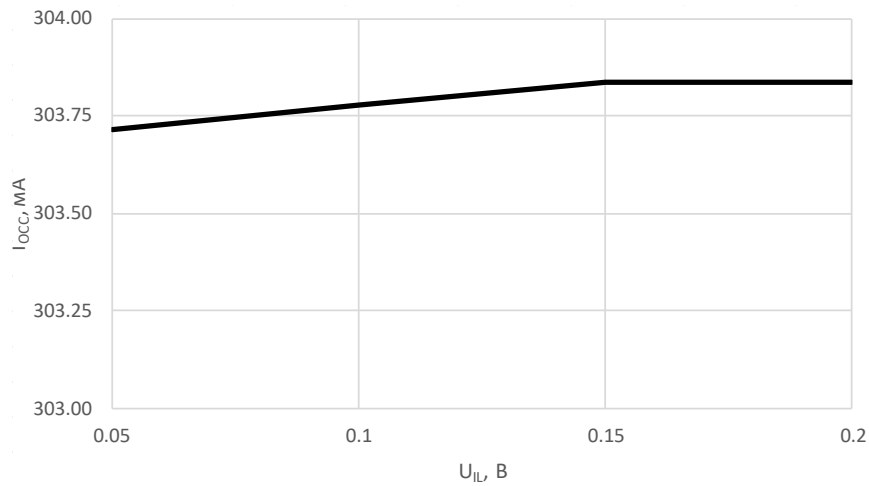


Рисунок 17 – Зависимость динамического тока потребления от входного напряжения низкого уровня при температуре среды 25 °С, U_{CC} = 3,6 В, U_{IN} = 3,4 В, f_c = 200 МГц

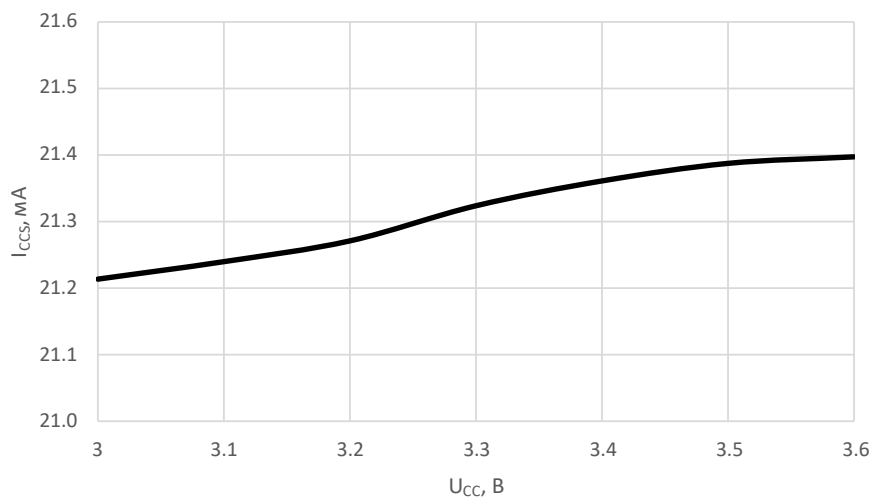


Рисунок 18 – Зависимость тока потребления в режиме хранения от напряжения питания при температуре среды 85 °С

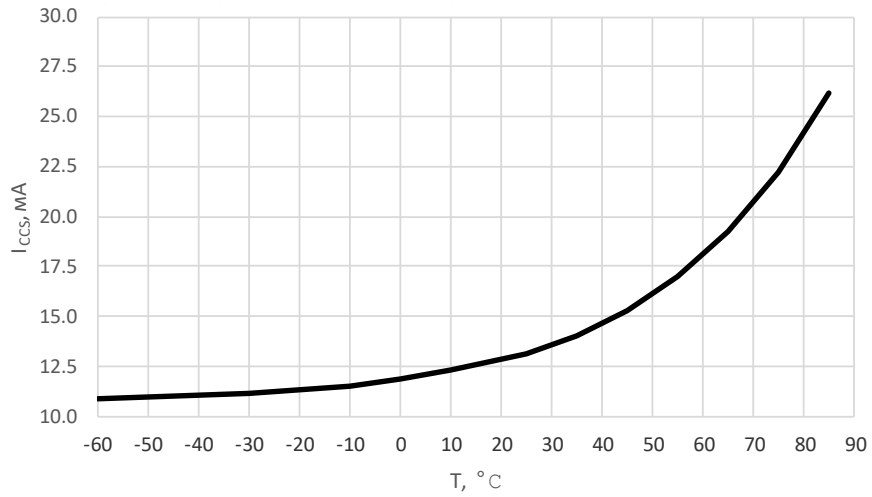


Рисунок 19 – Зависимость тока потребления в режиме хранения от температуры среды при $U_{CC} = 3,6$ В

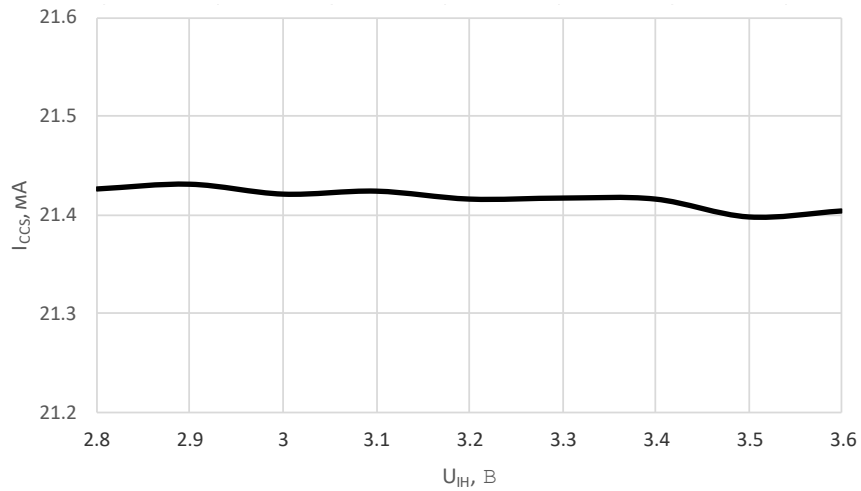


Рисунок 20 – Зависимость тока потребления в режиме хранения от входного напряжения высокого уровня при температуре среды 85 °С, $U_{CC} = 3,6$ В, $U_{IL} = 0,2$ В

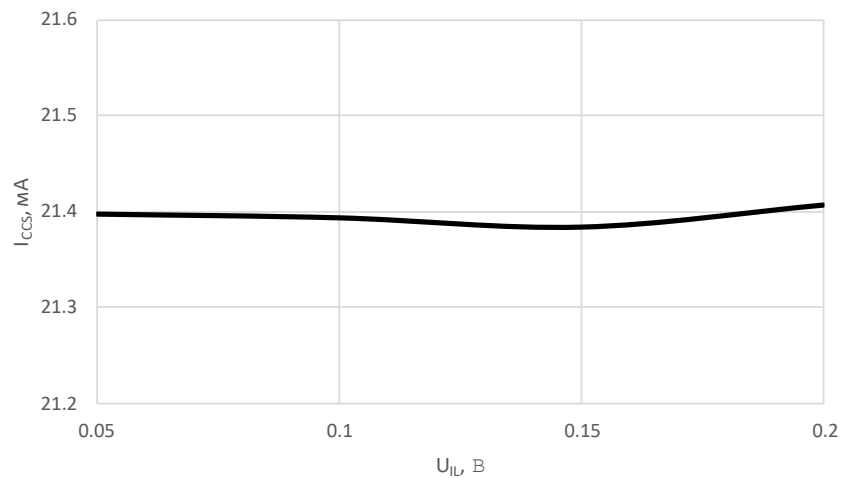


Рисунок 21 – Зависимость тока потребления в режиме хранения от входного напряжения низкого уровня при температуре среды 85 °С, $U_{CC} = 3,6$ В, $U_{IN} = 3,4$ В

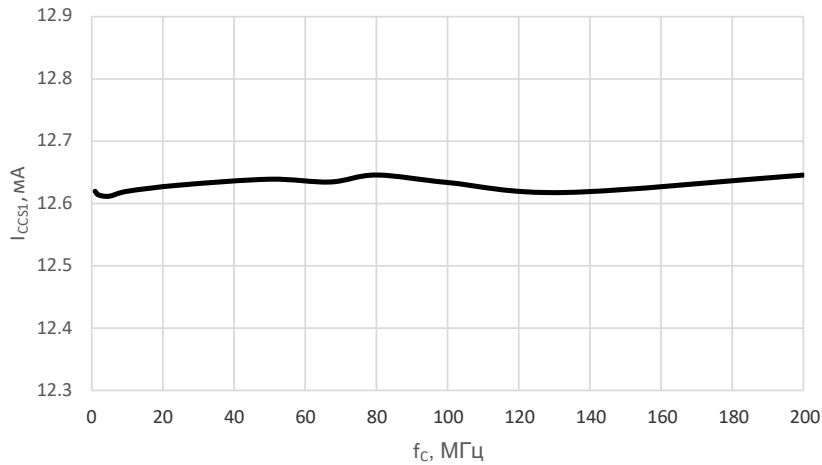


Рисунок 22 – Зависимость тока потребления в режиме пониженного энергопотребления от частоты тактового сигнала при температуре среды 25 °С, $U_{CC} = 3,6$ В

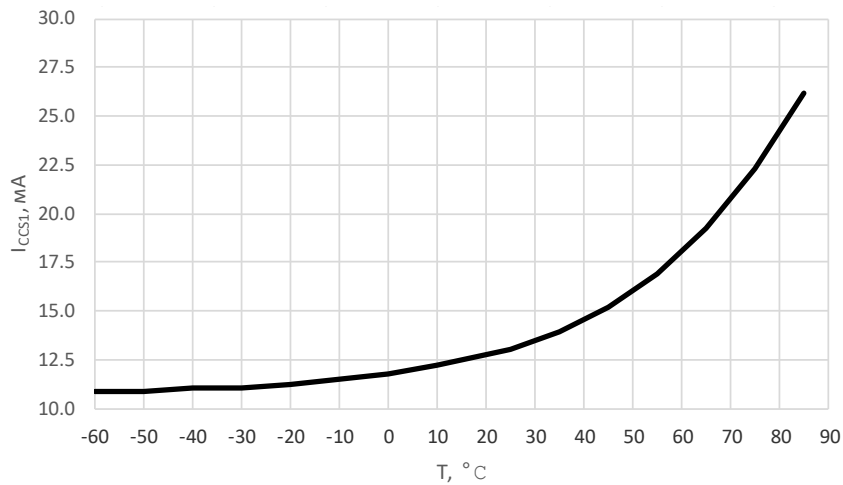


Рисунок 23 – Зависимость тока потребления в режиме пониженного энергопотребления от температуры среды при $U_{CC} = 3,6$ В, $f_c = 200$ МГц

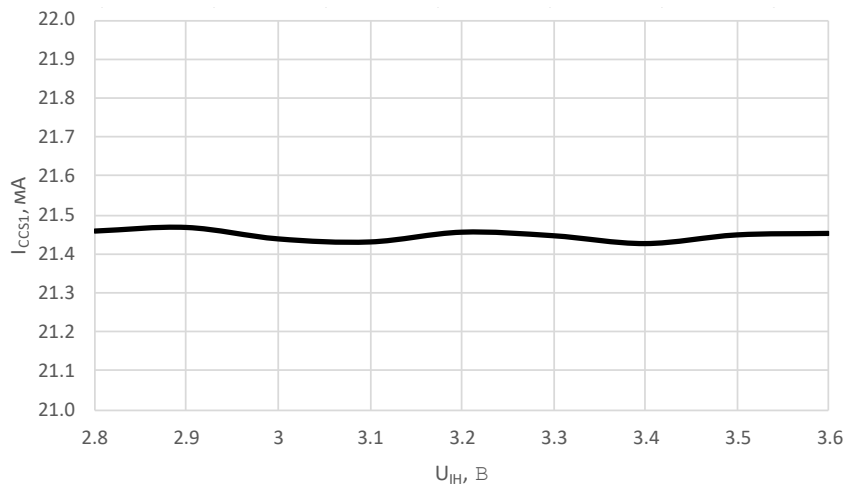


Рисунок 24 – Зависимость тока потребления в режиме пониженного энергопотребления от входного напряжения высокого уровня при температуре среды 85 °С, $U_{CC} = 3,6$ В, $U_{IL} = 0,2$ В, $f_c = 200$ МГц

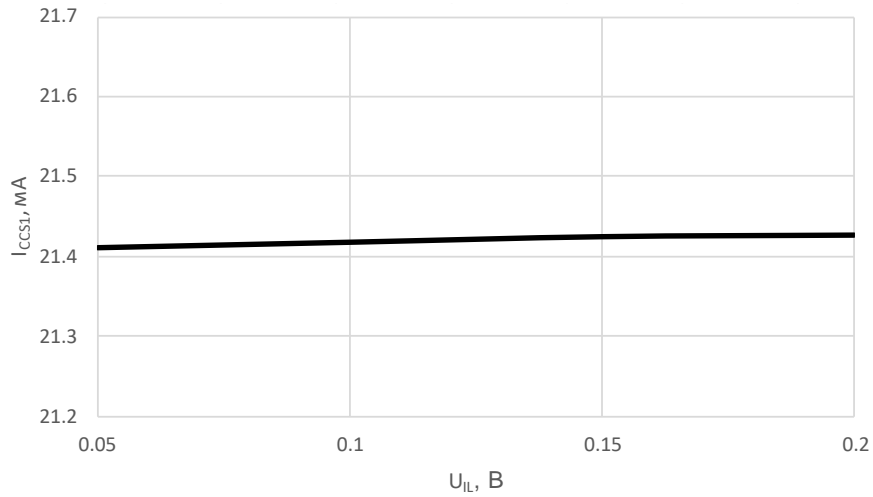


Рисунок 25 – Зависимость тока потребления в режиме пониженного энергопотребления от входного напряжения низкого уровня при температуре среды 85 °С, U_{CC} = 3,6 В, U_{IN} = 3,4 В, f_c = 200 МГц

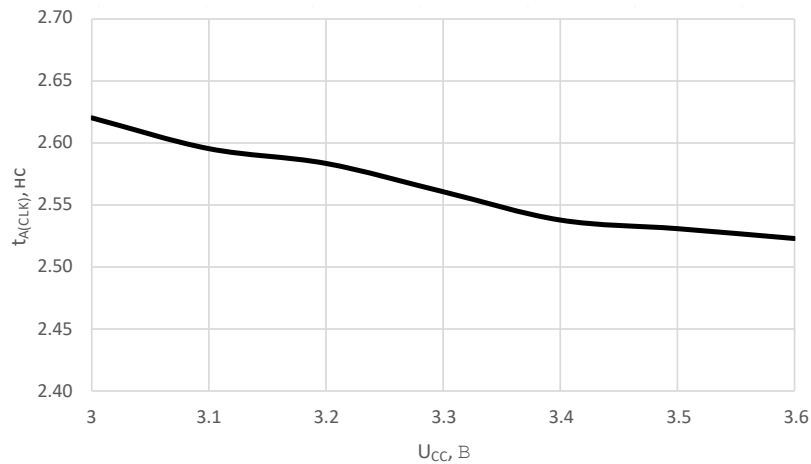


Рисунок 26 – Зависимость времени выборки данных по сигналу CLK от напряжения питания при температуре среды 85 °С, f_c = 100 МГц

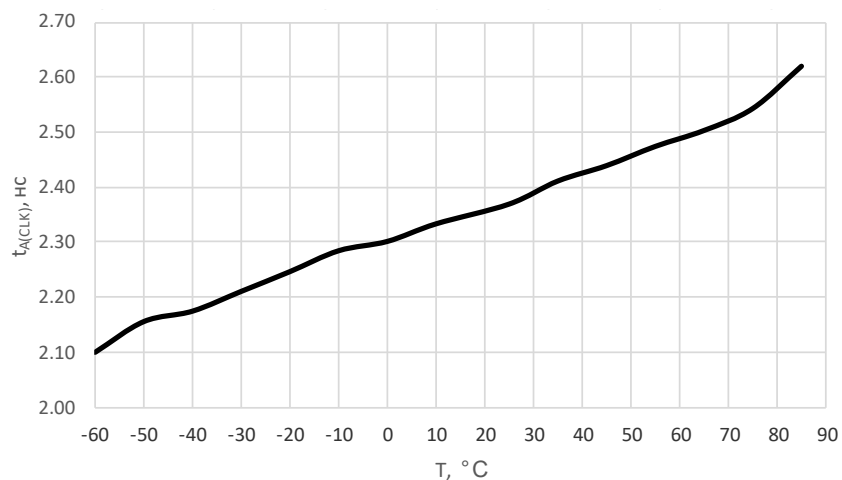


Рисунок 27 – Зависимость времени выборки данных по сигналу CLK от температуры среды при U_{CC} = 3,0 В, f_c = 100 МГц

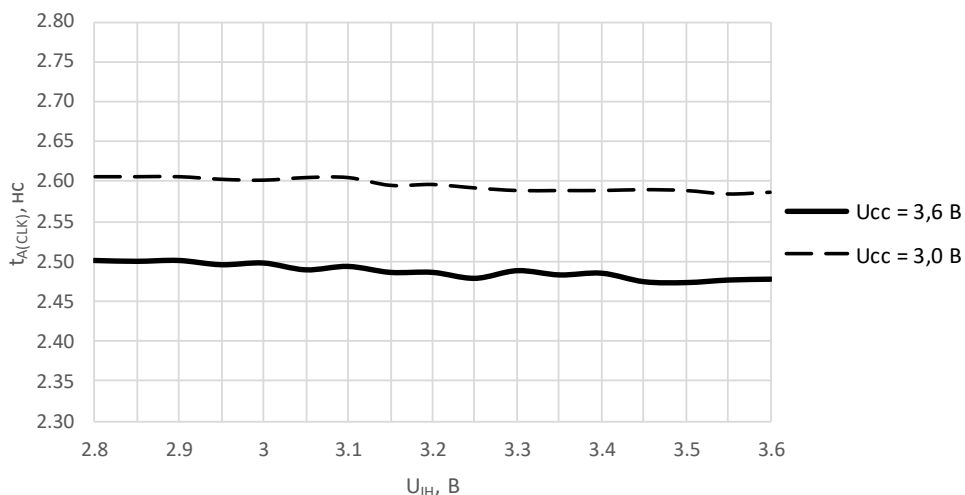


Рисунок 28 – Зависимость времени выборки данных по сигналу CLK от входного напряжения высокого уровня при температуре среды 85 °С, U_{IL} = 0,2 В

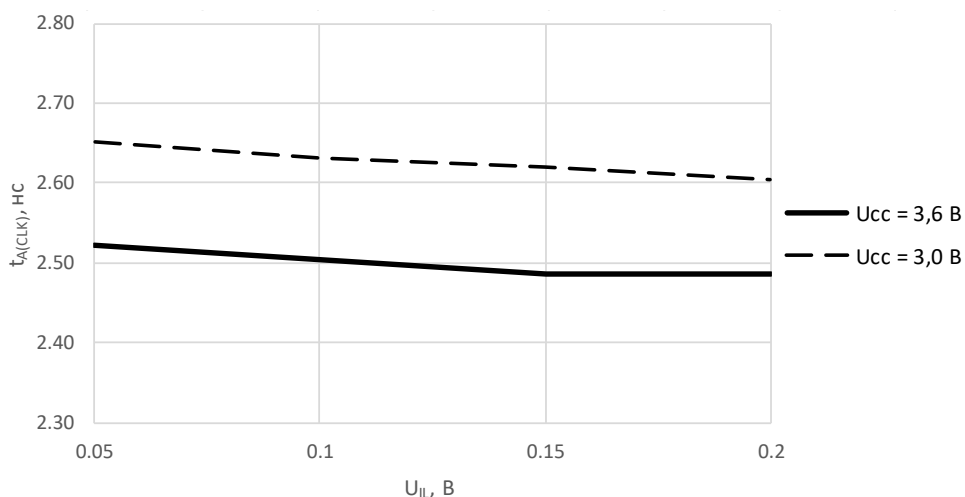


Рисунок 29 – Зависимость времени выборки данных по сигналу CLK от входного напряжения низкого уровня при температуре среды 85 °С, U_{IH} = 2,8 В

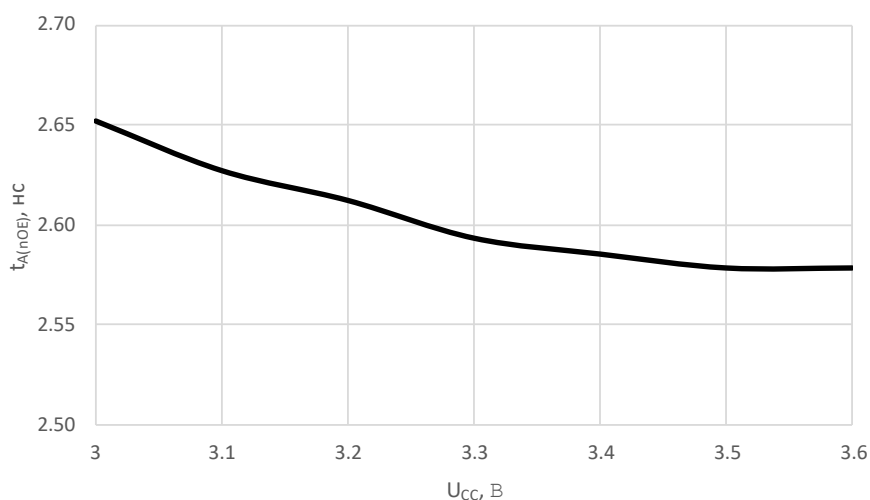


Рисунок 30 – Зависимость времени выборки данных по сигналу nOE от напряжения питания при температуре среды 85 °С

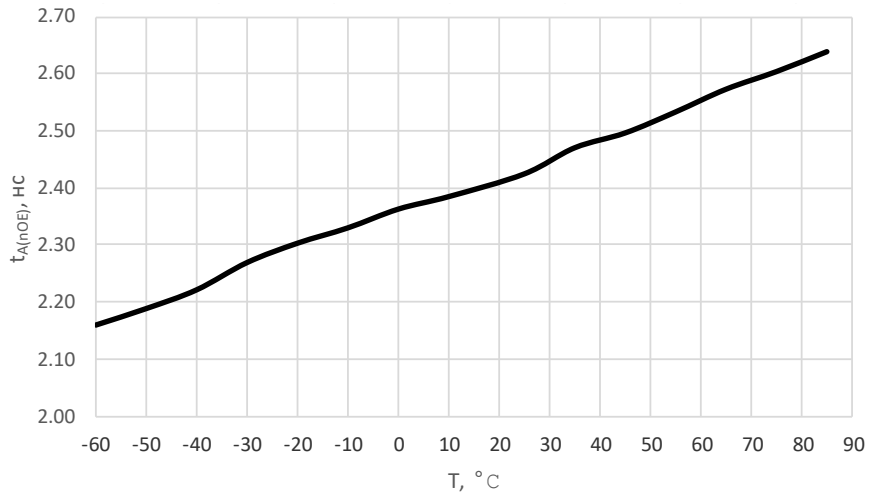


Рисунок 31 – Зависимость времени выборки данных по сигналу nOE от температуры среды при $U_{CC} = 3,0$ В

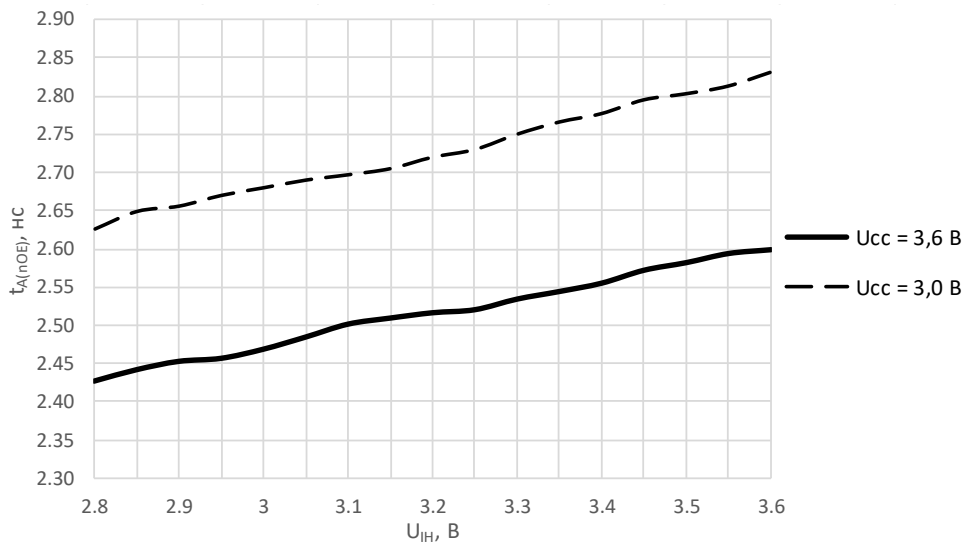


Рисунок 32 – Зависимость времени выборки данных по сигналу nOE от входного напряжения высокого уровня при температуре среды 85 °С, $U_{IL} = 0,2$ В

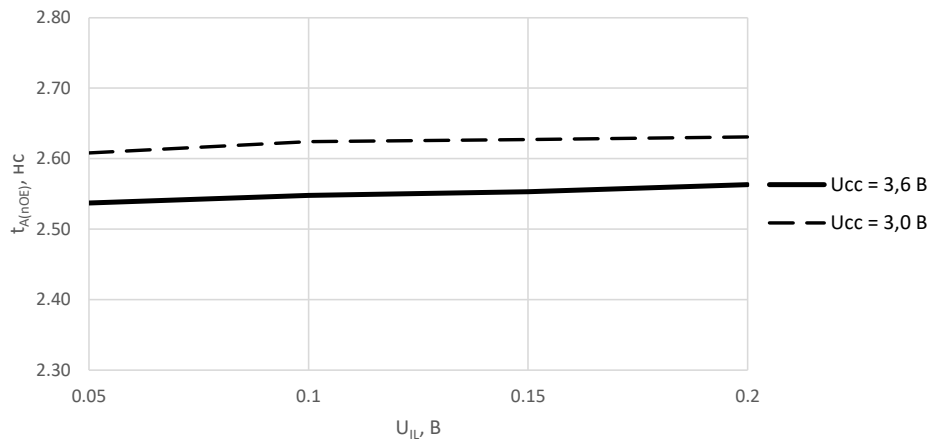


Рисунок 33 – Зависимость времени выборки данных по сигналу nOE от входного напряжения низкого уровня при температуре среды 85 °С, $U_{IH} = 2,8$ В

11 Габаритный чертеж микросхемы

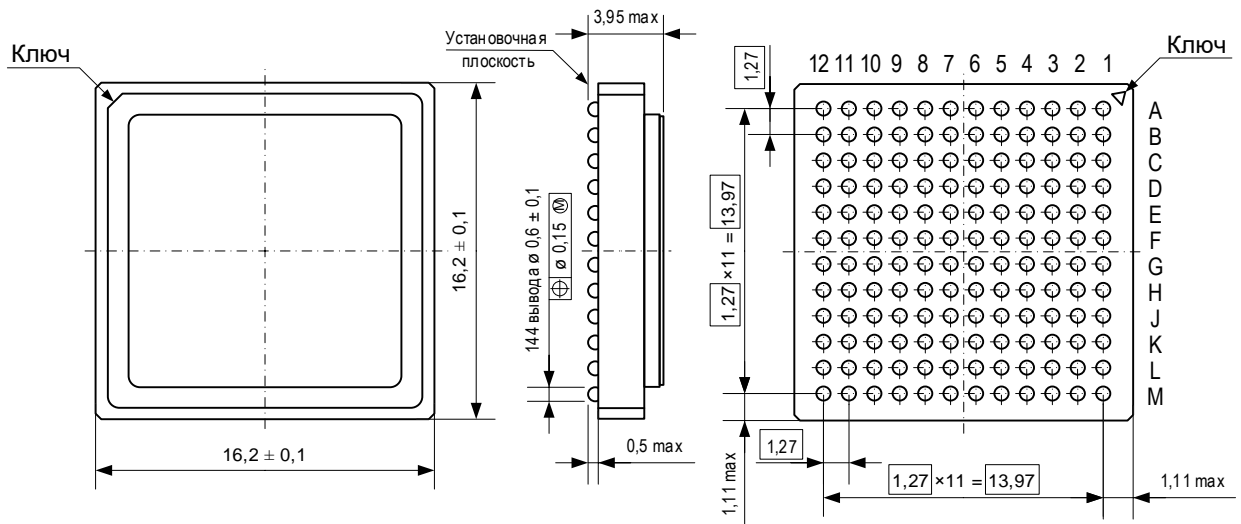


Рисунок 34 – Корпус МК 8307.144-АНЗ

12 Информация для заказа

Обозначение микросхемы	Маркировка	Тип корпуса	Температурный диапазон
1645РУ7Я	1645РУ7Я	МК 8307.144-АНЗ	минус 60 – 85 °С
К1645РУ7Я	К1645РУ7Я	МК 8307.144-АНЗ	минус 60 – 85 °С
К1645РУ7ЯК	К1645РУ7Я•	МК 8307.144-АНЗ	0 – 70°С

Лист регистрации изменений

№ п/п	Дата	Версия	Краткое содержание изменения	№№ изменяемых листов
1	07.02.2020	2.0.0	Введена впервые	
2	19.02.2020	2.1.0	Исправлен температурный диапазон	1, 31
3	30.03.2021	2.2.0	Исправлена толщина корпуса с шариковыми выводами на ГЧ. Исправлена маркировка для К1645РУ7ЯК	30 31