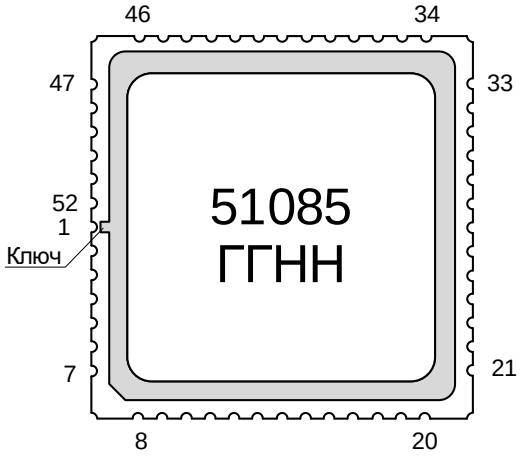
Микросхема быстродействующего малопотребляющего 12/14-разрядного АЦП конвейерного типа К5101НВ015



ГГ – год выпуска
НН – неделя выпуска

Основные характеристики микросхемы:

- Напряжение источника питания от 1,71 до 1,89 В;
- Частота выборки, fs, от 15 до 125 МГц;
- Низкая потребляемая мощность:
  - 62 мВт при f_S = 15 МГц;
  - 115 мВт при f_S = 125 МГц;
- Выключенный режим с уменьшенным энергопотреблением;
- Дифференциальный входной сигнал 2 В (п-п);
- Полоса пропускания входного сигнала 500 МГц;
- Отношение сигнал/шум 69,9 дБпш (f_I = 10 МГц, f_S = 125 МГц);
- Дифференциальная нелинейность 0,3 EMP;
- Интегральная нелинейность 3,0 EMP;
- Внутренний или внешний источник опорного напряжения 1 В;
- Выход синфазного уровня для входного сигнала;
- КМОП или LVDS цифровой выход;
- Выход тактовой частоты выходных данных;
- Управление через SPI-порт;
- Тепловое сопротивление кристалл-корпус не более 7,5 °С/Вт;
- Масса микросхем не более 1,0 г;
- Температурный диапазон от минус 60 до плюс 85 °С.

Тип корпуса:

- 52-выводной металлокерамический корпус 5152.52-3 К.

Общее описание и области применения микросхемы

Микросхемы интегральные К5101НВ015 (далее – микросхемы) предназначены для применения в системах связи и радиолокации, медицинской аппаратуре, системах обработки изображений, ультразвуковой технике и в переносной аппаратуре с батарейным питанием.

14-разрядный быстродействующий малопотребляющий конвейерный АЦП предназначен для преобразования дифференциального входного сигнала в цифровой код с КМОП- или LVDS-выходом. Для синхронизации считывания выходного кода микросхемы формирует выходной тактовый сигнал.

Содержание

1 Функциональная блок-схема ... 3
2 Условное графическое обозначение ... 4
3 Описание выводов ... 5
4 Указания по применению и эксплуатации ... 8
5 Описание функционирования микросхемы ... 9
5.1 Устройство АЦП. Схемы включения ... 9
5.2 Аналоговый вход ... 12
5.3 Источник опорного напряжения ... 12
5.4 Вход тактовой частоты ... 13
5.5 Управление током и мощностью потребления ... 14
5.6 SPI-интерфейс ... 15
5.6.1 Сигналы ... 15
5.6.2 Временная диаграмма ... 15
5.6.3 Команды ... 16
5.6.4 Особенности ... 17
5.7 Калибровка ... 18
5.7.1 Общее описание ... 18
5.7.2 Принцип калибровки ... 18
5.7.3 Управление калибровкой ... 19
5.8 Цифровые выходы ... 19
5.9 Рекомендации по улучшению параметров АЦП ... 21
5.9.1 Улучшение динамических параметров (SNR, SNDR, SFDR) подстройкой калибровочных кодов ... 21
5.9.2 Улучшение динамических параметров (SNR, SNDR, SFDR) использованием одного семплера ... 24
5.9.3 Улучшение SNR, SNDR увеличением входного сигнала ... 24
5.9.4 Повышение тактовой частоты (частоты выборки) ... 24
5.9.5 Подстройка напряжения внутреннего опорного источника ... 24
5.10 Демонстрационный комплект ... 26
6 Электрические параметры микросхемы ... 27
7 Предельно-допустимые и предельные режимы эксплуатации микросхем ... 29
8 Справочные данные ... 30
9 Типовые зависимости ... 34
10 Габаритный чертеж микросхемы ... 51
11 Информация для заказа ... 52

1 Функциональная блок-схема

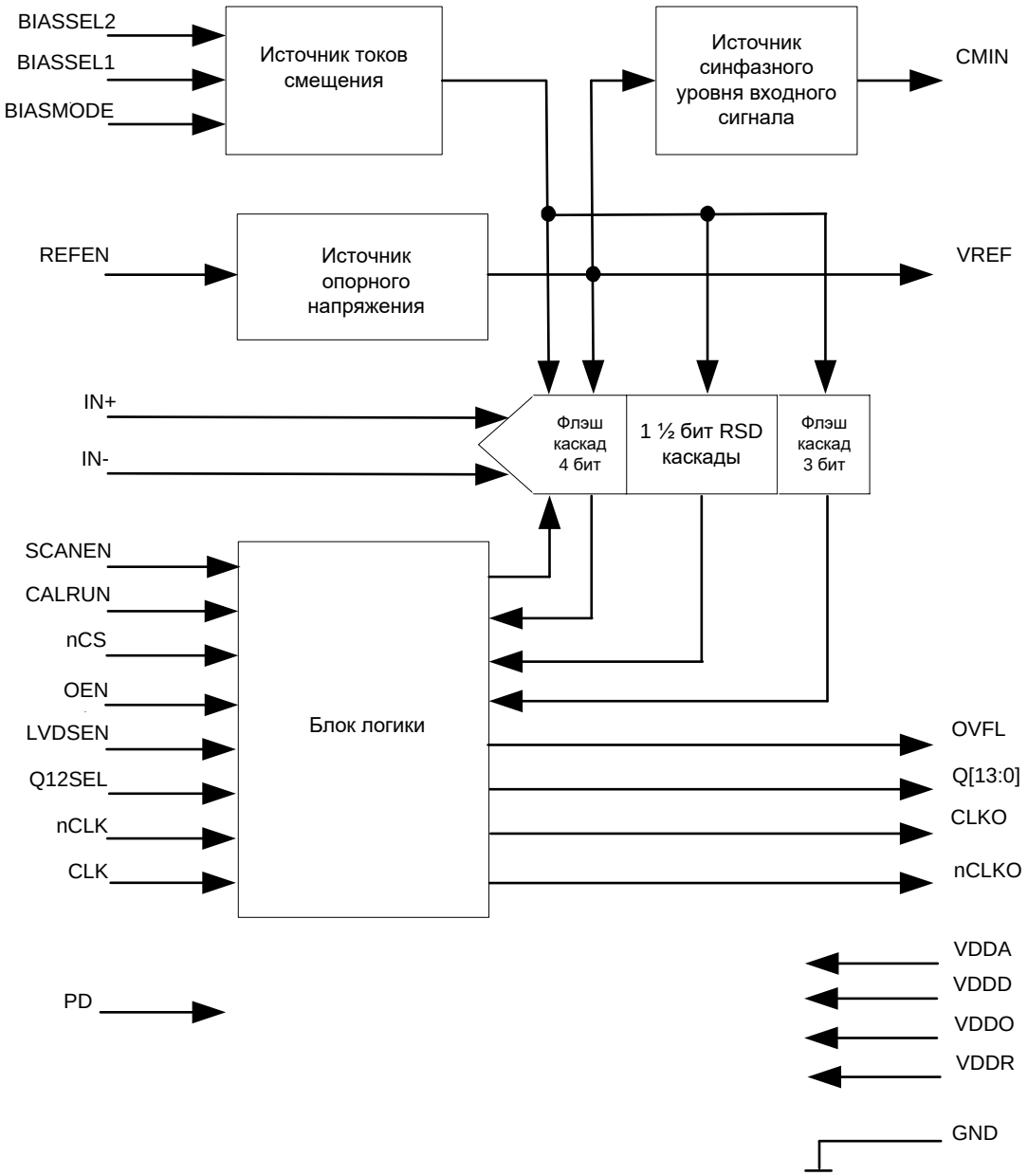


Рисунок 1 – Функциональная блок-схема микросхемы

2 Условное графическое обозначение

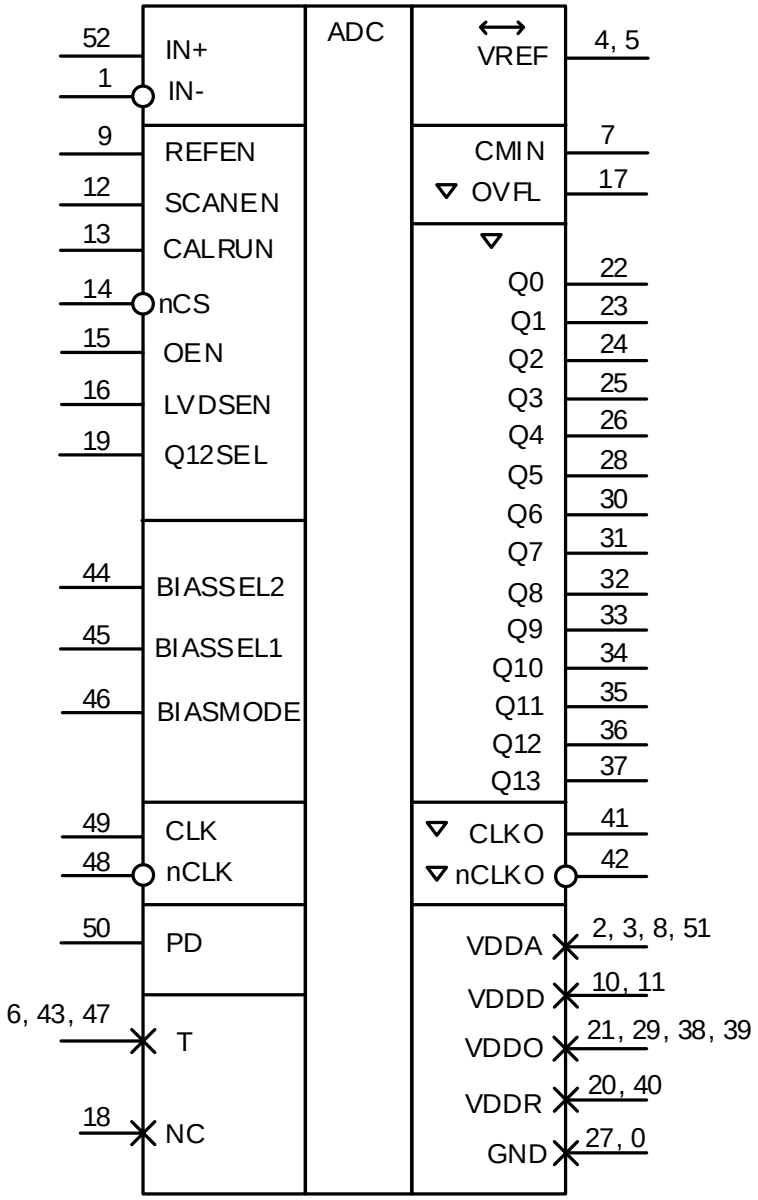


Рисунок 2 – Условное графическое обозначение микросхемы

3 Описание выводов

Таблица 1 – Назначение выводов

Номер вывода	Обозначение вывода	Функциональное назначение в нормальном режиме / SPI-режиме / в тестовом режиме (указано состояние по умолчанию)
0 (металлизированное основание корпуса)	GND	Общий
1	IN-	Инверсный аналоговый вход
2	VDDA	Питание аналоговой части
3		
4	VREF	Вход-выход опорного напряжения
5		
6	REFBIAS	Технологический вывод. Не подключается
7	CMIN	Выход синфазного уровня для входного сигнала
8	VDDA	Питание аналоговой части
9	REFEN	Вход включения внутреннего опорного источника (1)
10	VDDD	Питание цифровой части
11	VDDD	Питание цифровой части
12	SCANEN	Вход разрешения тестового режима (0)
13	CALRUN	Вход запуска калибровки / SPIin / SCANin (0)
14	nCS	Вход выбора кристалла для SPI (1)
15	OEN	Вход разрешения выходов / SCLK / CLK (0)
16	LVDSEN	Вход включения LVDS-выхода (0)
17	OVFL	Выход переполнения / SPIout / SCANout
18	NC	Технологический вывод. Не подключается
19	Q12SEL	Вход включения 12 бит режима выхода (0)
20	VDDR	Питание предрайверов цифровых выходов
21	VDDO	Питание цифровых выходов
22	Q0	Цифровые выходы
23	Q1	
24	Q2	
25	Q3	
26	Q4	
27	GND	Общий (соединен с основанием и крышкой корпуса)
28	Q5	Цифровой выход
29	VDDO	Питание цифровых выходов

Номер вывода	Обозначение вывода	Функциональное назначение в нормальном режиме / SPI-режиме / в тестовом режиме (указано состояние по умолчанию)
30	Q6	Цифровые выходы
31	Q7	
32	Q8	
33	Q9	Цифровые выходы
34	Q10	
35	Q11	
36	Q12	
37	Q13	
38	VDDO	Питание цифровых выходов
39		
40	VDDR	Питание предрайверов цифровых выходов
41	CLKO	Прямой выход тактовой частоты
42	nCLKO	Инверсный выход тактовой частоты
43	DCSEN	Технологический вывод. Не подключается
44	BIASSEL2	Вход выбора тока входного каскада (1)
45	BIASSEL1	Вход выбора тока смещения (1)
46	BIASMODE	Вход режима тока смещения (0 → частотно-зависимый ток)
47	SWMODE	Технологический вывод. Не подключается
48	nCLK	Инверсный вход тактовой частоты
49	CLK	Прямой вход тактовой частоты
50	PD	Вход выключения токов (1)
51	VDDA	Питание аналоговой части
52	IN+	Прямой аналоговый вход

Таблица 2 – Назначение выводов цифровых выходов в режиме LVDS (LVDSEN = 1)

Номер вывода	Обозначение вывода	Функциональное назначение
22	Q0	Q0 / Q1 прямой
23	Q1	Q0 / Q1 инверсный
24	Q2	Q2 / Q3 прямой
25	Q3	Q2 / Q3 инверсный
26	Q4	Q4 / Q5 прямой
28	Q5	Q4 / Q5 инверсный
30	Q6	Q6 / Q7 прямой
31	Q7	Q6 / Q7 инверсный
32	Q8	Q8 / Q9 прямой
33	Q9	Q8 / Q9 инверсный
34	Q10	Q10 / Q11 прямой
35	Q11	Q10 / Q11 инверсный
36	Q12	Q12 / Q13 прямой
37	Q13	Q12 / Q13 инверсный

Примечания

1 Общая земля подается на микросхему через металлизированное основание корпуса (вывод 0) и вывод 27. С выводом 27 соединена крышка корпуса.

2 В режиме LVDS на выход передаются 2 бита за период.

3 В 12-битном режиме выходов на выводах 22, 23 (Q0, Q1) высокий импеданс.

4 Указания по применению и эксплуатации

При ремонте аппаратуры и измерении электрических параметров микросхем замену микросхем необходимо проводить только при отключенных источниках питания.

Инструмент для пайки (сварки) и монтажа не должен иметь потенциал, превышающий 0,3 В относительно шины «Общий».

Запрещается подведение каких-либо электрических сигналов (в том числе шин «Питание», «Общий») к выводам микросхем, не используемым согласно таблице 1.

Типовые схемы включения микросхем приведены на рисунках 3 и 4.

Вывод 27 микросхемы (Общий) электрически соединен с основанием и крышкой корпуса.

Функционирование микросхем без пропусков кодов в режиме 14 разрядов сохраняется при тактовой частоте от 10 до 180 МГц. Типовые параметры и рекомендуемые режимы BIASMODE в указанном диапазоне частот приведены в разделе «Типовые зависимости».

Функционирование микросхем без пропусков кодов в режиме 14 разрядов с внешним опорным источником сохраняется при повышении U_{REFE} до 1,5 В и U_I до 3 В на пониженной тактовой частоте. Типовые параметры и рекомендуемые режимы BIASMODE при повышенном U_{REFE} приведены в разделе «Типовые зависимости».

Порядок подачи и снятия напряжений питания и входных сигналов на микросхемы должен быть следующим:

– подача (включение микросхемы) – общий, питание, опорное напряжение, входные сигналы или одновременно;

– снятие (выключение микросхемы) – в обратном порядке или одновременно.

5 Описание функционирования

5.1 Устройство АЦП. Схемы включения

Микросхема имеет источник внутреннего опорного напряжения, а также может работать с внешним опорным напряжением.

Для уменьшения разброса и температурного дрейфа внутреннего источника опорного напряжения предусмотрена возможность подстройки величины опорного напряжения и его температурной зависимости по SPI-интерфейсу.

АЦП состоит из 4-разрядного входного флэш каскада, центрального конвейера из 1,5-разрядных RSD (Redundant Signed Digit) каскадов и последнего 3-разрядного флэш каскада. Все каскады АЦП выполнены по дифференциальной схеме с двойной выборкой. Сигнал на выходе входного флэш каскада и в конвейере имеет уменьшенную в 4 раза амплитуду и, соответственно, уменьшенное опорное напряжение конвейера, формируемое в АЦП.

Входной флэш каскад включает 4-разрядный параллельный АЦП из 16 компараторов и 4-разрядный ЦАП с общим резистивным делителем, а также вычитатель-умножитель с УВХ, формирующий разность выбранного входного сигнала и выходного напряжения ЦАП.

Для улучшения точностных параметров используются калибровки ошибок сегментов входного флэш каскада, смещения нуля семплеров УВХ и опорного напряжения конвейера. Калибровка запускается по сигналу на входе **CALRUN** (см. подраздел «Калибровка»).

Предусмотрено управление режимами калибровки и работы АЦП по SPI-интерфейсу.

Для работы АЦП необходимо одно напряжение питания 1,8 В ± 5 %, подаваемое через выводы аналогового (**VDDA**), цифрового (**VDDD**) и периферийного (**VDDR, VDDO**) питания.

АЦП оптимизирован для работы в системах с пониженным энергопотреблением в широком диапазоне частоты выборки. Для уменьшения энергопотребления на низкой частоте выборки и улучшения точностных параметров на высокой частоте выборки предусмотрен режим работы с током смещения, пропорциональным частоте выборки.

В нормальном режиме АЦП преобразует дифференциальный входной сигнал Ui с амплитудой 2 В при опорном напряжении U_{REF} = Ui/2 = 1 В. На частотах выборки не более 80 МГц АЦП может преобразовывать входной сигнал с увеличенной до 3 В амплитудой при использовании внешнего опорного напряжения Ui/2. Увеличение амплитуды входного сигнала до 3 В позволяет повысить SNR и SNDR на 1,5 – 2,5 дБ.

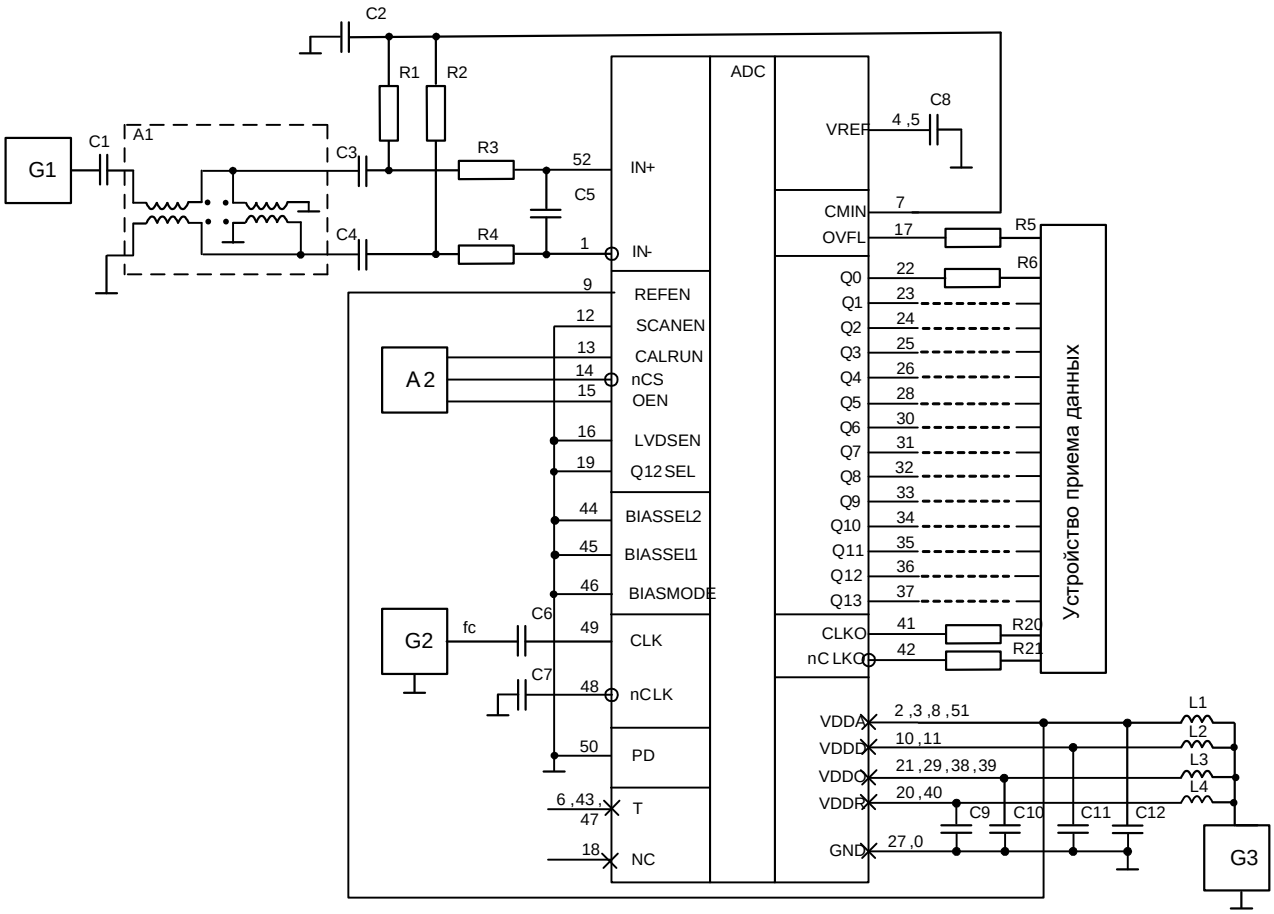
В качестве синфазного уровня входного сигнала может быть использовано напряжение с выхода CMIN.

Входной тактовый сигнал, определяющий частоту выборки входного сигнала может быть, как дифференциальным, так и однопроводным.

АЦП может работать с 12 бит форматом выхода, выбираемым по входу **Q12SEL**, и с КМОП- или LVDS-выходом, выбираемым по входу **LVDSEN**.

АЦП имеет прямой и инверсный выходы тактовой частоты для синхронизации выходных данных.

На рисунках 3 и 4 приведены типовые схемы включения АЦП с КМОП- и LVDS-выходом.



A1 – схема, построенная на двух трансформаторах ETC1-1-13 (double balun);

A2 – устройство управления SPI-интерфейсом;

ADC – микросхема К5101НВ015;

C1 – C4 – керамические конденсаторы емкостью 100 нФ;

C5 – керамический конденсатор емкостью 10 пФ;

C6 – C8 – керамические конденсаторы емкостью 100 нФ;

C9 – C12 – конденсаторы емкостью 10 мкФ + керамические конденсаторы емкостью 100 нФ на каждой группе смежных выводов питания;

G1 – источник входного сигнала U_{IN} = 2 В п-п;

G2 – источник тактового сигнала с частотой f_C;

G3 – источник напряжения питания;

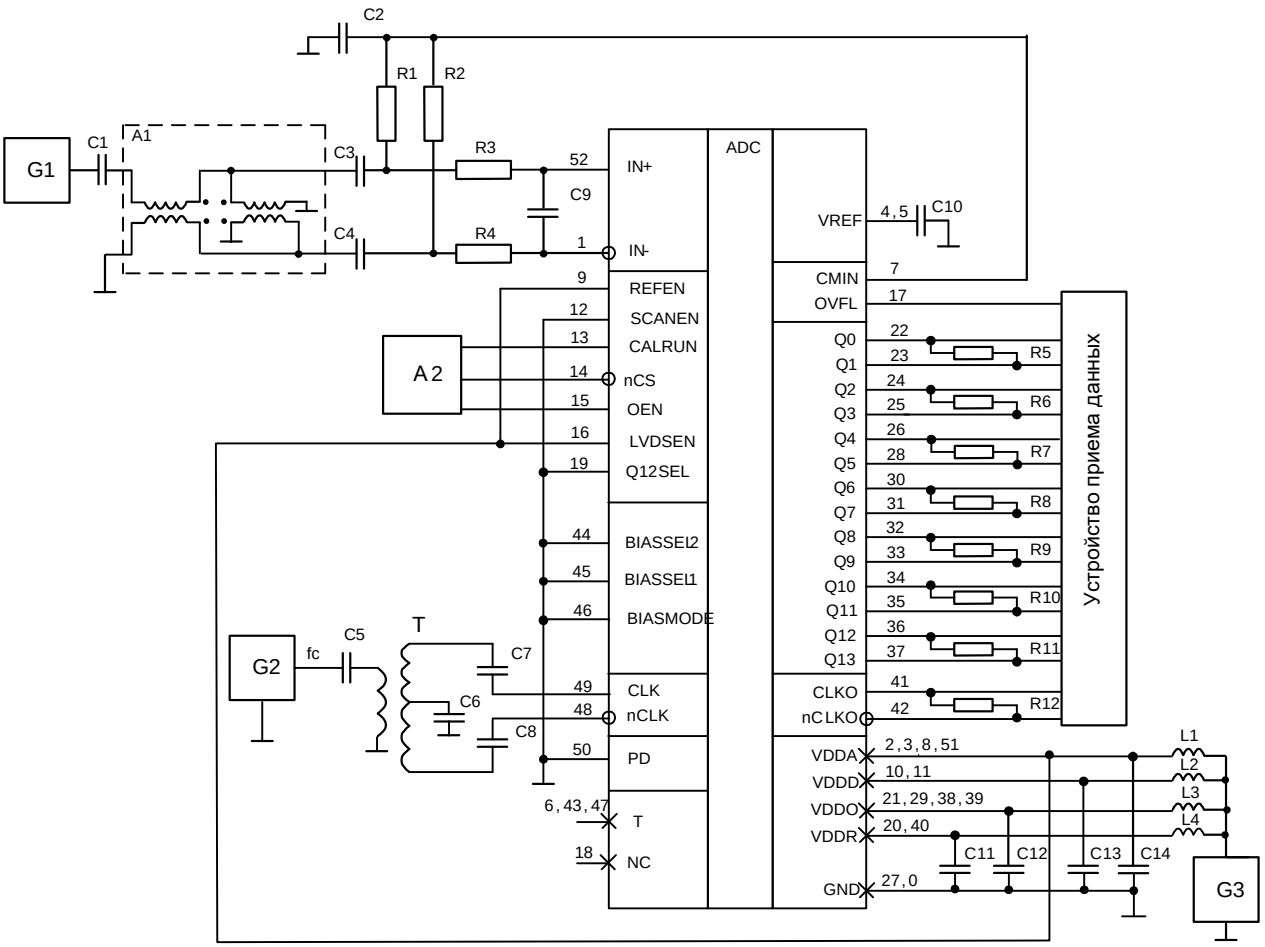
L1 – L4 – ферриты EXC-CL4532;

R1, R2 – резисторы сопротивлением 25 Ом ± 0,1 %;

R3, R4 – резисторы сопротивлением 15 Ом ± 0,1 %;

R5 – R21 – резисторы сопротивлением 22 Ом ± 5 %

Рисунок 3 – Типовая схема включения микросхем в режиме 14 разрядов с КМОП-выходом, внутренним источником опорного напряжения 1 В и однопроводным тактовым сигналом с частотой f_C (при fc менее 60 МГц рекомендуется переключить вывод BIASMODE на источник питания)



A1 – схема, построенная на двух трансформаторах ETC1-1-13 (double balun);

A2 – устройство управления SPI-интерфейсом;

ADC – микросхема К5101НВ015;

C1 – C8 – керамические конденсаторы емкостью 100 нФ;

C9 – керамический конденсатор емкостью 10 пФ;

C10 – керамический конденсатор емкостью 100 нФ;

C11 – C14 – конденсаторы емкостью 10 мкФ + керамические конденсаторы емкостью 100 нФ на каждой группе смежных выводов питания;

G1 – источник входного сигнала U_{IN} = 2 Вп-п;

G2 – источник тактового сигнала с частотой f_C;

G3 – источник напряжения питания;

L1 – L4 – ферриты EXC-CL4532;

R1, R2 – резисторы сопротивлением 25 Ом ± 0,1 %;

R3, R4 – резисторы сопротивлением 15 Ом ± 0,1 %;

R5 – R12 – резисторы сопротивлением 100 Ом ± 5 %;

T – трансформатор ADT1-1WT или аналогичный

Рисунок 4 – Типовая схема включения микросхем в режиме 14 разрядов с LVDS-выходом, внутренним источником опорного напряжения 1 В и дифференциальным тактовым сигналом с частотой f_C (при fc менее 60 МГц рекомендуется переключить вывод BIASMODE на источник питания)

Примечания к рисункам 3 и 4

С целью уменьшения шумов и улучшения параметров необходимо:

1 Размещать фильтрующие конденсаторы питания и опорного напряжения непосредственно у выводов АЦП.

2 Обеспечить напайку металлизированного основания корпуса АЦП (вывод земли) на плату по всей площади основания.

3 Размещать на плате цепи входного сигнала и тактовой частоты возможно ближе к соответствующим входам АЦП и под прямым углом друг к другу. Цепи прямого и инверсного аналоговых входов должны быть выполнены максимально симметрично и экранированы.

4 Цепи питания и земли АЦП должны быть отделены от питания и земли других микросхем – возможных источников шума.

5.2 Аналоговый вход

Дифференциальный аналоговый вход АЦП подключен к входу УВХ вычитателя-умножителя и входам 16 компараторов параллельного АЦП.

Типовая схема подключения к входу АЦП дифференциального входного сигнала, формируемого с помощью трансформаторов, приведена на рисунках 3 и 4.

Рекомендуемые параметры входного фильтра для частоты входного сигнала менее 150 МГц: R3 = R4 = 15 Ом, C5(C9) = 10 пФ.

Для задания синфазного уровня входного сигнала может быть использовано напряжение с выхода **CMIN** АЦП. Оптимальный для АЦП синфазный уровень входного сигнала (0,8 ± 0,1) В может также задаваться от внешнего источника.

5.3 Источник опорного напряжения

АЦП имеет источник опорного напряжения U_{REFI} = 1 В, а также может работать с внешним опорным напряжением U_{REFE} до 1,5 В.

При неподключенном **REFEN** или **REFEN** = 1 разрешена работа внутреннего источника опорного напряжения.

При **REFEN** = 0 внутренний источник выключен, АЦП работает с внешним опорным напряжением, подключенным к выводу **VREF**.

Величина опорного напряжения определяет размах входного сигнала и должна быть равна половине максимальной амплитуды дифференциального входного сигнала. Максимальное отношение сигнал/шум достигается при максимальном внешнем опорном напряжении 1,5 В, соответствующем амплитуде дифференциального входного сигнала 3 В. Следует учесть, что увеличение опорного напряжения ведет к уменьшению быстродействия, в связи с чем, опорное напряжение более 1 В рекомендуется использовать при тактовой частоте не более 100 МГц.

Для нормальной работы внутреннего источника опорного напряжения необходимо между выводами **VREF** и **GND** подключить фильтрующий керамический конденсатор 100 нФ с низким последовательным сопротивлением. При работе с внешним источником рекомендуется дополнительно подключить конденсатор 1 мкФ.

Разброс опорного напряжения внутреннего источника и его температурный дрейф в основном определяют погрешность и температурный дрейф шкалы преобразования АЦП.

Параметры E_{FSI}, U_{REFI} и αU_{REFI} приведены для не подстроенного опорного источника. Указанные параметры могут быть существенно улучшены подстройкой величины U_{REF} и его температурного коэффициента. Подстройка реализуется записью в регистр refTrim через SPI-интерфейс (см. подраздел «SPI-интерфейс») 8-битового кода. Младшие 4 бита кода управляют знаком и величиной поправки U_{REFI}, а старшие 4 бита кода управляют знаком и величиной поправки температурного коэффициента α U_{REFI}.

Подстройка температурного коэффициента влияет также и на величину опорного напряжения, поэтому подстройку величины опорного напряжения необходимо проводить после подстройки температурного дрейфа.

Информация в регистре не сохраняется при выключении питания АЦП, поэтому код в регистр refTrim необходимо перезаписывать после включения питания.

5.4 Вход тактовой частоты

На рисунке 3 приведен пример подключения к АЦП однопроводного КМОП тактового сигнала.

На рисунке 4 приведен пример подключения к АЦП дифференциального тактового сигнала.

Сигнал тактовой частоты может быть, как прямоугольный, так и синусоидальный. Однако синусоидальный тактовый сигнал за счет меньшей скорости изменения напряжения ведет к повышенному джиттеру сигнала выборки в АЦП и соответствующему уменьшению SNR. Для повышения скорости изменения напряжения при синусоидальном тактовом сигнале рекомендуется увеличивать его амплитуду на выходе генератора G2 с ограничением амплитуды непосредственно на тактовом входе АЦП относительно земли и VDDA диодами Шоттки.

Частота выборки АЦП (f_S) равна частоте входного тактового сигнала (f_C).

Джиттер тактового сигнала при высокой скорости изменения входного сигнала может существенно ухудшить динамические параметры АЦП. Деградация SNR в зависимости от частоты входного сигнала f_i и джиттера тактового сигнала t_j может быть оценена из нижеприведенной формулы

$$SNR = -20\log\left(2\pi \cdot f_i \cdot t_j\right). \quad (1)$$

Так при частоте входного сигнала f_i = 70 МГц и джиттере входной тактовой частоты t_j = 1 пс, предельно достижимый SNR идеального 14-разрядного АЦП уменьшится с 86 дБпш до 67,1 дБпш.

5.5 Управление током и мощностью потребления

АЦП может работать с двумя режимами источника тока смещения (I_{bs}), определяющего ток потребления и быстродействие аналоговых схем (усилителей и компараторов):

– постоянный ток смещения при BIASMODE = 1;

– ток смещения, зависимый от тактовой частоты при BIASMODE = 0 (установлен по умолчанию).

Постоянный ток смещения (I_{bs}) определяется параметрами технологического процесса изготовления ИС АЦП и зависит от температуры и напряжения питания.

Ток смещения, зависимый от частоты, определяется по формуле

$$I_{bs} = f_C \cdot U_{refbs} \cdot C_{bs}\ , \qquad (2)$$

где U_{refbs} = 0,5 В – опорное напряжение источника токов смещения, вырабатываемое АЦП;

C_{bs} – емкость коммутируемого конденсатора источника тока;

f_C – тактовая частота.

Зависимый от частоты ток смещения существенно меньше зависит от параметров технологического процесса, температуры и напряжения питания, что способствует минимизации тока и мощности, потребляемых АЦП. Кроме того, емкость коммутируемого конденсатора источника тока C_{bs} пропорциональна технологическим факторам, определяющим быстродействие АЦП, вследствие чего уменьшение быстродействия АЦП из-за неблагоприятных технологических факторов в некоторой степени компенсируется увеличением I_{bs}. Тем самым обеспечивается повышенная стабильность быстродействия и точностных параметров АЦП от партии к партии.

АЦП имеет два входа управления величиной тока смещения: **biasSel1** и **biasSel2**.

Установленный по умолчанию режим выводов управления током смещения (**BIASMODE** = 0, **BIASSEL1** = **BIASSEL2** = U_{CC}) настроен на минимальный ток при тактовой частоте 50 – 80 МГц. Заземление вывода **biasSel1** увеличивает ток смещения во всех каскадах АЦП на ~30%, а заземление вывода **biasSel2** увеличивает ток смещения только для входного флэш каскада на ~50%.

Для достижения лучших точностных параметров (SNR, SNDR, SFDR, INL, DNL) рекомендуется использовать режимы:

– BIASMODE = U_{CC}, BIASSEL1 = BIASSEL2 = 0 при f_C = 60 МГц и менее;

– BIASMODE = 0, BIASSEL1 = BIASSEL2 = 0 при f_C более 60 МГц.

Типовая зависимость тока потребления АЦП с КМОП-выходом от частоты выборки при **BIASMODE** = 0, **BIASSEL1** = **BIASSEL2** = 0 определяется выражением

$$I_{CC}(mA) = 12{,}5 + 0{,}43\ \cdot f_C\ (MHz)\ . \qquad (3)$$

Выключенный режим с отключением основных постоянных токов активируется при неподключенном входе PD (power down) или при высоком логическом уровне на нем.

5.6 SPI-интерфейс

5.6.1 Сигналы

В АЦП используется мультиплексирование сигналов. В таблице 3 приведены функции сигналов в разных режимах.

Таблица 3 – Функции сигналов в различных режимах

Номер вывода	Наименование сигнала	Режим		
		нормальный		scan
12	SCANEN↓	0		1
14	nCS↑	1	0	0/1
13	CALRUN↓	Запуск калибровки	SPIin	scanIn
17	OVFL	Выход переполнения	SPIout	scanOut
15	OEN↓	Разрешение выхода	SCLK	0/1

Примечание – Символы ↓ и ↑ в наименовании сигналов означают наличие резисторов подтяжки к 0 или 1 соответственно

Режим scan предназначен для тестирования логики. В этом режиме АЦП не выполняет аналого-цифровое преобразование.

Примечание – Режим scan используется для проведения функционального контроля.

В нормальном режиме АЦП проводит аналого-цифровое преобразование или калибровку. Параллельно с преобразованием могут проводиться SPI-операции записи или чтения регистров АЦП. Калибровка в общем случае несовместима с SPI-операцией. В частности, запуск калибровки невозможен во время SPI-операции, т.к. вход CALRUN используется в это время как последовательный вход SPI. SPI-чтение во время ранее запущенной калибровки допустимо, но создаёт шум, понижающий точность калибровки. SPI-запись во время калибровки приводит к непредсказуемым результатам.

5.6.2 Временная диаграмма

На Рисунке 5 приведена временная диаграмма сигналов SPI-операции.

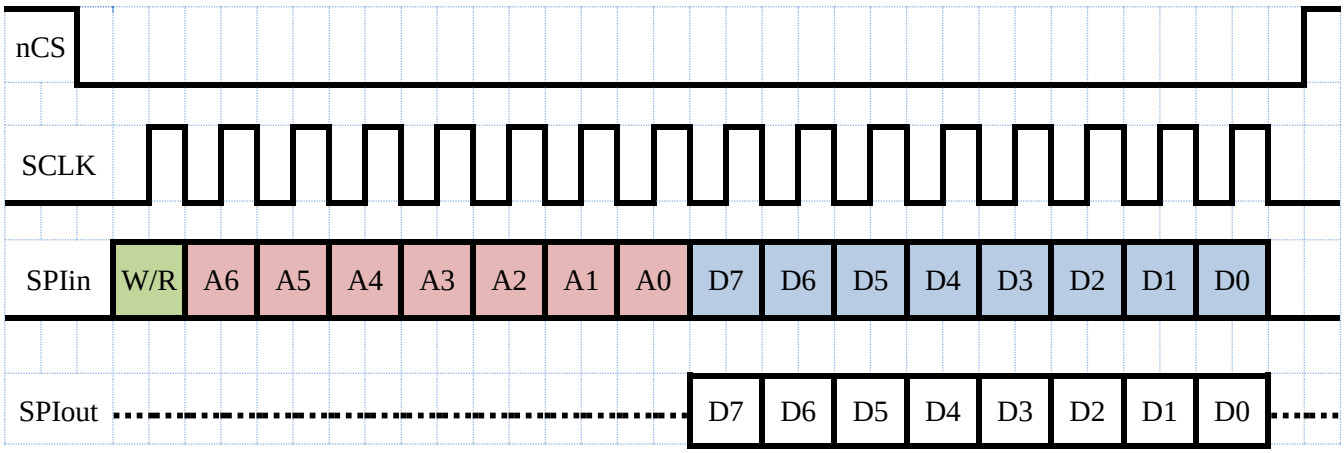


Рисунок 5 – Временная диаграмма сигналов SPI

5.6.3 Команды

Одна SPI-операция передаёт 16 бит (2 байта) данных. Старший бит сигнала SPIin определяет тип операции: 1 – чтение, 0 – запись; следующие семь бит A6…0 определяют адрес регистра АЦП, с которым производится операция. Младший байт D7…0 содержит передаваемые данные.

Содержимое битов D7…0 сигнала SPIin в операциях чтения безразлично.

Так как одна SPI-операция передаёт только 1 байт данных, для передачи длинных регистров требуется две или три операции. Длинные регистры АЦП имеют отдельные адреса для каждого из своих байтов.

В таблице 4 приведены адреса (шестнадцатеричные) регистров АЦП.

Таблица 4 – Регистры АЦП

Регистр	Байт			Назначение регистра
	Старший	Средний	Младший	
Mem	1S		0S	Память поправок сегментов
DOA	21		20	Регистр смещения семплера A
DOB	23		22	Регистр смещения семплера B
DRA	25		24	Регистр опоры конвейера для семплера A
DRB	27		26	Регистр опоры конвейера для семплера B
debugMode			28	Регистр отладки калибровки. При debugMode≠0 автомат калибровки выполняет только цикл, определяемый полями регистра. Предназначен для отладки калибровки разработчиками АЦП
calMode			29	Регистр режимов калибровки
outMode			2A	Регистр отдельных сигналов
refTrim			2B	Регистр подстройки опорного источника
softReset			2F	Программный сброс (чтение не определено)
CFacA	32	31	30	Рабочие регистры автомата калибровки. Для этих регистров возможно только чтение
CFacB	36	35	34	
CDacc	3A	39	38	
ShMD	3E	3D	3C	
Acc	42	41	40	
QR	44		43	

Для регистров Mem в таблице указан номер S сегмента АЦП, изменяющийся в диапазоне 0...F. Запись в эти регистры возможна только в младший байт. При этом старший (знаковый) бит этого байта транслируется во все биты старшего байта. Это позволяет одной операцией записать в оба байта регистра число в дополнительном коде. Обычно поправки сегментов составляют несколько EMP, в то время как в процессе калибровки в этих регистрах накапливаются большие суммы по большому числу итераций.

Запись любого значения в регистр softReset приводит к формированию события синхронного сброса регистров калибровки и регистров режимов 28 – 2B.

В таблице 5 приведено назначение отдельных битов регистров режимов. В третьем столбце таблицы даны значения по умолчанию (ЗПУ)

Таблица 5 – Назначение битов

calMode	Биты	ЗПУ	Назначение битов		
calOffsEn	0	1	Применять результаты калибровки смещения нуля		
calRefEn	1	1	Применять результаты калибровки вторичной опоры		
calSegEn	2	1	Применять результаты калибровки сегментов		
avgMode	7...5	000	Глубина усреднения при калибровке	0, 5, 6, 7	32
				1	16
				2	8
				3	4
				4	2
outMode	Биты	ЗПУ	Назначение битов		
ref1V	1	1	Внутреннее опорное напряжение 1 В(1) или 0,5 В(0)		
lvdsXor	2	0	Инверсия формата выхода, заданного входом LVDSEN		
lvdsRS	3	0	Режим тока LVDS; уменьшенный ток (1)		
vcmSel	5	0	Ucmin = 0,5 В(1) или 0,75 В(0)		
refTrim	Биты	ЗПУ	Назначение битов		
	3…0	1000	Поправка Uref: 1 шаг ≈ 3 мВ		
	7…4	1000	Поправка температурного коэффициента Uref: 1 шаг ≈ 4,5 мкВ/ºС		

	Коды в полях битов 3…0 и 7…4 соответствуют числу шагов поправки:							
	Код	Число шагов	Код	Число шагов	Код	Число шагов	Код	Число шагов
	0000	-8	0100	-4	1000	0	1100	4
	0001	-7	0101	-3	1001	1	1101	5
	0010	-6	0110	-2	1010	2	1110	6
	0011	-5	0111	-1	1011	3	1111	7

Формат выхода устанавливается в зависимости от состояния на входе LVDSEN и значения бита lvdsXor в регистре outMode (см. таблицу 6).

Таблица 6 – Формат выхода

LVDSEN	lvdsXor	
	0	1
0	CMOS	LVDS
1	LVDS	CMOS

5.6.4 Особенности

При формировании временной диаграммы SPI-операции необходимо учитывать следующие особенности:

– так как сигнал SPIin мультиплексирован с сигналом CALRUN в нормальном режиме работы АЦП, необходимо гарантировать нулевое значение SPIin при nCS=1. В противном случае будет запущена непреднамеренная калибровка;

– калибровку следует запускать сигналом CALRUN=1 при nCS=1;

– допускаются многократные SPI-операции в пределах одного nCS=0. При этом граница каждой операции определяется тактом сигнала SCLK, кратным 16. Если к моменту перехода nCS в 1 текущее число принятых тактов SCLK меньше 16, операция отменяется

и не влияет на поведение АЦП. Если это была операция чтения, на выход SPIout не будут выведены все 8 бит данных.

5.7 Калибровка

5.7.1 Общее описание

Калибровка – это специальная процедура, выполняемая АЦП для вычисления некоторых внутренних ошибок преобразования для их компенсации при нормальной работе.

Калибровка запускается первым передним фронтом сигнала clk при **CALRUN**=1. Во время калибровки АЦП не выполняет нормальное преобразование и его выход выключен. Длительность калибровки составляет 5,4 мс при тактовой частоте f_C = 100 МГц и глубине усреднения 32 (по умолчанию). Длительность калибровки пропорциональна глубине усреднения и обратно пропорциональна f_C.

Результат калибровки зависит от условий работы (f_C, U_{CC}, T °C).

Калибровку необходимо проводить после включения питания, установления напряжения опорного источника, подачи рабочей частоты f_C, а также после изменения условий работы.

5.7.2 Принцип калибровки

При калибровке АЦП преобразует напряжение, формируемое на резистивном делителе входного flash-каскада и равное нулю или напряжению (положительному или отрицательному) одного из 16-ти сегментов. АЦП имеет для каждого семплера ЦАП подстройки смещения нуля и ЦАП подстройки опоры конвейера. Автомат калибровки определяет коды ЦАП, при которых выходной код АЦП соответствует напряжению, поступающему с резистивного делителя. Повторяя эти манипуляции многократно (для снижения влияния случайного шума на результат калибровки) и для всех сегментов, автомат калибровки вычисляет следующие ошибки:

– ошибку смещения нуля для каждого семплера. Код, компенсирующий эту ошибку, загружается в ЦАП подстройки при нормальной работе АЦП. Код представляет собой 10-разрядное знаковое число. Диапазон калибровки составляет приблизительно ±5 мВ;

– ошибку формирования опоры конвейера для каждого семплера. Код, компенсирующий эту ошибку, загружается в ЦАП подстройки при нормальной работе АЦП. Этот код учитывает также ошибку усиления каскадов АЦП, вызванную рассогласованием конденсаторов. Код представляет собой 10-разрядное знаковое число. Диапазон калибровки составляет приблизительно ±5 мВ;

– ошибку каждого из 16 сегментов. Эта ошибка вызвана рассогласованием резисторов делителя и не зависит от семплера. Величина ошибки обычно составляет небольшое число (со знаком) бит выходного кода АЦП. При нормальной работе непосредственный результат преобразования суммируется с вычисленной ошибкой сегмента, в который попала текущая выборка.

5.7.3 Управление калибровкой

Калибровка вычисляет все три типа указанных выше ошибок и по завершении калибровки компенсирует ошибки при нормальной работе АЦП. Можно индивидуально выключать компенсацию ошибок с помощью SPI-операции **calMode** (биты calOffsEn, calRefEn, calSegEn). При этом значения ошибок по-прежнему хранятся в соответствующих регистрах и их компенсацию снова можно активировать без повторной калибровки.

Наличие шумов в процессе калибровки не позволяет полностью устранить внутренние ошибки АЦП. Можно несколько улучшить параметры АЦП путём изменения кодов в регистрах калибровки.

5.8 Цифровые выходы

АЦП может работать в режиме КМОП- или LVDS-выхода, выбираемого состоянием входа LVDSEN, с возможностью его изменения через SPI-интерфейс.

В режиме LVDS к комплементарным парам выходов необходимо подключить терминационные резисторы 100 Ом на которых будет формироваться дифференциальный выходной сигнал.

Следует помнить, что при подключенных к выходам АЦП терминационных резисторах сразу после включения напряжения питания и до выполнения SPI-команды, устанавливающей режим LVDS, АЦП находится в режиме, определяемым состоянием входа LVDSEN. При низком уровне на входе LVDSEN установлен режим КМОП-выхода и через терминационные резисторы могут протекать токи до 12 мА. Для устранения этих токов необходимо до выполнения SPI-команды, устанавливающей режим LVDS, перевести выход АЦП в закрытое состояние логическим нулем на входе **OEN**. Эта проблема отсутствует при активации режима LVDS высоким уровнем на входе LVDSEN.

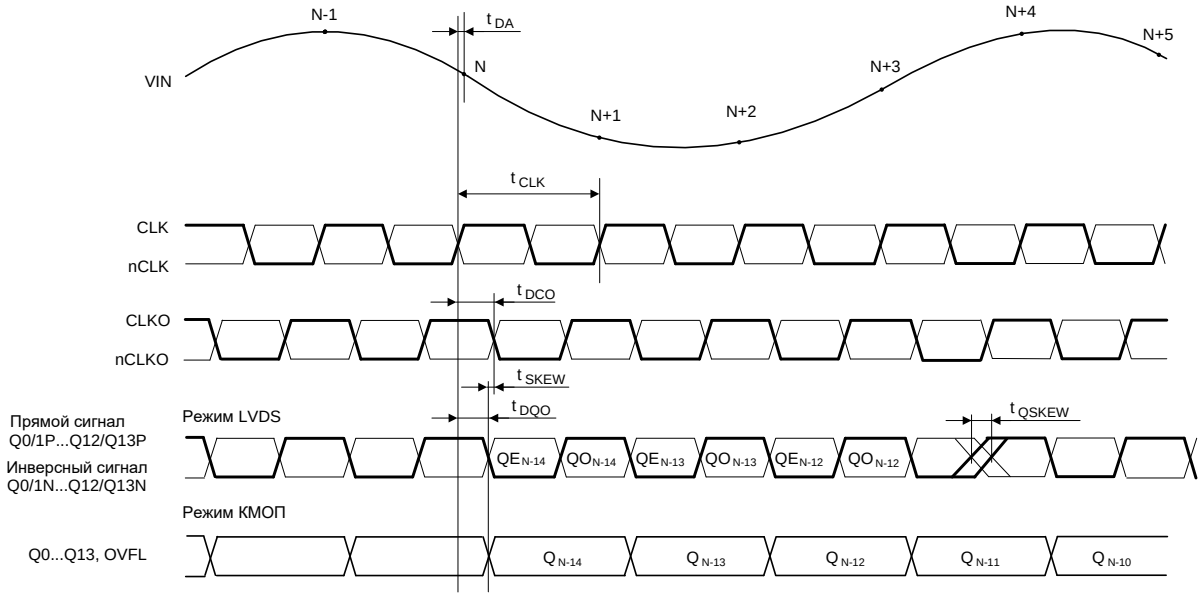
На рисунке 6 приведена временная диаграмма входных и выходных сигналов АЦП, поясняющая основные временные параметры:

– апертурная задержка (Aperture Delay, t_{DA}) характеризует задержку момента выборки входного сигнала от середины переднего фронта входного тактового сигнала (CLK);

– конвейерная задержка (Latency, N) определяет задержку выходных данных, соответствующих выбранному входному сигналу в тактах входной частоты.

– Задержки выходных данных и выходного тактового сигнала (CLKO) относительно переднего фронта входного тактового сигнала представлены параметрами Output Delay (t_{DQO}) и Clock Delay (t_{DCO}).

Справочные значения указанных параметров приведены в таблице 10.



Обозначения:

1 QE_N – четные биты;

2 QO_N – нечетные биты.

Рисунок 6 – Временная диаграмма входных и выходных сигналов АЦП

Выходные данные формируются в смещенном двоичном коде (offset binary). В таблице 7 приведен код при V_{REF} = 1 В, когда ЕМР = 122,07 мкВ.

Таблица 7 – Код выходных данных

Входное напряжение V_{IN+}-V_{IN-}	Выходной код Q13…0	Выход переполнения OVFL
<-1В	00 0000 0000 0000	1
-1В+0ЕМР ÷ -1В+1ЕМР	00 0000 0000 0000	0
-1В+1ЕМР ÷ -1В+2ЕМР	00 0000 0000 0001	0
…		
0В-1ЕМР ÷ 0В+0ЕМР	01 1111 1111 1111	0
0В+0ЕМР ÷ 0В+1ЕМР	10 0000 0000 0000	0
0В+1ЕМР ÷ 0В+2ЕМР	10 0000 0000 0001	0
…		
1В-2ЕМР ÷ 1В-1ЕМР	11 1111 1111 1110	0
1В-1ЕМР ÷ 1В-0ЕМР	11 1111 1111 1111	0
>1В	11 1111 1111 1111	1

5.9 Рекомендации по улучшению параметров АЦП

5.9.1 Улучшение динамических параметров (SNR, SNDR, SFDR) подстройкой калибровочных кодов

Ранее описанная автоматическая калибровка АЦП, запускаемая сигналом CALRUN, из-за шумов не обеспечивает идеальной калибровки. Считывание кодов с АЦП через SPI из регистров DOA, DOB, полученных в процессе автоматической калибровки, их модификация по результатам измерения параметров и запись модифицированных кодов в регистры позволяет существенно улучшить такие параметры АЦП, как SNR, SNDR, SFDR.

Ниже представлены примеры спектров и динамических параметров АЦП после автоматической калибровки (рисунок 7) и после записи в АЦП модифицированных кодов калибровки (рисунок 8).

На рисунках 7 и 8 представлены по 4 диаграммы:

– на верхней диаграмме – спектр восстановленного АЦП сигнала с частотой f_i = 10 МГц при частоте выборки f_s = 125 МГц;

– на второй сверху – спектр сигнала, оцифрованного семплером А с частотой выборки $f_s/2$ = 62,5 МГц;

– на третьей сверху – спектр сигнала, оцифрованного семплером В с частотой выборки $f_s/2$ = 62,5 МГц;

– на нижней диаграмме – ошибки преобразования (в ЕМР) выборок семплеров А и В, выделенные цветом и привязанные к фазе входного сигнала.

Можно видеть, что на рисунке 7 после автокалибровки полосы ошибок семплеров А и В немного рассовмещены, что приводит к увеличению RMS ошибки АЦП и, как следствие снижению SNR и SNDR. Рассогласование семплеров приводит также к появлению спура на частоте Найквиста и соответствующему снижению SFDR.

Модификация кодов калибровки смещения нуля семплеров, считанных из регистров DOA и DOB, позволяет улучшить SFDR и SNDR только при наличии после автоматической калибровки остаточного рассогласования смещения нуля семплеров, которое проявляется в наличии спура на частоте Найквиста. В этом случае изменение кода калибровки одного из семплеров в одну сторону будет приводить к увеличению амплитуды спура на частоте Найквиста и ухудшению SFDR, изменение в другую – к уменьшению амплитуды этого спура и улучшению SFDR до наилучшего значения.

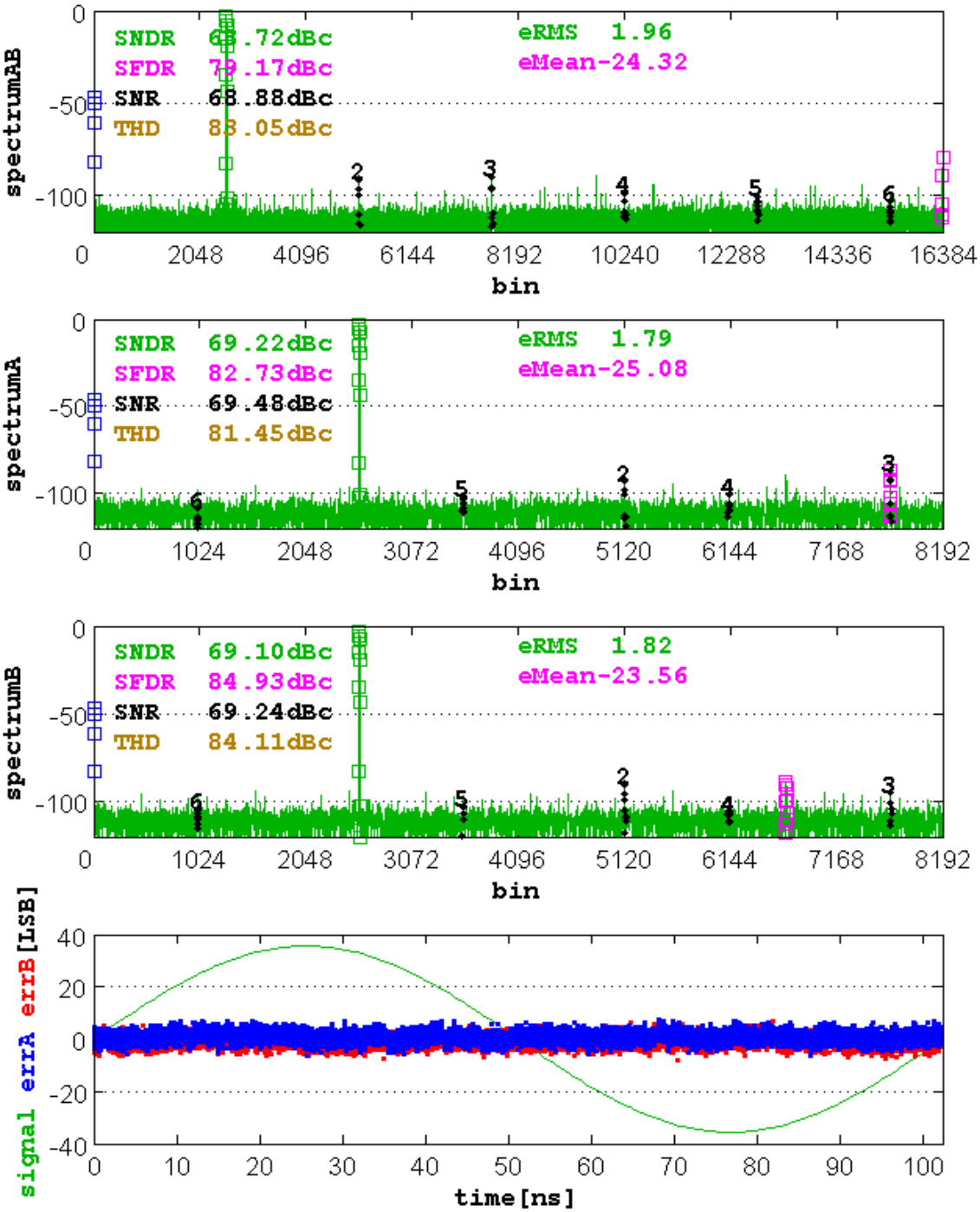


Рисунок 7 – Спектр и динамические параметры АЦП после автокалибровки: SNR = 68,88 дБн; SNDR = 68,72 дБн; SFDR = 79,17 дБн; rmsError = 1,96 EMP

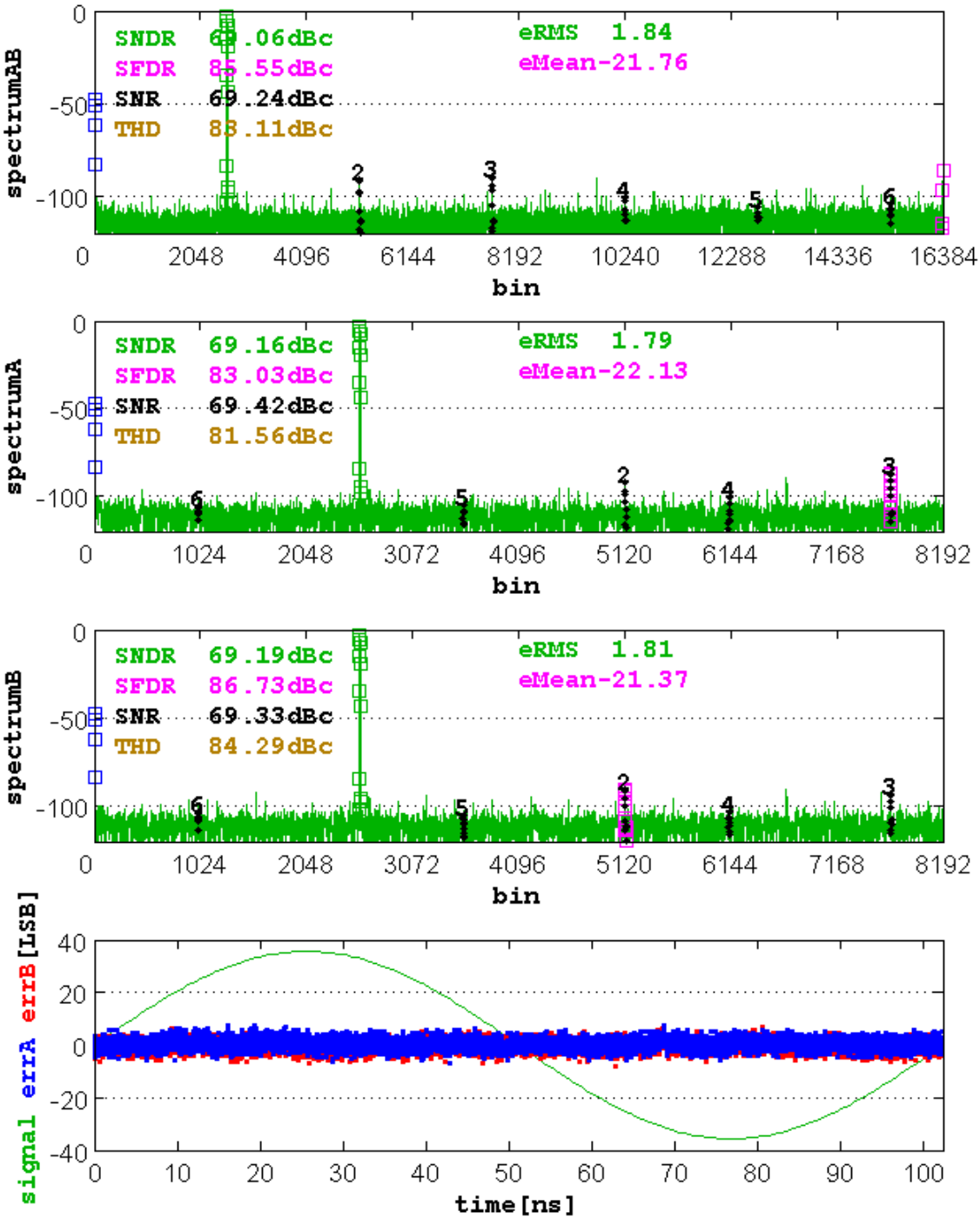


Рисунок 8 – Спектр и динамические параметры после записи в АЦП модифицированных кодов калибровки смещения нуля семплеров A и B (DOA, DOB):
SNR = 69,24 дБн; SNDR = 69,06 дБн; SFDR = 85,55 дБн; rmsError = 1,84 EMP

Как правило, модификация кодов калибровки позволяет повысить SNR и SNDR до 69 дБн, а SFDR до 80 дБн.

5.9.2 Улучшение динамических параметров (SNR, SNDR, SFDR) использованием одного семплера

Как можно видеть из спектров, приведенных на рисунках 6 и 7, использование выходных данных АЦП, полученных только с одного из семплеров, позволяет дополнительно улучшить SNR, SNDR, SFDR. Этот эффект может быть использован, если требуемая частота выборки не превышает 65 млн. выборок в секунду. В этом случае заданием тактовой частоты в два раза большей частоты выборки и использованием только четных или только нечетных выборок можно дополнительно улучшить SNR, SNDR, SFDR.

5.9.3 Улучшение SNR, SNDR увеличением входного сигнала

При использовании внешнего опорного напряжения, увеличенного до 1,25 – 1,5 В, за счет увеличения амплитуды входного сигнала и отношения сигнал/шум SNR и SNDR могут быть повышены на 2 – 2,5 дБ. Данная возможность эффективна только при тактовой частоте не более 100 МГц из-за ограничений по скоростным характеристикам.

5.9.4 Повышение тактовой частоты (частоты выборки)

АЦП сохраняет функционирование и отсутствие пропусков кодов до частоты 180 МГц. Для улучшения параметров АЦП при частоте более 125 МГц рекомендуется использовать режим увеличенного тока смещения: BIASMODE = 0 и SPI код 2a0b.

Однако, некоторые образцы АЦП могут ухудшить параметры при SPI коде 2a0b. Для гарантии параметров АЦП на тактовой частоте более 125 МГц рекомендуется при заказе оговаривать дополнительный контроль микросхем на требуемой тактовой частоте.

5.9.5 Подстройка напряжения внутреннего опорного источника

На рисунке 9 приведены типовые зависимости напряжения внутреннего источника опорного напряжения от кодов подстройки величины напряжения (Trim<3:0>) и его температурного коэффициента (Trim<7:4>).

В режиме по умолчанию (Trim<3:0>=8, Trim<7:4>=8) типовое значение опорного напряжения 991 мВ, а типовой температурный коэффициент опорного напряжения в диапазоне от -60 °С до +85 °С равен минус 91 мкВ/°С. При увеличении кода Trim<7:4> до 15 температурный коэффициент опорного напряжения уменьшается до минус 45 мкВ/°С.

Следует отметить, что **наилучший для точностных параметров АЦП режим: Trim<3:0>=15, Trim<7:4>=15**, так как при этом величина опорного напряжения максимальна (1025 мВ тип.), что обеспечивает максимальный диапазон входного сигнала и максимальное отношение сигнал/шум, а также минимальные температурные дрейфы опорного напряжения и погрешности шкалы преобразования АЦП.

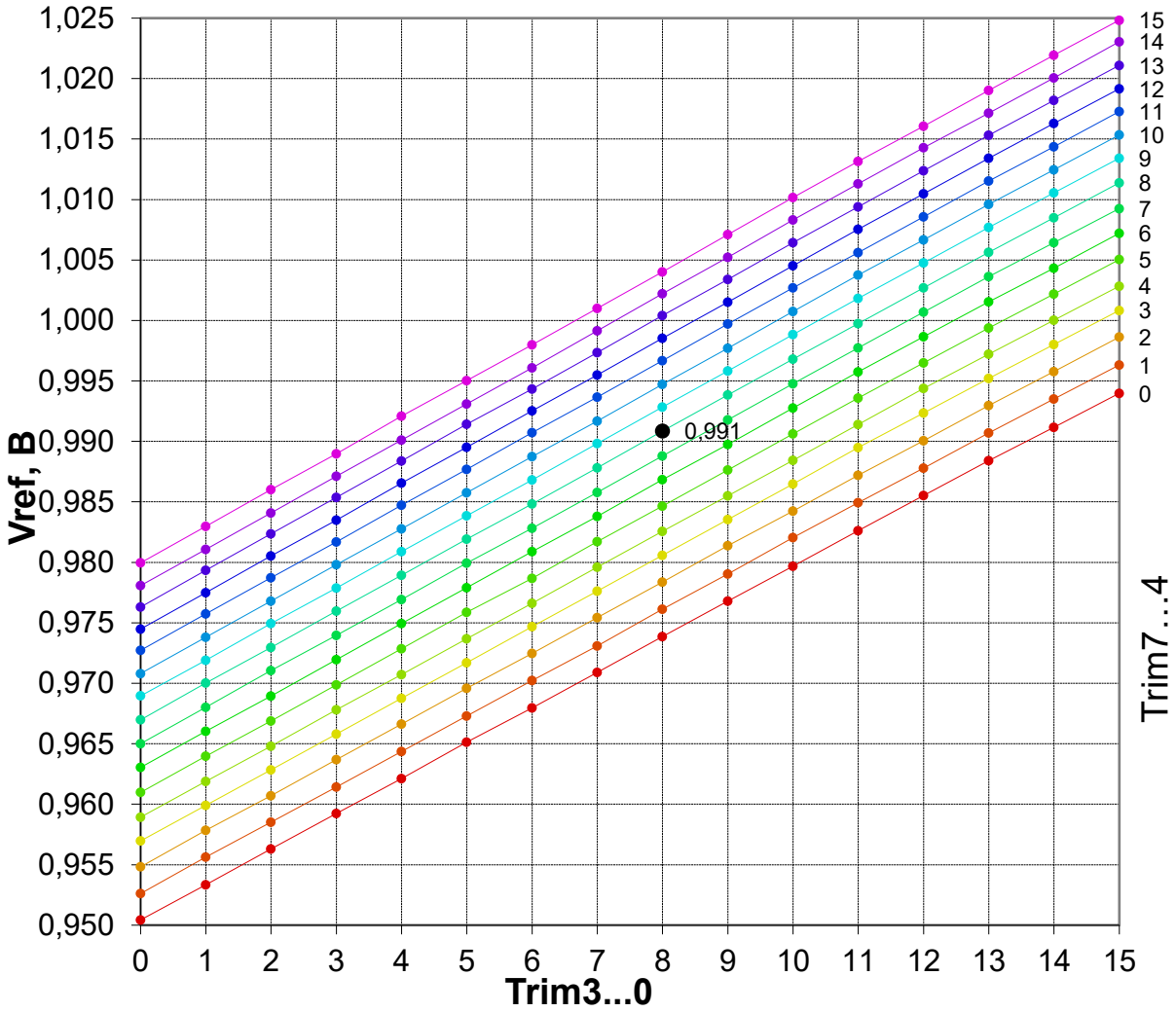
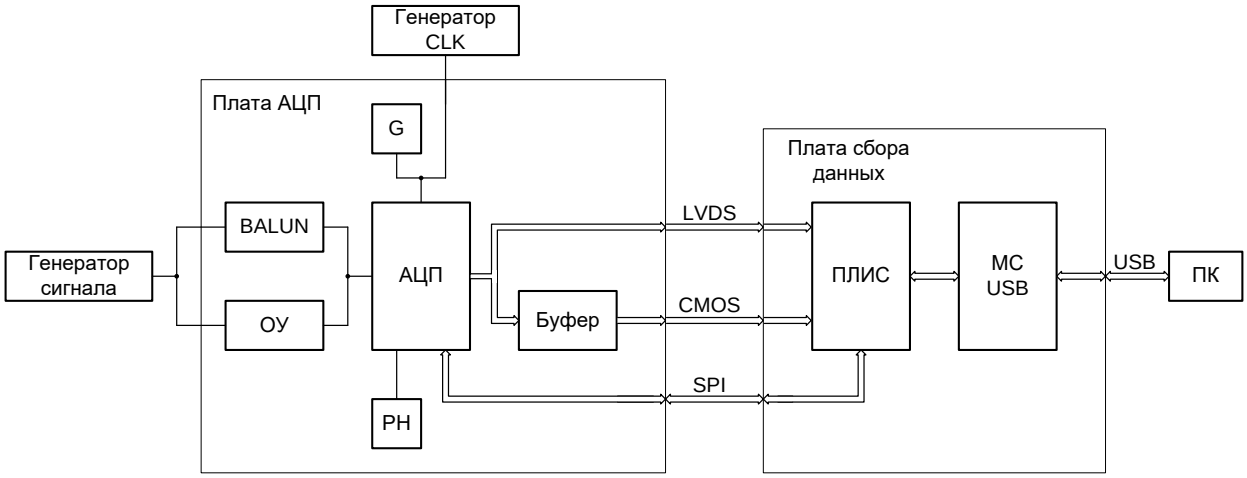


Рисунок 9 – Зависимости напряжения внутреннего источника опорного напряжения от кодов подстройки Trim<3:0> и Trim<7:4>

5.10 Демонстрационный комплект

Демонстрационный комплект микросхемы К5101НВ015 состоит из платы АЦП и платы сбора данных. Структурная схема комплекта представлена на рисунке 10.



G – встроенный (на плату) тактовый генератор;
BALUN – входная схема типа «double balun»;
MC USB – микросхема USB интерфейса;
ОУ – входная схема на операционном усилителе;
PH – регулятор напряжения

Рисунок 10 – Структурная схема демонстрационного комплекта

Демонстрационный комплект поставляется отдельно по дополнительному запросу.

6 Электрические параметры микросхемы

Таблица 8 – Электрические параметры микросхем при приёмке и поставке

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма параметра		Температура среды, °С
		не менее	не более	
Выходное напряжение высокого уровня, В режим КМОП	U_{OH}	1,5	–	25, 85, – 60
Выходное напряжение низкого уровня, В режим КМОП	U_{OL}	–	0,2	
Напряжение внутреннего опорного источника, В, без подстройки	U_{REF}	0,96	1,02	
Дифференциальное выходное напряжение в режиме LVDS, мВ	U_{ODIFF}	200	460	
Дифференциальное выходное напряжение в режиме LVDS RS, мВ	$U_{ODIFFRS}$	100	240	
Синфазные уровни выходного напряжения логического «0» и логической «1» в режимах LVDS и LVDS RS, В	U_{OCM}	1,05	1,30	
Входной ток высокого уровня, мкА (цифровые входы)	I_{IH}	– 1	50	
Входной ток низкого уровня, мкА (цифровые входы)	I_{IL}	– 50	1	
Выходной ток высокого уровня в состоянии «Выключено», мкА (цифровые выходы)	I_{OZH}	–	10	
Выходной ток низкого уровня в состоянии «Выключено», мкА (цифровые выходы)	I_{OZL}	–10	–	
Статический ток потребления в режиме пониженного энергопотребления, мА	I_{CCPD}	–	5,0	25, 85
			12	– 60
Динамический ток потребления в режиме LVDS с уменьшенным током выходов (RS mode), мА	I_{OCC1}	–	85	25, 85, – 60
Динамический ток потребления в режиме КМОП, мА	I_{OCC2}	–	80	
Частота выборки, МГц	f_S	15	125	
Разрядность выходного кода АЦП, бит Режим 14 бит Режим 12 бит	N	 14 12	 – –	
Отношение сигнал/шум, дБ пш	SNR	67	–	

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма параметра		Температура среды, °С
		не менее	не более	
Отношение сигнал/шум+искажения, дБ пш	SNDR	66,4	–	25, 85, – 60
Свободный от гармоник динамический диапазон, дБн	SFDR	71	–	
Интегральная нелинейность, EMP, (14 бит)	E_L	– 8	8	
Дифференциальная нелинейность, EMP, (14 бит)	E_{LD}	– 0,8	0,8	
Погрешность шкалы преобразования, % пш с внешним источником опорного напряжения	E_{FSE}	– 0,6	0,4	
Погрешность шкалы преобразования, % пш с внутренним источником опорного напряжения (без подстройки)	E_{FSI}	– 3,8	1,2	
Смещение нуля, % пш	E_{I0}	– 0,4	0,2	

Примечания

1 Общие режимы измерения параметров, если не указано иное:

- напряжение питания: U_{CC} = 1,71 В и U_{CC} = 1,89 В;
- внутренний источник опорного напряжения 1 В ($U_{REFEN} = U_{CC}$);
- синфазный уровень входного сигнала задается с вывода CMIN (U_{CMIN} = 0,75 В);
- частотно-зависимый ток смещения: $U_{BIASMODE}$ = 0;
- $U_{BIASSEL1} = U_{BIASSEL2}$ = 0 (максимальный уровень тока смещения);
- частота входного сигнала на входах IN+, IN- f_I = 10 МГц;
- тактовая частота f_C = 125 МГц;
- режим 14 бит: U_{Q12SEL} = 0,
- выход КМОП: U_{LVDSEN} = 0,
- U_{PD} = 0 В, $U_{OEN} = U_{CC}$,
- SPI код 2a0a;
- измерение проводятся после калибровки при заданных условиях измерения.

2 Значения SNR, SNDR, SFDR усредняются по 16 измерениям.

3 Параметры SNR, SNDR, SFDR, INL, DNL, U_{IO} измеряются в режимах:

- f_C = 125 МГц; BIASMODE = 0;
- f_C = 15 МГц; BIASMODE = U_{CC}.

4 Точностные параметры АЦП (SNR, SNDR, SFDR, INL, DNL) на высокой частоте сильно зависят от паразитных индуктивностей и емкостей выводов, в связи с чем, значения указанных параметров для микросхем, распаянных на плату, улучшаются, по сравнению с значениями параметров, измеряемых изготовителем на микросхемах в контактирующем устройстве

Микросхемы устойчивы к воздействию статического электричества с потенциалом не менее 1000 В.

7 Предельно-допустимые и предельные режимы эксплуатации микросхем

Таблица 9 – Предельно-допустимые режимы эксплуатации и предельные электрические режимы микросхем

Наименование параметра, единица измерения	Буквенное Обозначение параметра	Норма параметра			
		Предельно-допустимый режим		Предельный режим	
		не менее	не более	не менее	не более
Напряжение питания, В	U_{CC}	1,71	1,89	– 0,3	2
Опорное напряжение, В	U_{REFE}	0,95	1,05	0	U_{CC}
Дифференциальный входной сигнал, В п-п	U_I	–	$2\times U_{REFE}$	–	–
Напряжение на аналоговых входах, В	U_{IN+}, U_{IN-}	0	U_{CC}	0	U_{CC}
Входное напряжение высокого уровня, В	U_{IH}	U_{CC} – 0,4	U_{CC}	–	U_{CC} +0,3
Входное напряжение низкого уровня, В	U_{IL}	0	0,4	– 0,3	–
Напряжение, прикладываемое к цифровому выходу в состоянии «Выключено», В	U_{OZ}	0	U_{CC}	– 0,3	U_{CC} + 0,3
Выходной ток высокого уровня, мА	I_{OH}	–	0,5	–	1,2
Выходной ток низкого уровня, мА	I_{OL}	–0,5	–	– 1,2	–
Частота следования импульсов тактовых сигналов, МГц	f_C	15	125	–	
Частота входного сигнала, МГц	f_I	0	70	–	–
Сопротивление нагрузки цифровых выходов, Ом (режим LVDS)	R_L	95	–	–	–
Емкость нагрузки цифровых выходов, пФ	C_L	–	5	–	–

Примечания

1 Не допускается одновременное задание более одного предельного режима.

2 Дифференциальный входной сигнал $U_I \leq (2\times U_{REF})$ при использовании внутреннего источника опорного напряжения.

3 По отдельным решениям возможна поставка микросхем с предельно-допустимой тактовой частотой до 180 МГц и с увеличенным до 1,5 В внешним опорным напряжением при тактовой частотой до 100 МГц.

4 В применениях с КМОП-выходом при повышенной емкости нагрузки выходов для уменьшения шумов необходимо изолировать выходы АЦП токоограничивающими резисторами (см. рисунок 3). Максимальное сопротивление резисторов ограничено условием обеспечения устойчивой выборки выходного кода на требуемой тактовой частоте

8 Справочные данные

Общие режимы измерения справочных параметров и типовых зависимостей:

– температура среды: T = 25°C;

– напряжение питания: U_{CC} = 1,8 В;

– внутренний источник опорного напряжения 1 В (U_{REFEN} = U_{CC});

– амплитуда дифференциального входного сигнала U_I = 2 В п-п

– синфазный уровень входного сигнала задается с вывода CMIN (U_{CMIN} = 0,75 В);

– частотно-зависимый ток смещения: $U_{BIASMODE}$ = 0 В;

– $U_{BIASSEL1}$ = $U_{BIASSEL2}$ = 0 В (максимальный уровень тока смещения);

– режим 14 бит: U_{Q12SEL} = 0 В;

– выход КМОП: U_{LVDSEN} = 0 В;

– U_{PD} = 0 В, U_{OEN} = U_{CC};

– SPI код 2a0a;

– измерение проводятся после калибровки при заданных условиях измерения;

– измерения точностных параметров АЦП проведены по схеме включения, приведенной на рисунке 3, с КМОП-выходом, 1,8 В тактовым сигналом с джиттером 400 фс в контактирующем устройстве, что ухудшает точностные параметры при высоких f_C, f_I;

– внутренний синфазный уровень тактовых сигналов: $^4/_9 \cdot U_{CC}$.

Значение собственной резонансной частоты не менее 15,1 кГц.

Тепловое сопротивление кристалл-корпус не более 4 °C/Вт.

Предельная температура p-n перехода кристалла – 150 °C.

Таблица 10 – Справочные данные

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма параметра			Температура среды, °C
		не менее	типовое значе-ние	не более	
Напряжение внутреннего опорного источника, В (без подстройки)	U_{REF}	–	0,99	–	25
Напряжение внутреннего опорного источника, В (после подстройки)	$U_{REFTRIM}$	–	1 ± 0,003	–	25
Дифференциальное выходное напряжение, мВ при LVDSEN = «1» при LVDSEN = «1»; в режиме RS	 U_{ODIFF} $U_{ODIFFRS}$	–	 330 170	–	25
Напряжение синфазного уровня на выходе CMIN, В	U_{CMIN}	–	0,73	–	25
Ток потребления от внешнего U_{REFE}, мА при U_{REFE} = 1 В; REFEN = «0»	I_{REFE}	–	3,5	–	25
Ток потребления в режиме PD, мА при PD = «1»	I_{CCPD}	–	0,2 0,2 3	–	25 85 – 60

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма параметра			Температура среды, °С
		не менее	типовое значе-ние	не более	
Динамический ток потребления в режиме LVDS с уменьшенным током выходов (RS mode), мА при f_C = 125 МГц, U_I = 0 В, LVDSEN = «1»	I_{OCC1}	–	70	–	25
Динамический ток потребления в режиме КМОП, мА	I_{OCC2}				25
при f_C = 125 МГц, U_I = 0 В		–	60	–	
при f_C =15 МГц, U_I = 0 В, BIASMODE = «1»		–	35	–	
при f_C = 175 МГц, U_I = 0 В, SPI код 2a0b		–	90	–	
3 дБ полоса входного сигнала, МГц	BW_I	–	500	–	25
Приведенный к входу среднеквадратичный шум, ЕМР при U_I = 0; f_C = 125 МГц	U_{IN}	–	1,7	–	25
Емкость каждого из аналоговых входов на землю, пФ	C_I	–	6	–	25
Отношение сигнал/шум, дБ пш, при U_I= U_{FS} – 1 дБ пш:	SNR				25
f_C = 15 МГц, f_I = 10 МГц, BIASMODE = «1»,		–	70,5	–	
f_C = 50 МГц, f_I = 10 МГц, BIASMODE = «1»		–	70,5	–	
f_C = 50 МГц, f_I = 70 МГц, BIASMODE = «1»		–	68,5	–	
f_C = 125 МГц, f_I = 10 МГц		–	69,9	–	
f_C = 125 МГц, f_I = 70 МГц		–	67,5	–	
f_C = 175 МГц, f_I = 10 МГц, SPI код 2a0b		–	65,1	–	
f_C = 175 МГц, f_I = 70 МГц SPI код 2a0b		–	61,9	–	
Отношение сигнал/шум+искажения, дБ пш, при U_I= U_{FS} – 1 дБ пш:	SNDR				25
f_C = 15 МГц, f_I = 10 МГц, BIASMODE = «1»		–	70,2	–	
f_C = 50 МГц, f_I = 10 МГц, BIASMODE = «1»		–	70,2	–	
f_C = 50 МГц, f_I = 70 МГц, BIASMODE = «1»		–	68,2	–	
f_C = 125 МГц, f_I = 10 МГц		–	69,8	–	
f_C = 125 МГц, f_I = 70 МГц		–	67,0	–	
f_C = 175 МГц, f_I = 10 МГц SPI код 2a0b		–	64,5	–	
f_C = 175 МГц, f_I = 70 МГц, SPI код 2a0b		–	60,4	–	
Свободный от гармоник динамический диапазон, дБн, при U_I= U_{FS} – 1 дБ пш:	SFDR				25
f_C= 15 МГц, f_I= 10 МГц, BIASMODE = «1»		–	82	–	
f_C = 50 МГц, f_I = 10 МГц, BIASMODE = «1»		–	83	–	
f_C = 50 МГц, f_I = 70 МГц, BIASMODE = «1»		–	78,8	–	
f_C = 125 МГц, f_I = 10 МГц		–	82	–	
f_C = 125 МГц, f_I = 70 МГц		–	75,5	–	
f_C = 175 МГц, f_I = 10 МГц SPI код 2a0b		–	73,3	–	
f_C = 175 МГц, f_I = 70 МГц, SPI код 2a0b		–	66,4	–	

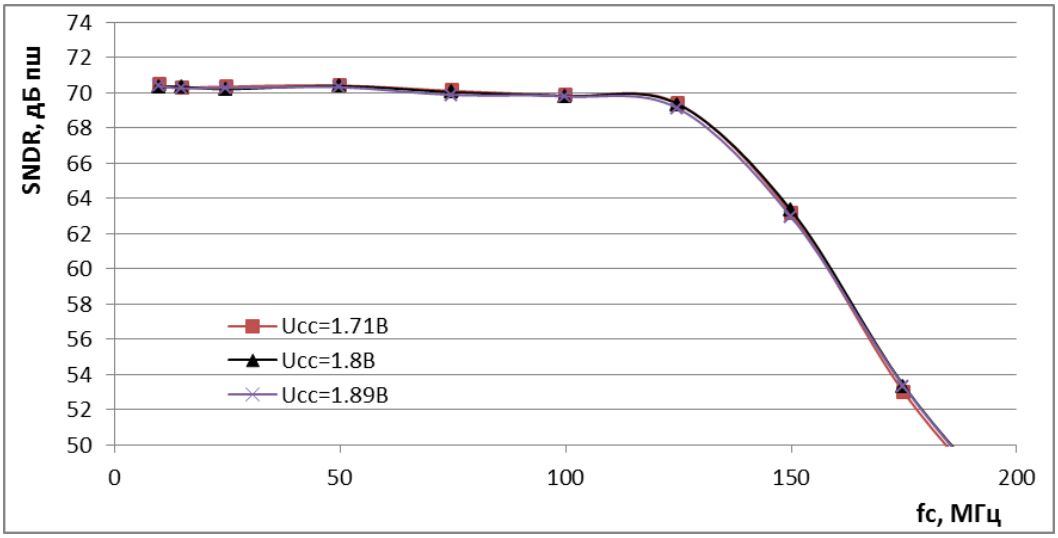
Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма параметра			Температура среды, °С
		не менее	типовое значе-ние	не более	
Наихудшие 2 или 3 гармоники, дБн, при $U_I = U_{FS}$ – 1 дБ пш:	H_{23}				
f_C = 15 МГц, f_I = 10 МГц, BIASMODE = «1»		–	–85	–	
f_C = 50 МГц, f_I = 10 МГц, BIASMODE = «1»		–	–85	–	
f_C = 50 МГц, f_I = 70 МГц, BIASMODE = «1»		–	–77	–	25
f_C = 125 МГц, f_I = 10 МГц		–	–83	–	
f_C = 125 МГц, f_I = 70 МГц		–	–77,5	–	
f_C = 175 МГц, f_I = 10 МГц, SPI код 2a0b		–	–73,5	–	
f_C = 175 МГц, f_I = 70 МГц, SPI код 2a0b		–	–66,4	–	
Температурный коэффициент напряжения внутреннего опорного источника без подстройки, мкВ /°С	αU_{REFI}	–	–80	–	85 – 60
Нестабильность напряжения внутреннего опорного источника от напряжения питания, мкВ /В	ΔU_{REFI} / U_{CC}	–	330	–	25
Смещение нуля, % полной шкалы	U_{IO}	–	–0,03	–	25
Температурный коэффициент смещения нуля, ppm/°С	αU_{IO}	–	2	–	85 – 60
Погрешность шкалы преобразования, % с внешним U_{REF} (REFEn= «0»)	E_{FSE}	–	–0,2	–	25
Температурный коэффициент погрешности шкалы преобразования с внешним U_{REF} (REFEN= «0»), ppm/°С	αE_{FSE}	–	–5	–	85 – 60
Погрешность шкалы преобразования, % с внутренним U_{REF} (без подстройки)	E_{FSI}	–	–1,2	–	25
Температурный коэффициент погрешности шкалы преобразования с внутренним U_{REF}, ppm/°С	αE_{FSI}	–	–65	–	85 – 60
Интегральная нелинейность, EMP 14 бит, при $U_I = U_{FS}$ + 1 дБ полной шкалы	E_L				25
f_C = 15 МГц, f_I = 10 МГц; BIASMODE = «1»		–	± 2	–	
f_C = 125 МГц, f_I = 10 МГц		–	± 3	–	
f_C = 175 МГц, f_I = 10 МГц, SPI код 2a0b		–	± 8	–	
Дифференциальная нелинейность, EMP 14 бит при $U_I = U_{FS}$ + 1 дБ полной шкалы	E_{LD}				25
f_C = 15 МГц, f_I = 10 МГц, BIASMODE = «1»		–	± 0,3	–	
f_C = 125 МГц, f_I = 10 МГц,		–	± 0,3	–	
f_C = 175МГц, f_I = 10 МГц, SPI код 2a0b		–	± 0,4	–	
Конвейерная задержка (Latency), тактов CLK	t_{PD}	–	14	–	25
Апертурная задержка, нс	t_{DA}	–	0,16	–	25
Апертурная неопределенность (Aperture Jitter, rms), пс	t_J	–	0,12	–	25
Время калибровки при f_C = 125 МГц, мс	t_{CAL}	–	4,30	–	25
Скважность CLKO	DC_{CO}	–	0,53	0,56	25
Время задержки выходных данных Q в режиме LVDS, нс	t_{DQO}	1,9	2,8	4,3	25
Время задержки CLKO в режиме LVDS, нс	t_{DCO}	2,8	3,7	5,5	25

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма параметра			Температура среды, °С
		не менее	типовое значе-ние	не более	
Перекос Q-CLKO в режиме LVDS, нс	t_{SKEW}*	0,5	0,9	1,9	25
Перекос OVFL-CLKO в режиме LVDS, нс	t_{SKEW_OV}	–	–1,7	–	25
Перекос Q в режиме LVDS, нс	t_{QSKEW}**	–	0,3	0,6	25
Время задержки выходных данных Q в режиме КМОП, нс	t_{DQO}	2,0	2,7	3,8	25
Время задержки CLKO в режиме КМОП, нс	t_{DCO}	2,8	3,7	5,5	25
Перекос Q-CLKO в режиме КМОП, нс	t_{SKEW}*	0,8	1,0	2,0	25
Перекос OVFL-CLKO в режиме КМОП, нс	t_{SKEW_OV}	–	–1,2	–	25
Перекос Q в режиме КМОП, нс	t_{QSKEW}**	–	0,04	0,06	25

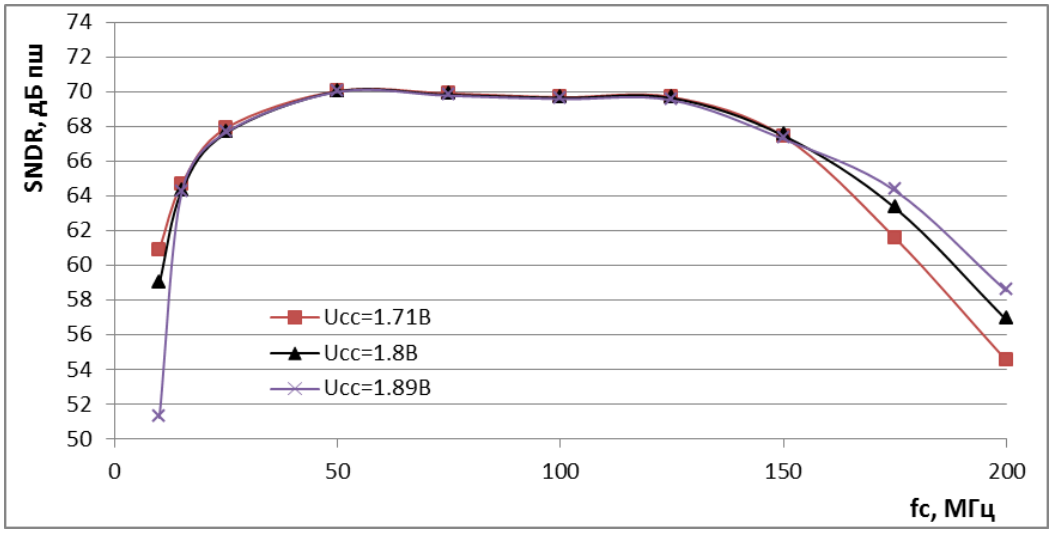
* t_{SKEW} включает разброс между битами выходных данных в полном диапазоне;

** t_{QSKEW} равен разбросу между битами выходных данных

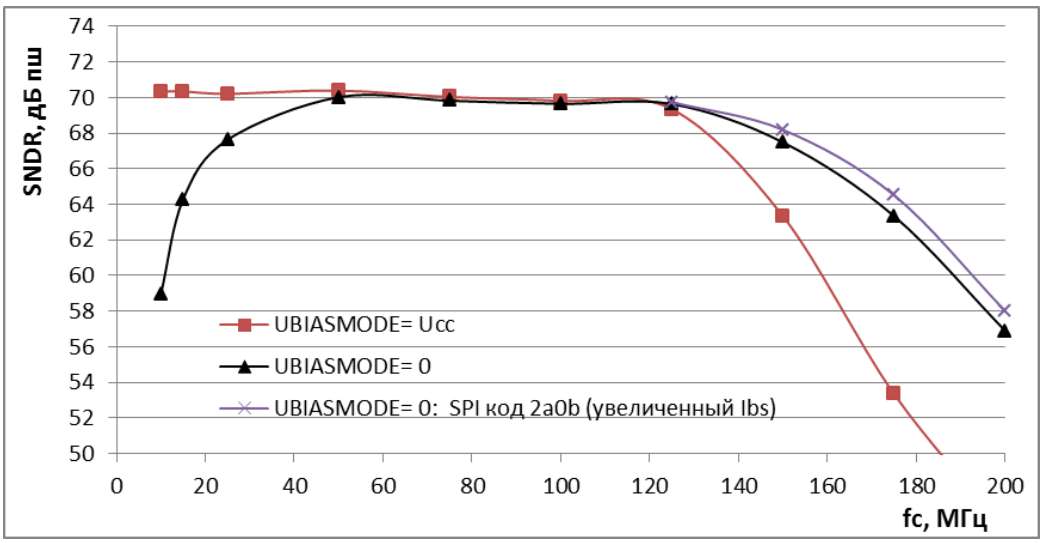
9 Типовые зависимости



а) при разных U_{CC} и BIASMODE = U_{CC}

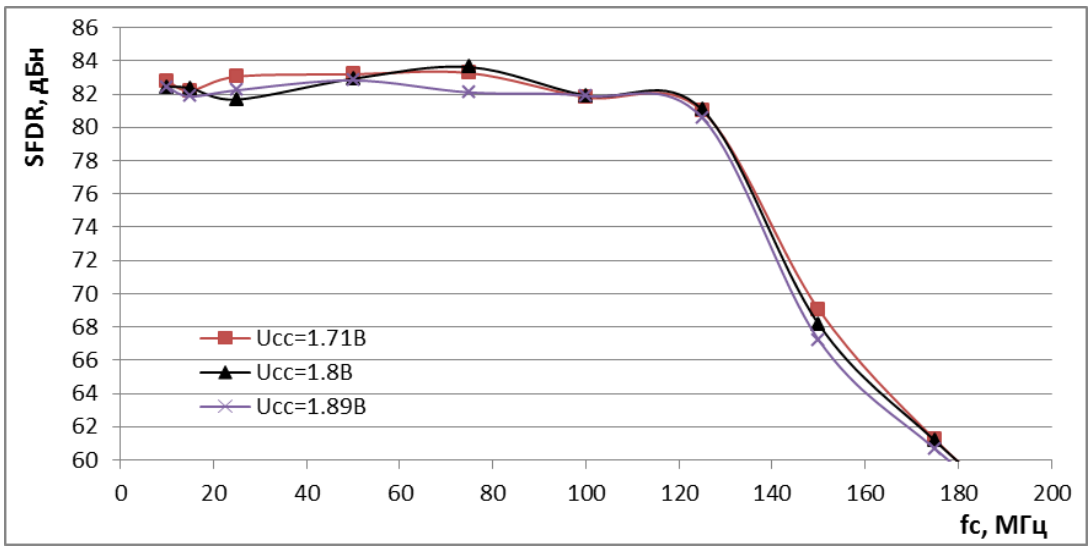


б) при разных U_{CC} и BIASMODE = 0

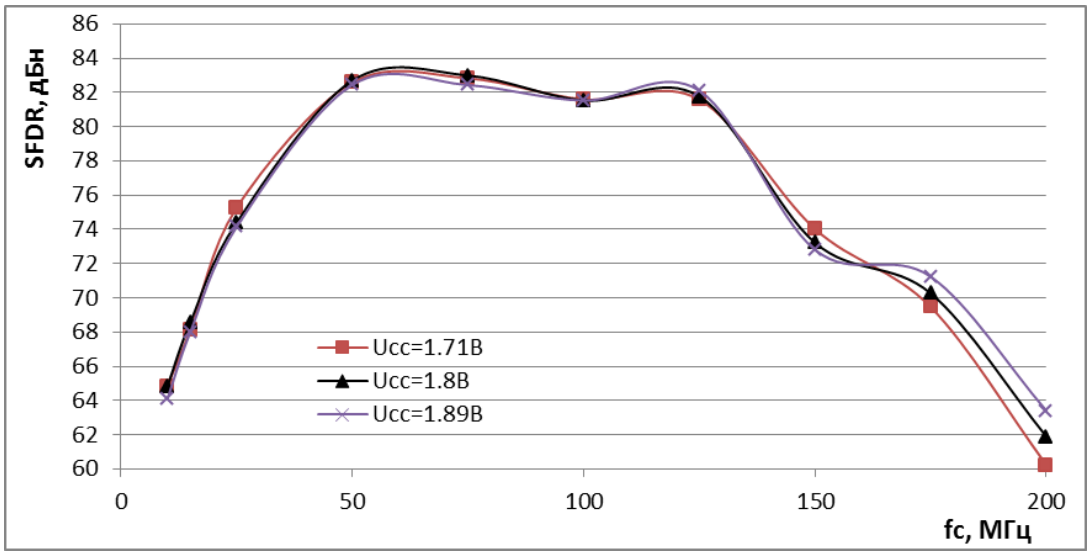


в) при разных токах смещения и U_{CC} = 1,8 В

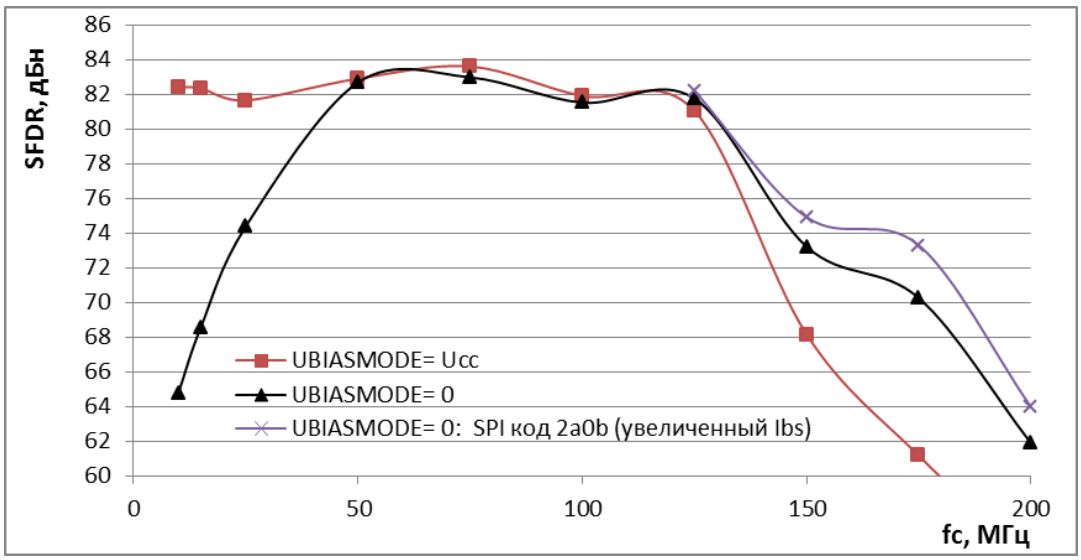
Рисунок 11 – Зависимости SNDR от тактовой частоты f_C



а) при разных U_{CC} и BIASMODE = U_{CC}



б) при разных U_{CC} и BIASMODE = 0



в) при разных токах смещения и U_{CC} = 1,8 В

Рисунок 12 – Зависимости SFDR от тактовой частоты f_C

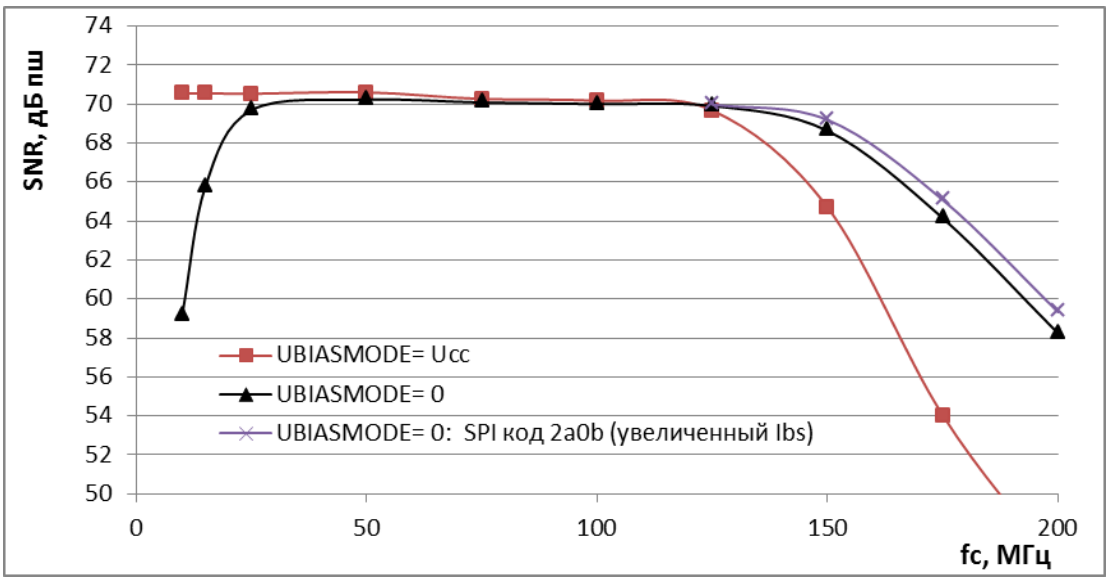


Рисунок 13 – Зависимости SNR от тактовой частоты f_C при U_{CC} = 1,8 В и разных режимах тока смещения

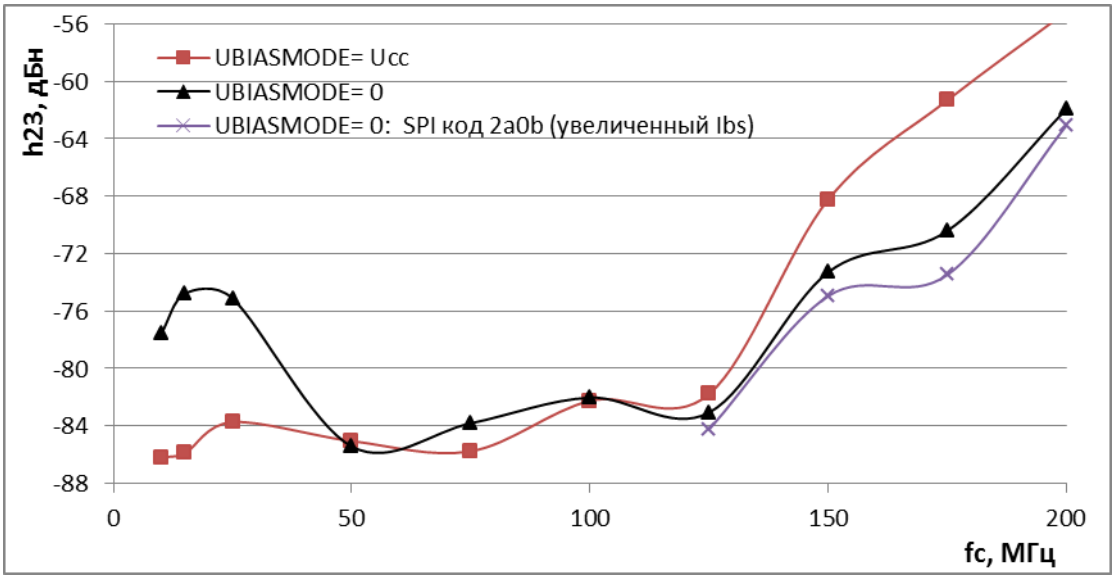
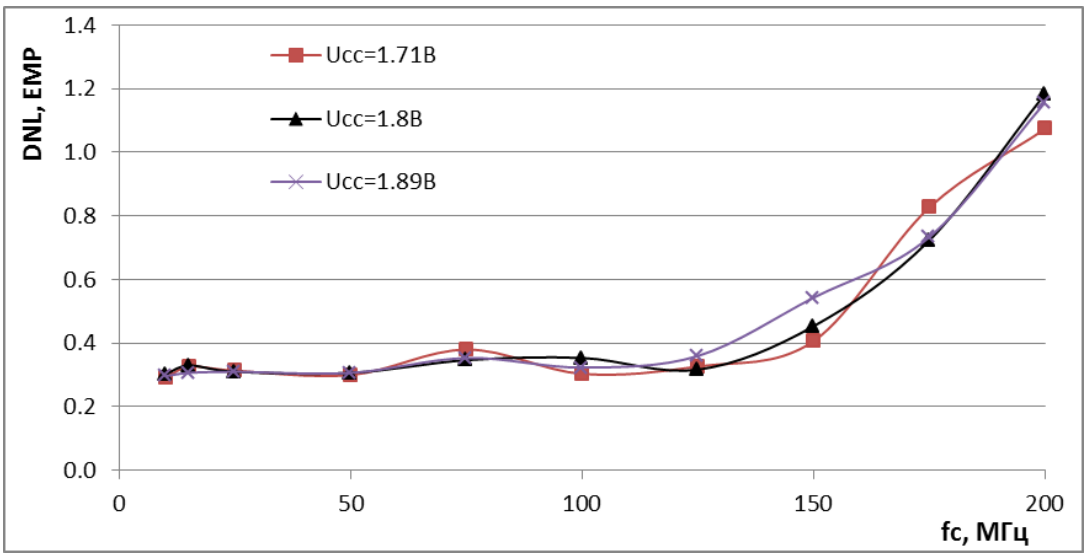
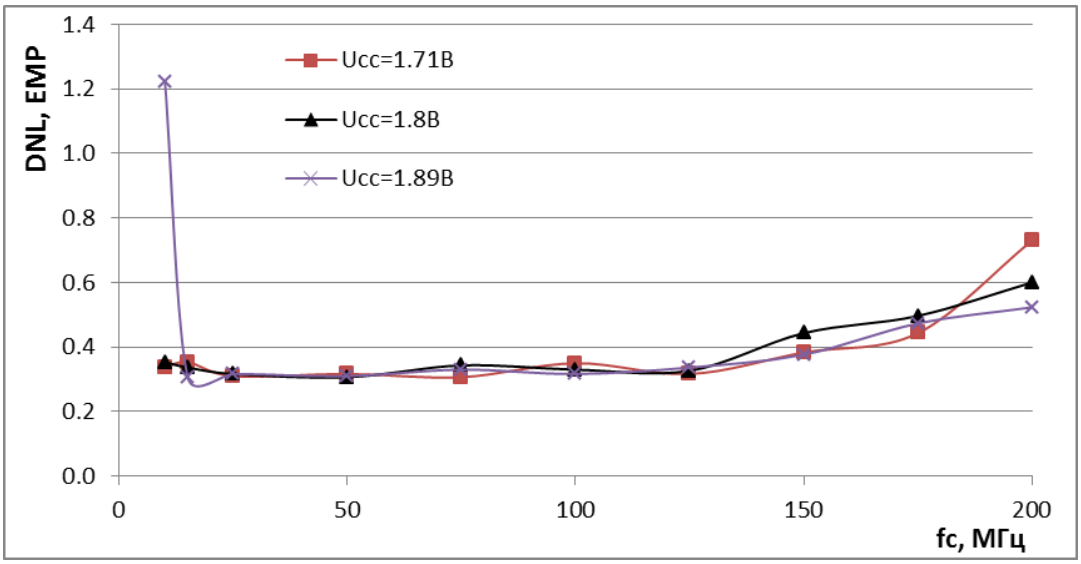


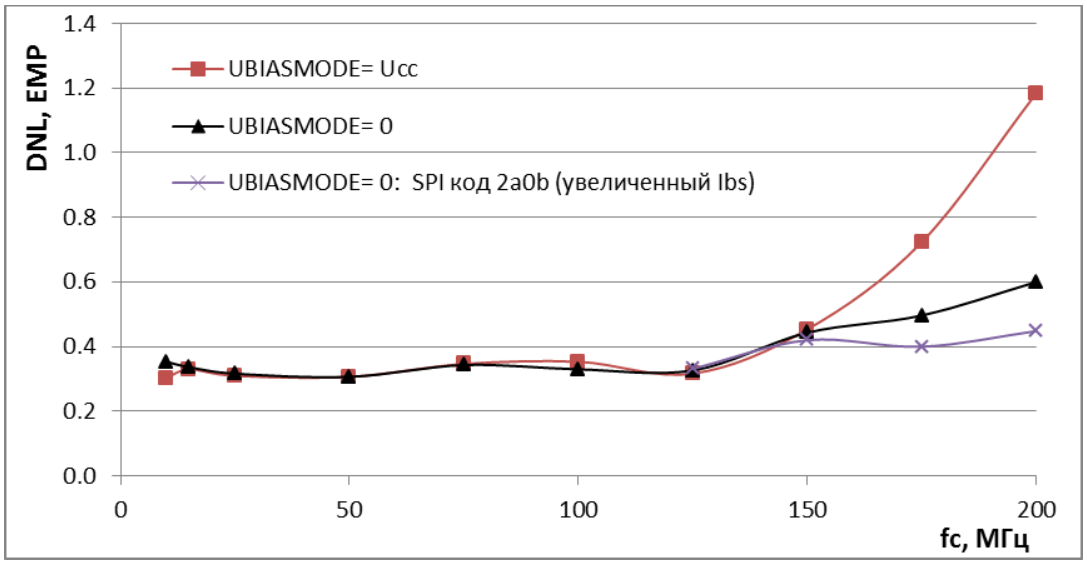
Рисунок 14 – Зависимости наибольшей 2 или 3 гармоники от тактовой частоты f_C при U_{CC} = 1,8 В и разных режимах тока смещения



а) при разных U_{CC} и BIASMODE = U_{CC}

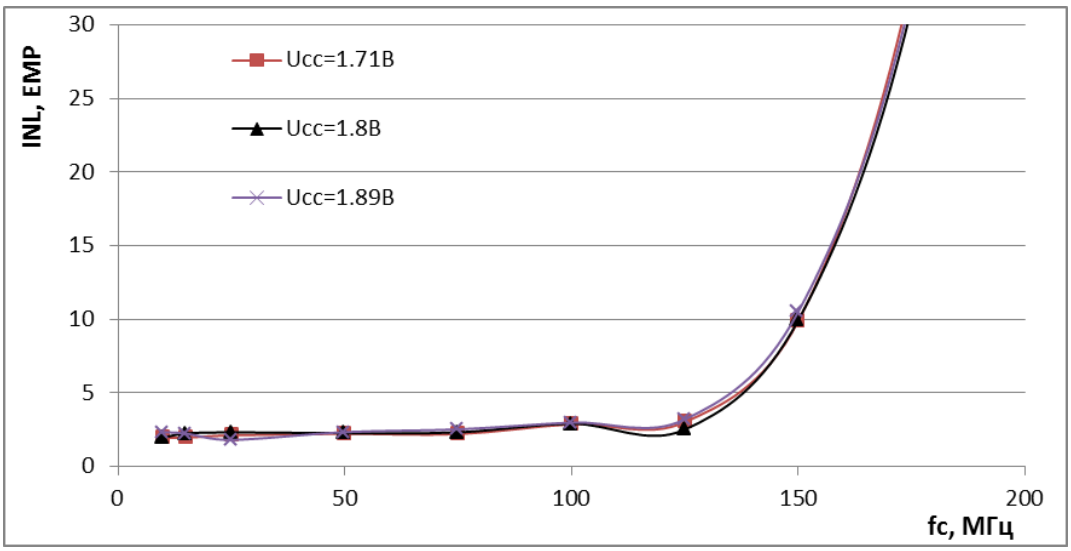


б) при разных U_{CC} и BIASMODE = 0

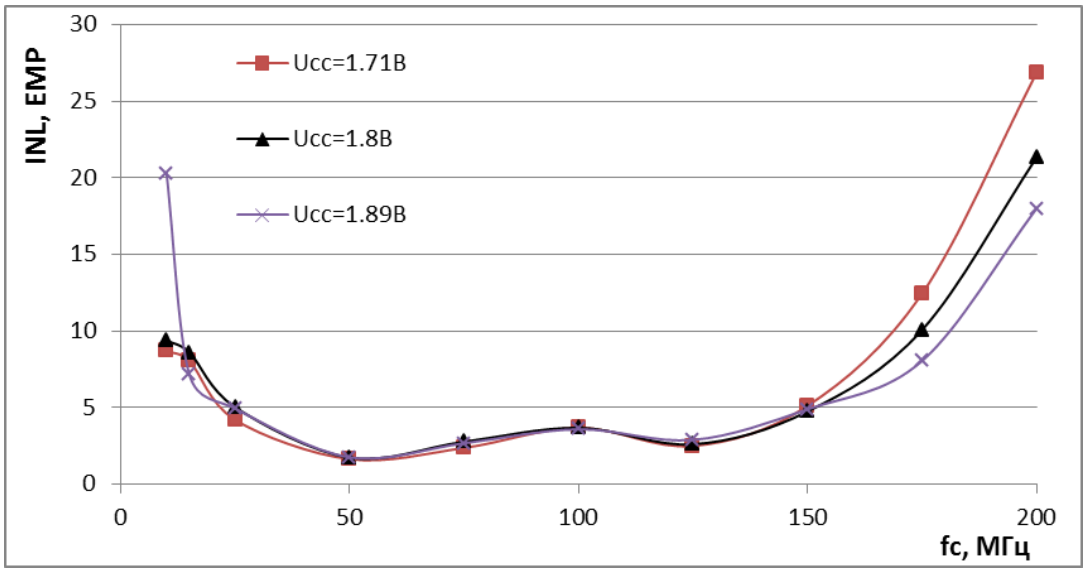


в) при разных токах смещения и U_{CC}=1,8 В

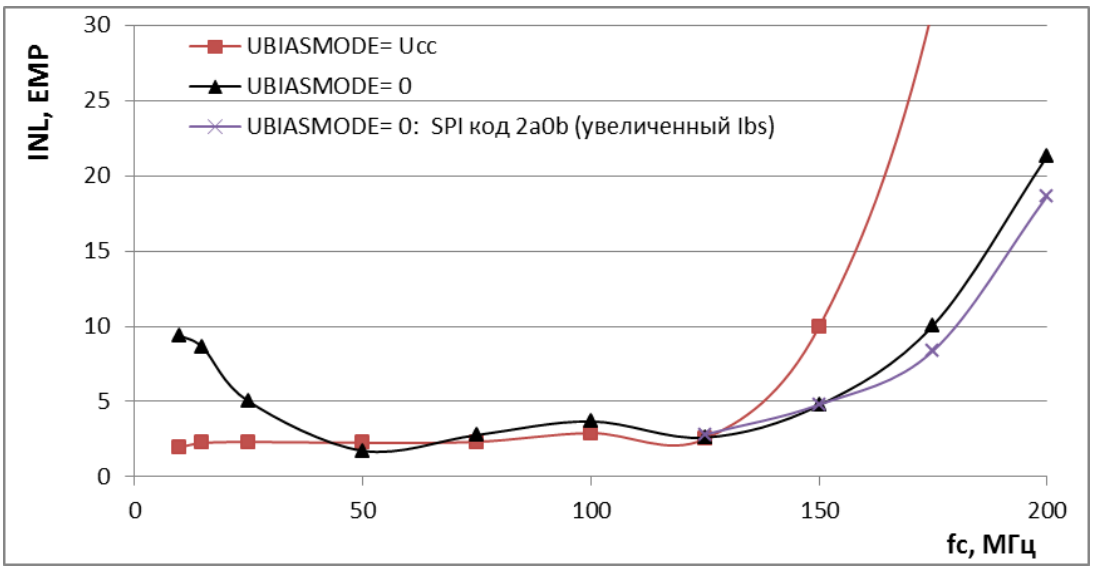
Рисунок 15 – Зависимости DNL от тактовой частоты f_C



а) при разных U_{CC} и BIASMODE = U_{CC}



б) при разных U_{CC} и BIASMODE= 0



в) при разных токах смещения и U_{CC}=1,8 В

Рисунок 16 – Зависимости INL от тактовой частоты f_C

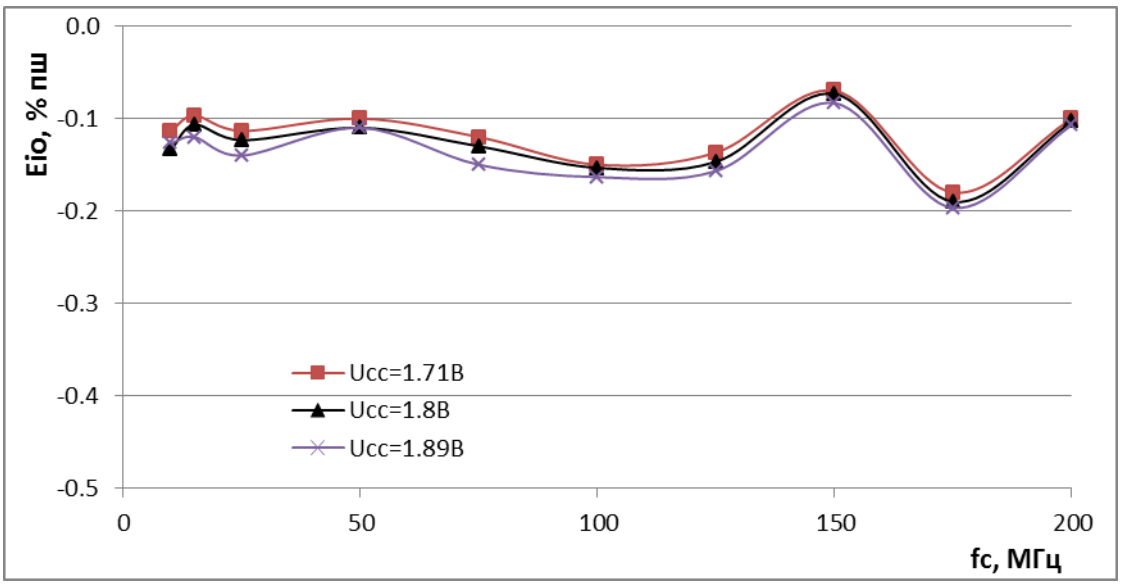


Рисунок 17 – Зависимости смещения нуля E_{IO} от тактовой частоты f_C при $U_I = 0$; BIASMODE = 0 и U_{CC} и разных U_{CC}

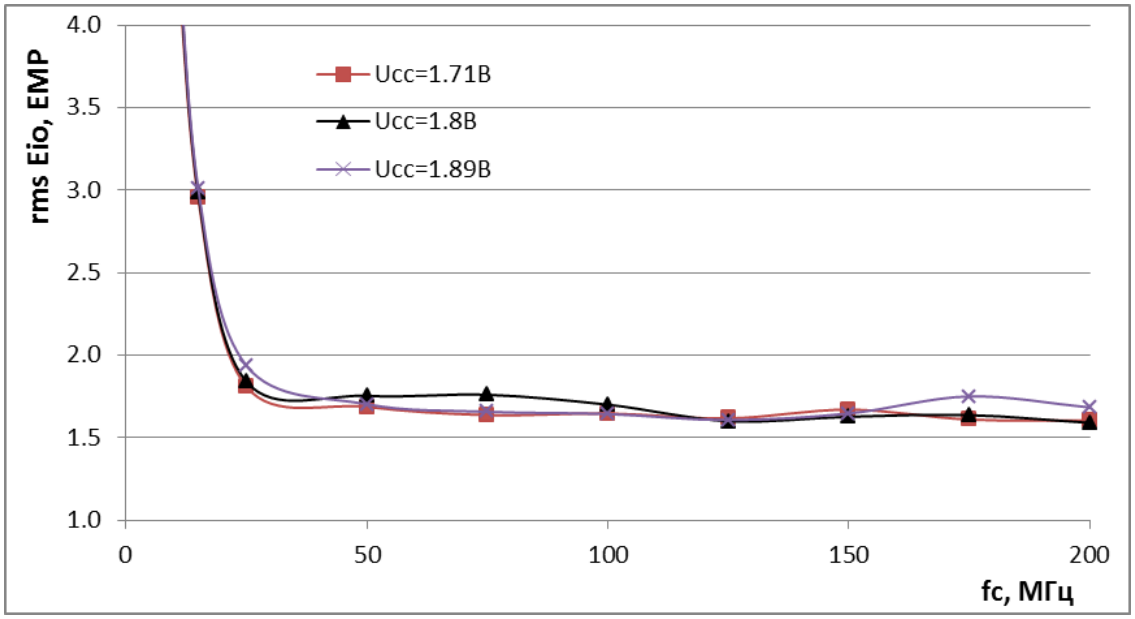
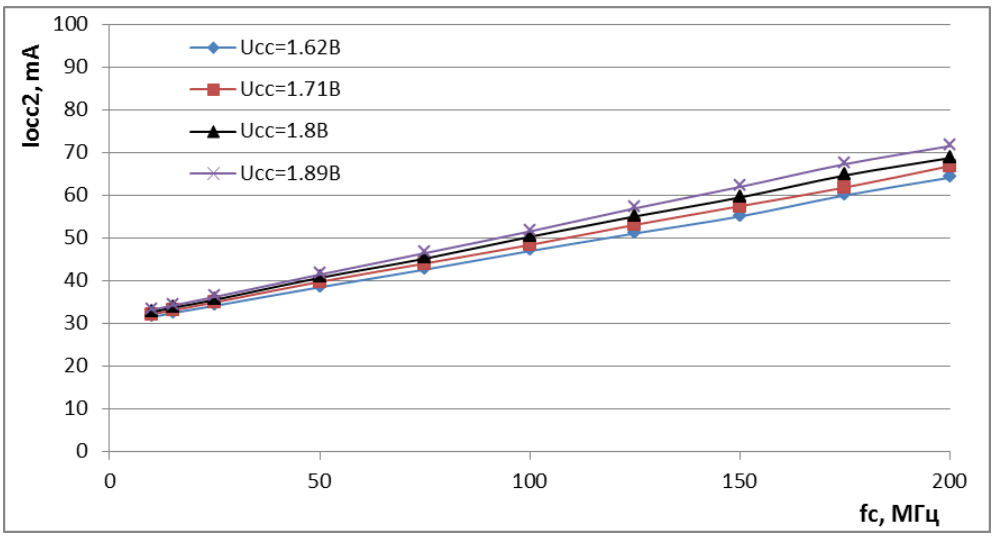
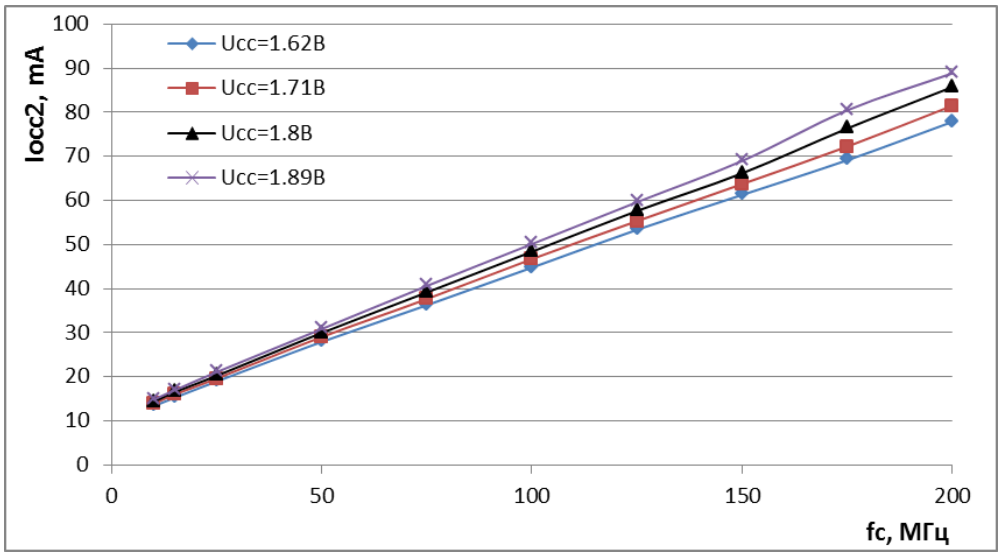


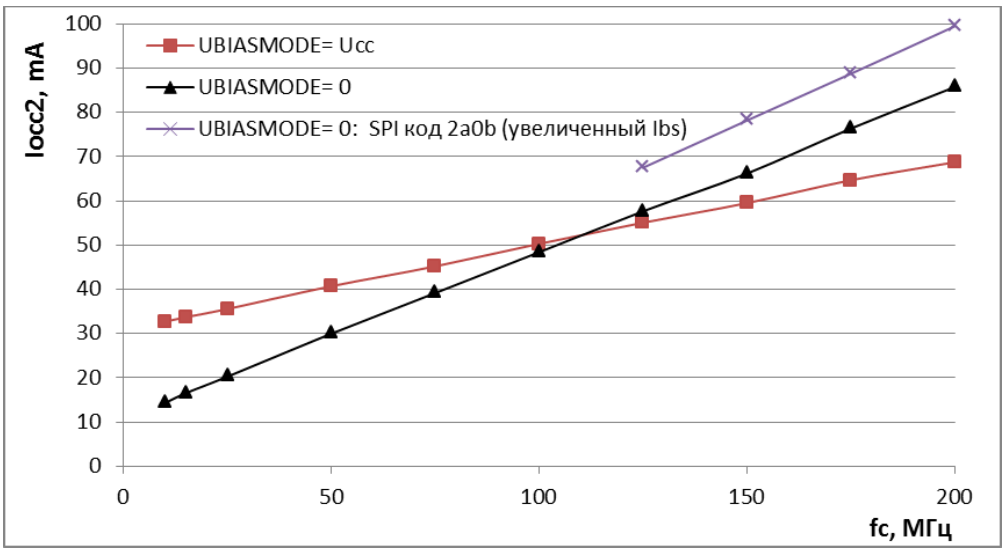
Рисунок 18 – Зависимости среднеквадратичной ошибки нуля от тактовой частоты f_C при $U_I = 0$; BIASMODE = 0 и разных U_{CC}



а) при разных U_{CC} и BIASMODE = U_{CC}



б) при разных U_{CC} и BIASMODE = 0



в) при разных токах смещения и U_{CC} = 1,8 В

Рисунок 19 – Зависимости динамического тока потребления I_{OCC2} от тактовой частоты f_C при U_I = 0 В

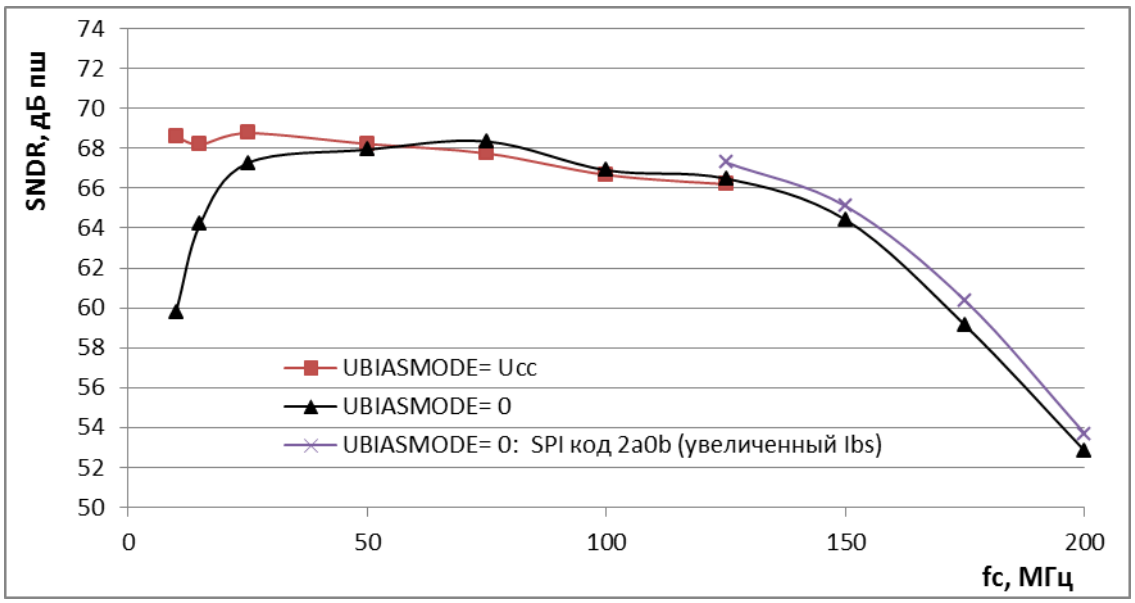


Рисунок 20 – Зависимости SNDR от тактовой частоты f_C
при f_I = 70 МГц и разных токах смещения

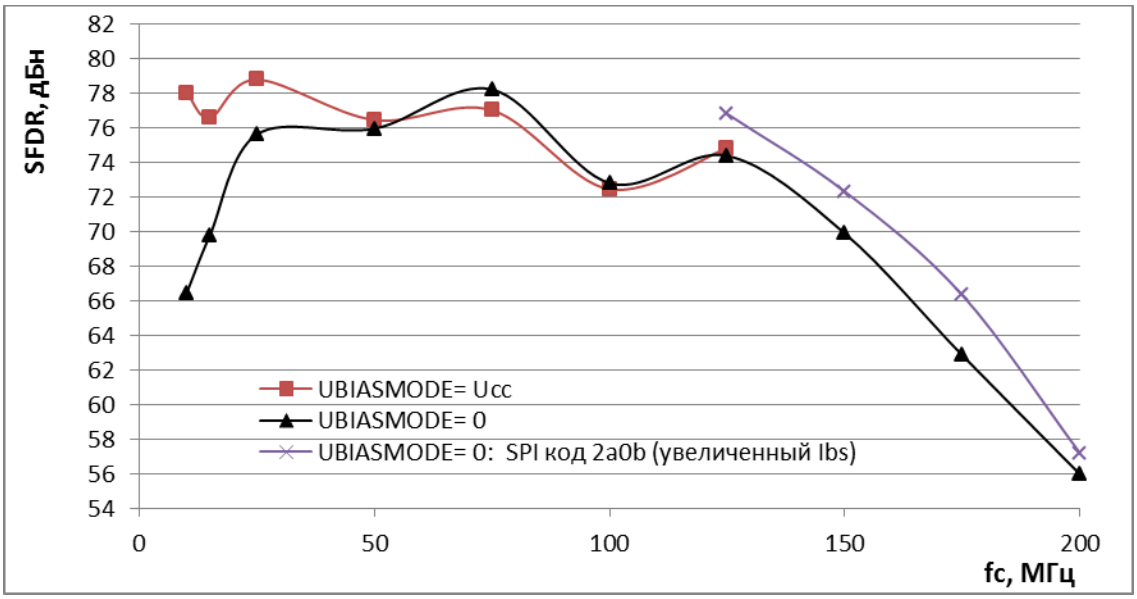


Рисунок 21 – Зависимости SFDR от тактовой частоты f_C
при f_I = 70 МГц и разных токах смещения

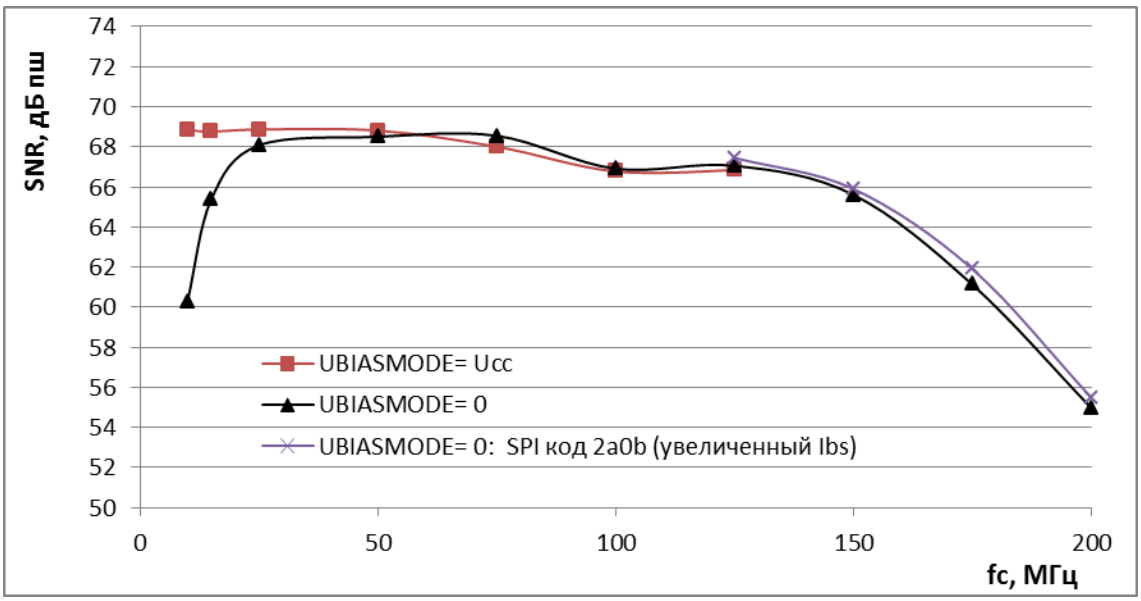


Рисунок 22 – Зависимости SNR от тактовой частоты f_C
при f_I = 70 МГц и разных токах смещения

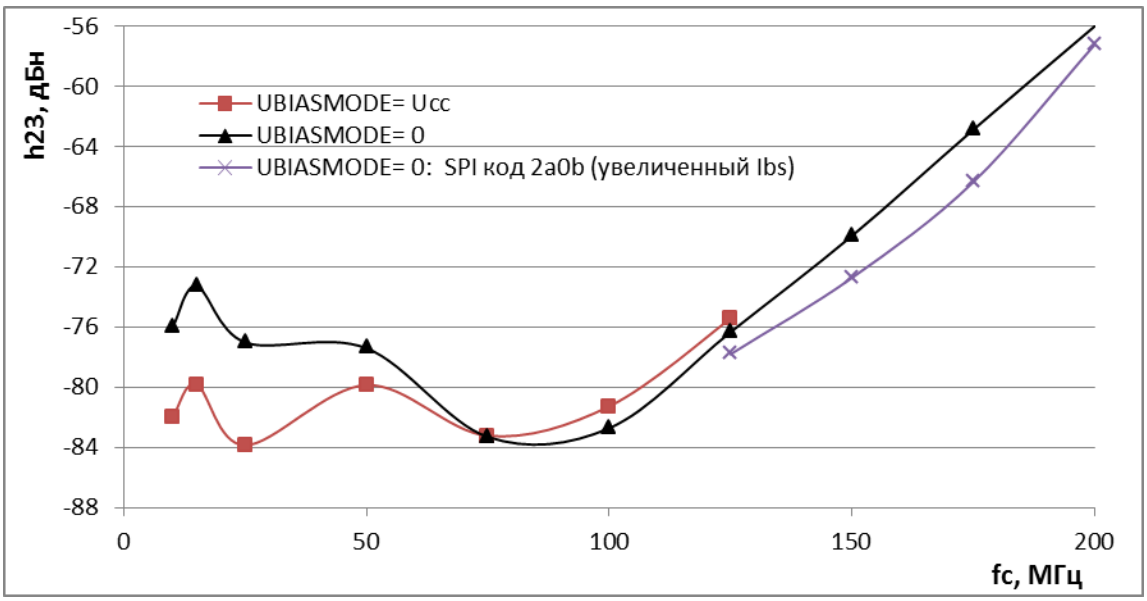
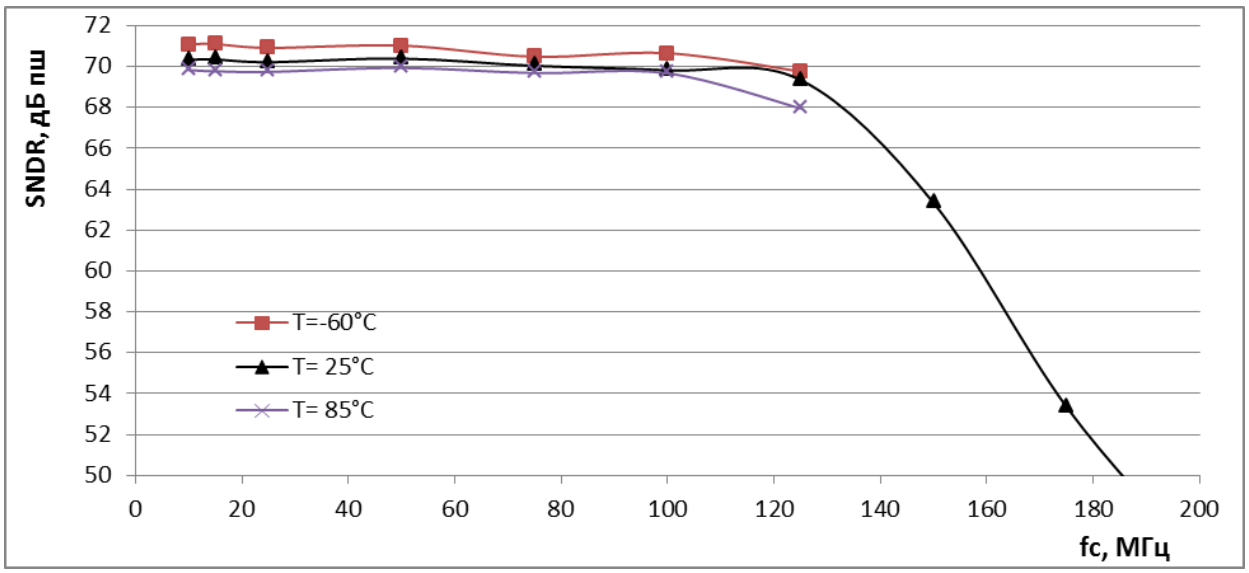
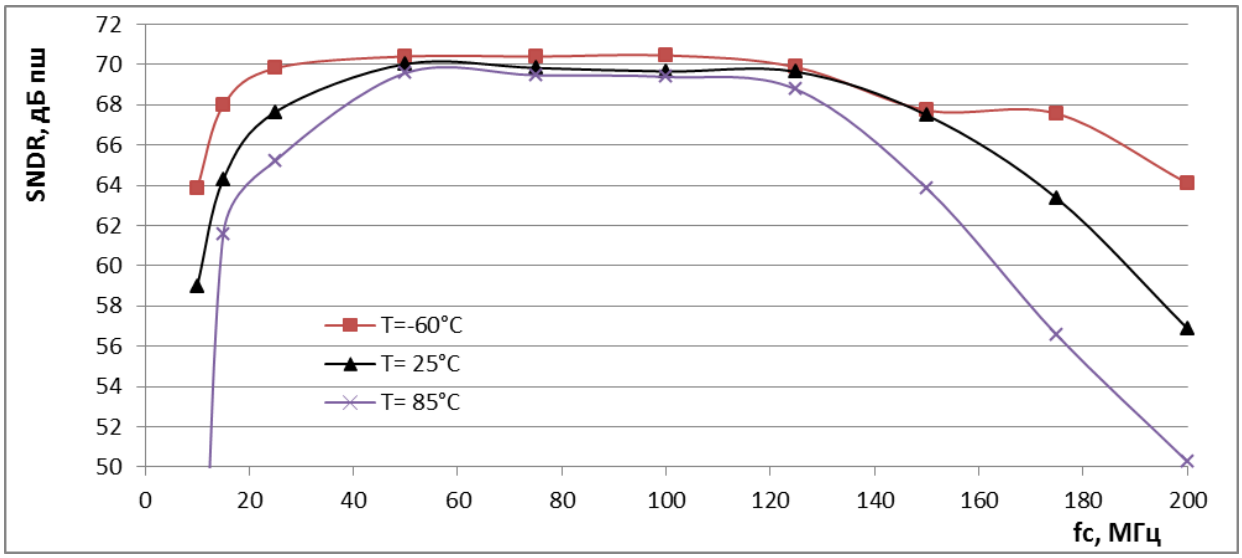


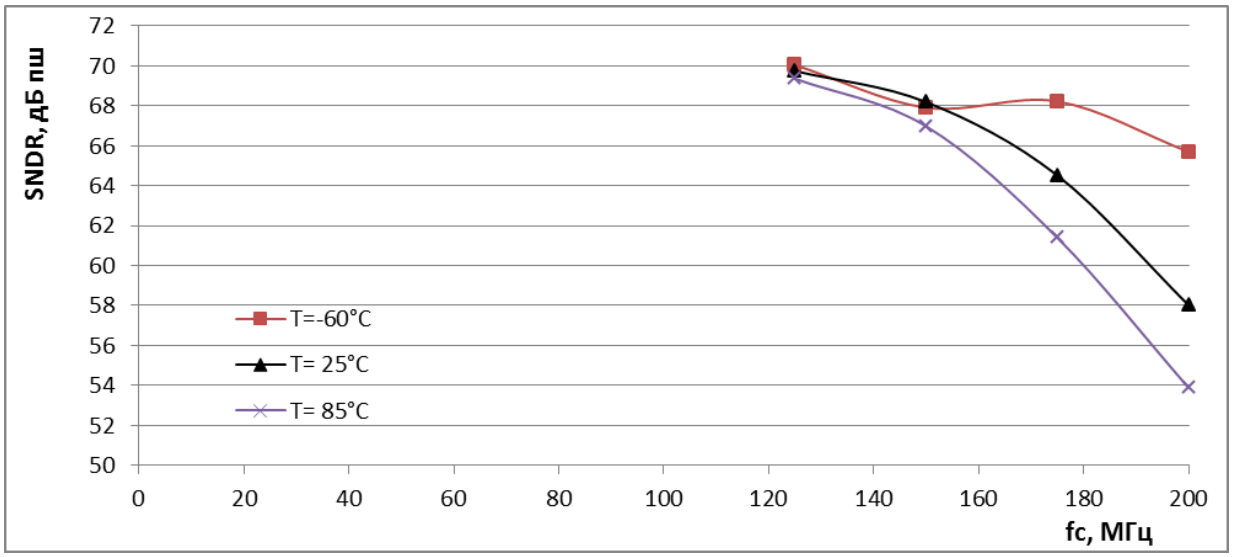
Рисунок 23 – Зависимости наибольшей из 2 и 3 гармоник от тактовой частоты f_C
при f_I = 70 МГц и разных токах смещения



а) для BIASMODE= U_{CC}

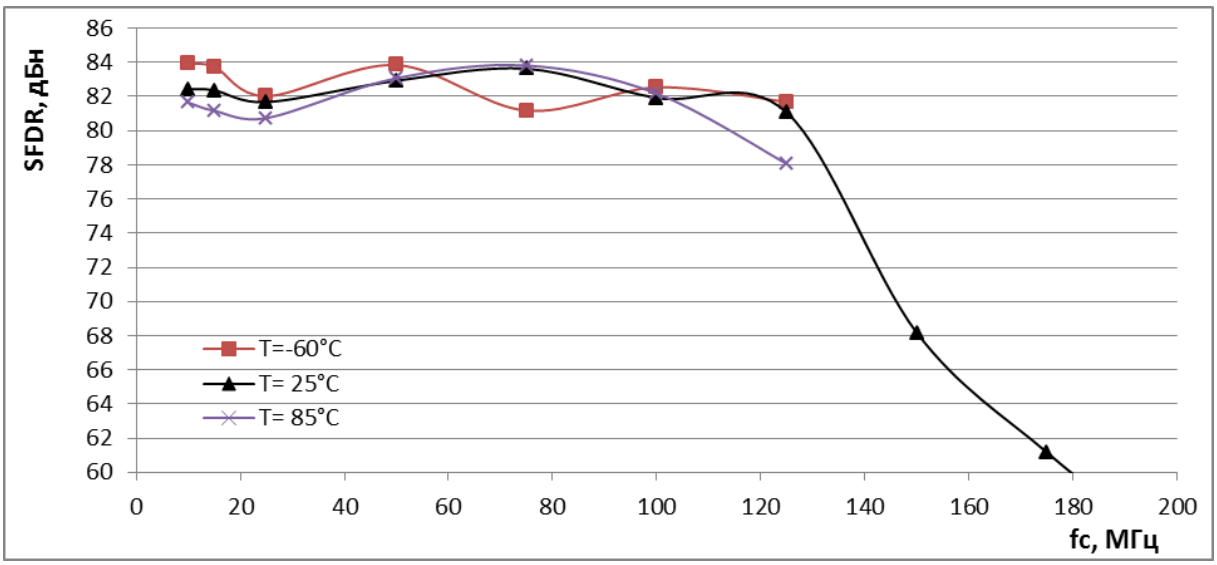


б) для BIASMODE= 0

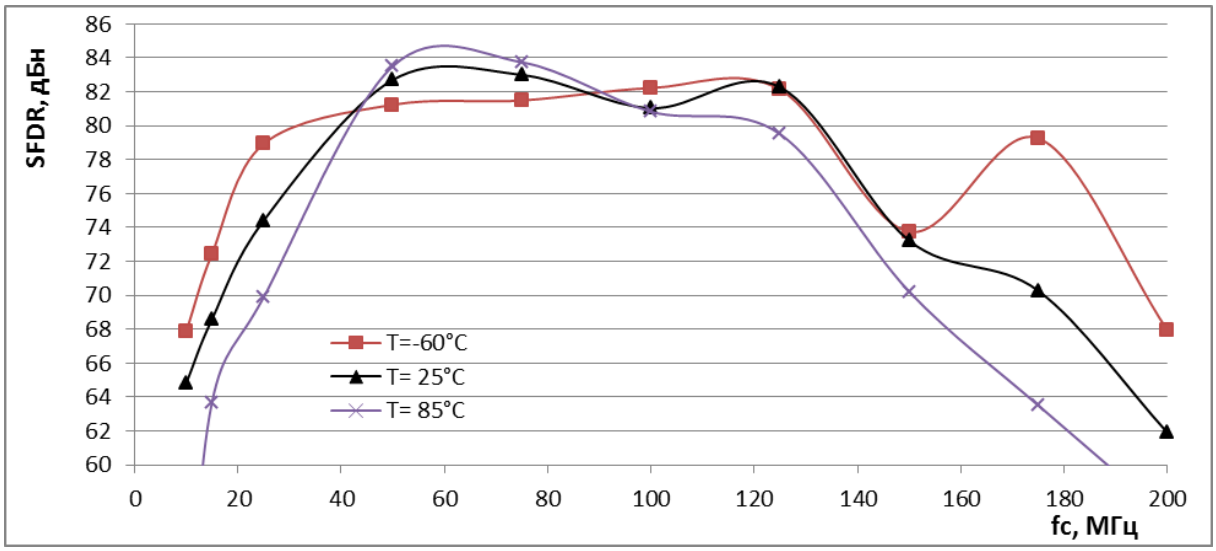


в) для BIASMODE= 0 и SPI кода 2a0b

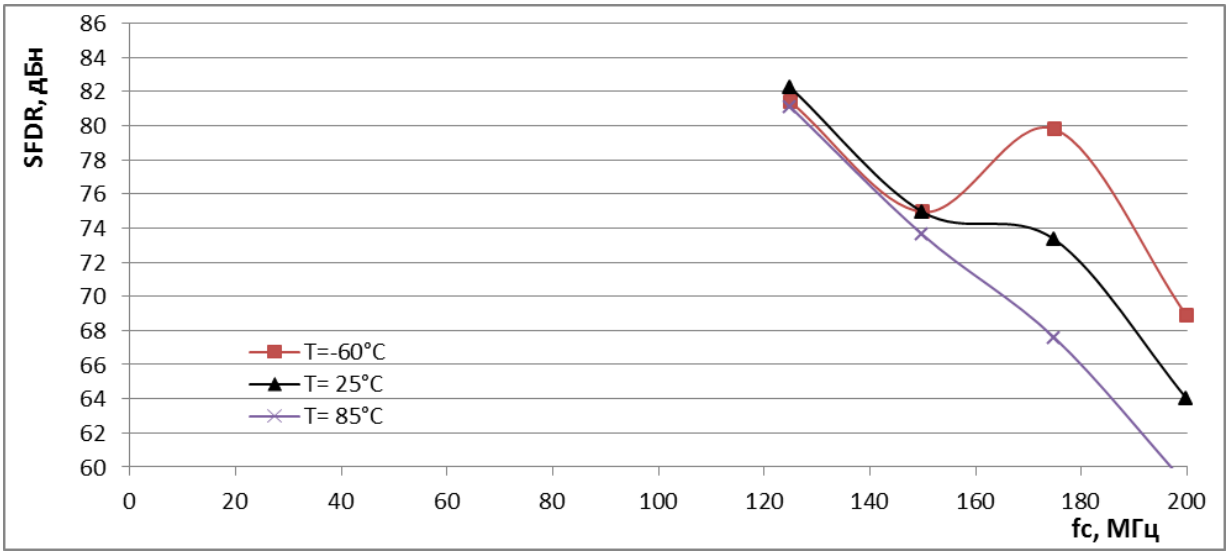
Рисунок 24 – Зависимости SNDR от тактовой частоты f_C при разных температурах



а) для BIASMODE = U_{CC}

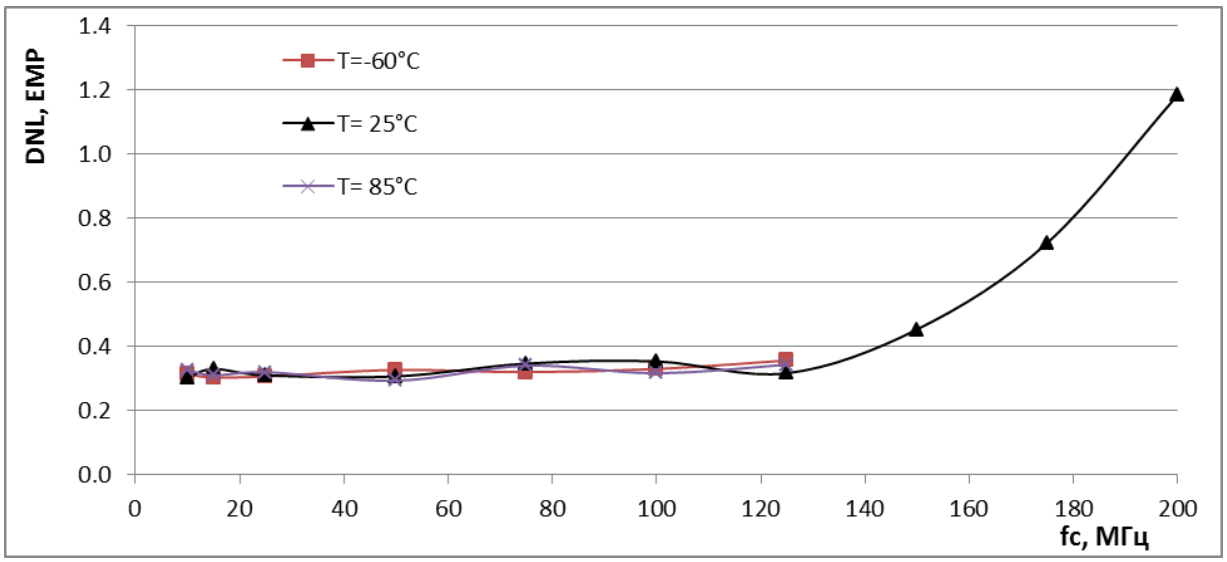


б) для BIASMODE = 0

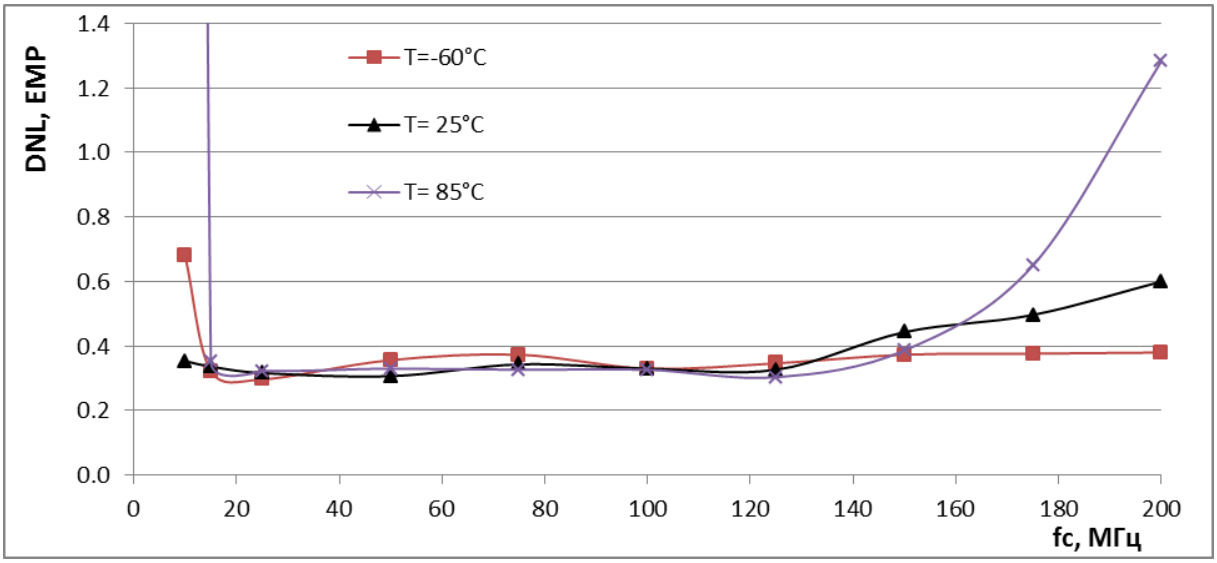


в) для BIASMODE = 0 и SPI кода 2a0b

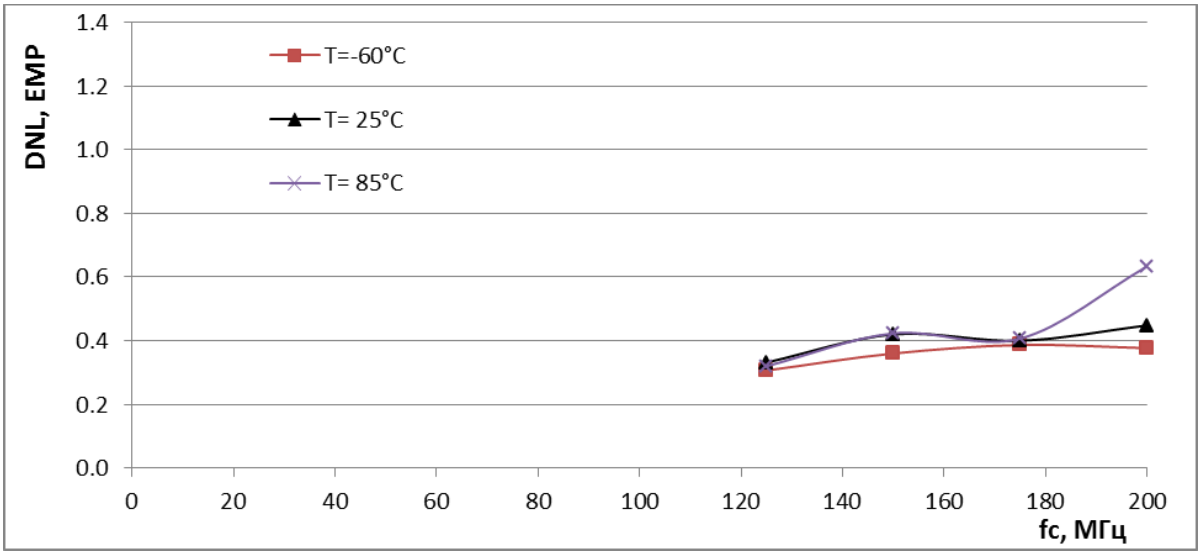
Рисунок 25 – Зависимости SFDR от тактовой частоты f_C при разных температурах



а) для BIASMODE= U_{CC}

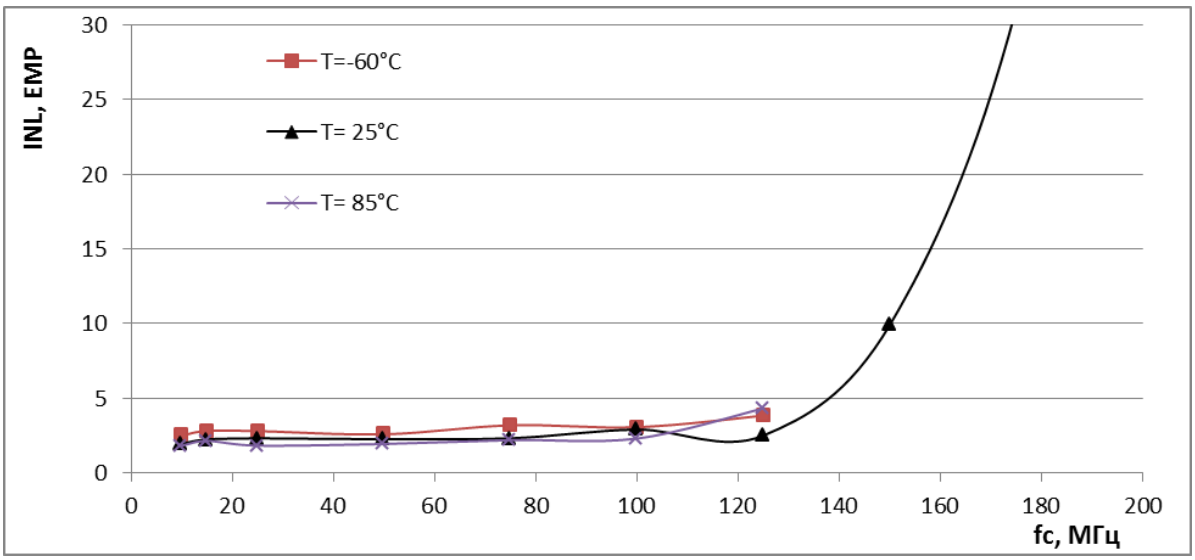


б) для BIASMODE= 0

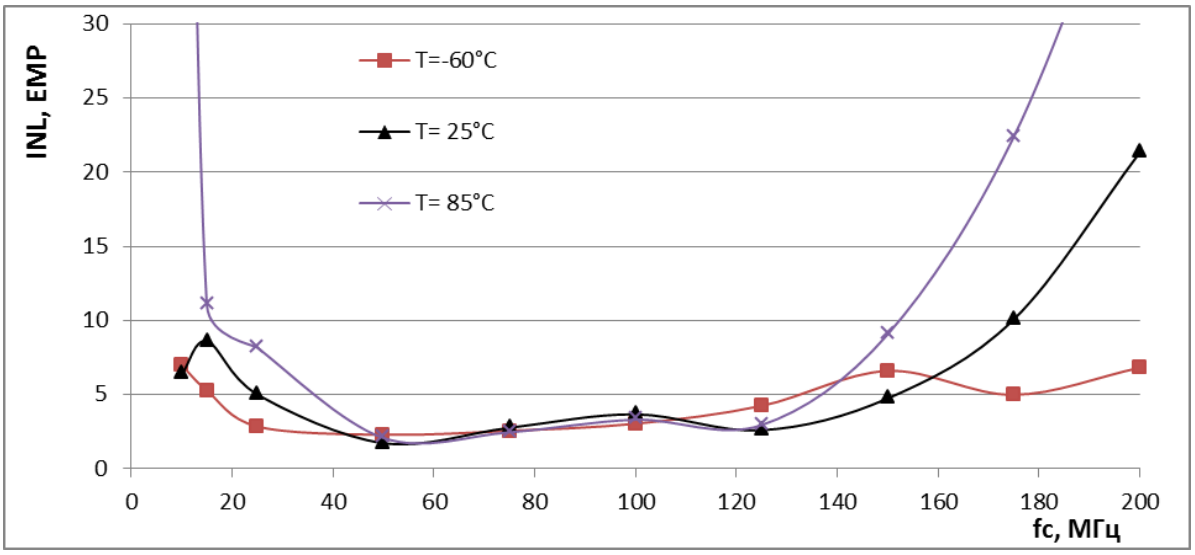


в) для BIASMODE= 0 и SPI кода 2a0b

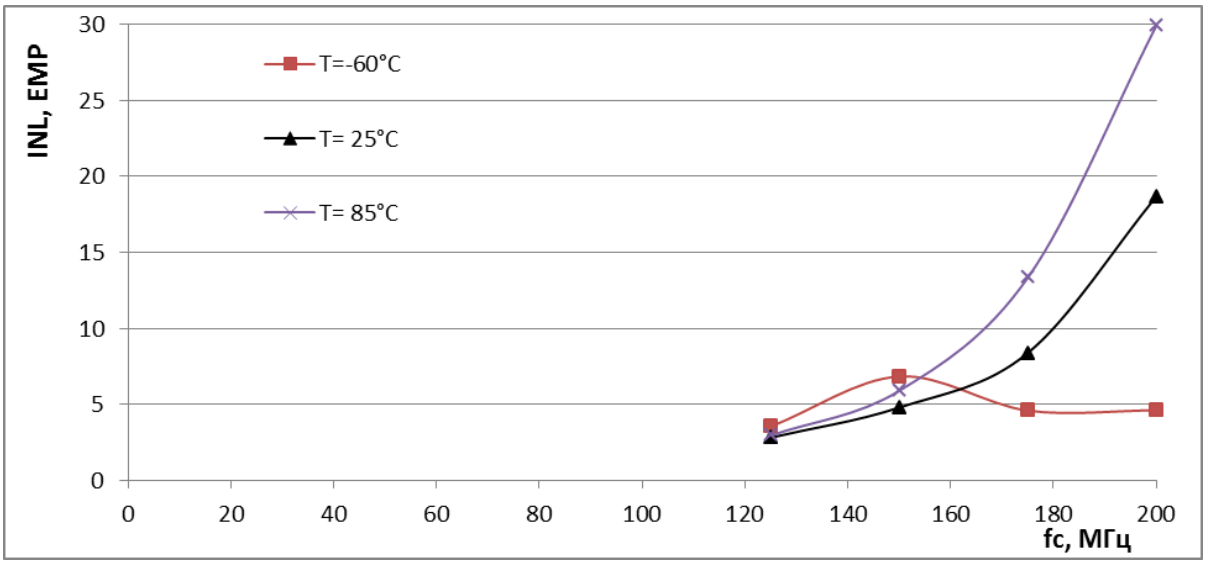
Рисунок 26 – Зависимости DNL от тактовой частоты f_C при разных температурах



а) для BIASMODE = U_{CC}



б) для BIASMODE = 0



в) для BIASMODE = 0 и SPI кода 2a0b

Рисунок 27 – Зависимости INL от тактовой частоты f_C при разных температурах

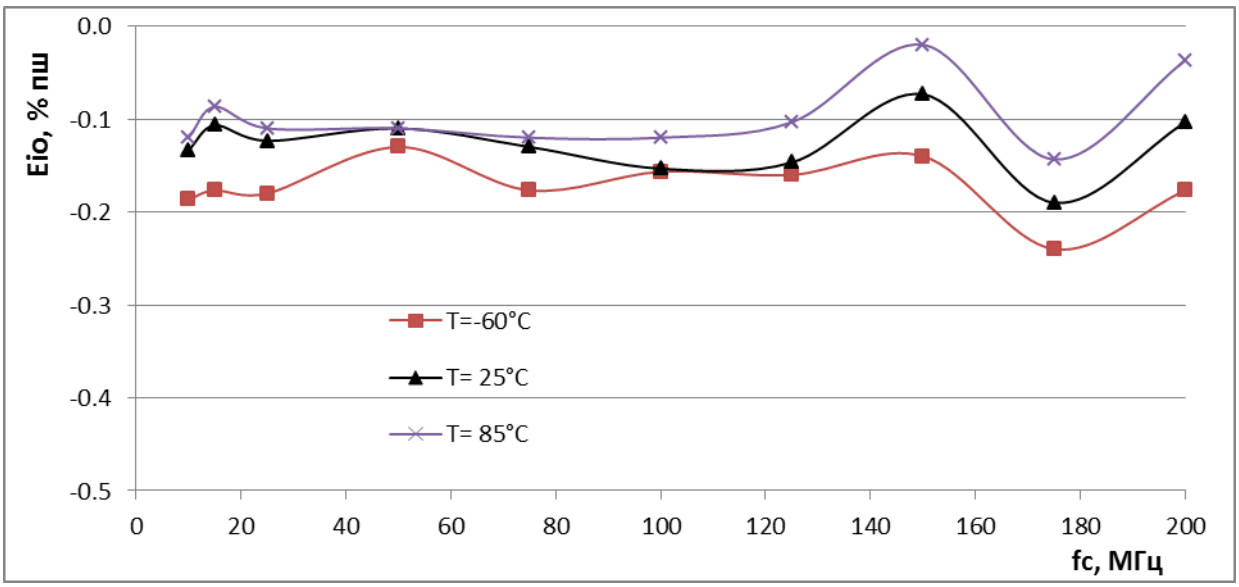


Рисунок 28 – Зависимости смещения нуля U_{IO} от тактовой частоты f_C при разных температурах для BIASMODE = 0 и U_{CC}

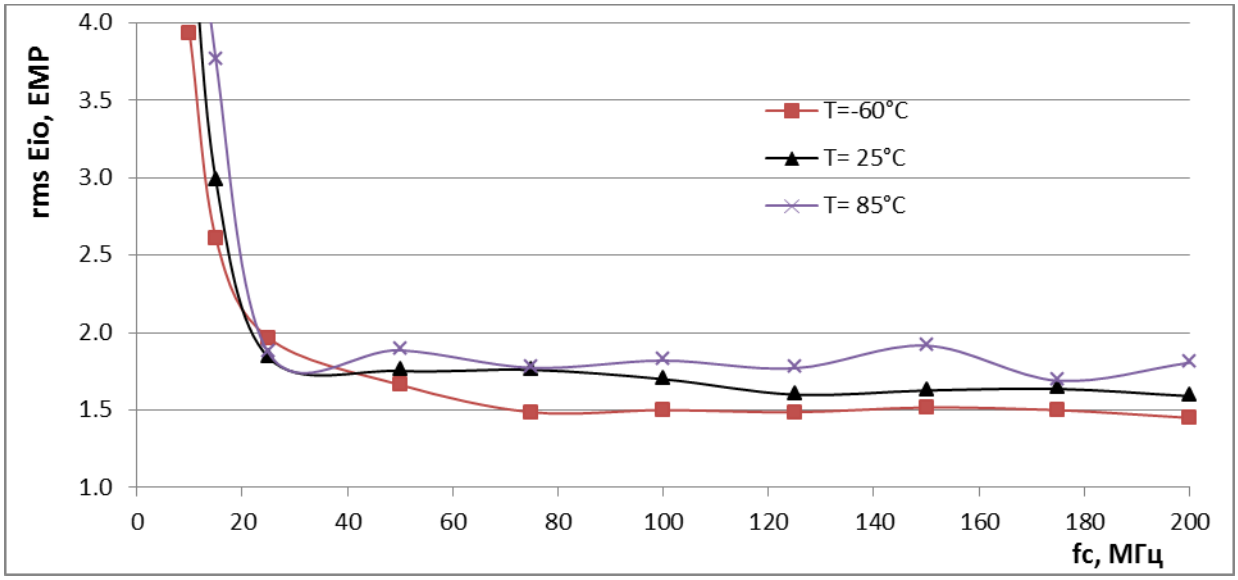
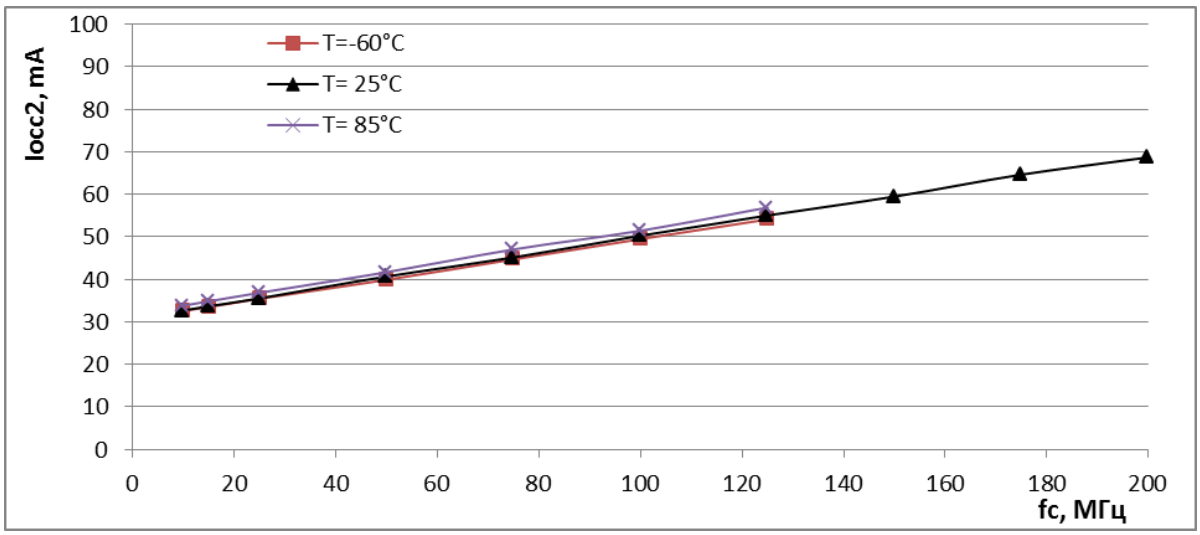
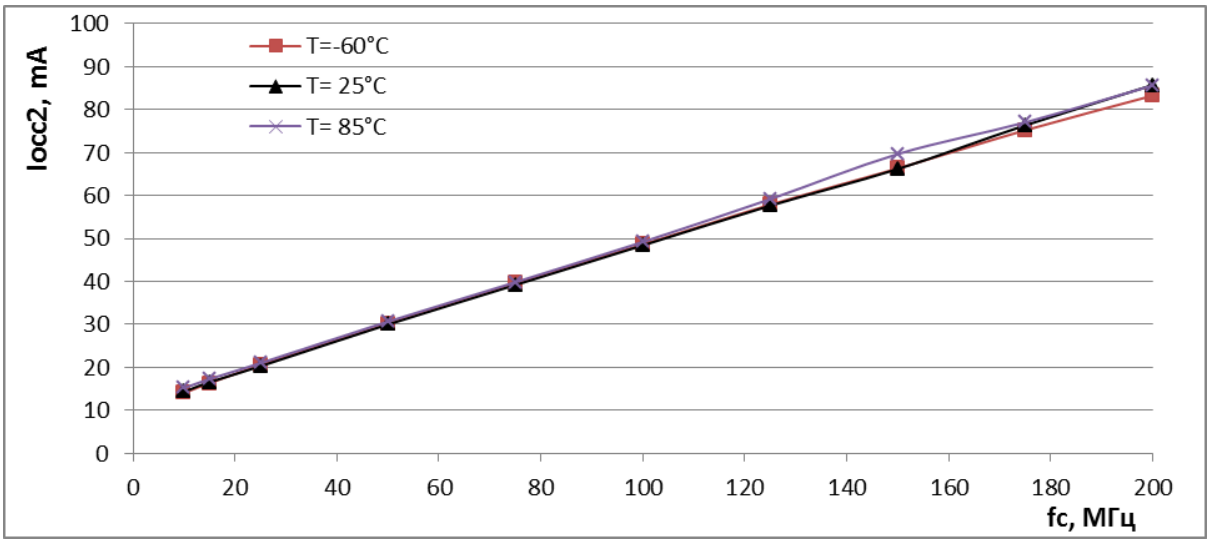


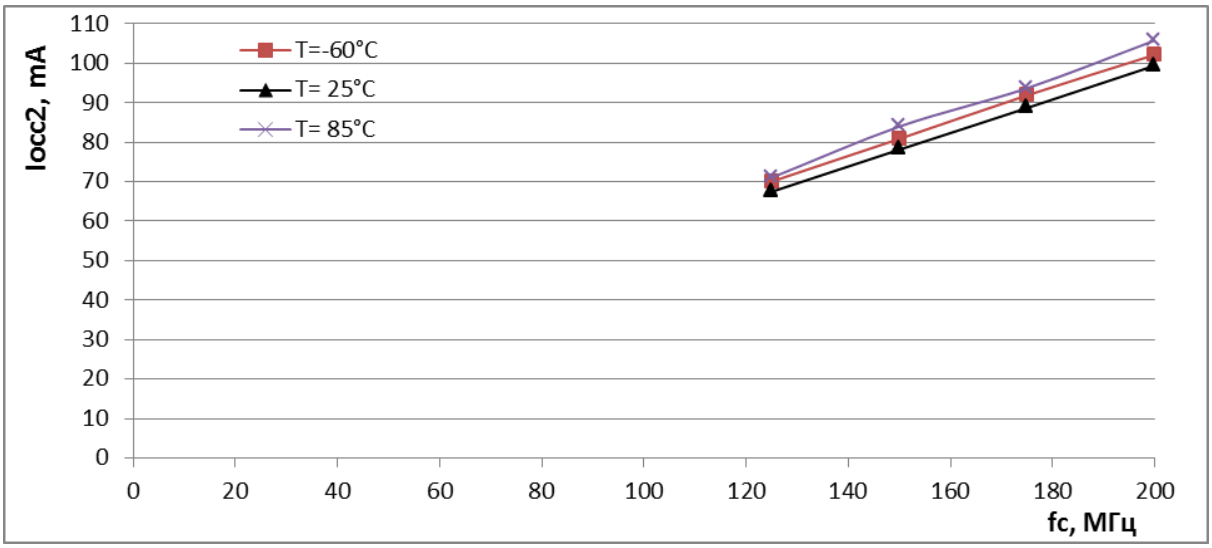
Рисунок 29 – Зависимости среднеквадратичной ошибки нуля от тактовой частоты f_C при разных температурах для BIASMODE = 0



а) для BIASMODE = U_{CC}

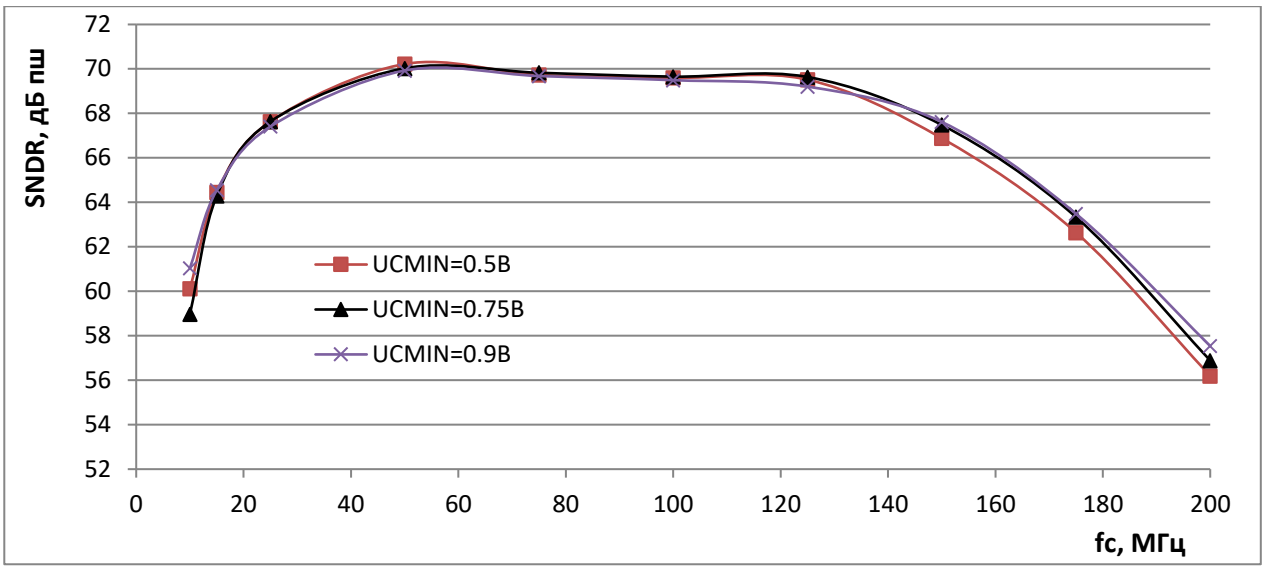


б) для BIASMODE = 0

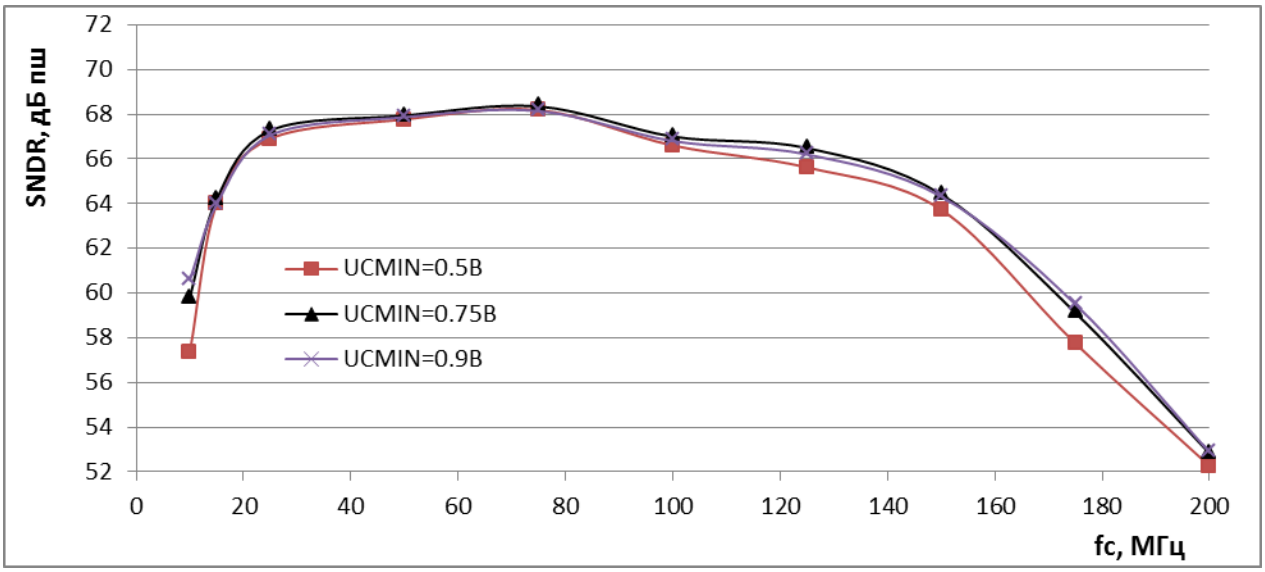


в) для BIASMODE = 0 и SPI кода 2a0b

Рисунок 30 – Зависимости динамического тока потребления I_{OCC2} от тактовой частоты f_C при U_I = 0 В и разных температурах

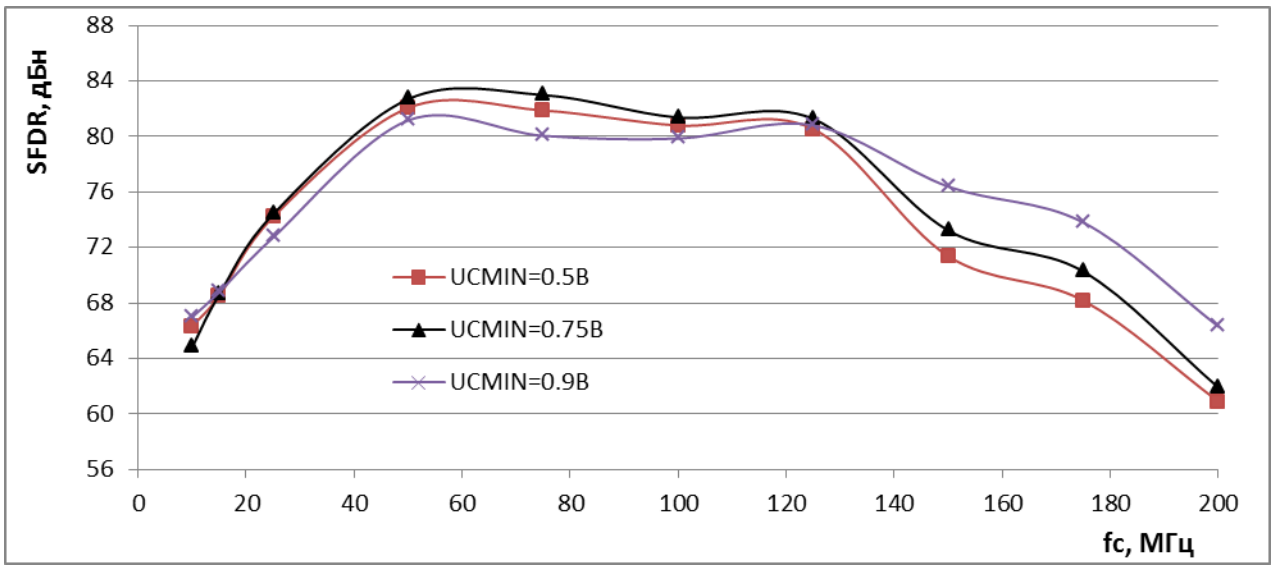


а) при f_I = 10 МГц

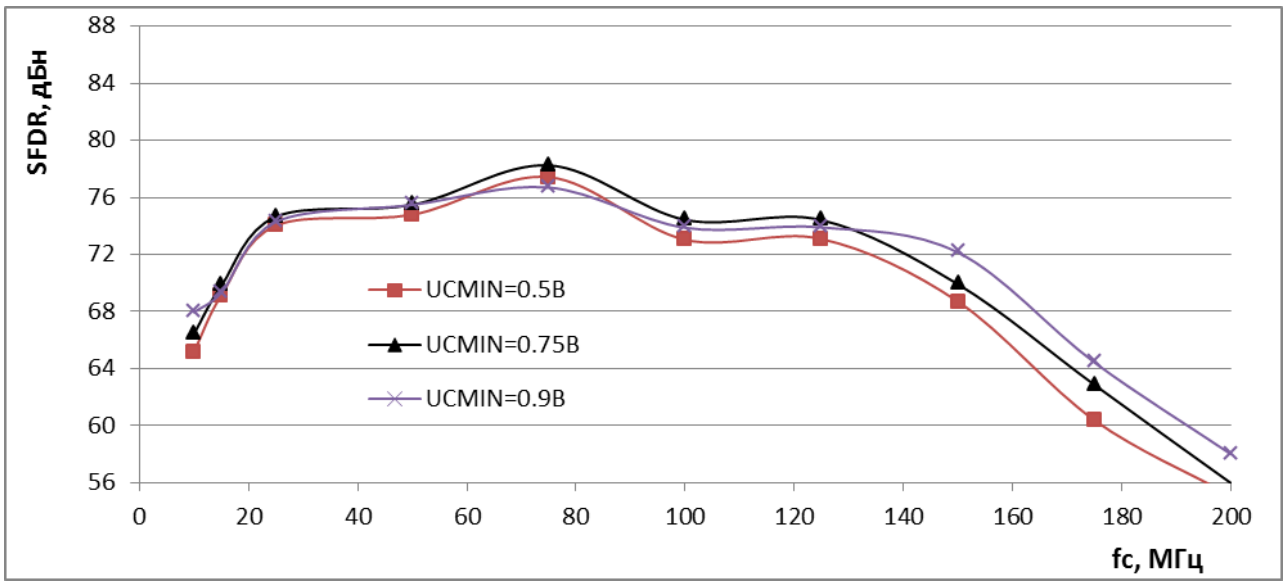


б) при f_I = 70 МГц

Рисунок 31 – Зависимости SNDR от тактовой частоты f_C
при разных синфазных уровнях входного сигнала (U_{CMIN}) для BIASMODE = 0



а) при f_I = 10 МГц



б) при f_I = 70 МГц

Рисунок 32 – Зависимости SFDR от тактовой частоты f_C
при разных синфазных уровнях входного сигнала для BIASMODE = 0

10 Габаритный чертеж микросхемы

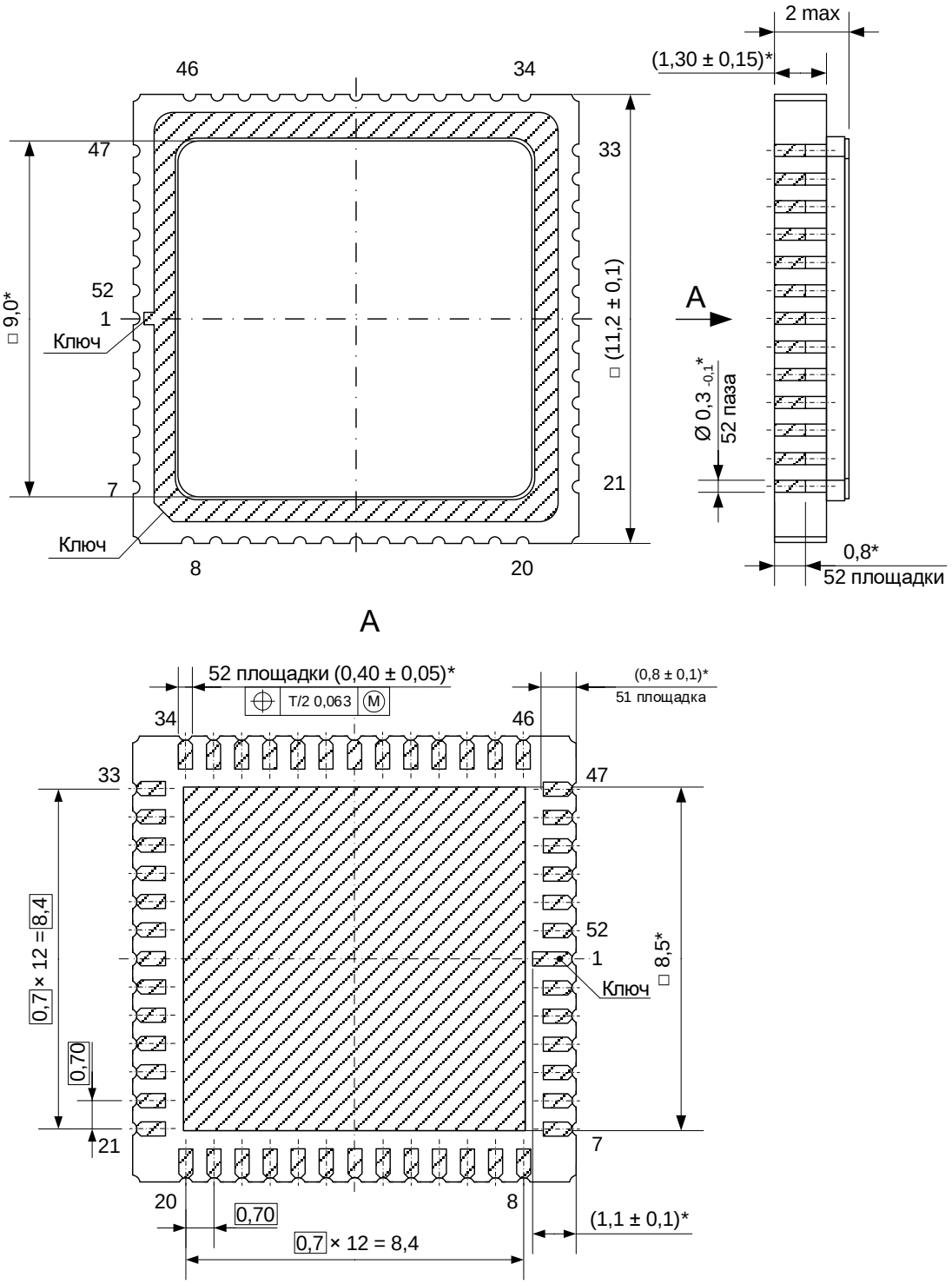


Рисунок 33 – Микросхема в корпусе 5152.52-3 К

11 Информация для заказа

Обозначение	Маркировка	Тип корпуса	Температурный диапазон, °С
К5101НВ015	51085	5152.52-3 К	от – 60 до 85

Условное обозначение микросхем при заказе в договоре на поставку и в конструкторской документации другой продукции должно состоять из:

- наименование изделия – микросхема;
- обозначения типа (типономинала);
- обозначения технических условий ТСКЯ.431000.002ТУ;
- обозначения спецификации ТСКЯ.431324.029СП.

Пример обозначения микросхем:

Микросхема К5101НВ015 – ТСКЯ.431000.002ТУ, ТСКЯ.431324.029СП.

Лист регистрации изменений

№ п/п	Дата	Версия	Краткое содержание изменения	№№ изменяемых листов
1	04.03.2025	1.0.0	Введена впервые	
2	10.03.2026	1.0.1	Добавлены значения массы и теплового сопротивления	1