

Ошибки в микросхемах K1986BK01GI

Настоящий документ содержит описание всех ошибок, выявленных в микросхемах K1986BK01GI на момент создания данной версии документа.

Статус документа

Настоящий документ является НЕКОНФИДЕНЦИАЛЬНЫМ.

Адрес в сети Интернет

<http://www.milandr.ru>

Обратная связь по продукту

Если у Вас есть какие-либо комментарии или предложения по данному продукту, свяжитесь с Вашим поставщиком, указав:

- название продукта;
- комментарии, либо краткое описание Ваших предложений;
- предпочтительный способ связи с Вами и контакты (организация, электронная почта, номер телефона).

Обратная связь по документу

Если у Вас есть какие-либо комментарии или предложения по данному документу, пожалуйста, пришлите их на электронную почту support@milandr.ru, указав:

- название документа;
- номер и/или дата документа;
- номер страницы;
- комментарии, либо краткое описание Ваших предложений;
- предпочтительный способ связи с Вами и контакты (организация, электронная почта, номер телефона).

Оглавление

Обзор.....	4
Категории ошибок	4
Сводная таблица ошибок	5
Ошибки категории 2.....	7
2002 Некорректная работа блока HRPWM2	7
2005 Нестабильность работы встроенного регулятора LLDO	8
2008 Выводы каналов АЦП работают на выход	9
2009 Отключения генератора LSE при отсутствии питания VLLDO	10
Ошибки категории 3.....	11
3001 Ошибка чтения бита CMP_CLREN регистра COMP_CNTR	11
3004 В режимах UART0+JA и UART0+JB в сообщении об ошибке не отправляется символ типа ошибки	12
3005 Загрузчик отключает интерфейс JTAG_V при выборе параллельной организации ECC для режима EXTBUS_CFG+JB	13
3006 Некорректная логика настройки функций DACx_SYNC.....	14
3007 В режимах UART0+JA и UART0+JB некорректно отправляется код команды CMD_RUN ('R')	15
3008 Переполнение счетчика ошибок RX_ERR_CNT контроллера CAN	16
3009 Инверсия сигнала аварии comp_prot (nTZx_INT)	17
3010 Зависание DMA при обработке запросов от шлюза GATE.....	18
3011 Сигналы межпроцессорной синхронизации формируются только от CPUA	19
3012 Запрос программного сброса SYS_RESET_REQ не выполняется при формировании ядром CPUB	20
3013 Ошибка чтения слова из OTP при значении поля DELAY_20NS, отличном от нуля.....	21
3014 Загрузчик временно отключает интерфейс JTAG_V после сброса при работе в режиме DUALCORE.....	22
3015 Невозможность чтения памяти Flash при WAITCYCLE = 0x0 при обращении по АНВ-шине.....	23
3016 Несоответствие циклов ожидания при обращении к памяти Flash по АНВ-шине при WAITCYCLE = 0xA.....	24
Лист регистрации изменений	25

Обзор

Настоящий документ содержит описание ошибок в продукте с указанием категории критичности. Каждое описание содержит:

- уникальный идентификатор ошибки;
- текущий статус ошибки;
- где существует отклонение от спецификации и условия, при которых возникает ошибка;
- последствия возникновения ошибки в типичных применениях;
- ограничения, рекомендации и способы обхода ошибки, где это возможно.

Категории ошибок

Ошибки разделены на три категории критичности:

Категория 1.

Ошибочное поведение, которое невозможно обойти. Ошибки данной категории серьезно ограничивают использование продукта во всех или в большинстве приложений, что делает устройство непригодным для использования.

Категория 2.

Ошибочное поведение, которое противоречит требуемому поведению. Ошибки данной категории могут ограничивать или серьезно ухудшать целевое использование указанных функций, но не делают продукт непригодным для использования во всех или в большинстве приложений.

Категория 3.

Ошибочное поведение, которое не было изначально определено, но не вызывает проблем в приложениях при соблюдении рекомендаций.

Сводная таблица ошибок

В таблице указывается, в каких версиях микросхем присутствует ошибка. Наличие ошибки обозначено символом “X”.

Версия микросхем определяется датой изготовления, указанной на крышке корпуса микросхемы в формате ГГНН, где ГГ – год изготовления, НН – неделя изготовления.

ID	Описание	Микросхемы, изготавливаемые с даты		
		2116		
Категория 1				
Категория 2				
2002	Некорректная работа блока HRPWM2	X		
2005	Нестабильность работы встроенного регулятора LLDO	X		
2008	Выводы каналов АЦП работают на выход	X		
2009	Отключения генератора LSE при отсутствии питания VLLDO	X		
Категория 3				
3001	Ошибка чтения бита CMP_CLREN регистра COMP_CNTR	X		
3004	В режимах UART0+JA и UART0+JB в сообщении об ошибке не отправляется символ типа ошибки	X		
3005	Загрузчик отключает интерфейс JTAG_B при выборе параллельной организации ECC для режима EXTBUS_CFG+JB	X		
3006	Некорректная логика настройки функций DACx_SYNC	X		
3007	В режимах UART0+JA и UART0+JB некорректно отправляется код команды CMD_RUN ('R')	X		
3008	Переполнение счетчика ошибок RX_ERR_CNT контроллера CAN	X		
3009	Инверсия сигнала аварии comp_prot (nTZx_INT)	X		
3010	Зависание DMA при обработке запросов от шлюза GATE	X		
3011	Сигналы межпроцессорной синхронизации формируются только от CPUA	X		
3012	Запрос программного сброса SYS_RESET_REQ не выполняется при формировании ядром CPUB	X		
3013	Ошибка чтения слова из OTP при значении поля DELAY_20NS, отличном от нуля	X		

ID	Описание	Микросхемы, изготавливаемые с даты		
		2116		
3014	Загрузчик временно отключает интерфейс JTAG_V после сброса при работе в режиме DUALCORE	X		
3015	Невозможность чтения памяти Flash при WAITCYCLE = 0x0 при обращении по АНВ-шине	X		

Ошибки категории 2

2002 Некорректная работа блока HRPWM2

Статус

Будет исправлено в следующей версии продукта.

Описание

Выход блока HRPWM2 всегда выдает высокий уровень вне зависимости от сигнала на входе блока.

Условия и причина

Всегда.

Последствия

Невозможность реального использования блока HRPWM2.

Рекомендации и способы обхода

Учитывать при разработке аппаратуры.

2005 Нестабильность работы встроенного регулятора LLDO

Статус

Будет исправлено в следующей версии продукта.

Описание

При максимальных частотах работы микропроцессора на выводе VLLDO может наблюдаться генерация напряжения питания цифровой части 1,2 В.

Для устойчивой работы регулятора LLDO наиболее оптимальным является значение тримминга 3'b101 (TRIM_Vcc1p6) при VHLDO = 1,45 В, что создает достаточное удаление от зоны возбуждения при тримминге более 3'b000 и VHLDO > 1,6 В, а также достаточное удаление от зоны насыщения при тримминге 3'b111 и VHLDO = 1,35 В.

Условия и причина

Всегда.

Последствия

Ухудшение характеристик аналоговых блоков, например, АЦП.

Рекомендации и способы обхода

В поле TRIM_Vcc1p6 регистра REG_61_PWR записать значение равное 3'b101.

2008 Выводы каналов АЦП работают на выход

Статус

Будет исправлено в следующей версии продукта.

Описание

При подаче напряжения питания выводы, отвечающие за функции входных каналов АЦП (PORTC), кратковременно (T_{PORSTn}) работают на выход с выдачей уровня напряжения питания, соответствующего АЦП.

В режиме STANDBY выводы каналов АЦП также работают на выход с выдачей напряжения питания, соответствующего АЦП.

При выключении питания выводы каналов АЦП кратковременно работают на выход с выдачей уровня напряжения питания, соответствующего АЦП.

Условия и причина

Всегда при отсутствии внутреннего питания VLLDO и наличии внешнего питания АЦП V_{CC_ADCx} .

Последствия

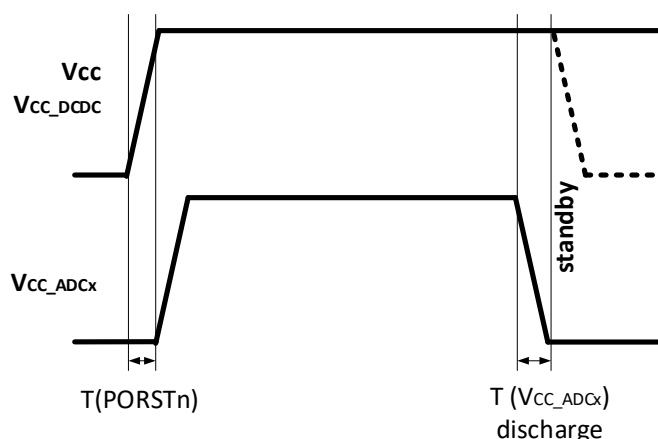
Необходимо учитывать при подключении внешних элементов схемы.

Рекомендации и способы обхода

- 1 Если АЦП не используется, не подавать напряжение питания АЦП V_{CC_ADCx} .
- 2 Если АЦП используется, то питание АЦП V_{CC_ADC} задавать позже, чем основное питание V_{CC} и V_{CC_DCDC} , на T_{PORSTn} (> 20 мс).

Перед выключением основного питания V_{CC} и V_{CC_DCDC} снять питание АЦП V_{CC_ADCx} и дождаться момента полной разрядки.

При переходе в режим STANDBY снимать напряжение питания АЦП с микроконтроллера аналогично порядку снятия основного питания.



2009 Отключения генератора LSE при отсутствии питания VLLDO

Статус

Будет исправлено в следующей версии продукта.

Описание

Если задано питание V_{CC_VKP} , то при отключении питания VLLDO блок LSE выключается.

Условия и причина

Всегда при отключении питания VLLDO, если задано V_{CC_VKP} .

Последствия

Невозможно тактировать блоки от LSE в режиме STANDBY. При выходе из STANDBY LSE продолжает свою работу.

Отключение генератора LSE может вызвать срабатывание механизмов аппаратной защиты. Например, если для RTC перед переходом в STANDBY был выбран источник LSE, то при переходе в STANDBY в регистре RTC_CS_TMRx взводится флаг ошибки ERR_CC, сброс которого возможен только сбросом по питанию VKPRESETn, и из-за этого тактирование RTC аппаратно переводится на источник LSI.

Рекомендации и способы обхода

Учитывать при разработке аппаратуры.

Ошибки категории 3

3001 Ошибка чтения бита CMP_CLREN регистра COMP_CNTR

Статус

Будет исправлено в следующей версии продукта.

Описание

Бит CMP_CLREN регистра COMP_CNTR всегда считывается как «0», при этом при записи установка бита CMP_CLREN происходит, так как после CMP_CLREN = 1 флаг CMP_RES_IS2 при чтении регистра COMP_EVENT сбрасывается.

Условия и причина

Чтение бита CMP_CLREN регистра COMP_CNTR блока компаратора.

Последствия

Невозможно определить процедурой чтения состояние бита CMP_CLREN регистра COMP_CNTR блока компаратора.

Рекомендации и способы обхода

При чтении регистра на значение бита не полагаться. Если значение бита используется для последующего кода программы, осуществлять сохранение программно в ОЗУ микроконтроллера.

3004 В режимах UART0+JA и UART0+JB в сообщении об ошибке не отправляется символ типа ошибки

Статус

Будет исправлено в следующей версии продукта.

Описание

В режимах UART0+JA и UART0+JB при возникновении ошибки UART-загрузчик должен отправить сообщение об ошибке, состоящее из двух символов: 0x45 ('E') и символ типа ошибки. В результате ошибки в загрузочной программе символ типа ошибки не передается.

Условия и причина

Всегда.

Последствия

При возникновении ошибки UART-загрузчик отправляет только символ 0x45 ('E').

Рекомендации и способы обхода

Учитывать при разработке аппаратуры.

3005 Загрузчик отключает интерфейс JTAG_V при выборе параллельной организации ECC для режима EXTBUS_CFG+JB

Статус

Будет исправлено в следующей версии продукта.

Описание

При выборе 32-разрядной шины данных (CFG0 = 3) с параллельной организацией ECC (CFG1 = 3) для режима EXTBUS_CFG+JB (MODE[4:0] = 0_0101) загрузочная программа ошибочно отключает интерфейс JTAG_V.

Условия и причина

Выбор 32-разрядной шины данных с параллельной организацией ECC для режима EXTBUS_CFG+JB.

Последствия

В режиме EXTBUS_CFG+JB с использованием 32-разрядной шины данных и параллельной организацией ECC интерфейс отладки JTAG_V не доступен.

Рекомендации и способы обхода

Интерфейс JTAG_V может быть включен в пользовательской программе путем сброса бита DISABLE_JTAG в регистрах ВКР REG_60_TMRx.

3006 Некорректная логика настройки функций DACx_SYNC

Статус

Будет исправлено в следующей версии продукта.

Описание

При настройке выводов в функцию DACx_SYNC ожидается, что на этот же вывод пользователем будет задаваться внешний сигнал синхронизации DAC. Однако, это справедливо только для выводов PC[14] и PC[27] (см. таблицу).

Для всех остальных выводов в столбце «Вывод сигнала DACxSYNC» настройка в функцию DACx_SYNC производится через настройку функций выводов PC[14], PC[19], PC[23], PC[27], причем сами выводы сигнала DACx_SYNC должны быть сконфигурированы как цифровой вход (FUNC_0).

Таким образом, чтобы, например, настроить PC[30] в функцию DAC3_SYNC, необходимо для PC[30] настроить функцию PORT (FUNC_0) и для вывода PC[27] настроить функцию DACx_SYNC_en (FUNC_3).

Вывод сигнала DACxSYNC	Вывод настройки сигнала внешней синхронизации DACx_SYNC_en			
	PC[14] + FUNC_14	PC[19] + FUNC_3	PC[23] + FUNC_3	PC[27] + FUNC_3
PA[19] + FUNC_0		DAC0_SYNC		
PA[20] + FUNC_0		DAC1_SYNC		
PA[21] + FUNC_0		DAC2_SYNC		
PA[22] + FUNC_0		DAC3_SYNC		
PB[23] + FUNC_0			DAC0_SYNC	
PB[24] + FUNC_0			DAC1_SYNC	
PB[25] + FUNC_0			DAC2_SYNC	
PB[26] + FUNC_0			DAC3_SYNC	
PC[14] + FUNC_14	DAC0_SYNC			
PC[15] + FUNC_0	DAC1_SYNC			
PC[27] + FUNC_3				DAC0_SYNC
PC[28] + FUNC_0	DAC2_SYNC			DAC1_SYNC
PC[29] + FUNC_0	DAC3_SYNC			DAC2_SYNC
PC[30] + FUNC_0				DAC3_SYNC

Условия и причина

Всегда.

Последствия

Для возможности использования внешнего сигнала синхронизации DAC используется больше выводов, чем требуется (два вместо одного).

Рекомендации и способы обхода

Учитывать при разработке аппаратуры.

3007 В режимах UART0+JA и UART0+JB некорректно отправляется код команды CMD_RUN ('R')

Статус

Будет исправлено в следующей версии продукта.

Описание

В режимах UART0+JA и UART0+JB после получения команды «CMD_RUN» UART-загрузчик должен отправить код команды CMD_RUN (0x52 ('R')). Однако, загрузочная программа деинициализирует контроллер UART0, не дожидаясь окончания отправки, из-за чего передача кода команды CMD_RUN останавливается.

Условия и причина

Всегда.

Последствия

Отправка кода команды CMD_RUN выполняется некорректно.

Рекомендации и способы обхода

Учитывать при разработке аппаратуры.

3008 Переполнение счетчика ошибок RX_ERR_CNT контроллера CAN

Статус

Будет исправлено в следующей версии продукта.

Описание

В случае, если контроллер CAN постоянно обнаруживает ошибки при приеме данных, то счётчик ошибок приема RX_ERR_CNT будет инкрементироваться до верхнего предела (0x1FF), после чего он должен остановиться. Однако, этого не происходит – счётчик после приема очередного кадра с ошибкой переполняется и сбрасывается в 0x000. Из-за этого контроллер CAN, ранее находившийся в пассивном к ошибкам состоянии ERROR PASSIVE (RX_ERR_CNT > 127), ошибочно переходит в активное к ошибкам состояние ERROR ACTIVE и при обнаружении ошибок начинает посылать кадры активной ошибки. Данное поведение не соответствует стандарту, потому что для перехода в активное к ошибкам состояние ERROR ACTIVE контроллеру CAN необходимо успешно принять кадр.

Условия и причина

При постоянном приеме кадров с ошибкой.

Последствия

Ошибочный переход контроллера CAN в активное к ошибкам состояние.

Рекомендации и способы обхода

Учитывать при разработке аппаратуры.

3009 Инверсия сигнала аварии comp_prot (nTZx_INT)

Статус

Будет исправлено в следующей версии продукта.

Описание

Для блока ePWM предусмотрено отключение генерации ШИМ как по низкому уровню от внешних сигналов аварии nTZx_EXT, так и от внутренних nTZx_INT, которые формируются в блоке компараторов.

При изменении уровня на выходе компаратора схема детектора фронта, формирующая сигнал CMP_RES_IS2, всегда детектирует только передний фронт переключения от компаратора. Таким образом, если установлен CMP_PE в регистре COMPx_CNTR, и схема детектора фронта сформировала CMP_RES_IS2, то сигнал comp_prot (nTZx_INT) принимает значение логической «1», что разрешает работу ШИМ, а не блокирует.

Условия и причина

Всегда.

Последствия

Невозможно блокировать ШИМ по сигналу от компараторов.

Рекомендации и способы обхода

Если необходимо блокировать ШИМ по сигналу от компаратора, то сигнал от компаратора можно проинвертировать битом INV регистра COMPx_CNTR, и выход компаратора (IO в функции COMP_OUT_x) завести на вход IO в функции nTZx_EXT.

3010 Зависание DMA при обработке запросов от шлюза GATE

Статус

Будет исправлено в следующей версии продукта.

Описание

По описанию из спецификации, блок GATE может формировать запросы к DMA, если «выходное FIFO (от защищенной стороны к открытой) не пусто» и «входное FIFO (от открытого ядра к защищённому) не полно». Если DMA сконфигурирован на обработку запросов с осуществлением одной транзакции до арбитража, и в FIFO записать два и более слова, то шлюз выставит запрос к DMA, DMA осуществит одну транзакцию и будет ожидать снятия запроса от шлюза, однако этого не происходит, и DMA зависает на обработке текущей транзакции.

Условия и причина

Всегда.

Последствия

Зависание DMA.

Рекомендации и способы обхода

При записи в FIFO дожидаться окончания всех транзакций DMA.

3011 Сигналы межпроцессорной синхронизации формируются только от CPUA

Статус

Исследование.

Описание

В режиме DUALCORE синхронизация процессорных ядер с помощью инструкций WFE и SEV реализована только со стороны процессорного ядра CPUA. Со стороны ядра CPUB синхронизация процессорных ядер не реализована.

Условия и причина

Всегда.

Последствия

Инструкции синхронизации от процессорного ядра CPUB не осуществляют синхронизацию.

Рекомендации и способы обхода

Учитывать в ПО при разработке.

3012 Запрос программного сброса SYS_RESET_REQ не выполняется при формировании ядром CPUB

Статус

Исследование.

Описание

В режиме работы DUALCORE сигнал запроса программного сброса SYS_RESET_REQ выполняется для обоих процессорных ядер при формировании этого сигнала только процессорным ядром CPUA. При формировании процессорным ядром CPUB запрос сброса SYS_RESET_REQ не будет выполнен.

Условия и причина

Всегда.

Последствия

Сброс, формируемый сигналом программного запроса сброса SYS_RESET_REQ от процессорного ядра CPUB, не осуществляется.

Рекомендации и способы обхода

Учитывать в ПО при разработке.

3013 Ошибка чтения слова из OTP при значении поля DELAY_20NS, отличном от нуля

Статус

Будет исправлено в следующей версии продукта.

Описание

Для корректной работы памяти OTP предварительно должны быть рассчитаны и записаны параметры задержки в поля регистра DELAY_0_REG, исходя из значения частоты тактирования блока. Однако, если в поле DELAY_20NS записано значение, отличное от нуля, то фактическое чтение из OTP не происходит, и из регистра READ_DATA_REG читается значение 0xdeedbeef.

Условия и причина

Всегда, когда поле DELAY_20NS не равно нулю.

Последствия

Считанные данные из READ_DATA_REG не верны.

Рекомендации и способы обхода

При чтении OTP всегда устанавливать DELAY_20NS в нуль, при этом частота тактирования контроллера OTP не должна превышать 50 МГц.

3014 Загрузчик кратковременно отключает интерфейс JTAG_B после сброса при работе в режиме DUALCORE

Статус

Исследование.

Описание

Если микросхема работает в режиме Dualcore, и происходит ее сброс, то загрузчик ошибочно сбрасывает весь регистр REG_60_SYSx, а не бит DISABLE_JTAG, что приводит к отключению JTAG/SW интерфейса с выводов JTAG_B и подключению его к выводам JTAG_A, если Пользователем был выбран режим загрузки JTAG_B (активные выводы определяются битом MODE[0]). Далее загрузчик делает программный сброс для того, чтобы оба ядра работали в режиме Lockstep. Таким образом, до момента определения режима загрузки активны выводы JTAG_A.

Условия и причина

Всегда, после сброса, если микросхема работала в режиме Dualcore.

Последствия

При смене JTAG_A на JTAG_B могут неправильно работать средства отладки.

Рекомендации и способы обхода

Учитывать при разработке и отладке аппаратуры.

3015 Невозможность чтения памяти Flash при WAITCYCLE = 0x0 при обращении по АНВ-шине

Статус

Исследование.

Описание

При установке битов WAITCYCLE регистра FLASHCNTR->CNTR в 0x0 не осуществляется чтение из Flash-памяти при обращении по АНВ-шине.

При этом в буферы данных могут записываться случайные значения, что приводит к возникновению одиночных и двойных ошибок ECC.

Условия и причина

Условия – всегда при WAITCYCLE = 0x0.

Причина – при WAITCYCLE = 0x0 контроллер Flash не разворачивает диаграмму чтения.

Последствия

Невозможность чтения Flash-памяти (в том числе исполнения кода из нее) при обращении по АНВ-шине.

Рекомендации и способы обхода

Устанавливать биты WAITCYCLE в значение, отличное от 0x0.

3016 Несоответствие циклов ожидания при обращении к памяти Flash по АНВ-шине при WAITCYCLE = 0xA

Статус

Исследование.

Описание

При WAITCYCLE = 0xA в регистре FLASHCNTR -> CNTR реальное значение времени обращения, вместо ожидаемого времени обращения $T_{\text{READ}} = 9,5 \cdot T_{\text{HCLK}}$, составляет $T_{\text{READ}} = 1,5 \cdot T_{\text{HCLK}}$, что аналогично WAITCYCLE = 0x2.

Условия и причина

Условия – всегда при WAITCYCLE = 0xA.

Причина – при WAITCYCLE = 0xA контроллер Flash использует неверное число циклов обращения, аналогичное WAITCYCLE = 0x2.

Последствия

Не соблюдается число циклов обращения при использовании WAITCYCLE = 0xA, реальное число циклов обращения меньше ожидаемого.

Рекомендации и способы обхода

Учитывать в ПО при разработке.

