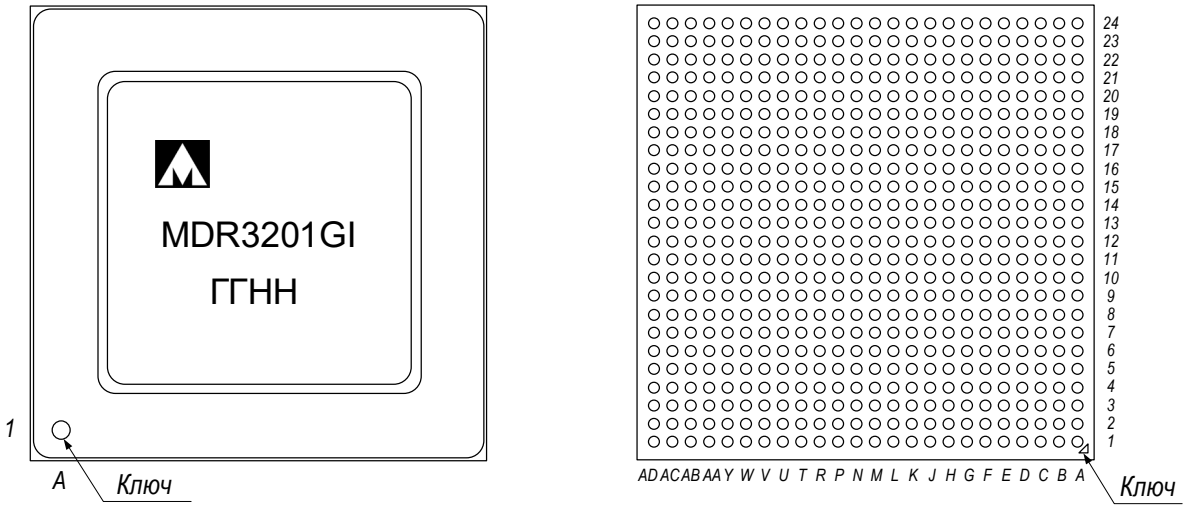
Микросхема коммутатора интерфейса Ethernet 10/100/1000 К1923КХ02GI



ГГ – год выпуска

НН – неделя выпуска

Тип корпуса:

– 576-выводной пластмассовый корпус BGA576 25×25×2,238 (1,0).

Основные преимущества и области применения микросхемы

Микросхемы интегральные К1923КХ02GI, коммутатор интерфейса Ethernet 10/100/1000 (далее – микросхемы), предназначены для использования в аппаратуре специального назначения.

Коммутатор обеспечивает высокопроизводительную аппаратную классификацию пакетов уровня L2 для перенаправления их в локальные сегменты сети Ethernet.

Коммутатор особенно эффективен в приложениях для аудио/видео коммутирующих систем.

При программной поддержке хост-системы коммутатор способен обрабатывать и переадресовывать пакеты уровня L3 и L4.

Встроенная система QoS позволяет определить приоритет трафика через различные порты на основе алгоритмов PQ, WRR, WFQ.

Широкий набор интерфейсов MII/GMII/SGMII позволяет подключать различные типы трансиверов PHY.

Наличие большого объема внутренней памяти позволяет хранить пакеты без применения внешних накопителей.

Важно: микросхемы чувствительны к влажности. Порядок обращения должен соответствовать требованиям, приведеным в ТСКЯ.430106.004Д12

Основные параметры микросхемы

– Архитектура обработки пакетов по быстрому/медленному маршруту;

– Варьируемая скорость передачи данных от 10 до 1000 Мбит/с;

– Расширяемые функции классификации пакетов в зависимости от полосы пропускания внутренней памяти;

– Аппаратные комплексные функции, такие как QoS и организация буферизации данных;

– Шестнадцать ядер MAC, совместимых с гигабитным Ethernet в соответствии с IEEE 802.3 с поддержкой пакетов jumbo, меток VLAN и управлением потоками (flow control);

– QoS, совместимая с IEEE 802.1p;

– VLAN, совместимая с IEEE 802.1Q;

– AVB;

– Синхронизация, совместимая с IEEE 802.1AS/IEEE 1588 v2;

– Шина PCI-E версии 2.0 (End Point, x1, 5 Гбит/с) со встроенным трансивером PHY для подключения хост-процессора;

– Шина SPI для начальной инициализации из внешнего накопителя;

– Одиннадцать портов SGMII для подключения Ethernet PHY;

– Пять портов MII/GMII/SGMII для подключения Ethernet PHY;

– В интерфейсы SGMII включены согласующие резисторы между дифференциальными парами;

– Два интерфейса MDIO (со скоростью обмена от 2,5 до 12 Мбит/с), обеспечивающие управление микросхемами физического уровня в части установки скорости, дуплекса и типа среды передачи в соответствии с IEEE 802.3 clause 22. Каждый из интерфейсов MDIO обеспечивает подключение до двенадцати микросхем физического уровня с интерфейсом SGMII;

– Общий объем памяти микросхемы 1 Мбайт (конфигурирование буферной памяти в составе микросхемы осуществляется через порт CPU);

– Размер таблицы MAC-адресов до 8192 записей;

– Размер таблицы VLAN до 128 записей;

– Порт доступа к интерфейсу JTAG (совместимый со стандартом 1149.1 IEEE) для эмуляции на кристалле;

– Режимы работы с управляющими пакетами (ARP, ICMP, IGMP) с возможностью передачи (дублирования) через CPU-порт;

– Схема поддержки IPV4 и IPV6;

– Коммутатор обеспечивает неблокирующую коммутацию данных между всеми портами на скорости 1 Гбит/с;

– Напряжение питания (3,3 ± 0,3) В и 1,1 В ± 10 %;

– Внешний осциллятор 25 МГц;

– Потребляемая мощность не более 5 Вт;

– Темпетарурный диапазон от минус 40 °С до плюс 85 °С.

Содержание

1 Структурная блок-схема микросхемы 8
2 Условное графическое обозначение 9
3 Описание выводов 11
4 Указания по применению и эксплуатации 26
4.1 Выбор источника загрузки конфигурации 27
5 Аппаратная архитектура 28
5.1 Периферийное устройство Ethernet (EMAC) 29
5.1.1 gPTP последовательность передачи 30
5.1.2 gPTP последовательность приема 30
5.1.3 Отчет о выходных метках времени (ETGPI) 32
5.2 Общий интерфейс пакетов (GPI) 32
5.2.1 Интерфейс приема пакета (GPI-RX) 32
5.2.2 Интерфейс передачи пакета (GPI-TX) 33
5.3 Менеджер буферизации данных (BMU) 34
5.3.1 Обработка multicast 34
5.4 Менеджер трафика (TMU) 35
5.4.1 Формирователь 36
5.4.2 Планировщик 39
5.5 Классификатор 40
5.5.1 Блок организации очередей 40
5.5.2 Отслеживание (перехват) 42
5.5.3 Сопоставительная таблица уровня L2 и таблица VLAN 42
5.5.4 Предотвращение DOS-атаки 55
5.5.5 Блок переупорядочивания 55
5.5.6 Блок когерентного доступа 55
5.5.7 Аппаратный классификатор 56
5.6 Локальная память 59
5.7 Ведущий, ведомый и арбитраж шины 59
5.7.1 Арбитры шин AXI 59
5.8 Хост-интерфейс (HIF) 59
5.8.1 Трафик от приложения к хосту (путь приема) 60
5.8.2 Трафик от хоста к приложению (путь передачи) 62
5.8.3 Фазы потока данных 63
5.9 Аппаратно-программный интерфейс 66
5.9.1 Структура буфера дескриптора 66
5.9.2 Описание структуры BD 67
5.9.3 Структура принимаемого пакета 69
5.9.4 Структура Timestamp рапорта 69
5.9.5 Структура передаваемого пакета 69
5.9.6 Описание структуры полей 69
5.9.7 Обработка очередей 71

5.10 Регистры управления и статуса ... 72
5.11 Хост-процессор QB-I ... 72
5.12 Прерывания коммутатора ... 73
5.13 Архитектура потока данных ... 73
6 Трафик данных ... 76
6.1 Передача ... 76
6.1.1 Пакеты данных ... 76
6.1.2 Инжекция без входного временного маркирования ... 77
6.1.3 Инжекция с входным временным маркированием ... 77
6.2 Прием ... 78
6.2.1 Пакеты данных ... 78
6.2.2 Фрейм с выходной временной меткой ... 79
6.2.3 Захват пакета ... 79
6.2.4 Прием PTP пакета ... 79
7 Описание регистров контроля и статуса (CSR) ... 81
7.1 Адресное пространство AXI ведомого ... 81
7.1.1 Ограничение доступа коммутатора ... 82
8 Архитектура устройства и программного обеспечения ... 84
8.1 Обработка по быстрому маршруту ... 84
8.1.1 Анализ и хэширование ... 84
8.1.2 Модель домена моста ... 85
8.1.3 Обработка ... 85
8.1.4 Коды причины захвата ... 86
8.2 Firmware ... 86
8.2.1 Обучение/Устаревание ... 86
8.2.2 Модификация фрейма ... 87
8.3 Реализация хоста и драйвера ... 87
8.3.1 Операционная система ... 87
8.3.2 Модель конфигурации/управления ... 87
8.4 API-функции ... 87
8.4.1 Порты ... 87
8.4.2 Сопоставительные таблицы ... 88
8.4.3 Устройство управления трафиком (TMU) ... 88
8.4.4 IO пакеты ... 88
8.4.5 Устройство управления буферами (BMU) ... 88
8.5 Контрольный уровень ... 88
8.6 Пример реализации AVB ... 89
9 Последовательность программирования коммутатора (NPU) ... 90
9.1 Конфигурация BMU1 ... 90
9.2 Конфигурация BMU2 ... 91
9.3 Конфигурация блоков EMAC 1-16 ... 92
9.3.1 Конфигурация для поддержки режима GMII полный дуплекс ... 92
9.3.2 Конфигурация для поддержки режима MII полный дуплекс ... 92

9.3.3 Конфигурация для поддержки режима MII полудуплекс 93
9.3.4 Конфигурация для поддержки режима SGMII полный дуплекс 93
9.4 Конфигурация блока TSU 95
9.5 Конфигурация портов GEM 95
9.6 Конфигурация блока Class HW 1 / 2 96
9.7 Конфигурация блоков EGPI 1-16 97
9.8 Конфигурация блока HGPI 99
9.9 Конфигурация блоков ETGPI 1 - 16 100
9.10 Конфигурация блока TLITE 102
9.11 Конфигурация блока HIF PIPE 109
9.12 Разрешение блоков NPU 111
9.13 Последовательность смены режима из неуправляемого в управляемый 116
9.14 Последовательность программного сброса 117
9.15 Последовательность программирования MAC HASH-таблицы 118
9.15.1 Последовательность инициализации 118
9.15.2 Формирование списка связей 119
9.15.3 Добавление записи 119
9.15.4 Удаление записи 120
9.16 Последовательность программирования таблицы VLAN HASH 120
9.16.1 Последовательность инициализации 121
9.16.2 Формирование списка связей 121
9.16.3 Добавление записи 122
9.16.4 Удаление записи 123
10 Интерфейс PCI express 124
10.1 Инициализация 128
10.2 Иерархия PCI Express 131
10.2.1 Уровень транзакций 131
10.2.2 Канальный уровень Data Link Layer 132
10.2.3 Физический уровень 132
10.3 Поля общего заголовка пакетов 133
10.4 Обработка передаваемых TLP 134
10.5 Обработка принимаемых TLP 135
10.5.1 Маршрутизация приема 136
10.5.2 Обработка ошибок 137
10.6 Модуль регистров и интерфейс шины данных (DBI) 137
10.6.1 Общее описание 137
10.6.2 Схема размещения пространства регистров CDM 139
10.6.3 Интерфейс шины данных (DBI) 142
10.7 Сообщения 143
10.7.1 Генерация сообщения 143
10.7.2 Прием сообщений 145
10.8 Прерывания 147
10.8.1 Прерывания PCI Legacy 147

11 Последовательный интерфейс slave SPI 148
11.1 Команды и адресация 148
11.2 Операция чтения массива данных 149
11.3 Операция записи 150
11.4 Операция чтения ID-кодов производителя и микросхемы 151
11.5 Регистры контроля блока управления 151
11.6 Регистры статуса блока управления 170
11.7 Режим работы MODE=0 171
11.8 Режим работы MODE=2 183
11.9 Режим работы MODE=0 или MODE=2 184
11.10 Доступ на шину AXI в режиме MODE=0 186
11.10.1 Регистры блока PF0_TYPE0_HDR 193
11.10.2 Регистры блока PF0_PM_CAP 209
11.10.3 Регистры блока PF0_MSI_CAP 213
11.10.4 Регистры блока PF0_PCIE_CAP 217
11.10.5 Регистры блока PF0_AER_CAP 238
11.10.6 Регистр блока PF0_PORT_LOGIC 258
11.10.7 Регистры блока PF0_ATU_CAP 307
11.11 Доступ на шину AXI в режиме MODE=2 322
11.11.1 Регистры общего назначения WSP 324
11.11.2 Регистры блока GPI 330
11.11.3 Регистры блока BMU 336
11.11.4 Регистры блока TMU 346
11.11.5 Регистры аппаратного классификатора 359
11.11.6 Регистры блока HIF 435
11.11.7 Регистры EMAC 476
11.11.8 Контекстная память TMU 477
11.11.9 Конфигурация TMU TDQ (планировщик/формирователь) 480
12 Последовательный интерфейс мастер SPI 492
12.1 Команды и адресация 493
12.2 Операция чтения массива данных 493
13 Приватный VLAN 495
13.1 Типы портов 495
13.2 VLAN сотрудничество 496
13.3 Реализация приватного VLAN в коммутаторе 496
13.3.1 Правила таблицы MAC для изолированного порта 497
13.3.2 Правила таблицы MAC для порта объединения 497
13.3.3 Правила таблицы MAC для смешанного порта 497
13.3.4 Правила таблицы MAC для соединительного порта между коммутаторами 497
13.3.5 Записи таблицы VLAN 498
13.4 Пример конфигурации 498
13.4.1 Изолированный порт 499

13.4.2 Порт объединения 500
13.4.3 Смешанный порт 500
13.4.4 Соединительный порт между коммутаторами 500
14 Типовая схема включения 501
15 Типовые зависимости 502
16 Электрические параметры 508
17 Предельно-допустимые режимы 511
18 Справочные данные 514
19 Габаритный чертеж микросхемы 516
20 Информация для заказа 517

1 Структурная блок-схема микросхемы

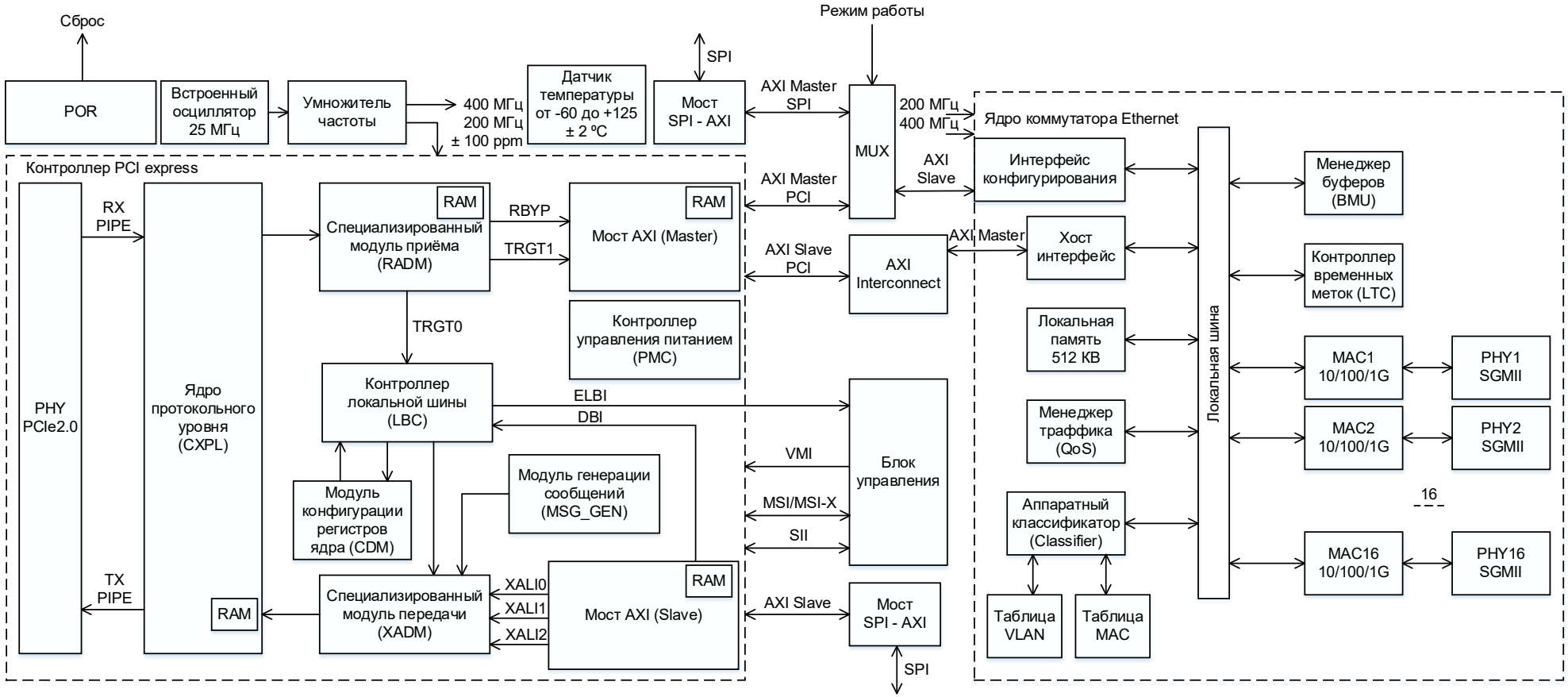


Рисунок 1 – Структурная блок-схема микросхемы

2 Условное графическое обозначение

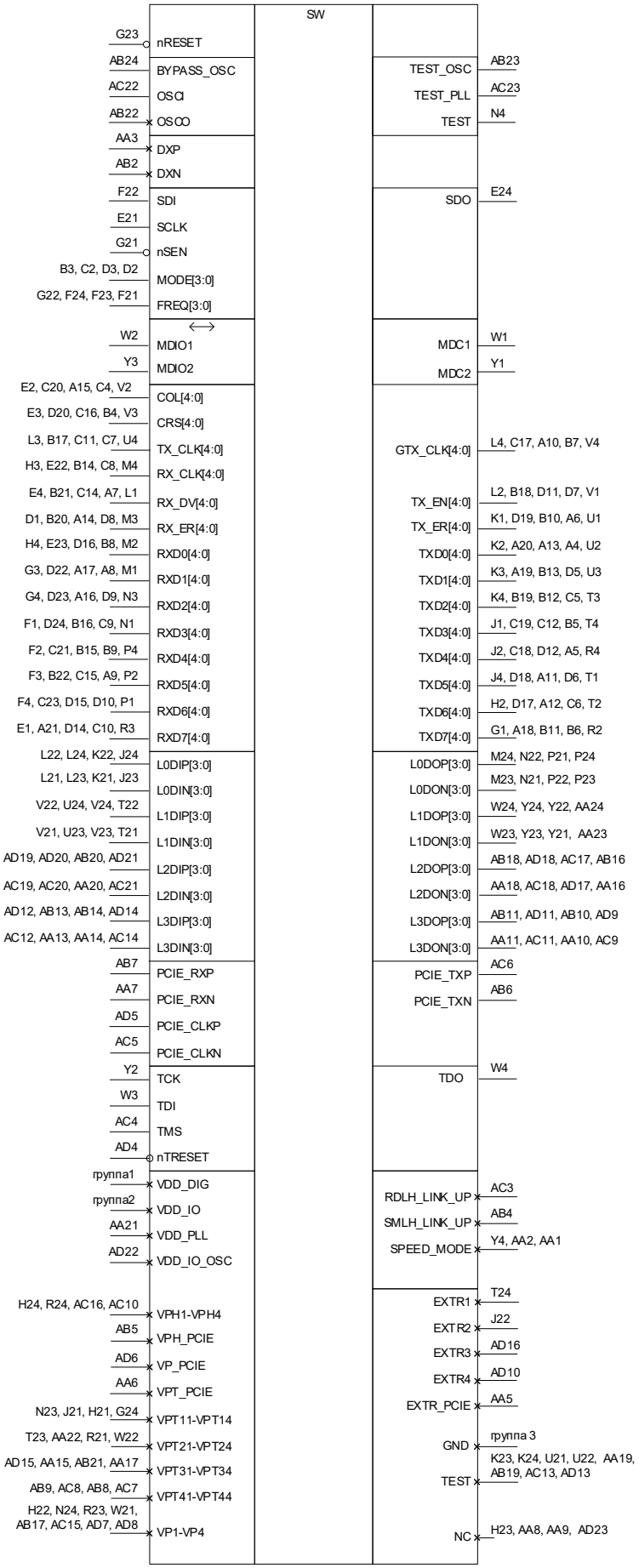
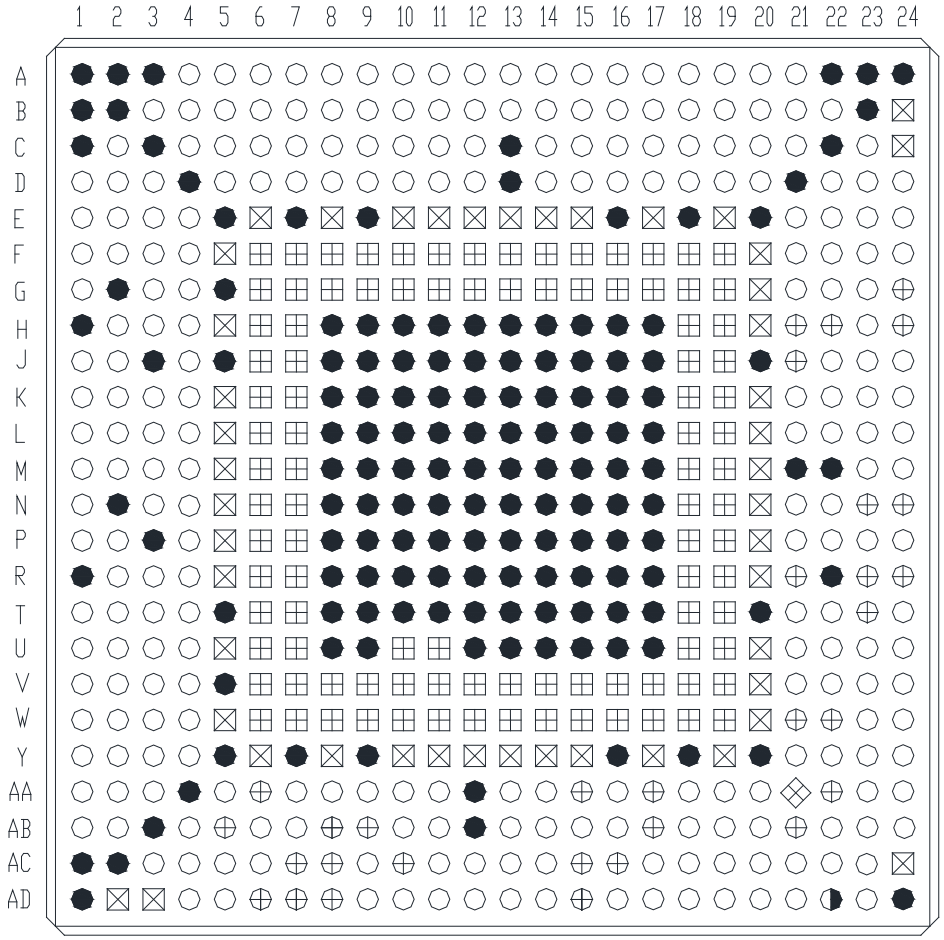


Рисунок 2 – Условное графическое обозначение

Группа 1: VDD_DIG	F6 – F19; G6 – G19, H6, H7, H18, H19, J6, J7, J18, J19, K6, K7, K18, K19, L6, L7, L18, L19, M6, M7, M18, M19, N6, N7, N18, N19, P6, P7, P18, P19, R6, R7, R18, R19, T6, T7, T18, T19, U6, U7, U10, U11, U18, U19, V6 – V19, W6 – W19;
Группа 2: VDD_IO	B24, C24, E6, E8, E10-E15, E17, E19, F5, F20, G20, H5, H20, K5, K20, L5, L20, M5, M20, N5, N20, P5, P20, R5, R20, U5, U20, V20, W5, W20, Y6, Y8, Y10-Y15, Y17, Y19, AC24, AD2, AD3;
Группа 3: GND	A1-A3, A22-A24, B1, B2, B23, C1, C3, C13, C22, D4, D13, D21, E5, E7, E9, E16, E18, E20, G2, G5, H1, H8-H17, J3, J5, J8-J17, J20, K8-K17, L8-L17, M8-M17, M21, M22, N2, N8-N17, P3, P8-P17, R1, R8-R17, R22, T5, T8-T17, T20, U8, U9, U12 – U17, V5, Y5, Y7, Y9, Y16, Y18, Y20, AA4, AA12, AB1, AB3, AB12, AB15, AC1, AC2, AD1, AD24



Обозначения:

- ○ – функциональное назначение вывода приведено в таблице 1;
- ⊕ – питание блоков PHY;
- ● – GND – общий;
- ⊞ – VDD_DIG – питание ядра;
- ⊠ – VDD_IO – питание ввода/вывода;
- ⊗ – VDD_PLL – питание встроенной PLL;
- ◑ – VDD_IO_OSC – аналоговое питание 3,3 В площадок ввода/вывода осциллятора.

Рисунок 3 – Схема расположения выводов питания и общий

3 Описание выводов

Таблица 1 – Описание выводов микросхемы

Вывод корпуса	Условное обозначение	Тип вывода	Функциональное назначение вывода
A1	GND	PWR	Общий
A2			
A3			
A4	TXD0[1]	O	Интерфейс MII/GMII порта 2
A5	TXD4[1]	O	
A6	TX_ER[1]	O	
A7	RX_DV[1]	I	
A8	RXD1[1]	I	
A9	RXD5[1]	I	
A10	GTX_CLK[2]	O	Интерфейс MII/GMII порта 3
A11	TXD5[2]	O	
A12	TXD6[2]	O	
A13	TXD0[2]	O	
A14	RX_ER[2]	I	
A15	COL[2]	I	
A16	RXD2[2]	I	
A17	RXD1[2]	I	
A18	TXD7[3]	O	Интерфейс MII/GMII порта 4
A19	TXD1[3]	O	
A20	TXD0[3]	O	
A21	RXD7[3]	I	
A22	GND	PWR	Общий
A23			
A24			
B1			
B2			
B3	MODE[3]	I	Вход блокирования внутренней схемы POR
B4	CRS[1]	I	Интерфейс MII/GMII порта 2
B5	TXD3[1]	O	
B6	TXD7[1]	O	
B7	GTX_CLK[1]	O	
B8	RXD0[1]	I	
B9	RXD4[1]	I	
B10	TX_ER[2]	O	Интерфейс MII/GMII порта 3
B11	TXD7[2]	O	
B12	TXD2[2]	O	
B13	TXD1[2]	O	
B14	RX_CLK[2]	I	
B15	RXD4[2]	I	
B16	RXD3[2]	I	

Вывод корпуса	Условное обозначение	Тип вывода	Функциональное назначение вывода
B17	TX_CLK[3]	I	Интерфейс MII/GMII порта 4
B18	TX_EN[3]	O	
B19	TXD2[3]	O	
B20	RX_ER[3]	I	
B21	RX_DV[3]	I	
B22	RXD5[3]	I	
B23	GND	PWR	Общий
B24	VDD_IO	PWR	Питание 3,3 В площадок ввода/вывода
C1	GND	PWR	Общий
C2	MODE[2]	I	Входы выбора режима работы микросхемы
C3	GND	PWR	Общий
C4	COL[1]	I	Интерфейс MII/GMII порта 2
C5	TXD2[1]	O	
C6	TXD6[1]	O	
C7	TX_CLK[1]	I	
C8	RX_CLK[1]	I	
C9	RXD3[1]	I	
C10	RXD7[1]	I	
C11	TX_CLK[2]	I	Интерфейс MII/GMII порта 3
C12	TXD3[2]	O	
C13	GND	PWR	Общий
C14	RX_DV[2]	I	Интерфейс MII/GMII порта 3
C15	RXD5[2]	I	
C16	CRS[2]	I	
C17	GTX_CLK[3]	O	Интерфейс MII/GMII порта 4
C18	TXD4[3]	O	
C19	TXD3[3]	O	
C20	COL[3]	I	
C21	RXD4[3]	I	
C22	GND	PWR	Общий
C23	RXD6[3]	I	Интерфейс MII/GMII порта 4
C24	VDD_IO	PWR	Питание 3,3 В площадок ввода/вывода
D1	RX_ER[4]	I	Интерфейс MII/GMII порта 5
D2	MODE[0]	I	Входы выбора режима работы микросхемы
D3	MODE[1]	I	
D4	GND	PWR	Общий
D5	TXD1[1]	O	Интерфейс MII/GMII порта 2
D6	TXD5[1]	O	
D7	TX_EN[1]	O	
D8	RX_ER[1]	I	
D9	RXD2[1]	I	
D10	RXD6[1]	I	

Вывод корпуса	Условное обозначение	Тип вывода	Функциональное назначение вывода
D11	TX_EN[2]	O	Интерфейс MII/GMII порта 3
D12	TXD4[2]	O	
D13	GND	PWR	Общий
D14	RXD7[2]	I	Интерфейс MII/GMII порта 3
D15	RXD6[2]	I	
D16	RXD0[2]	I	
D17	TXD6[3]	O	Интерфейс MII/GMII порта 4
D18	TXD5[3]	O	
D19	TX_ER[3]	O	
D20	CRS[3]	I	
D21	GND	PWR	Общий
D22	RXD1[3]	I	Интерфейс MII/GMII порта 4
D23	RXD2[3]	I	
D24	RXD3[3]	I	
E1	RXD7[4]	I	Интерфейс MII/GMII порта 5
E2	COL[4]	I	
E3	CRS[4]	I	
E4	RX_DV[4]	I	
E5	GND	PWR	Общий
E6	VDD_IO	PWR	Питание 3,3 В площадок ввода/вывода
E7	GND	PWR	Общий
E8	VDD_IO	PWR	Питание 3,3 В площадок ввода/вывода
E9	GND	PWR	Общий
E10	VDD_IO	PWR	Питание 3,3 В площадок ввода/вывода
E11			
E12			
E13			
E14			
E15			
E16	GND	PWR	Общий
E17	VDD_IO	PWR	Питание 3,3 В площадок ввода/вывода
E18	GND	PWR	Общий
E19	VDD_IO	PWR	Питание 3,3 В площадок ввода/вывода
E20	GND	PWR	Общий
E21	SCLK	I	Последовательный интерфейс SPI
E22	RX_CLK[3]	I	Интерфейс MII/GMII порта 4
E23	RXD0[3]	I	
E24	SDO	O	Последовательный интерфейс SPI
F1	RXD3[4]	I	Интерфейс MII/GMII порта 5
F2	RXD4[4]	I	
F3	RXD5[4]	I	
F4	RXD6[4]	I	
F5	VDD_IO	PWR	Питание 3,3 В площадок ввода/вывода

Вывод корпуса	Условное обозначение	Тип вывода	Функциональное назначение вывода
F6	VDD_DIG	PWR	Питание 1,1 В цифрового ядра
F7			
F8			
F9			
F10			
F11			
F12			
F13			
F14			
F15			
F16			
F17			
F18			
F19			
F20	VDD_IO	PWR	Питание 3,3 В площадок ввода/вывода
F21	FREQ[0]	I	Входы выбора частоты работы интерфейса SPI в режиме мастер
F22	SDI	I	Последовательный интерфейс SPI
F23	FREQ[1]	I	Входы выбора частоты работы интерфейса SPI в режиме мастер
F24	FREQ[2]	I	Входы выбора частоты работы интерфейса SPI в режиме мастер
G1	TXD7[4]	O	Интерфейс MII/GMII порта 5
G2	GND	PWR	Общий
G3	RXD1[4]	I	Интерфейс MII/GMII порта 5
G4	RXD2[4]	I	
G5	GND	PWR	Общий
G6	VDD_DIG	PWR	Питание 1,1 В цифрового ядра
G7			
G8			
G9			
G10			
G11			
G12			
G13			
G14			
G15			
G16			
G17			
G18			
G19			
G20	VDD_IO	PWR	Питание 3,3 В площадок ввода/вывода
G21	nSEN	I	Вход разрешения работы интерфейса SPI

Вывод корпуса	Условное обозначение	Тип вывода	Функциональное назначение вывода
G22	FREQ[3]	I	Входы выбора частоты работы интерфейса SPI в режиме мастер
G23	nRESET	I	Вход сигнала сброса микросхемы
G24	VPT14	PWR	Аналоговое питание 1,1 В передатчика PHY SGMII4
H1	GND	PWR	Общий
H2	TXD6[4]	O	Интерфейс MII/GMII порта 5
H3	RX_CLK[4]	I	
H4	RXD0[4]	I	
H5	VDD_IO	PWR	Питание 3,3 В площадок ввода/вывода
H6	VDD_DIG	PWR	Питание 1,1 В цифрового ядра
H7			
H8	GND	PWR	Общий
H9			
H10			
H11			
H12			
H13			
H14			
H15			
H16			
H17			
H18	VDD_DIG	PWR	Питание 1,1 В цифрового ядра
H19			
H20	VDD_IO	PWR	Питание 3,3 В площадок ввода/вывода
H21	VPT13	PWR	Аналоговое питание 1,1 В передатчика PHY SGMII3
H22	VP1	PWR	Аналоговое питание 1,1 В ядра PHY SGMII1-SGMI4
H23	NC	–	Не используется
H24	VPH1	PWR	Аналоговое питание 3,3 В площадок ввода/вывода PHY SGMII1-SGMII4
J1	TXD3[4]	O	Интерфейс MII/GMII порта 5
J2	TXD4[4]	O	
J3	GND	PWR	Общий
J4	TXD5[4]	O	Интерфейс MII/GMII порта 5
J5	GND	PWR	Общий
J6	VDD_DIG	PWR	Питание 1,1 В цифрового ядра
J7			
J8	GND	PWR	Общий
J9			
J10			
J11			
J12			
J13			
J14			

Вывод корпуса	Условное обозначение	Тип вывода	Функциональное назначение вывода
J15	GND	PWR	Общий
J16			
J17			
J18	VDD_DIG	PWR	Питание 1,1 В цифрового ядра
J19			
J20	GND	PWR	Общий
J21	VPT12	PWR	Аналоговое питание 1,1 В передатчика PHY SGMII2
J22	EXTR2	–	Вход подключения прецизионного опорного резистора 200 Ом ± 1 % ±100 ppm/ºС
J23	L0DIN[0]	AI	Дифференциальный вход данных интерфейса SGMII1
J24	L0DIP[0]	AI	
K1	TX_ER[4]	O	Интерфейс MII/GMII порта 5
K2	TXD0[4]	O	
K3	TXD1[4]	O	
K4	TXD2[4]	O	
K5	VDD_IO	PWR	Питание 3,3 В площадок ввода/вывода
K6	VDD_DIG	PWR	Питание 1,1 В цифрового ядра
K7			
K8	GND	PWR	Общий
K9			
K10			
K11			
K12			
K13			
K14			
K15			
K16			
K17			
K18	VDD_DIG	PWR	Питание 1,1 В цифрового ядра
K19			
K20	VDD_IO	PWR	Питание 3,3 В площадок ввода/вывода
K21	L0DIN[1]	AI	Дифференциальный вход данных интерфейса SGMII2
K22	L0DIP[1]	AI	
K23	TEST	–	Не подключать
K24			
L1	RX_DV[0]	I	Интерфейс MII/GMII порта 1
L2	TX_EN[4]	O	Интерфейс MII/GMII порта 5
L3	TX_CLK[4]	I	
L4	GTX_CLK[4]	O	
L5	VDD_IO	PWR	Питание 3,3 В площадок ввода/вывода
L6	VDD_DIG	PWR	Питание цифрового ядра 1,1 В
L7			

Вывод корпуса	Условное обозначение	Тип вывода	Функциональное назначение вывода
L8	GND	PWR	Общий
L9			
L10			
L11			
L12			
L13			
L14			
L15			
L16			
L17			
L18	VDD_DIG	PWR	Питание 1,1 В цифрового ядра
L19			
L20	VDD_IO	PWR	Питание 3,3 В площадок ввода/вывода
L21	L0DIN[3]	AI	Дифференциальный вход данных интерфейса SGMII4
L22	L0DIP[3]	AI	
L23	L0DIN[2]	AI	Дифференциальный вход данных интерфейса SGMII3
L24	L0DIP[2]	AI	
M1	RXD1[0]	I	Интерфейс MII/GMII порта 1
M2	RXD0[0]	I	
M3	RX_ER[0]	I	
M4	RX_CLK[0]	I	
M5	VDD_IO	PWR	Питание 3,3 В площадок ввода/вывода
M6	VDD_DIG	PWR	Питание 1,1 В цифрового ядра
M7			
M8	GND	PWR	Общий
M9			
M10			
M11			
M12			
M13			
M14			
M15			
M16			
M17			
M18	VDD_DIG	PWR	Питание 1,1 В цифрового ядра
M19			
M20	VDD_IO	PWR	Питание 3,3 В площадок ввода/вывода
M21	GND	PWR	Общий
M22	GND		
M23	L0DON[3]	AO	Дифференциальный выход данных интерфейса SGMII4
M24	L0DOP[3]	AO	
N1	RXD3[0]	I	Интерфейс MII/GMII порта 1
N2	GND	PWR	Общий

Вывод корпуса	Условное обозначение	Тип вывода	Функциональное назначение вывода
N3	RXD2[0]	I	Интерфейс MII/GMII порта 1
N4	TEST_POR	O	Выход схемы POR
N5	VDD_IO	PWR	Питание 3,3 В площадок ввода/вывода
N6	VDD_DIG	PWR	Питание 1,1 В цифрового ядра
N7			
N8	GND	PWR	Общий
N9			
N10			
N11			
N12			
N13			
N14			
N15			
N16			
N17			
N18	VDD_DIG	PWR	Питание 1,1 В цифрового ядра
N19			
N20	VDD_IO	PWR	Питание 3,3 В площадок ввода/вывода
N21	L0DON[2]	AO	Дифференциальный выход данных интерфейса SGMII3
N22	L0DOP[2]	AO	
N23	VPT11	PWR	Аналоговое питание 1,1 В передатчика PHY SGMII1
N24	VP1	PWR	Аналоговое питание 1,1 В ядра PHY SGMII1-SGMII4
P1	RXD6[0]	I	Интерфейс MII/GMII порта 1
P2	RXD5[0]	I	Интерфейс MII/GMII порта 1
P3	GND	PWR	Общий
P4	RXD4[0]	I	Интерфейс MII/GMII порта 1
P5	VDD_IO	PWR	Питание 3,3 В площадок ввода/вывода
P6	VDD_DIG	PWR	Питание 1,1 В цифрового ядра
P7			
P8	GND	PWR	Общий
P9			
P10			
P11			
P12			
P13			
P14			
P15	GND	PWR	Общий
P16			
P17			
P18	VDD_DIG	PWR	Питание 1,1 В цифрового ядра
P19			
P20	VDD_IO	PWR	Питание 3,3 В площадок ввода/вывода

Вывод корпуса	Условное обозначение	Тип вывода	Функциональное назначение вывода
P21	L0DOP[1]	AO	Дифференциальный выход данных интерфейса SGMII2
P22	L0DON[1]	AO	
P23	L0DON[0]	AO	Дифференциальный выход данных интерфейса SGMII1
P24	L0DOP[0]	AO	
R1	GND	PWR	Общий
R2	TXD7[0]	O	Интерфейс MII/GMII порта 1
R3	RXD7[0]	I	
R4	TXD4[0]	O	
R5	VDD_IO	PWR	Питание 3,3 В площадок ввода/вывода
R6	VDD_DIG	PWR	Питание 1,1 В цифрового ядра
R7			
R8	GND	PWR	Общий
R9			
R10			
R11			
R12			
R13			
R14			
R15			
R16			
R17			
R18	VDD_DIG	PWR	Питание 1,1 В цифрового ядра
R19			
R20	VDD_IO	PWR	Питание 3,3 В площадок ввода/вывода
R21	VPT23	PWR	Аналоговое питание 1,1 В передатчика PHY SGMII7
R22	GND	PWR	Общий
R23	VP2	PWR	Аналоговое питание 1,1 В ядра PHY SGMII5-SGMII8
R24	VPH2	PWR	Аналоговое питание 3,3 В площадок ввода/вывода PHY SGMII5-SGMII8
T1	TXD5[0]	O	Интерфейс MII/GMII порта 1
T2	TXD6[0]	O	
T3	TXD2[0]	O	
T4	TXD3[0]	O	
T5	GND	PWR	Общий
T6	VDD_DIG	PWR	Питание 1,1 В цифрового ядра
T7			
T8	GND	PWR	Общий
T9			
T10			
T11			
T12			
T13			
T14			

Вывод корпуса	Условное обозначение	Тип вывода	Функциональное назначение вывода
T15	GND	PWR	Общий
T16			
T17			
T18	VDD_DIG	PWR	Питание 1,1 В цифрового ядра
T19			
T20	GND	PWR	Общий
T21	L1DIN[0]	AI	Дифференциальный вход данных интерфейса SGMII5
T22	L1DIP[0]	AI	
T23	VPT21	PWR	Аналоговое питание 1,1 В передатчика PHY SGMII5
T24	EXTR1	–	Вход подключения прецизионного опорного резистора 200 Ом ± 1 % ±100 ppm/ºC
U1	TX_ER[0]	O	Интерфейс MII/GMII порта 1
U2	TXD0[0]	O	
U3	TXD1[0]	O	
U4	TX_CLK[0]	I	
U5	VDD_IO	PWR	Питание площадок ввода/вывода 3,3 В
U6	VDD_DIG	PWR	Питание 1,1 В цифрового ядра
U7			
U8	GND	PWR	Общий
U9			
U10	VDD_DIG	PWR	Питание 1,1 В цифрового ядра
U11			
U12	GND	PWR	Общий
U13			
U14			
U15			
U16			
U17			
U18	VDD_DIG	PWR	Питание 1,1 В цифрового ядра
U19			
U20	VDD_IO	PWR	Питание 3,3 В площадок ввода/вывода
U21	TEST	–	Не подключать
U22			
U23	L1DIN[2]	AI	Дифференциальный вход данных интерфейса SGMII7
U24	L1DIP[2]	AI	
V1	TX_EN[0]	O	Интерфейс MII/GMII порта 1
V2	COL[0]	I	Интерфейс MII/GMII порта 1
V3	CRS[0]	I	
V4	GTX_CLK[0]	O	
V5	GND	PWR	Общий
V6	VDD_DIG	PWR	Питание 1,1 В цифрового ядра
V7			
V8			

Вывод корпуса	Условное обозначение	Тип вывода	Функциональное назначение вывода
V9	VDD_DIG	PWR	Питание 1,1 В цифрового ядра
V10			
V11			
V12			
V13			
V14			
V15			
V16			
V17			
V18			
V19			
V20	VDD_IO	PWR	Питание 3,3 В площадок ввода/вывода
V21	L1DIN[3]	AI	Дифференциальный вход данных интерфейса SGMII8
V22	L1DIP[3]	AI	
V23	L1DIN[1]	AI	Дифференциальный вход данных интерфейса SGMII6
V24	L1DIP[1]	AI	
W1	MDC1	O	Выход синхросигнала интерфейса MDIO порта 1
W2	MDIO1	IO	Вход/выход данных интерфейса MDIO порта 1
W3	TDI	I	Вход данных аппаратного отладчика JTAG
W4	TDO	O	Выход данных аппаратного отладчика JTAG
W5	VDD_IO	PWR	Питание 3,3 В площадок ввода/вывода
W6	VDD_DIG	PWR	Питание 1,1 В цифрового ядра
W7			
W8			
W9			
W10			
W11			
W12			
W13			
W14			
W15			
W16			
W17			
W18			
W19			
W20	VDD_IO	PWR	Питание 3,3 В площадок ввода/вывода
W21	VP2	PWR	Аналоговое питание 1,1 В ядра PHY SGMII5-SGMII8
W22	VPT24	PWR	Аналоговое питание 1,1 В передатчика PHY SGMII8
W23	L1DON[3]	AO	Дифференциальный выход данных интерфейса SGMII8
W24	L1DOP[3]	AO	
Y1	MDC2	O	Выход синхросигнала интерфейса MDIO порта 2
Y2	TCK	I	Сигнал синхронизации JTAG
Y3	MDIO2	IO	Вход/выход данных интерфейса MDIO порта 2

Вывод корпуса	Условное обозначение	Тип вывода	Функциональное назначение вывода
Y4	SPEED_MODE[0]	O	Выход индикации скорости работы выбранного порта Ethernet
Y5	GND	PWR	Общий
Y6	VDD_IO	PWR	Питание 3,3 В площадок ввода/вывода
Y7	GND	PWR	Общий
Y8	VDD_IO	PWR	Питание 3,3 В площадок ввода/вывода
Y9	GND	PWR	Общий
Y10	VDD_IO	PWR	Питание 3,3 В площадок ввода/вывода
Y11			
Y12			
Y13			
Y14			
Y15			
Y16	GND	PWR	Общий
Y17	VDD_IO	PWR	Питание 3,3 В площадок ввода/вывода
Y18	GND	PWR	Общий
Y19	VDD_IO	PWR	Питание 3,3 В площадок ввода/вывода
Y20	GND	PWR	Общий
Y21	L1DON[1]	AO	Дифференциальный выход данных интерфейса SGMII6
Y22	L1DOP[1]	AO	
Y23	L1DON[2]	AO	Дифференциальный выход данных интерфейса SGMII7
Y24	L1DOP[2]	AO	
AA1	SPEED_MODE[2]	O	Выходы индикации скорости работы выбранного порта Ethernet
AA2	SPEED_MODE[1]	O	
AA3	DXP	I	Анод внутреннего термодиода
AA4	GND	PWR	Общий
AA5	EXTR_PCIE	–	Вход подключения прецизионного опорного резистора 200 Ом ± 1 % ±100 ppm/ºC
AA6	VPT_PCIE	PWR	Аналоговое питание 1,1 В передатчика PHY PCIE
AA7	PCIE_RXN	I	Инверсный вход данных интерфейса PCIE
AA8	NC	–	Не используется
AA9	NC	–	Не используется
AA10	L3DON[1]	AO	Инверсный выход данных интерфейса SGMII14
AA11	L3DON[3]	AO	Инверсный выход данных интерфейса SGMII16
AA12	GND	PWR	Общий
AA13	L3DIN[2]	AI	Инверсный вход данных интерфейса SGMII15
AA14	L3DIN[1]	AI	Инверсный вход данных интерфейса SGMII14
AA15	VPT32	PWR	Аналоговое питание 1,1 В передатчика PHY SGMII10
AA16	L2DON[0]	AO	Инверсный выход данных интерфейса SGMII9
AA17	VPT34	PWR	Аналоговое питание 1,1 В передатчика PHY SGMII12
AA18	L2DON[3]	AO	Инверсный выход данных интерфейса SGMII12
AA19	TEST	–	Не подключать

Вывод корпуса	Условное обозначение	Тип вывода	Функциональное назначение вывода
AA20	L2DIN[1]	AI	Инверсный вход данных интерфейса SGMII10
AA21	VDD_PLL	PWR	Питание 1,1 В встроенной PLL
AA22	VPT22	PWR	Аналоговое питание 1,1 В передатчика PHY SGMII6
AA23	L1DON[0]	AO	Дифференциальный выход данных интерфейса SGMII5
AA24	L1DOP[0]	AO	
AB1	GND	PWR	Общий
AB2	DXN	I	Катод внутреннего термодиода
AB3	GND	PWR	Общий
AB4	SMLH_LINK_UP	O	Выход индикации наличие линка PHY PCIE
AB5	VPH_PCIE	PWR	Аналоговое питание 3,3 В площадок ввода/вывода PHY PCIE
AB6	PCIE_TXN	AO	Инверсный выход данных интерфейса PCIE
AB7	PCIE_RXP	AI	Прямой вход данных интерфейса PCIE
AB8	VPT43	PWR	Аналоговое питание 1,1 В передатчика PHY SGMII15
AB9	VPT41	PWR	Аналоговое питание 1,1 В передатчика PHY SGMII13
AB10	L3DOP[1]	AO	Прямой выход данных интерфейса SGMII14
AB11	L3DOP[3]	AO	Прямой выход данных интерфейса SGMII16
AB12	GND	PWR	Общий
AB13	L3DIP[2]	AI	Прямой вход данных интерфейса SGMII15
AB14	L3DIP[1]	AI	Прямой вход данных интерфейса SGMII14
AB15	GND	PWR	Общий
AB16	L2DOP[0]	AO	Прямой выход данных интерфейса SGMII9
AB17	VP3	PWR	Аналоговое питание 1,1 В ядра PHY SGMII9-SGMII12
AB18	L2DOP[3]	AO	Прямой выход данных интерфейса SGMII12
AB19	TEST	–	Не подключать
AB20	L2DIP[1]	AI	Прямой вход данных интерфейса SGMII10
AB21	VPT33	PWR	Аналоговое питание 1,1 В передатчика PHY SGMII11
AB22	OSCO	–	Выход осциллятора 25 МГц
AB23	TEST_OSC	O	Тестовый выход осциллятора
AB24	BYPASS_OSC	I	Вход выбора режима обхода для осциллятора
AC1	GND	PWR	Общий
AC2			
AC3	RDLH_LINK_UP	O	Выход индикации наличие линка data layer PCIE
AC4	TMS	I	Выбор режима аппаратного отладчика JTAG. Используется для управления переходами конечного автомата JTAG
AC5	PCIE_CLKN	AI	Инверсный вход синхросигнала интерфейса PCIE
AC6	PCIE_TXP	AO	Прямой выход данных интерфейса PCIE
AC7	VPT44	PWR	Аналоговое питание 1,1 В передатчика PHY SGMII16
AC8	VPT42	PWR	Аналоговое питание 1,1 В передатчика PHY SGMII14
AC9	L3DON[0]	AO	Инверсный выход данных интерфейса SGMII13

Вывод корпуса	Условное обозначение	Тип вывода	Функциональное назначение вывода
AC10	VPH4	PWR	Аналоговое питание 3,3 В площадок ввода/вывода PHY SGMII13-SGMII16
AC11	L3DON[2]	AO	Инверсный выход данных интерфейса SGMII15
AC12	L3DIN[3]	AI	Инверсный вход данных интерфейса SGMII16
AC13	TEST	–	Не подключать
AC14	L3DIN[0]	AI	Инверсный вход данных интерфейса SGMII13
AC15	VP3	PWR	Аналоговое питание 1,1 В ядра PHY SGMII9-SGMII12
AC16	VPH3	PWR	Аналоговое питание 3,3 В площадок ввода/вывода PHY SGMII9-SGMII12
AC17	L2DOP[1]	AO	Прямой выход данных интерфейса SGMII10
AC18	L2DON[2]	AO	Инверсный выход данных интерфейса SGMII11
AC19	L2DIN[3]	AI	Инверсный вход данных интерфейса SGMII12
AC20	L2DIN[2]	AI	Инверсный вход данных интерфейса SGMII11
AC21	L2DIN[0]	AI	Инверсный вход данных интерфейса SGMII9
AC22	OSCI	I	Вход осциллятора 25 МГц
AC23	TEST_PLL	O	Тестовый выход PLL
AC24	VDD_IO	PWR	Питание 3,3 В площадок ввода/вывода
AD1	GND	PWR	Общий
AD2	VDD_IO	PWR	Питание 3,3 В площадок ввода/вывода
AD3			
AD4	nTRESET	I	Сброс тестового режима JTAG. Сбрасывает режим конечного автомата JTAG
AD5	PCIE_CLKP	AI	Прямой вход синхросигнала интерфейса PCIE
AD6	VP_PCIE	PWR	Аналоговое питание 1,1 В ядра PHY PCIE
AD7	VP4	PWR	Аналоговое питание 1,1 В ядра PHY SGMII13-SGMII16
AD8			
AD9	L3DOP[0]	AO	Прямой выход данных интерфейса SGMII13
AD10	EXTR4	–	Вход подключения прецизионного опорного резистора 200 Ом ± 1 % ±100 ppm/ºC
AD11	L3DOP[2]	AO	Прямой выход данных интерфейса SGMII15
AD12	L3DIP[3]	AI	Прямой вход данных интерфейса SGMII16
AD13	TEST	–	Не подключать
AD14	L3DIP[0]	AI	Прямой вход данных интерфейса SGMII13
AD15	VPT31	PWR	Аналоговое питание 1,1 В передатчика PHY SGMII9
AD16	EXTR3	–	Вход подключения прецизионного опорного резистора 200 Ом ± 1 % ±100 ppm/ºC
AD17	L2DON[1]	AO	Инверсный выход данных интерфейса SGMII10
AD18	L2DOP[2]	AO	Прямой выход данных интерфейса SGMII11
AD19	L2DIP[3]	AI	Прямой вход данных интерфейса SGMII12
AD20	L2DIP[2]	AI	Прямой вход данных интерфейса SGMII11
AD21	L2DIP[0]	AI	Прямой вход данных интерфейса SGMII9

Вывод корпуса	Условное обозначение	Тип вывода	Функциональное назначение вывода
AD22	VDD_IO_OSC	PWR	Аналоговое питание 3,3 В площадок ввода/вывода осциллятора
AD23	NC	–	Не используется
AD24	GND	PWR	Общий

Примечание – Обозначение типов выводов:

PWR – вывод «Питание» и «Общий»;
I – вход цифровой;
O – выход цифровой;
IO – вход/выход цифровой;
AI – вход аналоговый;
AO – выход аналоговый

4 Указания по применению и эксплуатации

Указания по режимам и условиям монтажа микросхем согласно ТСКЯ.430106.004Д12.

Выводы микросхем обеспечивают способность их к пайке при температуре 220 °С.

При хранении микросхем более 12 месяцев выводы обезжиривают путем погружения в спирт (по ГОСТ Р 55878 или ГОСТ Р 51999) и высушивают в течение от 3 до 5 мин при комнатной температуре.

Типовая схема включения микросхем приведена на рисунке 47.

Порядок подачи и снятия напряжения питания и входных сигналов на микросхемы должен быть следующим:

– подача (включение микросхемы): общий, низковольтное и высоковольтное питания одновременно, входные сигналы или одновременно;

– снятие (выключение микросхемы): одновременно или в обратном порядке.

Запрещено присутствие на микросхеме низковольтного питания (0,99 – 1,26) В при отсутствии высоковольтного (3,0 – 3,6) В.

Не допускается подведение каких-либо сигналов (в том числе шин питания и общий):

– к шариковым выводам «TEST» (K23, K24, U21, U22, AA19, AB19, AC13, AD13);

– к неиспользуемым аналоговым входам и выходам;

– к неиспользуемым цифровым выходам.

Неиспользуемые цифровые входы микросхемы необходимо подключить к шине общий или шине питания «VDD_IO».

Выводы MDIO1, MDIO2 должны быть подключены через резистор сопротивлением от 2 до 10 кОм к шине питания «VDD_IO».

4.1 Выбор источника загрузки конфигурации

В микросхемах предусмотрена возможность выбора источника загрузки конфигурации: через порт CPU или из флэш через последовательную шину SPI.

Источник загрузки задается логическими уровнями на выводах MODE микросхемы (см. таблицу 2).

Таблица 2 – Источники загрузки конфигурации

Источник загрузки	MODE	Назначение
Порт CPU	0	Функции порта CPU выполняет контроллер PCI Express 2.0 и обеспечивает доступ ко всем внутренним ресурсам
Внешняя флэш-память	1	Подключение внешний флэш-памяти к последовательной мастер шине SPI
Slave шина SPI	2	Загрузка и доступ к ресурсам через последовательную slave шину SPI
Неуправляемый режим	4	Работа коммутатора в неуправляемом режиме
Неуправляемый режим + Slave шина SPI (с ревизии 2)	5	Работа коммутатора в неуправляемом режиме с доступом к ресурсам через последовательную slave шину SPI

5 Аппаратная архитектура

Архитектура микросхемы включает в себя различные аппаратные блоки для достижения варьируемых и определенных характеристик. Функции, такие как классификация и модификация пакетов, программируются хост-процессором. А именно программируется неблокирующая фильтрация пакетов. При этом фильтрация пакетов производится в следующих случаях:

– длина кадра меньше 64 байт или больше максимального заданного размера кадра;

– в соответствии с настроенными фильтрами;

– узел-отправитель и узел-получатель подключены к одному порту;

– пакет имеет неправильную контрольную сумму.

Архитектура включает аппаратные средства для планирования и упорядочивания пакетов. Блоки соединяются с помощью собственной шины, позволяющей получить оптимальную пропускную способность с наименьшими затратами. Архитектура обеспечивает раздельные шины для передачи данных и пакетов управления. Это позволяет обеспечивать гибкие характеристики, которые соотносятся с внутренней памятью и эффективностью классификации пакетов. Схема аппаратной архитектуры микросхемы представлена на рисунке 4.

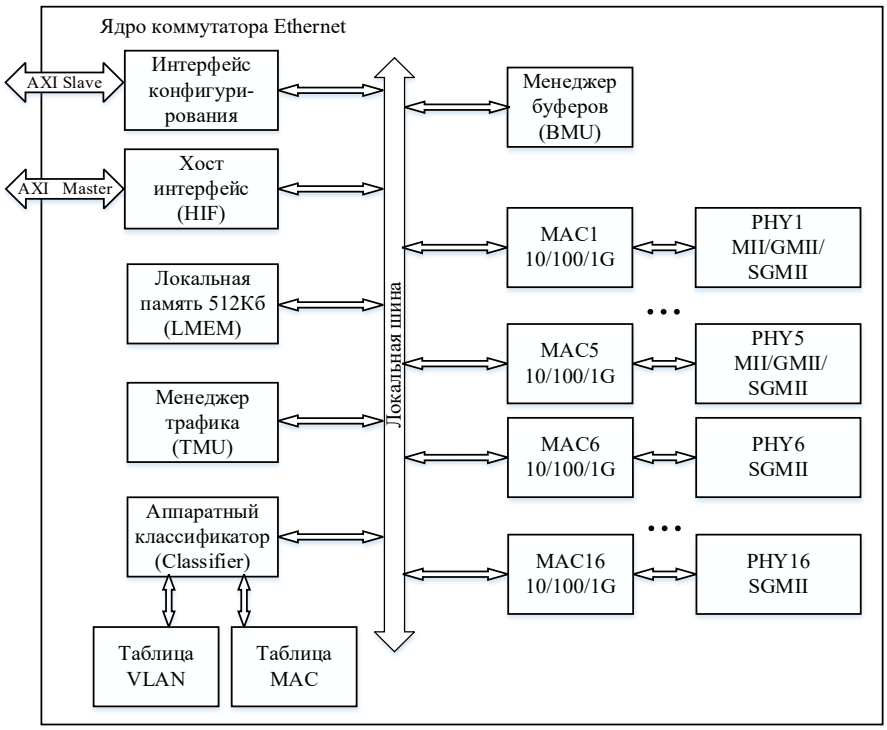


Рисунок 4 – Аппаратная архитектура

Можно выделить следующие основные блоки:

– периферийное устройство Ethernet (EMAC):
  – отчет о выходных метках времени (ETGPI);
– общий интерфейс пакетов (GPI);
– аппаратный классификатор (HW Classifier);

– менеджер трафика (TMU);
– менеджер буферизации данных (BMU);
– хост-интерфейс (HIF);
– локальная память (LMEM).

Коммутатор совместно с хост-процессором и подсистемой хоста является законченной системой, применимой для различных приложений по Ethernet-коммутации. Для достижения мультигигабитной производительности каждый периферийный блок выполняет конкретные функции в цепочке требуемой отработки пакета.

Описание отдельных блоков и их функций приведено далее в соответствующих подразделах.

5.1 Периферийное устройство Ethernet (EMAC)

Гигабитное периферийное устройство Ethernet (далее – блок EMAC) управляет протоколом CSMA/CD и объединяется с блоком GPI, который включает устройство обработки (RX), передающее пакеты в дискретные буферы и модификатор пакетов, который извлекает пакеты и выполняет Layer-2 модификацию согласно классификатору. Блок EMAC и его подключение к блоку GPI приведены на рисунке 5.

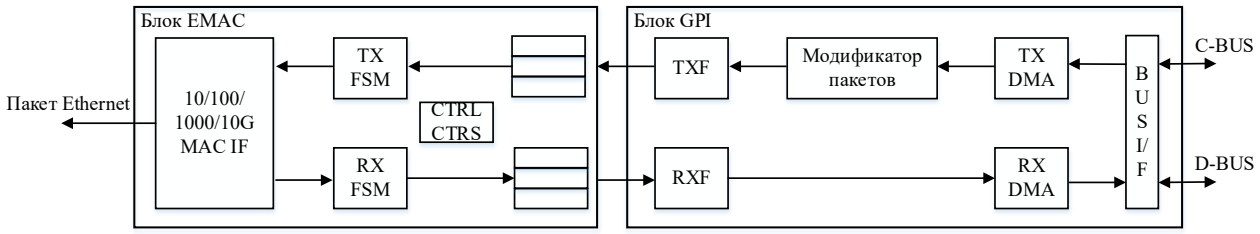


Рисунок 5 – Периферия Ethernet

Блок GPI (с правой стороны на рисунке 5) соединен с блоком Ethernet посредством интерфейса FIFO (за пределами области статуса пакета).

Блок Ethernet выполняет протокол IEEE 802.3 на скоростях 10/100/1000 Мбит. Блок Ethernet реализует следующие функции:

– поддержка пакетов Ethernet II и 802.3;
– полнодуплексные операции для 10/100/1000 Мбит;
– полудуплексные операции для 10/100 Мбит;
– управление потоками (flow control) с пакетом паузы (Pause Packets) и пакетами возобновления (Resume Packets);
– полудуплексное управление потоками для форсирования коллизий во входящих фреймах;
– достаточное количество буферов повторной передачи. Программируемые размеры FIFO от 64 до 512 байт в обоих направлениях приема и передачи для поддержания высокой пропускной способности и латентности;
– полная статистика RMON для MIB;
– поддержка размера пакета от 64 до 9216 байт для пакетов jumbo;
– идентификация и маркировка VLAN пакетов;
– внутрисхемно программируемый IEEE 1588 блок TSU;

– поддержка точного времени синхронизации протокола 1588;
– автоматическая вставка и захват меток времени 1588 для пакетов PTP;
– дополнительная схема распознавания адресов для эффективной коммутации. 32-разрядный регистр адреса для фильтрации;
– опционально padding для коротких пакетов;
– 10-битовый интерфейс к уровню PMA;
– уровень PCS с функцией auto-negotiation;
– поддержка SGMII.

Блок Ethernet реализует управление потоками (flow control) для пересылки пакетов паузы (Pause Packets), а также для приема таких пакетов от удаленных станций, передача останавливается до истечения таймера. Регистр паузы доступен через хост-процессор. Обычно выбор паузы основан на доступных буферах LMEM, измеряемых числом коротких пакетов, которые могут быть переданы в течение времени двух больших пакетов и времени реакции хоста.

Блок TSU используется для маркирования 1588 пакетов, когда они передаются и принимаются на все порты EMP. Таймер реализуется как 102-разрядный регистр, страшние 48 бит которого считают секунды, следующие 30 бит считают наносекунды и младшие 24 бита считают пикосекунды. Метка времени PTP фрейма принимается, когда точка временной метки сообщения проходит точку временной метки часов. Для Ethernet точка временной метки сообщения – это SFD и точка временной метки часов – это интерфейс MII.

5.1.1 gPTP последовательность передачи

Последовательность действий при передаче по протоколу gPTP:
– хост передает пакеты PTP через коммутатор согласно настройке времени;
– пакет передается в TMU;
– согласно приоритету TMU посылает пакет в MAC;
– метка времени добавляется в MAC;
– порядковый номер ID переданного 1588 фрейма извлекается программой;
– метка времени и порядковый номер пересылаются хосту с помощью раздельных фреймов.

5.1.2 gPTP последовательность приема

Последовательность действий при приеме по протоколу gPTP:
– декодер, подблок MAC, сэмплирует время прихода SOP через интерфейс MII только для входящих пакетов PTP и передает его в статус RX;
– принимаемая метка времени содержится в RX MAC;
– фрейм PTP с меткого времени направляется хосту;
– принятая метка времени присваивается фрейму с соответствующими данными.
Для подключения устройств PHY блок Ethernet имеет следующие интерфейсы:
– интерфейс MII:

  - стандартный 15-выводной интерфейс (TXERR не используется);
  - частота работы 25 МГц;
  - четырехразрядная шина данных;
- интерфейс GMII:
  - частота работы 125 МГц;
  - восьмиразрядная шина данных;
- интерфейс SGMII:
  - частота работы 625 МГц;
  - последовательный интерфейс.

Интерфейс управления PHY для всех вышеописанных интерфейсов включает сигналы MDIO и MDC. Эти сигналы могут работать в режиме разделения времени с несколькими устройствами PHY.

Блок Ethernet самостоятельно обрабатывает условия переполнения и опустошения. Однако блок Ethernet всегда ассоциирован с блоком GPI, который также обрабатывает условия переполнения и опустошения. Этот блок имеет очень короткое FIFO (128x32), что помогает при ретрансляции данных и плотном трафике.

Блок Ethernet включает следующие аппаратные RMON счетчики статистики:

- счетчики передачи:
  - фреймы коллизий;
  - фреймы с отложенной передачей;
  - поздние коллизии;
  - потерянные фреймы из-за внутренней ошибки передачи MAC;
  - ошибка несущей;
  - фреймы с избыточной отсрочкой;
  - успешно переданные фреймы unicast;
  - успешно переданные фреймы multicast;
  - успешно переданные фреймы broadcast;
  - ошибки теста качества сигнала;
  - переданные MAC контрольные фреймы паузы;
  - переданные MAC контрольные фреймы;
  - переданные фреймы VLAN;
  - переданное число байт;
- счетчики приема:
  - размеры принятых пакетов;
  - ошибки контрольной суммы;
  - ошибки выравнивания;
  - фрагменты;
  - Jabbers;
  - фреймы, потерянные из-за внутренней ошибки приема MAC (переполнение);
  - успешно принятые фреймы unicast;

- успешно принятые фреймы multicast;
- успешно принятые фреймы broadcast;
- ошибки в пределах размера пакета;
- ошибки пакета, выходящего за пределы размера;
- полученные фреймы VLAN;
- полученные MAC контрольные фреймы паузы;
- полученные MAC контрольные фреймы;
- полученное число байт.

5.1.3 Отчет о выходных метках времени (ETGPI)

Для каждого фрейма PTP, полученного EMAC, формируется отчет о метках времени размером 20 байт (в начале заголовок 16 байт и 4 байта данных пакета). Отчет содержит значение метки времени EMAC, номер принимающего порта и номер ссылки на информацию, предоставляемую EMAC. Специфичный номер PHY присваивается этому типу пакетов (ETPGI_PHYNO).

Синхронизация значения метки времени, номер порта и порядковый номер формируются в модуле генерации выходного отчета меток времени, который работает совместно с GPI, записывая сформированный отчет в буферы LMEM. При записи отчета в LMEM инициируется его передача аппаратному классификатору. Аппаратный классификатор при идентификации отчета меток времени не осуществляет поиск по таблице, а передает пакет без каких-либо модификаций.

Если FIFO модуля генерации выходного отчета меток времени переполняется, это отражается на передаче к EMAC запросов формировать отчеты меток времени, в этом случае удается избежать потерь.

5.2 Общий интерфейс пакетов (GPI)

GPI соединяет такие блоки как Ethernet, хост-интерфейс и конвертирует данные во внутренние структуры коммутатора (и последовательно направляет в классификатор). В значительной степени этот блок используется коммутатором для преобразования пользовательской информации и пересылки данных в классификатор. Блок включает независимые принимающие и передающие каналы. Тракт данных (включая память портов) GPI имеет 64-разрядную ширину для набора высокоскоростной периферии.

5.2.1 Интерфейс приема пакета (GPI-RX)

Блок интерфейса приема пакета (далее – блок GPI-RX) реализует следующие функции высокого уровня:

- выборка из буфера;
- передача данных;
- формирование цепочки буферов;
- программирование смещений;
- передача статуса;
- интерфейс AXI-.

Блок GPI-RX соединяет периферию, такую как Ethernet, с простым FIFO-интерфейсом. Для простоты интерфейс GPI никогда не останавливает работу. GPI сохраняет пакет данных во внутреннем FIFO, реализованного с применением арбитра с однопортовой памятью SRAM. В условиях тяжелого трафика в FIFO происходит переполнение. Коммутатор содержит конфигурационные регистры, которые определяют, когда начать сохранять данные после возникновения условия переполнения. Пакет помещенный в FIFO GPI при возникновении условия переполнения также посылается в классификатор (данные пересылаются, как только они поступили – не дожидаясь сохранения целого пакета, для рациональной поддержки пакетов Jumbo).

Статус пакета записывается в первый буфер. Статус содержит:

- длину пакета;
- условия ошибки внутри GPI (переполнение);
- статус от периферии (ARC, MCAST, BCAST и т.д.);
- указатель на следующий буфер;
- номер PHY.

Пакет направляется в классификатор после полного приема. Статус входной очереди классификатора доступен для всей периферии. Только когда во входной очереди есть свободное место, пакет записывается в классификатор. Коммутатор гарантирует чтобы функции GPI приема не блокировали функции GPI передачи.

5.2.2 Интерфейс передачи пакета (GPI-TX)

Блок интерфейса передачи пакета (далее – блок GPI-TX) реализует следующие функции высокого уровня:

- квитирование с TMU;
- выборка последовательности действий для Layer 2;
- выполнение действий для Layer 2;
- выборка данных;
- программирование смещений и формирование цепочки;
- очистка буфера.

Блок GPI-TX устанавливает связь с менеджером трафика (TMU) и в конце этой последовательности посылает TMU указатель на пакет для передачи. При установлении связи определяется статус текущей занятости FIFO и сравнивается с пороговым регистром, чтобы гарантировать, что решение TMU передавать как можно позже обеспечит достижение требуемой скорости.

Блок GPI-TX выбирает произвольно выровненные данные из LMEM. Смещение данных представлено в заголовке последовательности действий. Заголовок последовательности действий и структуру пакета требуется извлечь один раз даже несмотря на то что данные могут многократно использоваться периферией.

Модификатор передаваемого пакета в этот момент редактирует пакет, выполняя только модификацию Layer 2. Модификация Layer 3 выполняется в блоке классификатора.

Порог FIFO может быть запрограммирован так, что данные будут присутствовать в FIFO прежде, чем пакет будет передан. Это необходимо чтобы гарантировать не возникновение условия опустошения. Однако в случае фреймов Jumbo условие опустошения может возникнуть, если размер FIFO не может содержать весь пакет.

Смещение данных и последовательность буферов либо программируется, либо определяется заголовком последовательности действий. Смещение данных для последовательности буферов формируется на основе регистра CSR.

Блок GPI-TX проходит по списку связанных буферов и передает данные, разрешая передачу фреймов Jumbo, без любых дополнительных затрат.

Блок передачи данных GPI-TX осуществляет высокоскоростной доступ в локальную память и регистры управления.

После размещения пакета во внутреннем буфере пакет освобождается блоком BMU. Блок GPI-TX рассчитывает стартовый адрес размещения пакета и передает его в BMU для надлежащего освобождения буферов.

5.3 Менеджер буферизации данных (BMU)

Блок менеджера буферизации данных (далее – блок BMU) выделяет и освобождает ресурс для пакетов. Периферийные блоки приема и передачи взаимодействуют друг с другом на аппаратном уровне, выделяя и освобождая память. EMAC получают уровень заполнения буфера для генерации пакетов паузы.

Микросхема содержит два блока BMU, каждый из которых управляет внутренней памятью. Блок BMU разделяет внутреннюю память на части определенного размера (обычно 128 байт) и обслуживает буферы через эти накопители (запрашиваются и освобождаются аппаратными модулями). Механизм доступа – это простое чтение/запись регистра, чтобы выделить/освободить буферы.

Структура буфера совместима с любой операционной системой.

5.3.1 Обработка multicast

Менеджер буферов поддерживает пакеты multicast. Блок BMU подсчитывает число используемых и освобожденных буферов только после того, как пакет будет передан на все порты multicast. Количество ссылок регистрируется программным обеспечением хоста и указывает число элементов, которым будет передан пакет. При передаче пакета портами буферы очищаются (как в случае пакетов unicast – периферия не имеет информации о MCAST пакетах) и число ссылок декрементируется.

Число поддерживаемых multicast пакетов фиксировано и определяется размером внутренней память для хранения ссылок. Если число сессий multicast больше чем поддерживаемый предел, пакеты обрабатываются программным обеспечением по медленному маршруту.

Размер пакета программируется и может быть организован в цепочку для более эффективного применения. Объединение буферов в цепочку позволяет очень просто поддерживать пакеты jumbo.

5.4 Менеджер трафика (TMU)

Блок менеджера трафика (далее – модуль TMU) реализует функциональность качества обслуживания (QoS) в цепочке обработки пакета. Пакеты помещаются в модуль TMU из классификатора после того, как пакет классифицирован и модифицирован. Классификатор определяет очередность размещения пакета. Блок TMU работает с периферийными блоками через выделенные аппаратные сигналы и планирует выдачу пакетов. Аппаратная часть извлекает пакеты из QoS. Аппаратная часть, основанная на QoS, обеспечивает планирование пакетов без каких-либо задержек, а также выполняет цикл планирования раз в несколько микросекунд. TMU позволяет программировать дисциплину очередности (WRR, WFQ или PQ) для осуществления QoS. Число элементов QoS внутри блоков TMU определяется под конкретное приложение (обычно один на порт PHY).

Наиболее важные характеристики блока TMU:

– поддержка множества портов PHY и восьми очередей;
– конфигурируемая глубина очереди для порта;
– реализация Tail Drop;
– реализация двухуровневого планировщика с формирователем на каждом уровне:
– реализация алгоритма PQ (WRR, WFQ с дополнительными входами);
– формирователи маркированных сегментов:
– формирователь для порта.
– гибкая конфигурация для формирователей и планировщиков.
– прямой интерфейс к выходным портам PHY;
– поддержка хост порта;
– поддержка пакетов multicast;
– пакеты обрабатываются как множественные пакеты unicast.

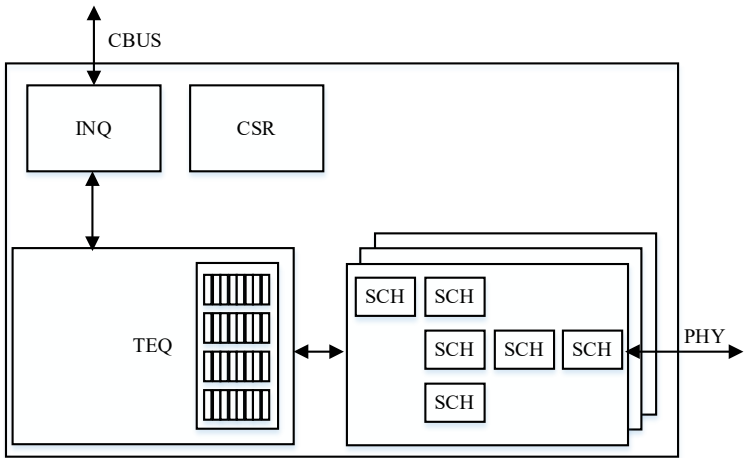


Рисунок 6 – Структурная схема блока TMU

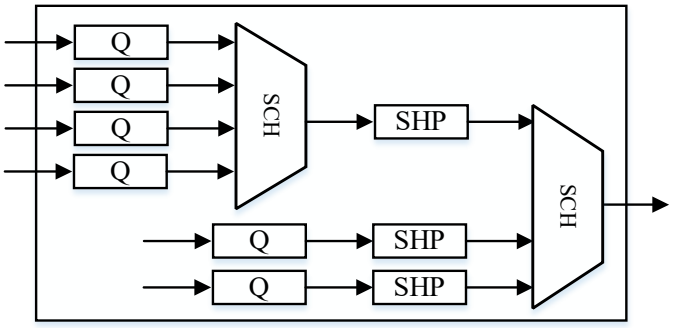


Рисунок 7 – Пример формирователя с планировщиком

В примере на рисунке 7 первые четыре очереди с циклическим алгоритмом (Round Robin) и второй планировщик с конфигурируемым строгим приоритетом.

Блок QoS включает весовые коэффициенты (и кредиты) для обеспечения обслуживания и распределения доступной полосы пропускания со следующими характеристиками:

– восемь классов на порт;

– программируемые весовые коэффициенты, шаг планировщика и максимальный кредит для класса.

TMU определяет следующий пакет, разрешенный для отправки, на каждом шаге планировщика.

Периферия сигнализирует TMU о доступном пространстве в своем FIFO, и на основании этого TMU передает указатель на пакет периферии. Периферия передает пакет и очищает буфер.

В случае multicast множественные ссылки на тот же самый буфер записываются в TMU, который обрабатывает их независимо друг от друга.

Блок классификатора записывает длину пакета вместе с указателем пакета, чтобы облегчить расчет полосы пропускания. Память для хранения указателя пакета может быть расположена во внутренней памяти.

5.4.1 Формирователь

В микросхеме содержится четыре формирователя. Формирователь блока TMU реализует алгоритм кредитования на основе 802.1Q и имеет следующие программируемые параметры:

– значение делителя частоты для добавляемого кредита, который вычисляется как $2^{(clkdivvalue+1)}$;

– дробная часть (12 бит);

– целая часть (8 бит);

– максимальный кредит;

– минимальный кредит;

– запрет/разрешение формирователя;

– интенсивность данных или пакетов.

Выход очереди будет заблокирован (не будет принимать участие в дальнейшем арбитраже), если значение кредита отрицательное. Привязка формирователя к очереди

или планировщику не фиксирована аппаратно, назначается программным обеспечением и может динамически меняться.

Рисунок 8 более подробно описывает блок формирователя.

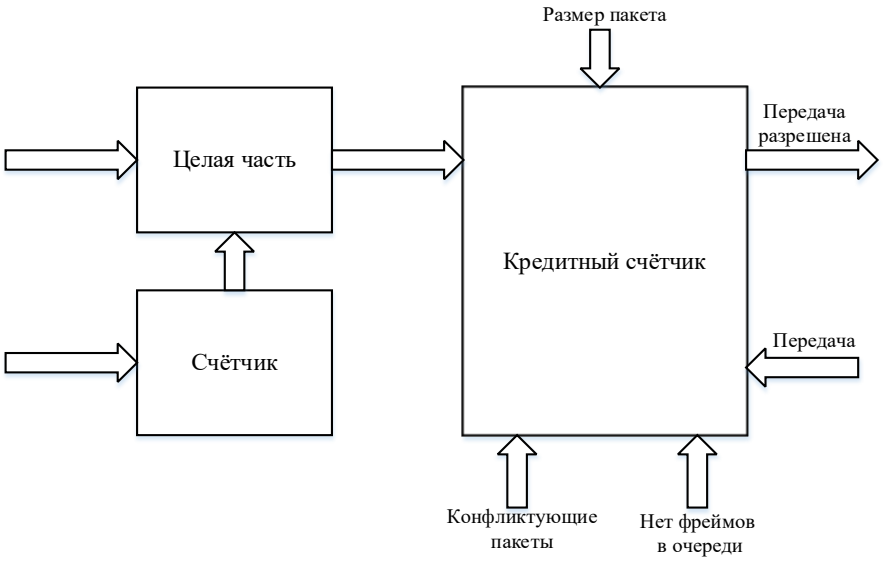


Рисунок 8 – Структурная схема формирователя

Для конвертации скорости счета в паузе ожидания (idleslope) в весовой коэффициент используется формула (1)

$$wgt = \frac{idlesloperate(Mbps) \cdot clkdiv \cdot 2^{\frac{fracwgt_width}{8}}}{sysclk_Mhz}, \quad (1)$$

$$wgt_integer = wgt \gg fracwgt_width;$$

$$wgt_fraction = wgt \,\&\, fracwgt_width\{1'b1\}.$$

Пример:
rate = 10 Мбит/с
clkdiv = 256
sys_clk = 250 МГц
fractionalwgt_width = 8
wgt = 10 ⋅ 256 ⋅ 256/(8 ⋅ 250) = 327,68 = 'h147
int_wgt = 'h1 = 'd1
frac_wgt = 'h47 = 'd71

На каждом такте деленной частоты sys_clk целая часть добавляется к кредитному счетчику, а дробная часть добавляется сама к себе. Когда дробная часть становится равной единице, значение один добавляется к кредитному счетчику. На рисунке 9 представлен пример поведения формирователя в зависимости от каждого из входов.

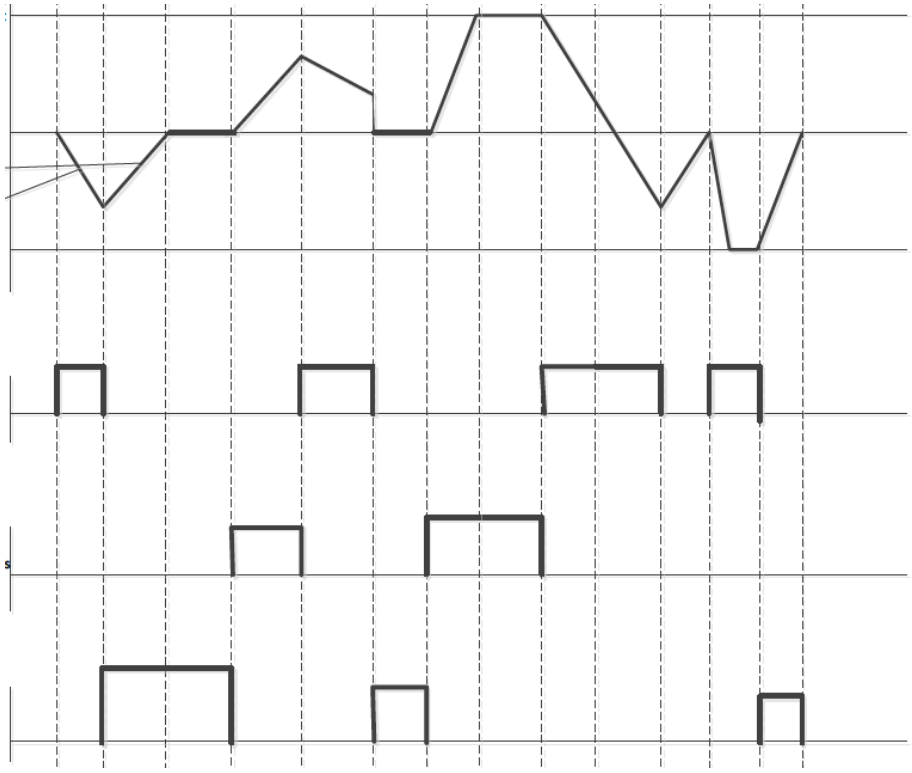


Рисунок 9 – Поведение формирователя в зависимости от входов

В фазе 1 вход передачи в единице (осуществляется кредитование, пакет в очереди, так как равен нулю вход «нет пакета в очереди») указывает, что пакет был передан и кредитный счетчик формирователя будет декрементироваться на размер пакета (кредитный счетчик не будет декрементироваться до тех пор, пока вход передачи не перейдет в ноль, скорость декрементирования равна «sendslope» несмотря на то, что декремент осуществляется на одном такте частоты).

В фазе 2 кредитный счетчик удерживает накопленное значение в соответствии с заданным «idlesloperate». Однако в очереди нет фреймов, поэтому в фазе 3 кредитный счетчик переходит в ноль.

В фазе 4 PHY передает конфликтующие фреймы и несмотря на то, что в очереди есть фреймы (вход «нет пакета в очереди» равен нулю) кредитный счетчик накапливает кредит.

В фазе 5 вход конфликта фреймов становится равным нулю и PHY начинает передавать фреймы из очереди, соответственно кредитный счетчик декрементируется со скоростью декремента.

В фазе 6, несмотря на то, что кредитный счетчик положительный, нет фреймов в очереди и счетчик сбрасывается в ноль.

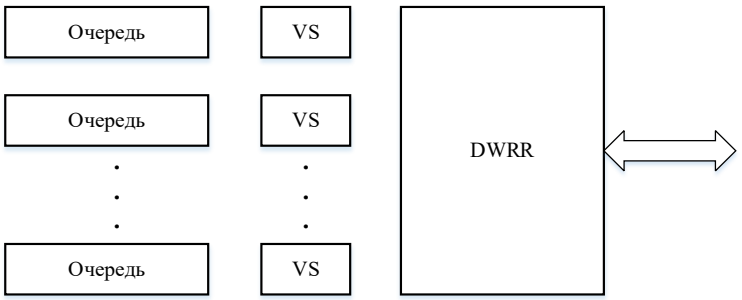
В фазе 8 кредитный счетчик достигает максимального значения и далее инкремент прекращается несмотря на то что присутствует конфликт фреймов.

В фазах 9 и 10 множественные пакеты из очереди передаются пока кредитный счетчик не станет отрицательным. Если кредитный счетчик стал отрицательным, TMU ожидает пока не накопятся положительные кредиты (включая ноль) даже если пакеты в очереди (как показано в фазе 10).

В фазе 12 кредитный счетчик достигает минимального значения и после этого счетчик останавливается несмотря на то что происходит передача пакета.

5.4.2 Планировщик

Коммутатор содержит два планировщика на один PHY, и каждый из них имеет программируемую дисциплину планирования. Каждый планировщик может быть связан с восемью очередями.



VS – формирователь (ограничитель скорости);
Deficit WRR (DWRR) – содержит дефицитный счетчик и весовые коэффициенты

Рисунок 10 – Структурная схема планировщика

TDQ содержит PQ и схему дефицитной весовой циклической диспетчеризации (DWRR) для планирования следующей очереди. Планировщик контролирует значение дефицитного счетчика для каждой не пустой очереди чтобы определить необходимость обслуживания пакета из очереди по кругу или нет. 22-разрядный дефицитный счетчик обслуживает базис очереди. Бит 22 используется как знак. Простой циклический алгоритм также доступен и в аппаратной части. Когда выбрана схема с приоритетами, очередь 7 получает наивысший приоритет, а очередь 0 получает низший приоритет. Схемы с приоритетом DRR/RR могут быть разрешены для базиса планировщика посредством конфигурации.

TDQ содержит вектора очередь не пуста (QNE) и дефицитный счетчик больше нуля (DFZ), позволяющие выбрать нужную очередь. Вектор статуса QNE обновляется каждый раз, когда что-либо размещается в очереди. Вектор DGZ обновляется после того, как блок TDQ запланировал пакет. При чтении дефицитного массива происходит декремент дефицитных счетчиков. Если значение счетчика не больше нуля, вектор DGZ обнуляется, предоставляя статус счетчика.

Планировщик поддерживает различные алгоритмы арбитража.

Таблица 3 – Алгоритмы планировщика

PQ	DWRR	Простой циклический алгоритм
Каждой очереди присваивается приоритет. Очередь с высшим приоритетом должна быть очищена прежде, чем осуществится доступ к	Каждой очереди присваивается весовой коэффициент равный проценту от скорости соединения. Процент и дефицитный счетчик	Переход к следующей очереди осуществляется после полного опустошения предыдущей очереди по циклу

PQ	DWRR	Простой циклический алгоритм
следующей очереди ниже по приоритету. Планировщик работает на скорости передачи соединения	используются для обеспечения полосы пропускания и равных прав для каждой очереди	

Параметры планировщика:

– разрешение планировщика (конфигурируется число очередей);

– флаги планировщика:

  – тип алгоритма планировщика (имя алгоритма);

  – маска активных очередей (очереди, которые принимают трафик);

– маска разрешенных TX очередей (очереди, имеющие достаточно кредитов для вывода пакетов из очереди);

– разрешающая способность таймера;

– следующая очередь планировщика (очередь, которая используется для следующего тайм-аута планировщика (DWRR)).

5.5 Классификатор

Классификатор – это модуль с аппаратной поддержкой для выполнения функций обработки пакета, таких как классификация и модификация Layer 2.

Аппаратная часть разрешает закрытый доступ к общим ресурсам, таким как счетчики пакетов и т.д., извлекает указатели из памяти. Аппаратная часть определяет порядок выполнения и пути оправки данных непосредственно в TMU и хост-процессор.

5.5.1 Блок организации очередей

Блок извлекает пакеты из периферии такой, как Ethernet и направляет пакеты в блоки обработки. Блок присваивает пакетам порядковый номер, который используется позже для переупорядочивания. Этот блок помогает организовать очереди входных портов, которые помогают инициировать пакеты пауз.

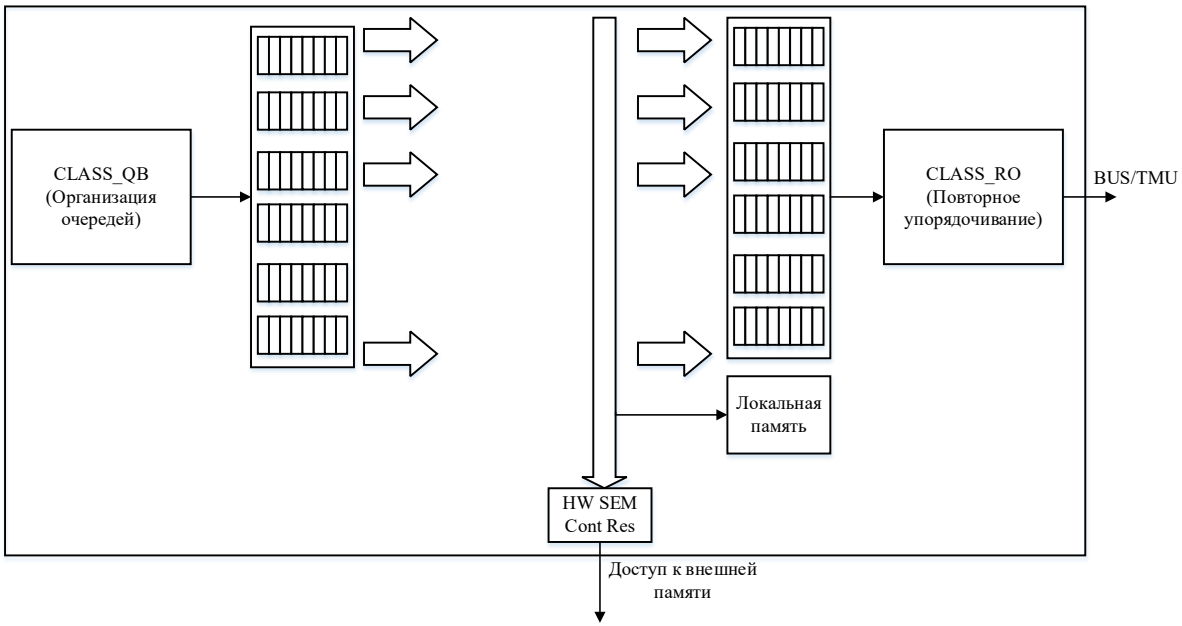


Рисунок 11 – Структурная схема классификатора

Блок организации очередей читает статус и заполняет буфер DM. Блок обладает гибкостью при назначении пакетов из определенного PHY. Блок содержит три важных модуля.

5.5.1.1 QB-INQ

EMAC-GPI записывает указатель пакета в регистр class_inq_pktpr, основываясь на доступности буфера, QB-INQ извлекает указатель пакета из локальной памяти (LMEM) и записывает в локальное FIFO. CLASS_PARSE анализирует заголовок и записывает заголовок, результаты анализа в промежуточную память.

5.5.1.2 QB-FETCH

Основываясь на регистре конфигураций классификатора и результатах анализа, QB_FETCH извлекает запись маршрутизации из внешней памяти или запись коммутации из общей памяти (хэш-памяти).

– QB_RTFET извлекает запись маршрутизации из внешней памяти, основываясь на значении хэш, и записывает ее в промежуточную память. Этот тип извлечения обычно отключен в конфигурации коммутатора, исключения бывают только очень в специальных случаях.

– QB_BRFET извлекает записи коммутации из общей памяти (хэш памяти) и записывает ее в промежуточную память.

5.5.1.3 QB-DMI

Блок извлекает всю информацию, то есть результаты анализа, заголовок пакета, запись маршрутизации/коммутации из промежуточной памяти и записывает в доступные буферы.

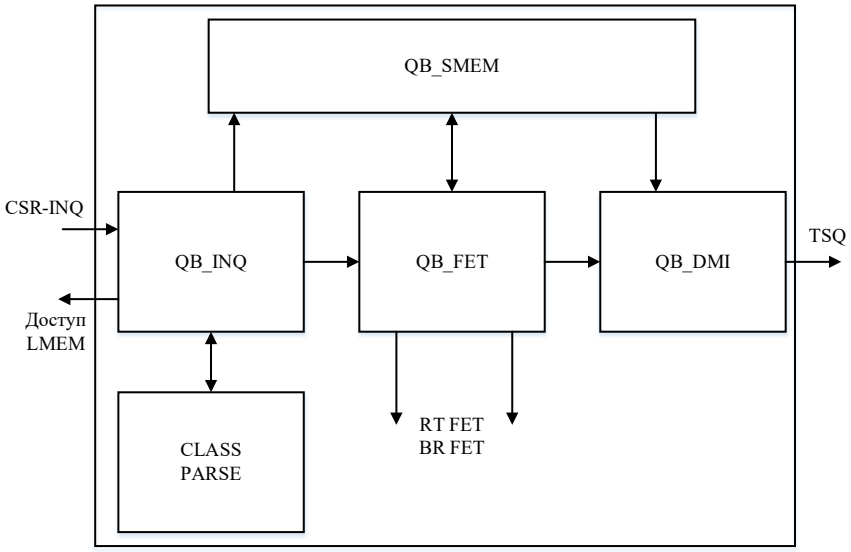


Рисунок 12 – Структура блока QB

5.5.2 Отслеживание (перехват)

Аппаратный блок классификатора способен распознавать несколько протоколов высокого уровня и производить дополнительные операции по их поддержке. Одна из таких операций может быть выполнена при идентификации протокола:

- отбросить пакет;
- переслать пакет;
- захватить пакет на хост для обработки;
- захватить пакет на хост для обработки, а также переслать пакет.

На данный момент поддерживаются следующие протоколы:

- IGMPv2;
- MLDv1 и MLDv2.

5.5.3 Сопоставительная таблица уровня L2 и таблица VLAN

Сопоставительная таблица уровня L2 и таблица VLAN предназначены для поддержки соединительной функции уровня L2. Назначение этих таблиц – определить, в какой порт или порты необходимо переправить пакет, основываясь на MAC-адресе и/или VLAN ID принятого пакета.

Операция поиска в таблице основана на вычислении хэш-функции. Хэш-коллизии разрешаются с помощью поддержки связанных списков записей в хэш-сегменте памяти. Существует три способа организации таблицы и вычисления хэш-индекса:

- на основе MAC адреса;
- на основе VLAN ID;
- на основе MAC адреса + VLAN ID.

Таблица, основанная на VLAN ID, обычно неполная сама по себе и используется совместно со второй таблицей на основе MAC адресов.

Каждая запись в таблице включает следующие поля:

- MAC адрес (48 бит);

– VLAN ID;
– флаг статической записи;
– флаг достоверности записи;
– флаг маршрутизации;
– бит обновления (устанавливается периодически функцией устаревания, и сбрасывается при использовании записи);
– маска порта;
– специфичный адрес класса обслуживания (CoS);
– указатель на операцию (16 бит) или данные (32 бит);
– указатель на следующую запись.

Обычно при индивидуальной рассылке (unicast) осуществляется поиск MAC-адреса назначения в принятом пакете, и если он найден, пакет перенаправляется в список портов определенный в таблице записей. Если адрес не найден, пакет распространяется на все порты (или VLAN). Может применяться программное обеспечение хоста, чтобы фиксировать multicast пакеты (через функцию захвата) и использовать эту информацию при обновлении таблицы для ограничения распространения пакета только на те порты, список которых зарегистрирован.

Статические записи в таблице могут быть использованы для специальных операций в случае локальных соединении и/или хорошо известных MAC-адресах. Например, MSTP BPDU может быть захвачен на хост.

Все блоки QB, CSR имеют специальный/уникальный регистровый интерфейс, чтобы избежать конфликтов. Доступ к таблицам осуществляется через арбитраж.

В следующих разделах представлена информация о полях и операциях над этими структурами. В случае, если представлен только один аппаратный классификатор, QB соединяется с таблицей L2 и направляет данные аппаратному классификатору.

5.5.3.1 Базовая MAC таблица

Таблица имеет простую структуру. Все другие структуры могут быть реализованы при использовании этой базовой единицы.

5.5.3.2 Поля

Следующие поля содержаться в записи таблицы:
– MAC-адрес назначения (48 бит);
– данные операции (20 бит/32 бита);
– флаг статической записи;
– флаг маршрутизации;
– бит обновления (используется для устаревания – программа записывает этот бит, аппаратное обеспечение сбрасывает его при использовании записи);
– указатель на операцию (16 бит).
– указатель на область коллизий (16 бит);
– флаги (8 бит):
– достоверность хэш-записи;

– достоверность указателя коллизии;

– 6 бит резерва.

5.5.3.3 Типы таблиц

Следующие типы таблиц могут быть применены в базовой структуре:

1 Базовая MAC-таблица:
поиск основан на 48 битах.

2 VLAN-таблица:
поиск основан на 13 битах.

3 MAC-таблица с двумя полями:
MAC-адрес (48 бит);
VLAN ID (13 бит).

5.5.3.4 Хэш-операции

Операция поиска записи

Операция поиска записи является наиболее распространенной операцией.

Входные данные – MAC адрес 48 бит + VLAN 13 бит (всего 61 бит) или VLAN 13 бит (в случае VLAN таблицы).

Результат – данные операции:

– есть совпадение/нет совпадения.

Последовательность действий поиска

а) Вычисление хэш-функции на основе входных данных;

б) Поиск по хэш-таблице с применением результата хэш-функции – младшие биты хэш-адреса в операции чтения памяти. Результатом выполнения операции может быть один из четырех вариантов:

1 запись некорректна – устанавливается бит, нет совпадения и поиск прекращается;

2 запись корректна и входной MAC-адрес совпадает с MAC-адресом записи в таблице – устанавливается бит, есть совпадение и поиск прекращается;

3 запись корректна и входной MAC-адрес не совпадает с MAC-адресом записи таблицы и указатель на следующую запись некорректен – устанавливается бит, нет совпадения и поиск прекращается;

4 запись корректна и входной MAC-адрес не совпадает с MAC-адресом записи таблицы и указатель на следующую запись корректен – чтение содержимого указателя на следующую запись и повтор шага б).

Операция удаления записи

При выполнении операции удаления записи не нужно такой же эффективности, как при операции поиска, так как удаление записи – редко используемая операция.

Входные данные – MAC-адрес 48 бит + VLAN 13 бит (всего 61 бит) или VLAN 13 бит (в случае VLAN таблицы).

Результат – удачно/не удачно.

Операция удаления выполняет операцию поиска, приведенную выше. И в зависимости от ее результата выполняет следующие действия:

а) Результат операции поиска – нет совпадения, операция удаления завершается с результатом неудача.

б) Если операция поиска завершается успешно, и:

– если это только одна запись для хэш-функции, бит достоверности записи очищается;

– если значение хэш-функции имеют множественные записи, связанные с этим значением, совпадающая запись удаляется из списка соединения и цепочка корректируется без этой записи. Возможны три таких случая:

– запись удаляется из начала;

– запись удаляется из конца;

– запись удаляется из середины.

с) Если запись удаляется из конца или середины, добавляется буфер к свободному списку доступных буферов.

Операция обновления

При выполнении операции обновления не нужно такой же эффективности, как при операции поиска, так как обновление – редко используемая операция. Все значения записи будут обновлены на новые после выполнения этой операции. Обычно выполняется при изменении порта или бита обновлении при операции устаревания.

Входные данные – MAC-адрес 48 бит + VLAN 13 бит (всего 61 бит) или

VLAN 13 бит (в случае VLAN таблицы);

– запись для обновления (по завершению запись будет обновлена).

Результат – удачно/не удачно.

Операция обновления выполняет операцию поиска, приведенную выше. И в зависимости от ее результата выполняет следующие действия:

а) Результат операции поиска – нет совпадения, операция обновления завершается с результатом неудача.

б) Если операция поиска завершается успешно, и:

– запись заменяется новым значением. Указатель коллизии и бит его достоверности будут иметь предыдущие значения.

Операция добавления записи

При выполнении операции добавления записи не нужно такой же эффективности, как при операции поиска, так как добавление записи – редко используемая операция.

Добавление уже существующей записи является артефактом мультипроцессорного доступа. В таком случае, аппаратное обеспечение идентифицирует этот сценарий как обновление записи.

Входные данные – MAC-адрес 48 бит + VLAN 13 бит (всего 61 бит) или

VLAN 13 бит (в случае VLAN таблицы);

– добавляемая запись.

Результат – удачно/не удачно.

Следующие шаги выполняются при операции добавления записи:

а) Вычисление хэш-функции на основе входных данных.

б) Чтение MAC-таблицы на основе значения хэш-функции – младшие биты (размер хэш-бит определяется в регистре CSR);

в) Если запись не занесена (бит достоверности не установлен), запись добавляется, и устанавливается бит достоверности.

г) Если запись уже существует в этой позиции, и MAC-адрес совпадает, запись обновляется на новую.

д) Если запись уже существует в этой позиции, и MAC-адрес не совпадает, и указатель коллизии недействительный:

– получение указателя записи из списка свободных, использование его в качестве указателя коллизии с целью загрузки записи по указателю коллизии;

– если нет свободных указателей записи, результат будет не удачный.

е) Если запись уже существует в этой позиции, и если MAC-адрес не совпадает, и если указатель коллизии не нулевой, защелкивается содержимое указателя коллизии, и переход к описанному выше шагу б.

5.5.3.5 Прямой доступ к памяти

Прямой доступ к памяти необходим программному обеспечению хоста, чтобы периодически просматривать достоверные записи.

Это малопроизводительная операция, осуществляющая чтение и запись в фактическую память напрямую.

Хост может читать и писать полную хэш-запись, используя прямой доступ к памяти:

– прямая запись в память:

– в командный регистр заносится команда DIRECT MEMORY WRITE;

– расположение в хэш-памяти для записи определяется в битах 31:16 командного регистра;

– данные хэш-записи записываются в 32-разрядные регистры запроса (REQ1_MAC1_ADDR to REQ1_ENTRY_REG).

– прямое чтение из памяти:

– в командный регистр заносится команда DIRECT MEMORY READ;

– хост ждет завершения команды;

– запись записывается в регистры запроса. Хост может прочитать эти регистры для получения данных.

5.5.3.6 Данные операции записи

Данные операции записи для MAC+VLAN таблицы 31 разряд.

Данные операции записи для VLAN таблицы 55 разрядов.

Подраздел 5.5.7 «Аппаратный классификатор» описывает поля операции записи для MAC- и VLAN-таблиц.

5.5.3.7 Связанный лист управления

В таблице L2 содержится свободный список указателей. Таблица L2 разделена на две области:

- первый уровень – область хэш (HASH SPACE);
- второй уровень – область записей (COLLISION SPACE).

После сброса программное обеспечение хоста заполняет второй уровень – область записей – набором указателей, объединенных в цепочки. Список цепочек описывает список свободных записей. После сброса все записи на втором уровне свободны. Хостом программируются два регистра FREE_HEAD_PTR и FREE_TAIL_PTR. На примере 8-разрядной хэш, память и регистры программируются следующим образом:

FREE_HEAD_PTR – 0x100

FREE_TAIL_PTR – 0x1FF (для таблицы с общим размером записей 512)

Начала	Конец	Содержимое
0x000	0x0FF	не заполнено
0x100		0x101
0x101		0x102
0x102		0x103
…		
…		
0x1FE		0x1FF
0x1FF		не имеет значения

Аппаратная часть, обновляя таблицы записей с помощью удаления, добавления записей, регулирует содержимое обоих FREE-списков как FREE_HEAD_PTR, так и FREE_TAIL_PTR.

Их содержимое доступно только после сброса или нет незаконченного трафика.

Бит достоверности записей во всей MAC-таблице устанавливается в ноль.

5.5.3.8 Программные функции

Этот раздел описывает вид программного обеспечения и выполняемые им функции.

Устаревание

Периодически программное обеспечение хоста записывает бит fresh в MAC-записи. Если это статическая запись, имеется свобода действий для программного обеспечения обновлять бит fresh или нет. Так как хосту неизвестно какие записи достоверны, хост проходит по всем записям, используя прямой доступ к памяти, чтобы узнать достоверность записей. Основываясь на битах достоверности записи и ее статичности, хост обновляет запись вместе с битом устаревания и удаляет запись, если необходимо. Аппаратный классификатор при каждой успешной функции поиска записи очищает бит fresh. Программное обеспечение опрашивает все записи через запасной вход (не через функцию поиска, а с помощью прямого доступа обнаруживает записи). Программное обеспечение может читать все содержимое памяти во время операций и,

если необходимо может создать параллельную таблицу. Может быть специальный механизм обновления записи для обновления бита fresh (только обращение к биту, не затрагивая остальную часть записи).

5.5.3.9 Список интерфейсных сигналов

Для всех блоков CSR и QB выделен отдельный регистровый интерфейс для доступа при записи/чтении. Взаимодействие блоков с регистрами осуществляется через определенное адресное пространство.

Этот интерфейс объединяет шины AHB/APB, однако адреса и регистры, через которые они взаимодействуют, различны.

Набор регистров аналогичен блоку CAM. Каждый интерфейс записывает записи или MAC-адреса, выдает команду и ожидает ее окончания опросом.

Блок управления таблицей адресует запросы по простому циклическому алгоритму. Получателем ресурсов является блок QB, осуществляющий операцию поиска.

5.5.3.10 Пример структуры Таблиц

Хэш-память MAC (8192x124 бит)

Таблица 4 – Хэш-таблица MAC

0	HASH SPACE (4096 позиций)
1	
..	
..	
4095	
4096	COLLISION SPACE (4096 позиций)
4097	
..	
..	
8191	

Таблица 5 – Запись таблицы коммутации L2

Название поля	Флаги	Указатель коллизии	Порт	Поле достоверности	Данные операции	VLAN	MAC
Биты поля	4	16	4	8	31	13	48
Позиция	123:120	119:104	103:100	99:92	91:61	60:48	47:0

Таблица 6 – Флаги записи таблицы коммутации

Название поля	Достоверность записи	Достоверность указателя коллизии	Зарезервировано
Биты поля	1	1	2
Позиция	123	122	121:120

Таблица 7 – Флаги достоверности таблицы коммутации

Название поля	Зарезервировано	Достоверность поля 5	Достоверность поля 4	Достоверность поля 3	Достоверность поля 2	Достоверность поля 1
Биты поля	3	1	1	1	1	1
Позиция	99:97	96	95	94	93	92

Хэш-память VLAN (128x100 бит)

Таблица 8 – Хэш-таблица VLAN

0	HASH SPACE (64 позиции)
1	
..	
..	
63	
64	COLLISION SPACE (64 позиции)
65	
..	
..	
127	

Таблица 9 – Запись таблицы VLAN

Название поля	Флаги	Указатель коллизии	Порт	Поле достоверности	Данные операции	VLAN
Биты поля	4	16	4	8	55	13
Позиция	99:96	95:80	79:76	75:68	67:13	12:0

Таблица 10 – Флаги записи таблицы VLAN

Название поля	Достоверность записи	Достоверность указателя коллизии	Зарезервировано
Биты поля	1	1	2
Позиция	99	98	97:96

Таблица 11 – Флаги достоверности таблицы VLAN

Название поля	Зарезервировано	Достоверность поля 5	Достоверность поля 4	Достоверность поля 3	Достоверность поля 2	Достоверность поля 1
Биты поля	3	1	1	1	1	1
Позиция	75:73	72	71	70	69	68

Каждый модуль хэш имеет формирователи запросов CSR и QB.

Формирователи запросов CSR имеют интерфейс APB. Блок QB имеет специализированный интерфейс.

Каждый формирователь запроса имеет набор регистров для хэш-операции.

5.5.3.11 Хэш-регистры

Таблица 12 – Хэш-регистры

Название регистра	Смещение	Описание
REQ1_CMD_REG	10'h0	Биты 3:0 – команда Биты 7:4 – зарезервированы Бит 8 – поле 1 (DMAC) достоверно Бит 9 – поле 2 (Vlan ID) достоверно Бит 10 – зарезервировано Бит 11 – зарезервировано Бит 12 – зарезервировано Биты 15:13 – зарезервированы Биты 31:16: – адрес хэш-памяти, в случае доступа с применением команд DIRECT_MEM_READ / DIRECT_MEM_WRITE; – номер порта, добавляемого в таблицу, в случае применения команды ADD
REQ1_MAC1_ADDR_REG	10'h4	Поле 1 (MAC[47:16]) старшие 32 разряда адреса или данные операции прямого доступа в память
REQ1_MAC2_ADDR_REG	10'h8	Младшие 16 разрядов адреса MAC[15:0] и Поле2 (Vlan ID) или данные операции прямого доступа в память
REQ1_MAC3_ADDR_REG	10’hc	Данные операции прямого доступа в память
REQ1_MAC4_ADDR_REG	10’h10	Данные операции прямого доступа в память
REQ1_MAC5_ADDR_REG	10’h14	Данные операции прямого доступа в память
REQ1_ENTRY_REG	10'h18	Поле данные операции записи таблицы или данные операции прямого доступа в память
REQ1_STATUS_REG	10’h1C	Бит 0 – операция завершена Бит 1 – запись не найдена Бит 2 – инициализация завершена Бит 3 – запись добавлена Бит 4 – совпадение 31:5 – зарезервированы Биты считаются достоверными, если бит 0 установлен в единицу. Все биты могут быть очищены записью единицы

Название регистра	Смещение	Описание
REQ1_DIRECT_REG	10'h20	Используется в случае прямого доступа в память
HOST REGISTERS	10'h400 10'h420	Аналогичный набор регистров REQ1 для хоста
QB REGISTERS	10'h440 10'h460	Аналогичный набор регистров REQ1 для блока QB
FREE LIST HEAD PTR	'h480	Указатель на начало свободного списка указателей
FREE LIST TAIL PTR	'h484	Указатель на конец свободного списка указателей
FREE LIST ENTRIES	'h488	Список свободных записей
HASH VERSION	'h48c	Регистр версии хэш функции: 7:0 – номер версии Если номер версии равен нулю, поиск осуществляется по MAC-адресу. Если номер версии 1, поиск осуществляется по набору из пяти полей
HASH_DEBUG_STATE_ADDR	'h490	Отладочный регистр хэш
HASH_DEBUG_CONTROL_ADDR	'h494	Отладочный регистр хэш

5.5.3.12 Хэш-команды

Таблица 13 – Хэш-команды

Название команды	Значение
CMD_INIT	1
CMD_ADD	2
CMD_DELETE	3
CMD_UPDATE	4
CMD_SEARCH	5
CMD_MEM_READ	6
CMD_MEM_WRITE	7
CMD_FLUSH	8

Для команд ADD, DELETE, UPDATE, SEARCH необходимо записать в регистры все пять полей. Каждое поле имеет бит достоверности. Эти биты достоверности также должны быть определены.

После завершения выполнения любой команды формируются статусные сигналы. Таблица 14 определяет значения полей статуса для каждой команды.

Таблица 14 – Поля статуса команд

Команда	Команда завер-шена (бит 0)	Запись не найдена (бит 1)	Инициа-лизация заершена (бит 2)	Запись добавлена (бит 3)	Совпа-дение (бит 4)	Описание
CMD_INIT	1	не важно	1	не важно	не важно	–
CMD_ADD	1	не важно	не важно	1 – добавлена успешно 0 – не добавлена	не важно	–
CMD_DELETE	1	1 – удаление неудачно, так как запись не найдена 0 – удаление удачно	не важно	Не важно	не важно	–
CMD_UPDATE	1	1 – запись не найдена 0 – запись уже существует	не важно	1 – запись добавлена 0 – запись не добавлена	не важно	Команда успешна если запись уже существует или запись не существовала и была добавлена
CMD_SEARCH	1	1 – не найдена 0 – найдена	не важно	не важно	1 – совпала 0 – не совпала	Совпадение имеет смысл только в команде поиска
CMD_MEM_ READ	1	не важно	не важно	не важно	не важно	Для успешного завершения этих команд достаточно только бита 0
CMD_MEM_ WRITE	1	не важно	не важно	не важно	не важно	
CMD_FLUSH	1	не важно	не важно	не важно	не важно	
CMD_BLOCK	1	не важно	не важно	не важно	не важно	

5.5.3.13 Регистры, программируемые для выполнения команд

Таблица 15 – Регистры, программируемые для выполнения команд

CMD	REQ1_CMD _REG	MAC1_ ADDR	MAC2_ ADDR	MAC3_ ADDR	MAC4_ ADDR	MAC5_ ADDR	ENTRY _REG	STATUS_REG
INIT	32’h1	Ø	Ø	Ø	Ø	Ø	Ø	Ожидание завершения команды. Бит 2 должен быть установлен
ADD	3:0 – ADD 7:4 – 4’b0 12:8 – 5 бит поля достоверны 13 – порт достоверный 15:14 – 3’b0 19:16 – порт 31:20 – 12’b0	MAC [47:16]	{VLAN_ID, MAC [15:0]}	Ø	Ø	Ø	Данные опера-ции	Ожидание завершения команды. Проверка бита 3

CMD	REQ1_CMD_REG	MAC1_ADDR	MAC2_ADDR	MAC3_ADDR	MAC4_ADDR	MAC5_ADDR	ENTRY_REG	STATUS_REG
DEL	3 : 0 – DEL 7:4 – 4'b0 12:8 – 5 бит поля достоверны 13- порт достоверный 31:13 –19'b0	MAC [47:16]	{VLAN_ID, MAC [15:0]}	Ø	Ø	Ø	Ø	Ожидание завершения команды. Проверка бита 1
UPDATE	3:0 – UPDATE 7:4 – 4'b0 12:8 – 5 бит поля достоверны 13- порт достоверный 31:13 –19'b0	MAC [47:16]	{VLAN_ID, MAC [15:0]}	Ø	Ø	Ø	Данные операции	Ожидание завершения команды. Проверка бита 1 или бита 3
SEARCH	3:0 – SEARCH 7:4 – 4'b0 13 – порт достоверный 12:8 – 5 бит поля достоверны 31:13 – 19'b0	MAC [47:16]	{VLAN_ID, MAC [15:0]}	Ø	Ø	Ø	Чтение данных операции	Ожидание завершения команды. Проверка бита 4 Чтение записи обновляет регистр записи
MEM_WRITE	3:0 – MEM_WRITE 15:4 – 14'b0 31:16 – адрес хэш памяти для записи	direct_wdata [31:0]	direct_wdata [63:32]	direct_wdata [95:64]	direct_wdata [127:96]	direct_wdata [159:128]	direct_wdata [191:160]	Ожидание завершения команды
MEM_READ	3:0 – MEM_READ 15:4 – 14'b0 31:16 – адрес хэш памяти для чтения	direct_rdata [31 :0]	direct_rdata [63 :32]	direct_rdata [95:64]	direct_rdata [127:96]	direct_rdata [159:128]	direct_rdata [191:160]	Ожидание завершения команды. Прямое чтение данных обновляет регистры запроса
FLUSH	3:0 – MEM_FLUSH 7:4 – зарезервировано 12:8 – поле позиции 13 – порт достоверный 14 – специальный символ VLAN 19 :16 – номер порта	Сравниваемое поле. VLAN-ID	Ø (Эти поля достоверны в случае их использования для сравнения. Если сравниваемое поле VLAN, то эти поля не достоверны) В случаем если сравниваемое поле MAC-адрес+VLAN, то эти регистры должны быть соответственно заполнены					Ожидание завершения команды

CMD	REQ1_CMD_REG	MAC1_ADDR	MAC2_ADDR	MAC3_ADDR	MAC4_ADDR	MAC5_ADDR	ENTRY_REG	STATUS_REG
BLOCK	3:0 – MEM_BLOCK 7:4 – зарезервировано 12:8 – поле позиции 13 – порт достоверный 14 – специальный символ VLAN 19:16 – номер порта	Сравниваемое поле. VLAN-ID						Ожидание завершения команды
Примечание – Симфолом Ø обозначены параметры, значение которых не важно								

5.5.3.14 Вычисление хэш

Значение хэш – это функция XOR 16 бит каждого выбранного ключа.

Для хэш-таблицы из пяти полей:

hash_cal[15:0] = key[15:0] ^ key[31:16] ^ key[47:32] ^ key[63:48] ^ key[79:64] ^ key [95:80] ^ key[111:96] ^ key[127:112] ^ key[143:128] ^ key[159 : 144]

Адрес хэш памяти = hash_cal & HASH_MEM_DEPTH{1'b1};

5.5.3.15 Инициализация хэш таблицы

а) Перед тем, как выполнить любую команду необходимо инициализировать хэш-таблицу.

б) Необходимо выполнить команду INIT, которая запишет все нули в область хэш.

в) Программному обеспечению необходимо сформировать связанный список в области коллизий с помощью команды прямой записи в память:

1 пример для MAC-таблицы с 8192 записями и шириной записи 124 бита;
2 область коллизии начинается с адреса 0x1000 и заканчивается адресом 0x1FFF;
3 в адресе 0x1000 необходимо записать {4'h4, 16'h1001, 104'h0};
4 В адресе 0x1001 необходимо записать {4'h4, 16'h1002, 104'h0}.

г) Программному обеспечение необходимо инициализировать начало и конец свободных записей, а также число записей:

1 например, в случае MAC-таблицы;
2 начало свободного списка это 0x1000;
3 конец свободного списка это 0x1FFF;
4 число записей 4096.

В текущей реализации нет ограничения на длину цепочки коллизий, она ограничена объемом памяти.

5.5.3.16 Параметры хэш модуля

– Число хэш записей строго определено:

– 8192 записи для MAC-таблицы;
– 128 записей для VLAN-таблицы.
– Для хэш-модуля предназначен один из хэш-формирователей запросов.
– Ширина данных операции
– текущее значение 31 бит для MAC-таблицы;
– текущее значение 55 бит для VLAN-таблицы.
– Ширина записи рассчитывается на основе числа полей.

5.5.4 Предотвращение DOS-атаки

Блок CLASS_PARSE способен распознавать некоторые поля протоколов высокого уровня и выполнять дополнительные действия для предотвращения DOS-атак. В аппаратной части для пакетов могут быть разрешены следующие фильтрующие действия:

– отбросить пакет;
– обрабатывать пакет стандартным способом;
– захватить пакет на хост для обработки;
– захватить пакет на хост для обработки и обработать его стандартным способом.

Ниже представлен список функций, доступных в модуле CLASS_PARSE:

– SRC PORT == DST PORT (TCP/UDP);
– SRC IP == DST IP (IPV4/IPV6);
– TCP флаг маски:
– используется для останова SYN=1, FIN=1.
– ICMP-пакеты в фрагментированных пакетах;
– имеются счетчики для каждого из видов вышеописанных пакетов. Счетчики очищаются при чтении.

5.5.5 Блок переупорядочивания

Блок переупорядочивания получает пакеты с модифицированными заголовками и упорядочивает их по порядковому номеру в пакете. Блок пересылает заголовки пакетов в выделенные буферы и передает указатели пакетов в модуль TMU.

5.5.6 Блок когерентного доступа

Блок когерентного доступа разрешает проблему доступа различных блоков обработки к одному ресурсу. Адреса ресурса помечаются, и доступ блоку обработки блокируется, пока предыдущий запланированный доступ не будет завершен.

Блок выполняет следующие функции:

– вычитывание данных таблицы и передача запрашивающему их блоку обработки;
– выполнение Чтения-Модификации-Записи для счетчиков производительности;
– формирование унифицированного адреса (адреса на основе интерфейса к блоку обработки):

– в одно и тоже время, этот блок обеспечивает доступ к набору регистров каждого из блоков обработки.

5.5.6.1 DMA для пакетного доступа

Модуль CAE помогает осуществлять пакетный доступ к таблицам маршрутизации и коммутации, размещенных в локальной памяти LMEM. Блок обработки всегда выполняет одиночный доступ (байт, полуслово или слово). CAE выполняет пакетный доступ для выборки полной записи таблицы и сохранение ее в кэш. Последующий доступ за данными таблицы выполняется локально из блока CAE. CAE содержит буферные элементы для каждого блока обработки. В блоке DMA используется следующая последовательность:

– блок обработки записывает команду DMA в CAE;

– DMA-команда содержит адрес и длину передачи которые инициируют выборку;

– блок обработки обращается за данными записи таблицы (доступ может быть байтовый, полуслово или слово);

– любой доступ за пределы записи таблицы запрещается блоком CAE. Это обычная последовательность доступа типа ведомый (не подтверждаемая CAE);

– данные в CAE очищаются, только когда блок обработки запрашивает новые данные;

– блоки DMA работают как кэш с одним входом изменяемой длины.

5.5.6.2 Блок обновления счетчиков

Блок CAE содержит блок обновления счетчиков который выполняет чтение, модификацию и запись счетчиков. Блок CAE выполняет чтение и инкрементирует счетчик. Возможно два типа переполнения. Либо счетчик заворачивается в начало, либо переходит в насыщение и хранит наивысшее значение.

5.5.7 Аппаратный классификатор

В коммутаторе с мультигигабитной конфигурацией все пакеты обрабатываются с использованием аппаратного классификатора. Если коммутатор получает неизвестные пакеты, они перенаправляются на хост-процессор с сопровождающей аппаратной информацией для дальнейшей обработки. Только пакеты, отсутствующие в таблицах L2 VLAN и L2 MAC (и любые другие из установленных фильтров) перенаправляются на хост-процессор.

Например, обучение осуществляется в хост-процессоре, а затем перенаправляется для обычной обработки в аппаратной части.

При аппаратной обработке пакеты направляются на порты на основании записей в таблицах MAC/VLAN. Каждый MAC-адрес, который добавляется в хэш-таблицу, должен добавляться вместе со связанными с ним операциями.

Схема операционной записи в хэш-таблице MAC:

[19:0] – список коммутируемых портов

[22:20] – TC для MACDA2TC

[25:23] – поле операции (ACTION FIELD)
[26] – cut through
[28:27] – не используется
[29] – fresh
[30] – static

Для каждого входящего пакета осуществляется поиск по хэш-таблице MAC для получения связанной с MAC+VLAN операцией. Если не найдено в хэш-таблице MAC, используется операция из таблицы VLAN. Если фрейм не тегированный, для поиска используется vlan id установленный по умолчанию из CSR-регистра.

Схема операционной записи в таблице VLAN:
[19:0] – список коммутируемых портов
[39:20] – не тегированный список
[42:40] – ucast_hit_action (ACTION FIELD)
[45:43] – mcast_hit_action (ACTION FIELD)
[48:46] – ucast_miss_action (ACTION FIELD)
[51:49] – mcast_miss_action (ACTION FIELD)
[54:52] – MSTP
ACTION FIELD:
act_forward = 0;
act_flood = 1;
act_punt = 2;
act_discard = 3;
act_override = 4;
act_fwd_mask = 5;
act_cos_discard = 6;

В дополнение к модификации пакета структура пакета передается в блок TMU, в котором также выполняется часть последовательности операций.

5.5.7.1 Планирование очередей (cos)

Генерация номера очереди состоит из двух этапов:

Этап 1 – На основе полей управления, таких как успешный поиск MAC-адреса назначения, VLAN- или IP-пакет, получается поле TC_SEL.

Этап 2 – Основываясь на поле TC_SEL, выбирается TC-маппирование из следующих типов: DSCP, PCP, MACDA или PID.

TC_SEL регистры для каждого порта

CLASS_QOS_PORT01_TC_SEL – CLASS_QOS_PORT1617_TC_SEL регистры:

Выбираются конкретные разряды из бит [15:0] в регистре каждого из портов в зависимости от флагов DBR[30], VLAN PKT, IP PKT.

{DBR[30], VLAN PKT, IP PKT} → TC_Sel
1’b0 , 1’b0 , 1’b0 → TC_Sel[1:0]
1’b0 , 1’b0 , 1’b1 → TC_Sel[3:2]

1’b0 , 1’b1 , 1’b0 → TC_Sel[5:4]
1’b0 , 1’b1 , 1’b1 → TC_Sel[7:6]
1’b1 , 1’b0 , 1’b0 → TC_Sel[9:8]
1’b1 , 1’b0 , 1’b1 → TC_Sel[11:10]
1’b1 , 1’b1 , 1’b0 → TC_Sel[13:12]
1’b1 , 1’b1 , 1’b1 → TC_Sel[15:14]

DBR[30]: бит 30 – это флаг статической записи в поле операции MAC-таблицы. Если результат поиска в MAC-таблице неудачный, значение бита будет в нуле.

VLAN PKT: порт конфигурируется как проверенный, пакеты имеют значение TPID, равное значению TPID сконфигурированного порта.

IP Pkt: пакеты имеют IP-заголовок (IPV4 или IPV6).

Двухбитовое значение TC_SEL определяет тип маппирования DSCP2TC, PCP2TC или PID2TC, как показано ниже:

TC_Sel[1:0] == 0 -> DSCP2TC маппирование;
TC_Sel[1:0] == 1 -> PCP2TC маппирование;
TC_Sel[1:0] == 2 -> MACDA2TC маппирование;
TC_Sel[1:0] == 3 -> PID2TC маппирование.

MACDA2TC маппирование:

– если DBR[30] равен 1b1, биты [22:20] операционной записи MAC-таблицы определяют значение TC;

– если DBR[30] равен 0, биты [22:20] принимаются равными нулю.

DSCP2TC маппирование:

Регистры CLASS_QOS_GLOBAL_DSCP2TC_MAP[0-6] содержат значения TC, в которые маппируется значения DSCP.

Например:

Регистр CLASS_QOS_GLOBAL_DSCP2TC_MAP0 содержит значение TC в которые маппируется DSCP со значениями от 0 до 9.

Биты [2:0] регистра содержат значение TC, в которые маппируется DSCP со значением 0 и т.д.

PCP2TC маппирование:

Регистр CLASS_QOS_PORT[0-16]_PCP2TC_MAP содержит значения TC, в которые маппируется значение PCP пакета.

Например:

Регистр CLASS_QOS_PORT0_PCP2TC_MAP содержит значения TC, в которые маппируется каждое из значений пакета PCP.

Биты [2:0] регистра содержат значение TC, в которые маппируется PCP со значением 0 и т.д.

PID2TC MAP:

Регистры CLASS_QOS_PORT_PID2TC_MAP, CLASS_QOS_PORT1_PID2TC_MAP.

Соответствующее значение PID маппируется в TC на основе номера входного порта принимаемых пакетов.

Для пакетов инжекции планирование очереди будет основано на вставляемом заголовке. Для захватываемых пакетов с любой причиной захвата применяется конфигурируемый регистр cos.

5.6 Локальная память

Локальная память используется для хранения заголовков пакетов, указателей на фреймы и некоторых табличных записей.

Типовые приложения могут использовать локальную память следующим образом:

– заголовки пакетов/буфер пакетов;

– заголовки операций;

– очереди.

Размер LMEM для каждой из функций:

– 512 Кб – для буфера пакетов;

– 4 Кб – счетчик правил.

Доступ всех периферийных мастеров шины в локальную память осуществляется на основе арбитража. Классификатор использует 50 % LMEM, это обеспечивается прямым портом доступа. Ширина памяти LMEM составляет 256 бит.

5.7 Ведущий, ведомый и арбитраж шины

Внутренняя шина коммутатора AXI. Все модули на шине как ведущие, так и ведомые имеют идентичный интерфейс со стороны шины. В конфигурации с интерфейсом AXI одна шина, приспособленная для мультипортовых ведущих и ведомых. Ведущий на шине AXI ожидает операции чтения в определенном порядке. Неупорядоченный доступ не поддерживается.

5.7.1 Арбитры шин AXI

Арбитры и блоки на шине полностью совместимы с AXI и подходят для мультиведущих и мультиведомых. Архитектура позволяет обрабатывать любое количество раздельных откликов от ведомых.

5.8 Хост-интерфейс (HIF)

Хост-интерфейс включает контроллер DMA, который передает пакеты хосту для обработки по медленному маршруту. Хост-интерфейс имеет возможность передавать пакеты. В случае, если хост в адресном пространстве PCI-E, HIF полностью копирует пакет и помещает его в память хост-процессора. С помощью хост-интерфейса (порта CPU) хост-процессор:

– получает состояние признака завершения процесса Auto-Negotiation;

– получает состояние линка (down, 10/100/1000 Мбит/с);

– осуществляет доступ к регистрам микросхем физического уровня через интерфейсы MDIO;

– задает максимальный размер Ethernet пакета.

Хост-процессор поддерживает цепочку буферов дескрипторов. Программное обеспечение хоста подготавливает буферы дескрипторов, выделяет память под буферы и организует цепочки дескрипторов.

Программное обеспечение обеспечивает сброс бита DESC_EN (установка в ноль) инвалидных буферов дескрипторов, чтобы они не были обработаны по ошибке. Дескриптор с битом DESC_EN, установленным в ноль, располагается в конце цепочки дескрипторов.

Для добавления дескриптора в конец цепочки программному обеспечению хоста необходимо разместить новый дескриптор с битом DESC_EN, равным нулю. Указатель на следующий дескриптор последнего в цепочке дескриптора должен быть разрешен (иметь соответствующие SA/DA и т.д.) и указывать на новый дескриптор.

Максимальный размер пакета, поддерживаемого HIF-интерфейсом, составляет 2 Кбайта, минимальный размер – 32 байта.

Для разрешения и генерации прерываний по таймауту любым каналом необходимо выполнить сброс для перезапуска BD и выборки данных.

HIF обеспечивает два типа потоков трафика между хостом и подсистемой приложения:

– от приложения к хосту;
– от хоста к приложению.

5.8.1 Трафик от приложения к хосту (путь приема)

Хост устанавливает соответствующий указатель адреса назначения для цепочки буферных дескрипторов (куда необходимо скопировать пакет).

Операция

В интерфейсе HIF между приложением и хостом выполняются следующие действия:

– BDs сохраняются в памяти gen_mem_rx_dma_bdp_rd_burst, если они достоверны;
– условия достоверности для BD;
– бит dec_en должен быть в единице;
– порядковый номер должен быть последовательным;
– next_bd_pointer должен указывать на curr_bd_pointer+bd_size. Все BDs должны располагаться в непрерывной области памяти.

Если вышеперечисленные условия не выполняются, тогда все BDs удаляются как недействительные:

– при получении приложением полного пакета он перемещается в RX буфер HIF;
– при сохранении пакета в RX буфер HIF выбирается BD, чтобы получить адрес необходимый для записи данных;
– извлечение необходимой информации из BD;
– посылка запроса AXI мастеру на запись;
– размещение данных в область BD_CTRL.DST_ADDR, полученную из буфера дескриптора;

- данные передаются до завершения пакета:
  - если область, указанная в буфере дескриптора заполнена (свыше BD_CTRL/BUFLEN), выбирается следующий BD из внутреннего FIFO;
  - обслуживается текущий BD, параметры следующего BD загружаются в локальные регистры;
- после обработки каждого BD, его содержимое обновляется во внутреннем FIFO буфера (rx write back);
- при получении HIF достоверности записанных данных происходит обновление BDs в соответствии с полученными данными;
- BDs, выигравший арбитраж, обновляется в системной памяти в режиме burst. При получении HIF подтверждения успешной записи BDs генерируется прерывание, если бит int_en любого BDs установлен для режима burst.

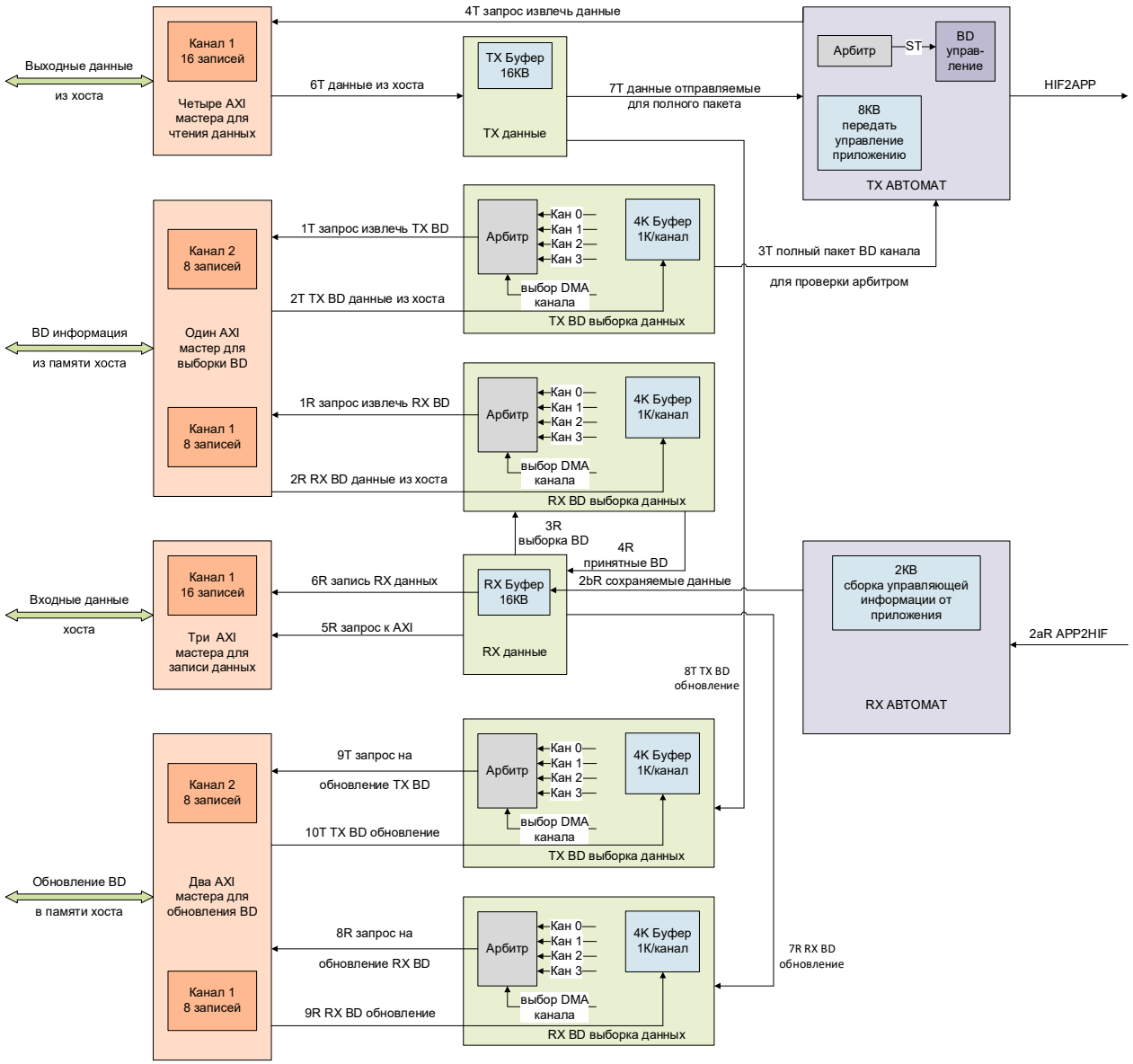


Рисунок 13 – Поток приема и передачи

5.8.2 Трафик от хоста к приложению (путь передачи)

Хост устанавливает соответствующий указатель адреса источника для цепочки буферных дескрипторов, основываясь на посылаемом приложению пакете.

Операции

В интерфейсе HIF между приложением и хостом выполняются следующие действия:

а) Хост программирует буферы дескрипторов и обеспечивает их обновление при их доступности;

б) DMA посылает друг за другом четыре запроса AXI-мастеру для получения BD;

в) Полученные BDs сохраняются в памяти gen_mem_tx_dma_bdp_rd_burst, если они достоверны.

Условия достоверности BD:

1 бит dec_en должен быть в единице

2 порядковый номер должен быть последовательным
3 next_bd_pointer должен указывать на curr_bd_pointer+bd_size. Все BDs должны располагаться в непрерывной области памяти.

Если вышеперечисленные условия не выполняются, тогда все BDs удаляются как недействительные. Каждый канал имеет 1К памяти для хранения полученных BD, поэтому может сохранять до 128 BD на канал.

г) Каналы, которые имеют BDs, соответствующие полному пакету, чтобы выиграть, используют циклический алгоритм арбитража;

д) Выигравший канал посылает запрос AXI мастеру на получение данных;

е) Некоторая часть полученных из локальной памяти BD хранится в bd_ctrl_FIFO, чтобы впоследствии использоваться для данных, полученных от AXI мастера;

ж) Данные прочитанные из AXI сохраняются в локальный буфер;

з) Данные из внутренней памяти захватываются приложением при размещении в памяти всего пакета.

5.8.3 Фазы потока данных

Реализовано три фазы для передачи всего пакета от хоста приложению и обратно:

- выборка BD;
- выборка данных;
- обновление BD.

5.8.3.1 Выборка BD

HIF поддерживает до четырех виртуальных каналов передачи данных. В зависимости от программы, DMA-контроллер получает BD двумя способами:

- метод выбранного счетчика;
- метод dma_start_en.

Все каналы, у которых dma_start_en установлен в единицу, или выбранный счетчик закончил счет, и есть место во внутреннем FIFO для хранения BD, отправляет запрос арбитру. Арбитр выполняет циклический алгоритм и выбирает победителя. Канал, который выиграл арбитраж, получает BD из памяти в режиме burst. Размер burst конфигурируется программным регистром HIF_DMA_BURST_SIZE. Число BDs, получаемых в режиме burst, может быть параметризовано.

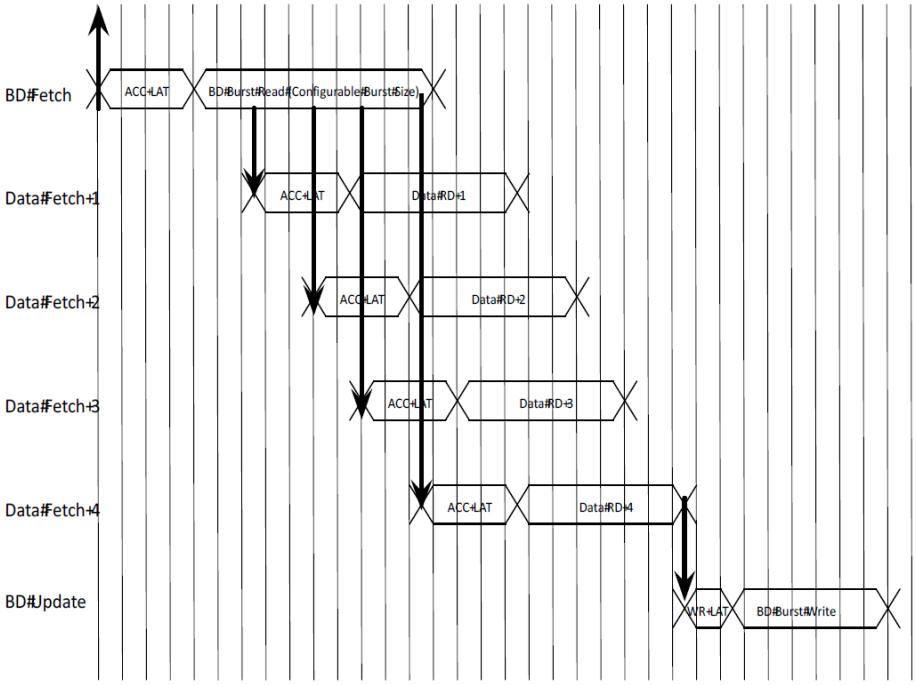


Рисунок 14 – Временная диаграмма потока данных

Базовый адрес HIF (старшие 32 разряда) конфигурируется с помощью программного регистра HIF_DMA_BASE_ADDR, его значение объединятся с адресом BD или адресом буфера данных, и это значение используется как старшие 32 или 64 разряда адреса. Если в burst присутствует недействительный BDs, все BDs, начиная с недействительного, будут отброшены. Когда канал отправляет следующий запрос, это запрос BD из области откуда ранее был получен недействительный BD. Отправка запроса на шину AXI и получение BD с шины AXI происходит параллельно. Один и тот же канал не может отправить новый запрос на шину AXI до тех пор, пока не получит данные соответствующие своему старому запросу.

5.8.3.2 Выборка данных

Передача данных от хоста к приложению

Все каналы, имеющие BDs, соответствующие полному пакету, отправляют запросы в арбитр.

Выполняется циклический алгоритм, и канал выигравший арбитраж получает BD из локальной памяти gen_mem_rx_dma_bdp_rd_burst. Извлекается информация из BD, и генерируется sof_control_word, исходя из этой информации, а также сохраняется информация необходимая для других модулей в bd_ctrl_FIFO. Это FIFO применяется для задержки чтение при выборке данных.

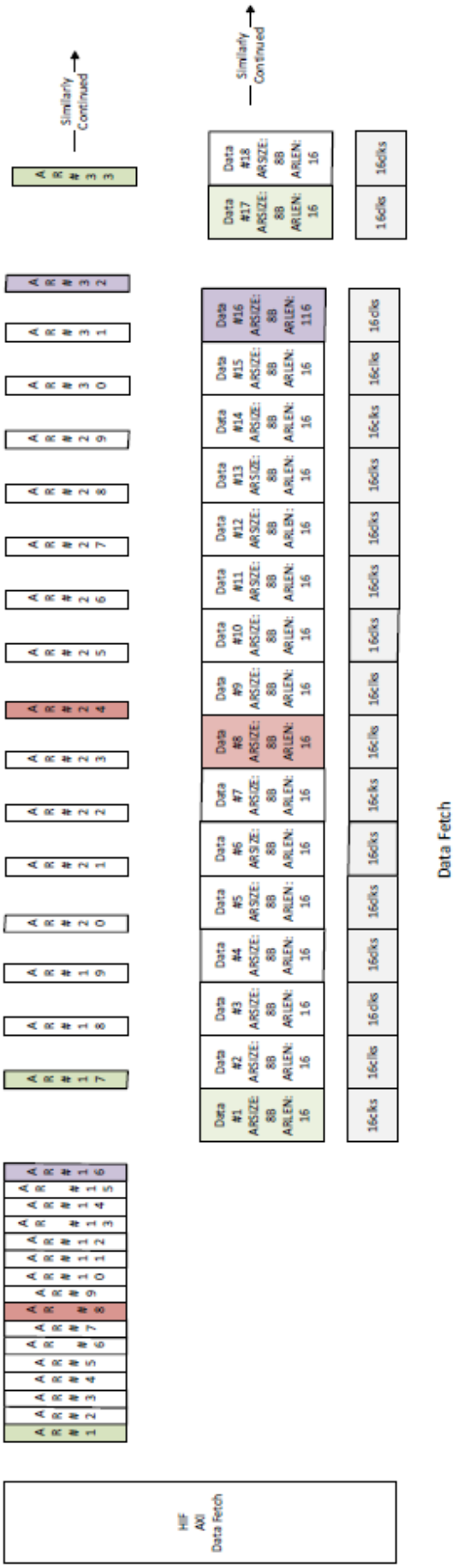


Рисунок 15 – Захват данных HIF

Поэтому запрос, отправляемый на шину AXI соответствует одному BD, в то время как данные, получаемые с шины AXI, соответствуют другому BD. Максимальное число данных, которое может быть выбрано во время burst, зависит от адреса. Если адрес не выровнен или выровнен и пересекает axi_burst_size или границу 4к, запрос разбивается в зависимости от axi_burst_size или границе 4к. Данные, которые выбираются из памяти хоста, сохраняются внутри. При получении данных, соответствующих полному пакету, начинается их передача приложению.

Передача данных от приложения к хосту

Если локальное FIFO данных имеет место для приема, отправляется запрос приложению. Приложение отправляет sof_ctrl_word вместе с sof (начало пакета), содержащим номер канала и длину пакета. Если DXR содержит данные пакета в FIFO, начинается выборка BD из внутреннего FIFO для получения адреса назначения и дальнейшей туда записи данных. Данные переносятся из внутренней памяти хоста. Если длина пакета больше, чем размер буфера BD, DMA-контроллер выбирает следующий BD из внутреннего FIFO, и так далее. Обновляемая длина буфера для всех BDs будет равна нулю до тех пор, пока не будет обработан последний BD пакета.

5.8.3.3 Обновление BD

Обновленный BD, который описан в таблице 17, будет записан во внутреннее FIFO каждого канала. Все каналы, достигшие границы FIFO, (это параметр) или каналы, выбранный счетчик которых закончил счет, отправляют запрос арбитру. Арбитр выполняет циклический алгоритм, и канал, который выиграл арбитраж, записывает пакет обновленного BDs в память хоста. Адрес для записи обновленного BD программируется через CSR.

Прерывания для пакета и для BD будут формироваться только после того, как HIF получит достоверный ответ для транзакции writeback. Только одно прерывание для пакета и BD будет формироваться для каждой burst транзакции (независимо от того, как много BDs было в транзакции), если, по крайней мере, один BD имеет поле int_en, равное единице. В противном случае не будут генерироваться прерывания для транзакции writeback.

5.9 Аппаратно-программный интерфейс

Ниже представлено описание структуры дескриптора для блока HIF. Программное обеспечение хоста создает связанный список буферов дескрипторов, а аппаратная часть обновляет их.

5.9.1 Структура буфера дескриптора

BD_SIZE=16

Таблица 16 – Структура буфера дескриптора

BD_CTRL[31:16],BD_SEQ_NUM[15:0]
Rsvd[15:0],BUFLEN[15:0]
SRC/DST ADDR
BD_NEXTPTR

Таблица 17 – Структура буфера WriteBack дескриптора

Rsvd[31:11],BD_CTRL[10:0]
BD_SEQ_NUM[31:16], BUFLEN[15:0]

5.9.2 Описание структуры BD

Таблица 18 – Слово 0

Название поля	Смещение	Описание
BD_SEQ_NUM	15:0	Порядковый номер буфера дескриптора. Он должен быть последовательным. Поле позволяет программному обеспечению определить обновлялся дескриптор при операции WriteBack. Стартовый номер – единица
PKT_INT_EN	16	Разрешение генерировать прерывание после обработки текущего дескриптора, если это конец пакета
CBD_INT_EN	17	Разрешение генерировать прерывание после обработки текущего дескриптора
LIFM	18	Последний фрейм. Это поле показывает, что дескриптор последний для текущего пакета
LAST_BD	19	Последний буфер дескриптора. После последнего буфера указатель будет указывать на адрес в регистре CSR
DIR	20	Направление потока данных: – данные передаются из внутреннего буфера в специализированную память хоста; – данные передаются из специализированной памяти хоста во внутренний буфер
Reserved	30:21	Зарезервировано
DESC_EN	31	Разрешение дескриптора. Если бит в единице, дескриптор используется аппаратной частью, если нет – программным обеспечением. Устанавливается программным обеспечением

Таблица 19 – Слово 1

Название поля	Смещение	Описание
BD_BUFLEN	15:0	Длина буфера дескриптора. Поле содержит длину буфера в случае передачи

Таблица 20 – Слово 2

Название поля	Смещение	Описание
BD_SRC/DST_ADDR	31:0	Путь при передаче: поле указывает адрес источника в памяти хоста, из которого необходимо считать данные. Путь при приеме: поле указывает адрес назначения в памяти хоста, куда необходимо записать данные

Таблица 21 – Слово 3

Название поля	Смещение	Описание
BD_NEXTPTR	31:0	Указывает на адрес памяти хоста, где расположен следующий дескриптор

Дескрипторы WRITEBACK

Таблица 22 – Слово 0:

Название поля	Смещение	Описание
RESERVED	0	Зарезервировано
RESERVED	1	Зарезервировано
RESERVED	2	Зарезервировано
RESERVED	3	Зарезервировано
CBD_INT_EN	4	Заполняется передаваемым значением
PKT_INT_EN	5	Заполняется передаваемым значением
LIFM	6	Заполняется передаваемым значением
LAST_BD	7	Заполняется передаваемым значением
DIR	8	Заполняется передаваемым значением
Desc_EN	9	Устанавливается в ноль
RESERVED	10	Зарезервировано
RESERVED	31:11	Зарезервировано

Таблица 23 – Слово 1:

Название поля	Смещение	Описание
BD_BUFLEN	15:0	Указывает количество байт, переданных хосту
BD_SEQNUM	31:16	Поле заполняется передаваемым порядковым номером, что позволяет программному обеспечению определить, что дескриптор был обновлен

Буфер дескриптора должен быть выровнен по границе 64 бит. Адресуемые данные могут быть выровнены по байтам. Необходимо убедиться, что один BD не разбивается на части, пересекая границу 4к.

Заполнение BD

Таблица 24 – Память BD 32 бита – word0 [31:0], word1[63:32]

Word1 Byte3	Word1 Byte2	Word1 Byte1	Word1 Byte0	Word0 Byte3	Word0 Byte2	Word0 Byte1	Word0 Byte0
Word3 byte3	Word3 byte2	Word3 byte1	Word3 byte0	Word2 byte3	Word2 byte2	Word2 byte1	Word2 byte0

5.9.3 Структура принимаемого пакета

Control	Rx Port Number	Punt reason
Reserved		
Rx Timestamp (в наносекундах)		
Rx Timestamp (в секундах)		
Rx Packet		

5.9.4 Структура Timestamp рапорта

Control	Reserved	Reserved	Reserved
Reserved			
Egress Timestamp (в наносекундах)			
Egress Timestamp (в секундах)			
Reference Number	Rx Port Number	Reserved	

5.9.5 Структура передаваемого пакета

Control[7:0]	Tx Port map[19:0]	Queue Number[3:0]
Reserved	Reference Number	
Reserved		
Reserved		
Tx Packet		

5.9.6 Описание структуры полей

Таблица 25 – Структура полей

Поле	Смещение	Значение
Control	0	Флаг инжекции при передаче 0 – нет 1 – inject и tx port number достоверный
	1	Reserved
	2	PTP флаг Обычный пакет PTP пакет
	3	Зарезервировано

Поле	Смещение	Значение
	4	Rx TS флаг рапорта 0 – данные после заголовка пакет 1 – данные после заголовка отчет
	5	Флаг захвата 0 – обычный пакет 1 – захват (rx port num & причины захвата достоверны)
	6	RX-timestamp флаг 0 – timestamp флаг недостоверный 1 – поле RX-timestamp достоверно
–	7	Зарезервировано
RX PORT NUMBER	8	Номер принимаемого порта
Tx Port map	20	Биты с 15:0 назначают номер порта Бит 0 установлен – EMAC1 Бит 1 установлен – EMAC2 Бит 2 установлен – EMAC3 Бит 3 установлен – EMAC4 Бит 4 установлен – EMAC5 Бит 5 установлен – EMAC6 Бит 6 установлен – EMAC7 Бит 7 установлен – EMAC8 Бит 8 установлен – EMAC9 Бит 9 установлен – EMAC10 Бит 10 установлен – EMAC11 Бит 11 установлен – EMAC12 Бит 12 установлен – EMAC13 Бит 13 установлен – EMAC14 Бит 14 установлен – EMAC15 Бит 15 установлен – EMAC16 Только один бит должен быть установлен, когда осуществляется инжекция
Queue Number	4	Соответствуют номеру очереди
Rx Timestamp	64	Метка времени, принятого PTP пакета
Egress Timestamp	64	Метка времени, передаваемого PTP пакета
Launch time	64	Младшие 29:0 бит в наносекундах. Старшие 32 бита в секундах. Если время запуска равно нулю, пакет отправляется немедленно
Reference number	16	Reference number передаваемого PTP фрейма. Образуется из заголовка передаваемого фрейма

Поле	Смещение	Значение
Punt Reason	16	Причина захвата пакета на CPU 0-punt_l2_special 1-punt_sa_miss 2-punt_sa_relearn 3-punt_sa_is_active 4-punt_snoop_upper 5-punt_requested 6-punt_mgmt 7-punt_igmp 8-punt_flood 9-punt_parse

5.9.7 Обработка очередей

Программному обеспечению необходимо запрограммировать csr_start_seq_num, если не предполагается начинать с порядкового номера 0. Программному обеспечению хоста необходимо заполнить BD в хост памяти для каждого канала, начиная с базового адреса, записанного в CSR (csr_tx_bd_lsb_addr_ch* и and_csr_tx_bd_msb_addr_ch*). Программному обеспечению хоста также необходимо заполнить writeback BD с битом desc_en равным единице и всеми другими полями равными нулю для BDs, которые будут программироваться читающей стороной. Когда HIF записывает обновленный BD в память, очищается бит desc_en и устанавливаются другие параметры в структуре writeback BDs, сигнализирующие, что эти BDs свободны для повторного использования. Аппаратная часть проверяет порядковый номер в момент чтения BD, и, если он не последовательный, недостоверный BD будет отброшен. Следовательно, если аппаратная часть читает BD прежде чем программное обеспечение его повторно использовало, порядковый номер будет не последовательный и BD будет отброшен. Это предотвратит чтение ошибочного BD. Минимальный размер буфера writeback для каждого канала равно удвоенному числу BDs, размещенных в BD цепочке. Когда последний BD размещен, происходит возврат к базовому адресу. Программное обеспечение не может изменять BDs, у которых бит desc_en установлен в единицу.

Добавление BDs всегда должно производиться только в конец цепочки. Один пакет может занимать до 8 BDs (в одном цикле burst транзакции можно прочитать все 8 BDs). Только размер Rx очереди конфигурируется через CSR. Следовательно, если программное обеспечение увеличивает размер tx очереди, необходимо запрограммировать hif_rx_wrbk_bd_ch*_buffer_size.

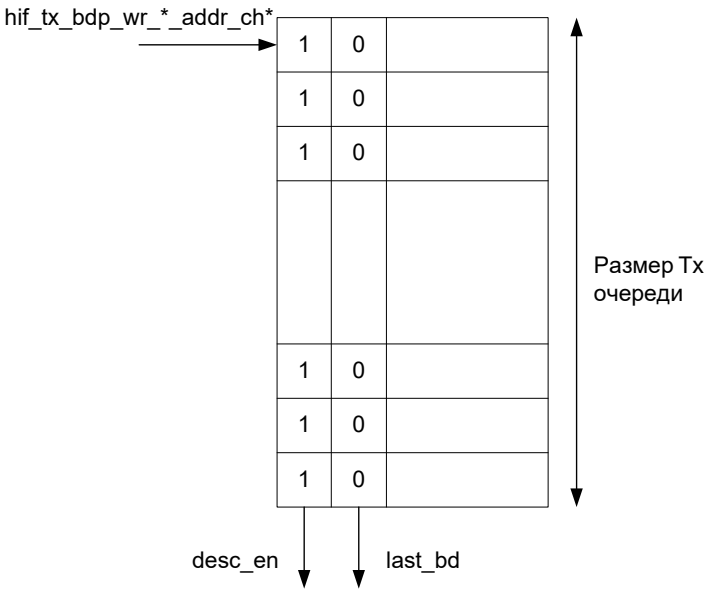


Рисунок 16 – Очередь буфера дескриптора



Рисунок 17 – Обновление очереди дескриптора

5.10 Регистры управления и статуса

Описание регистров приведено в последующих разделах.

5.11 Хост-процессор QB-I

Несмотря на то, что хост-процессор не является частью коммутатора, он играет важную роль в обработке пакетов по медленному маршруту. Коммутатор способен работать с любым хост-процессором, обеспечивающим медленный маршрут обработки пакета, настройку таблиц и аппаратной конфигурации. Все программное обеспечение реализовано на языке высокого уровня, следовательно, портируемо на различные хост-процессоры. В режиме управляемого коммутатора основные задачи хоста – обеспечить архитектурную особенность по обработке пакетов по медленному маршруту, а также заполнить таблицы потоков данных.

5.12 Прерывания коммутатора

Разрядность шины прерываний коммутатора составляет 9 бит. Таблица 26 описывает источники прерываний и регистры разрешения для каждого прерывания в деталях. Эти прерывания срабатывают по уровню (активный высокий уровень прерываний). Регистры прерываний очищаются записью в них единиц (запись единиц в регистр источника прерывания соответствующего блока сбрасывает прерывание).

Таблица 26 – Прерывания коммутатора

Прерывание	Модуль	Регист источника прерываний	Регистр разрешения прерываний	Комментарии
npu_int[0]	Hif1_ch0_int	HIF1_CH0_INT_SRC_ ADDR HIF1_BASE_ADDR + 16’h160	HIF1_CH0_INT_SRC_ ADDR HIF1_BASE_ADDR + 16’h164	Более подробная информация по HIF регистрам в последующих разделах
npu_int[1]	Hif1_ch1_int	HIF1_CH1_INT_SRC_ ADDR HIF1_BASE_ADDR + 16’h260	HIF1_CH1_INT_SRC_ ADDR HIF1_BASE_ADDR + 16’h264	
npu_int[2]	Hif1_ch2_int	HIF1_CH2_INT_SRC_ ADDR HIF1_BASE_ADDR + 16’h360	HIF1_CH2_INT_SRC_ ADDR HIF1_BASE_ADDR + 16’h364	
npu_int[3]	Hif1_ch3_int	HIF1_CH0_INT_SRC_ ADDR HIF1_BASE_ADDR + 16’h460	HIF1_CH0_INT_SRC_ ADDR HIF1_BASE_ADDR + 16’h464	
npu_int[6:4]	Зарезервировано			
npu_int[7]	Bmu2_i nt	BMU_INT_SRC_ADDR BMU2_BASE_ADDR + 16’h20	BMU_INT_ENABLE_A DDR BMU2_BASE_ADDR + 16’h24	
npu_int[8]	Bmu1_i nt	BMU_INT_SRC_ADDR BMU1_BASE_ADDR + 16’h20	BMU_INT_ENABLE_A DDR BMU1_BASE_ADDR + 16’h24	Более подробная информация по HIF регистрам в последующих разделах

5.13 Архитектура потока данных

Для управляемого коммутатора программное обеспечение хоста устанавливает VLAN-таблицы, основываясь на правилах хост-процессора.

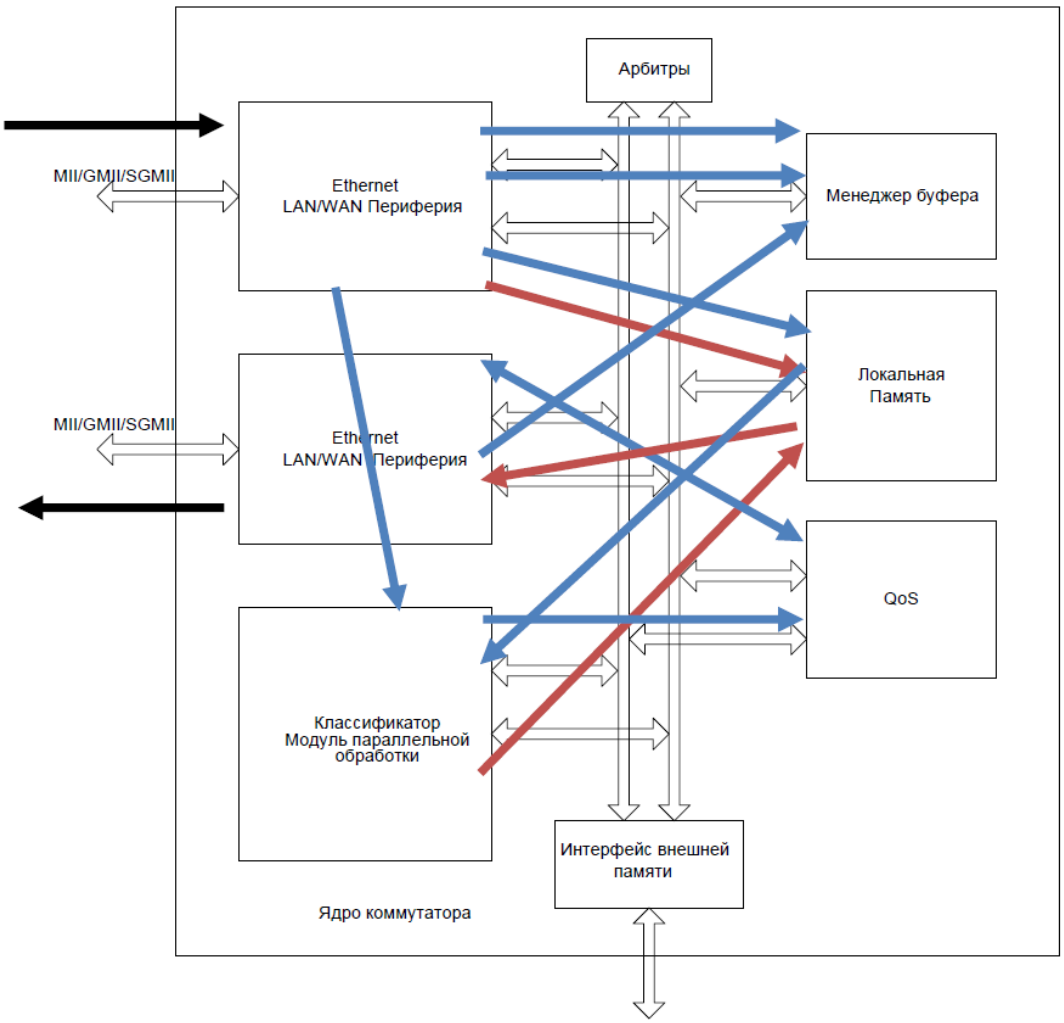


Рисунок 18 – Архитектура потока данных

На рисунке 18 голубые стрелки показывают путь управляющего потока, а красные стрелки показывают потоки данных. Черные стрелки – это потоки ввода/вывода (I/O).

Выполняется следующая последовательность действий при приеме пакета с одного Ethernet порта и передача его на другой Ethernet порт:

1 Пакет принимается на Ethernet порт MII/GMII.

2 Блок GPI Ethernet периферии получает буфер LMEM от блока BMU.

3 Начальная часть фрейма сохраняется в LMEM (112 байт).

4 Блок GPI получает буфер LMEM от блока BMU.

5 Следующие 112 байт пакета сохраняются в новом буфере LMEM:

а) GPI оставляет достаточно места в первом буфере для записи позднее;

б) шаги 4 и 5 повторяются пока весь пакет не будет принят.

6 Статус пакета заносится в начальные 16 байт буфера LMEM.

7 Указатель пакета записывается в классификатор.

8 QB-классификатор считывает заголовок из LMEM и записывает в блок обработки классификатора.

9 Классификатор освобождает первый буфер LMEM.

10 Классификатор обрабатывает пакет. Выполняются следующие действия:

а) классификация;

б) модификация пакета;

в) обновление счетчика производительности.

11 Блок RO классификатора записывает пакет в память LMEM (второй буфер пакета).
12 Классификатор передает указатель пакета, длину пакета, правила очереди и порт назначения блоку TMU.
13 TMU помещает пакет в соответствующий сегмент очереди.
14 TMU производит планирование пакета согласно правилам QoS.
15 TMU устанавливает связь с периферией для оптимального времени приема следующего запланированного пакета.
16 Ethernet периферия получает данные из буфера пакета.
17 GPI осуществляет действия уровня Layer 2 над пакетом.
18 GPI сохраняет данные пакета во внутреннее FIFO.
19 GPI освобождает буферы LMEM.
20 Блок MAC отправляет пакет.

В случае обработки пакета по медленному маршруту последовательность идентичная, но пакет посылается через порт HIF вместо Ethernet. Порт HIF через блок GPI направляет пакет хосту.

6 Трафик данных

6.1 Передача

6.1.1 Пакеты данных

Unicast

– Конфигурирование пакета в канале HIF.

– DMA блока HIF передает фрейм из внешнего адресного пространства, определенного в BD, в локальную память HIF.

– HIF инициирует HGPI для копирования фрейма в LMEM.

– HGPI запрашивает буферы BMU и копирует фрейм в LMEM в формате дескриптора приема GPI (заголовочная информация + фрейм)

– HGPI запускает классификатор с указанием пакета в LMEM.

– Аппаратный классификатор читает заголовок пакета из LMEM.

– Классификатор осуществляет поиск по таблице L2.

– Если поиск неудачный, пакет захватывается, то есть подобные действия применяются ко всем входным портам.

– Если поиск удачный, порт назначения извлекается, основываясь на информации таблицы.

– Аппаратный классификатор запускает TMU с портом назначения и требуемой информацией.

– TMU выполняет QoS и инициирует EGPI на основе порта назначения.

– EGPI читает пакет из LMEM и передает его в EMAC GEM.

Multicast

– Конфигурирование пакета в канале HIF.

– DMA блока HIF передает фрейм из внешнего адресного пространства, определенного в BD, в локальную память HIF.

– HIF инициирует HGPI для копирования фрейма в LMEM.

– HGPI запрашивает буферы BMU и копирует фрейм в LMEM в формате дескриптора приема GPI (заголовочная информация + фрейм).

– HGPI запускает классификатор с указанием пакета в LMEM.

– Аппаратный классификатор читает заголовок пакета из LMEM.

– Классификатор осуществляет поиск по таблице L2.

– Если поиск неудачный, пакет захватывается, то есть подобные действия применяются ко всем входным портам.

– Если поиск удачный, порт назначения извлекается, основываясь на информации таблицы. В случае multicast фреймов извлекается список портов назначения.

– Аппаратный классификатор запускает TMU многократное число раз с портом назначения и требуемой информацией.

– TMU выполняет QoS и инициирует EGPI на основе порта назначения.

– EGPI читает пакет из LMEM и передает его в EMAC GEM.

6.1.2 Инжекция без входного временного маркирования

– Конфигурирование пакета в канале HIF.

– DMA блока HIF передает фрейм из внешнего адресного пространства, определенного в BD, в локальную память HIF.

– HIF инициирует HGPI для копирования фрейма в LMEM.

– HGPI запрашивает буферы BMU и копирует фрейм в LMEM в формате дескриптора приема GPI (заголовочная информация + фрейм).

– HGPI запускает классификатор с указанием пакета в LMEM.

– Аппаратный классификатор читает заголовок пакета из LMEM.

– Флаг инжекции и информация о порте назначения из присоединенного заголовка передается в аппаратный классификатор.

– Поиск по таблице L2 не осуществляется для пакетов инжекции.

– Аппаратный классификатор назначает пакетам инжекции номер очереди TMU из присоединенного заголовка.

– TMU выполняет QoS и инициирует EGPI на основе порта назначения.

– EGPI читает пакет из LMEM и передает его в EMAC GEM.

6.1.3 Инжекция с входным временным маркированием

– Конфигурирование пакета в канале HIF.

– DMA блока HIF передает фрейм из внешнего адресного пространства, определенного в BD, в локальную память HIF.

– HIF инициирует HGPI для копирования фрейма в LMEM.

– HGPI запрашивает буферы BMU и копирует фрейм в LMEM в формате дескриптора приема GPI (заголовочная информация + фрейм).

– HGPI запускает классификатор с указанием пакета в LMEM.

– Аппаратный классификатор читает заголовок пакета из LMEM.

– Флаг инжекции и информация о порте назначения из присоединенного заголовка передается в аппаратный классификатор.

– Поиск по таблице L2 не осуществляется для пакетов инжекции.

– Аппаратный классификатор назначает пакетам инжекции номер очереди TMU из присоединенного заголовка.

– TMU выполняет QoS и инициирует EGPI на основе порта назначения.

– EGPI читает пакет из LMEM и передает его в EMAC GEM.

– После того, как имела место инжекция, инициируется отчет о выходных временных метках (более детально рассмотрено ниже в подразделе 6.2.2 «Фрейм с выходной временной меткой»).

6.2 Прием

6.2.1 Пакеты данных

Unicast

– Пакет принимается из любого EMAC через GMII интерфейс.

– GEM передает пакет в EGPI через внешний FIFO интерфейс.

– EGPI запрашивает буферы BMU и копирует фрейм в LMEM в формате дескриптора приема GPI (16 байт (конфигурируется) заголовочная информация + фрейм).

– EGPI запускает классификатор с указанием пакета в LMEM.

– Аппаратный классификатор читает заголовок пакета из LMEM.

– Классификатор осуществляет поиск по таблице L2.

– Если поиск неудачный, пакет захватывается, то есть подобные действия применяются ко всем входным портам.

– Если поиск удачный, порт назначения извлекается, основываясь на информации таблицы.

– Аппаратный классификатор запускает TMU с портом назначения и требуемой информацией:

– генерируется номер очереди на основе приоритета;

– формируются указатель и длина пакета.

– TMU выполняет QoS и инициирует EGPI/HGPI на основе порта назначения.

– EGPI/HGPI читает пакет из LMEM и передает его в EMAC GEM.

Multicast

– Пакет принимается из любого EMAC через GMII интерфейс.

– GEM передает пакет в EGPI через внешний FIFO интерфейс.

– EGPI запрашивает буферы BMU и копирует фрейм в LMEM в формате дескриптора приема GPI (16 байт (конфигурируется) заголовочная информация + фрейм).

– EGPI запускает классификатор с указанием пакета в LMEM.

– Аппаратный классификатор читает заголовок пакета из LMEM.

– Классификатор осуществляет поиск по таблице L2.

– Если поиск неудачный, пакет захватывается, то есть подобные действия применяются ко всем входным портам.

– Если поиск удачный, порт назначения извлекается, основываясь на информации таблицы.

– Аппаратный классификатор запускает TMU с портом назначения и требуемой информацией:

– генерируется номер очереди на основе приоритета;

– формируются указатель и длина пакета.

– Классификатор запускает TMU многократное число раз для каждого порта назначения из таблицы L2.

– TMU выполняет QoS и инициирует EGPI/HGPI на основе порта назначения.

– EGPI/HGPI читает пакет из LMEM и передает его в EMAC GEM.

6.2.2 Фрейм с выходной временной меткой

– EMAC GEM модуль доставляет временную метку передаваемого фрейма gPTP модулю timestamp_pkt_gen.

– Этот модуль является AXI ведущим и ведомым.

– Этот модуль запрашивает свободный буфер BMU.

– Временная метка и другая необходимая информация обновляются в LMEM.

– Это инициирует аппаратный классификатор.

– Аппаратный классификатор не выполняет поиск L2, вместо этого извлекается порт HIF назначения из регистра CSR.

– Аппаратный классификатор запускает TMU с портом назначения и требуемой информацией:

– генерируется номер HIF, номер очереди и номер канала определенные в общем CSR;

– формируются указатель и длина пакета.

– TMU выполняет QoS и инициирует HGPI на основе порта назначения.

– HGPI читает пакет из LMEM и передает его в HIF.

6.2.3 Захват пакета

– Пакет принимается из любого EMAC через GMII интерфейс.

– GEM передает пакет в EGPI через внешний FIFO интерфейс.

– EGPI запрашивает буферы BMU и копирует фрейм в LMEM в формате дескриптора приема GPI (16 байт (конфигурируется) заголовочная информация + фрейм).

– EGPI запускает классификатор с указанием пакета в LMEM.

– Аппаратный классификатор читает заголовок пакета из LMEM.

– Классификатор осуществляет поиск по таблице L2.

– Если фрейм неизвестен или поиск неудачный, пакет необходимо передать хосту.

– Номер канала/порта хоста определяется в CSR.

– Аппаратный классификатор запускает TMU с портом назначения и требуемой информацией:

– генерируется номер очереди на основе приоритета;

– формируются указатель и длина пакета.

– TMU выполняет QoS и инициирует HGPI на основе порта назначения.

– HGPI читает пакет из LMEM и передает его в HIF.

6.2.4 Прием PTP пакета

– PTP пакет принимается из любого EMAC через GMII интерфейс.

– GEM передает пакет в EGPI через внешний FIFO интерфейс.

– GEM детектирует фрейм как PTP и передает информацию EGPI через sof_rx, ptp_*_rx сигналы.

– EGPI запрашивает буферы BMU и копирует фрейм в LMEM в формате дескриптора приема GPI (16 байт (конфигурируется) заголовочная информация + фрейм).

– EGPI запускает классификатор с указанием пакета в LMEM.

– Аппаратный классификатор читает заголовок пакета из LMEM.

– Адрес назначения PTP фреймов должен быть сконфигурирован как L2 специальный регистр в аппаратном классификаторе.

– Аппаратный классификатор детектирует PTP фрейм как L2 специальный фрейм и захватывает фрейм на хост.

– Номер порта/очереди хоста определяется в CSR.

– Аппаратный классификатор запускает TMU с портом назначения и требуемой информацией:

– генерируется номер очереди на основе приоритета;

– формируются указатель и длина пакета.

– TMU выполняет QoS и инициирует HGPI на основе порта назначения.

– HGPI читает пакет из LMEM и передает его в HIF.

– HIF назначает номер очереди в соответствующем номере канала и передает пакет в намеченный номер канала.

7 Описание регистров контроля и статуса (CSR)

7.1 Адресное пространство AXI ведомого

Таблица 27 – Адресное пространство ведомого AXI

Номер ведомого	Ведомый	Стартовый адрес	Конечный адрес
0	BMU1	24'h10_0000	24'h10_FFFF
1	BMU2	24'h70_0000	24'h70_FFFF
2	LMEM0	24'h20_0000	24'h27_FFFF
3	LMEM1	24'h28_0000	24'h2F_FFFF
4	LMEM2	24'h30_0000	24'h37_FFFF
5	LMEM3	24'h38_0000	24'h3F_FFFF
6	LMEM4	24'h40_0000	24'h47_FFFF
7	LMEM5	24'h48_0000	24'h4F_FFFF
8	LMEM6	24'h50_0000	24'h57_FFFF
9	LMEM7	24'h58_0000	24'h5F_FFFF
10	TMU	24'h60_0000	24'h61_FFFF
11	CLASS_HW1	24'h62_0000	24'h62_FFFF
12	CLASS_HW2	24'h77_0000	24'h77_FFFF
13	WSP_GLOBAL_CSR	24'h63_0000	24'h63_FFFF
14	HIF1	24'h64_0000	24'h64_FFFF
15	HGPI1	24'h65_0000	24'h65_FFFF
16	EMAC1	24'h66_0000	24'h66_FFFF
17	EMAC2	24'h67_0000	24'h67_FFFF
18	EMAC3	24'h68_0000	24'h68_FFFF
19	EMAC4	24'h69_0000	24'h69_FFFF
20	EMAC5	24'h6A_0000	24'h6A_FFFF
21	EMAC6	24'h6B_0000	24'h6B_FFFF
22	EMAC7	24'h6C_0000	24'h6C_FFFF
23	EMAC8	24'h6D_0000	24'h6D_FFFF
24	EMAC9	24'h6E_0000	24'h6E_FFFF
25	EMAC10	24'h6F_0000	24'h6F_FFFF
26	EMAC11	24'h76_0000	24'h76_FFFF
27	EMAC12	24'h71_0000	24'h71_FFFF
28	EMAC13	24'h72_0000	24'h72_FFFF
29	EMAC14	24'h73_0000	24'h73_FFFF
30	EMAC15	24'h74_0000	24'h74_FFFF
31	EMAC16	24'h75_0000	24'h75_FFFF
32	EGPI1	24'h78_0000	24'h78_FFFF
33	EGPI2	24'h79_0000	24'h79_FFFF
34	EGPI3	24'h7A_0000	24'h7A_FFFF
35	EGPI4	24'h7B_0000	24'h7B_FFFF
36	EGPI5	24'h7C_0000	24'h7C_FFFF
37	EGPI6	24'h7D_0000	24'h7D_FFFF
38	EGPI7	24'h7E_0000	24'h7E_FFFF

Номер ведомого	Ведомый	Стартовый адрес	Конечный адрес
39	EGPI8	24'h7F_0000	24'h7F_FFFF
40	EGPI9	24'h80_0000	24'h80_FFFF
41	EGPI10	24'h81_0000	24'h81_FFFF
42	EGPI11	24'h82_0000	24'h82_FFFF
43	EGPI12	24'h83_0000	24'h83_FFFF
44	EGPI13	24'h84_0000	24'h84_FFFF
45	EGPI14	24'h85_0000	24'h85_FFFF
46	EGPI15	24'h86_0000	24'h86_FFFF
47	EGPI16	24'h87_0000	24'h87_FFFF
48	ETGPI1	24'h88_0000	24'h88_FFFF
49	ETGPI2	24'h89_0000	24'h89_FFFF
50	ETGPI3	24'h8A_0000	24'h8A_FFFF
51	ETGPI4	24'h8B_0000	24'h8B_FFFF
52	ETGPI5	24'h8C_0000	24'h8C_FFFF
53	ETGPI6	24'h8D_0000	24'h8D_FFFF
54	ETGPI7	24'h8E_0000	24'h8E_FFFF
55	ETGPI8	24'h8F_0000	24'h8F_FFFF
56	ETGPI9	24'h90_0000	24'h90_FFFF
57	ETGPI10	24'h91_0000	24'h91_FFFF
58	ETGPI11	24'h92_0000	24'h92_FFFF
59	ETGPI12	24'h93_0000	24'h93_FFFF
60	ETGPI13	24'h94_0000	24'h94_FFFF
61	ETGPI14	24'h95_0000	24'h95_FFFF
62	ETGPI15	24'h96_0000	24'h96_FFFF
63	ETGPI16	24'h97_0000	24'h97_FFFF

Примечания

1 Адрес AXI ведомого 0xC0000000 + стартовый адрес ведомого.

2 Доступ к зарезервированным адресам не производит никакого эффекта и возвращает ноль при чтении.

3 TMU и TLITE ссылаются на один и тот же блок управления трафиком

7.1.1 Ограничение доступа коммутатора

AXI интерфейс ведомых поддерживает только нижеописанные запросы:

– поддерживается запись/чтение без пауз друг за другом;

– одиночная транзакция (то есть awlen/arlen ==0);

– адрес выровнен по границе 4 байта;

– транзакция данных состоящая из 4 байт (то есть arsize/awsize == 3’b010);

– запросы на выдачу данных при операции чтения/записи друг за другом выдаются в определенном порядке, если ID различны. Аналогично происходит чтение данных в определенном порядке если ID одинаковы, но это не применимо к операции записи;

– ошибка ответа не формируется:

- когда осуществляется попытка доступа не в адресное пространство коммутатора, происходит чтение нулевых данных, а не генерация ошибки ответа.

Логика CSR

- Тип доступа:
  - R/W – чтение и запись;
  - R – только чтение;
  - INT – прерывание (чтение и запись единицы очищает прерывание);
  - INT_EN – разрешение прерывания (R/W);
- Программный сброс – рекомендуется производит общий программный сброс (WSP Global CSR –> WSP Sys Generic Control Register);
- Для регистров отладки значение после сброса определено как NA.

8 Архитектура устройства и программного обеспечения



Рисунок 19 – Архитектура устройства

Модель использует аппаратную обработку и требует функцию обучения/устаревания, выполняемую хостом. Эта модель – лучший выбор с целью минимизировать площадь аппаратной части под существующий хост. Вся обработка выполняется аппаратно, а функция хоста обучить адреса и занести их в MAC-таблицу, используя аппаратные схемы.

Анализ и поиск по хэш-функции осуществляется аппаратно для большей производительности. Также протокольные функции, предполагающие сигнализирование и/или затрагивающие дополнительные программные ресурсы (например, STP), выполняются хостом.

8.1 Обработка по быстрому маршруту

8.1.1 Анализ и хэширование

Аппаратный классификатор обрабатывает фреймы и выполняет функцию поиска на основе хэш-функции, используя набор высокоскоростных функций обработки. Результат сохраняется в структуре указателя буфера пакета, ассоциируемого с пакетом. Функция обработки является зависимой, и получение ей результата не зависит от аппаратной реализации.

Этот модуль выполняет поиск в соответствии с MAC-адресом дважды: с MAC-адресом источника и MAC-адресом назначения. Поиск MAC-адреса источника используется для обучения MAC-адреса и обновления записи в случае новой информации. Также обновляется timestamp (временная метка) для обновления информации устаревания. Поиск MAC-адреса назначения используется для идентификации порта, на который необходимо передать пакет.

Этот модуль вычисляет значение хэш, основываясь на MAC-адресе, и сравнивает записи в хэш-области с MAC-адресом источника и MAC-адресом назначения.

- Синтаксический анализ:
  - L2 анализ (MAC назначения, MAC источника, VLAN ID);
  - L3/L4 анализ (TCP/IP 5-tuple);
  - детектирование DOS подписи;
- Хэширование:
  - извлечение индекса моста домена из фрейма и конфигурации порта;
  - поиск адреса назначения;
  - поиск адреса источника;
- Входное блокирование.

8.1.2 Модель домена моста

Модель, используемая функцией обработки и хэширования с целью извлечения домена моста из фрейма, очень гибкая и позволяет получить набор VLAN с помощью:

- конфигурации порта:
  - Native VLAN/PVID;
  - TPID;
  - тип фильтрации фрейма (тегированный, не тегированный, оба);
- функция поиска поддерживает два банка по 4к VLANs; каждый банк может предоставить:
  - VLAN идентификатор на основе порта;
  - 802.1Q VLAN;
  - внешний VLAN или Q-in-Q.

8.1.3 Обработка

Назначение функции обработки по быстрому маршруту направить фрейм в выходную очередь на один или более портов. Все детали по обработке L2 описаны в стандарте 802.1Q, но поведение может быть обобщено и приводится ниже:

- для unicast:
  - если адрес назначения обучен, отправка на один порт;
  - если адрес назначения еще не обучен, распространение на все порты VLAN.
- для multicast (или broadcast):
  - если адрес назначения обучен, отправка на специфичный порт;
  - если адрес неизвестен, распространение на все порты VLAN.
- тегирование VLAN (поместить в ingress, извлечь из egress);
- TMU/QoS:
  - поставить фрейм в очередь на основе метки и конфигурации QoS;
- выходное блокирование.

8.1.4 Коды причины захвата

Если функция обработки по быстрому маршруту обнаруживает необычный фрейм, этот фрейм захватывается на хост для последующей обработки. Эти исключения обычно относятся к функции обучения/устаревания или протоколам верхнего уровня.

Таблица 28 – Коды причины захвата

Код причины	Описание
PUNT_MGMT	Управляющий фрейм от локального хоста
PUNT_L2_SPECIAL	L2 протокольный фрейм (например STP BPDU)
PUNT_SA_MISS	Адрес источника не найден в MAC-таблице, требуется обучение
PUNT_SA_RELEARN	Адрес источника найден на другом порте, требуется повторное обучение
PUNT_SA_IS_ACTIVE	Адрес источника активен, требуется установка бита Fresh в ноль
PUNT_SNOOP_UPPER	Snooping протокола высокого уровня
PUNT_REQUESTED	Операция в MAC/BD-таблице требует захвата

8.2 Firmware

8.2.1 Обучение/Устаревание

Функция L2 обучение/устаревание может быть выполнена на хосте. Поведение этой функции можно суммировать как описано ниже:

- обучение:
  - фреймы с неизвестным адресом источника будет захвачен функцией обучения;
  - функция обучения создаст MAC-запись и запишет ingress порт для этого адреса назначения;
- повторное обучение:
  - фреймы с известным адресом назначения на порт, отличающимся от обученного порта будут захвачены;
  - функция обучения обновит MAC-запись с новым ingress портом;
- устаревание:
  - функция устаревания периодически маркирует MAC-записи как устаревшие;
  - фреймы с устаревшими адресами источника будут захватываться функцией устаревания;
  - функция устаревания будет обновлять MAC-записи как не устаревшие или MAC-запись будет удалена;
- MAC-записи могут создаваться или удаляться на верхнем уровне:
  - если эти записи будут маркированы как статические, не будут удаляться функцией устаревания;
- очистка (flushing):
  - верхний уровень может запросить удалить все MAC-записи, основанные на VLAN/MSTI.

8.2.2 Модификация фрейма

Примеры модификации трафика включают:

- пометка QoS;
- модификация фрейма, предназначенная для L2 NAT, openvswitch, ebtables;
- организация цепочек сессий;
- вставка SNAP (предназначено для реализации шифрования LAN <-> WLAN);
- реализация различных высокоскоростных протоколов хоста:
  - PTP: IEEE 1588, 802.1AS;
  - CFM: 802.1ag.

8.3 Реализация хоста и драйвера

8.3.1 Операционная система

Комплектация программного обеспечения включает драйвер, который обеспечивает набор API функций для управления аппаратной частью. Драйвер написан для переменного окружения ядра linux, но зависимость от linux довольно низкая, поэтому драйвер может быть портирован на другую операционную систему.

8.3.2 Модель конфигурации/управления

Конфигурация модели в открытых исходниках для коммутатора 802.1Q не является доминирующей, и производители имеют большое число решений этой задачи. В linux имеется по крайней мере три различных подхода. Программное обеспечение драйвера коммутатора обеспечивает набор API функций, которые совместимы с любым из этих подходов.

- Linux Bridging:
  - все порты коммутатора представлены как net_device операционной системы (например, «eth1»);
  - CLI состоит из утилит таких как: ifconfig, vconfig, brctl;
- OpenVswitch:
  - все порты коммутатора представлены как openvswitch vport;
  - управление осуществляется полным набором OpenFlow контроллеров и CLI (например, ovs-dpctl);
- частный/неуправляемый:
  - управление собственными CLI утилитами, которые используют собственный ioctl.

8.4 API-функции

Здесь приводится несколько типов API-функций, предназначенных для конфигурирования, поддерживаемых коммутатором.

8.4.1 Порты

- Конфигурация портов.

– Запись порта: (TPID, PVID, допустимый тип фрейма).
– Блокирование/Разблокирование.

8.4.2 Сопоставительные таблицы

– Конфигурация классификатора.
– Создание/удаление MAC-таблицы.
– Добавление/удаление/обновление/поиск записи в MAC-таблице.
– Таймаут записей в таблице.
– Добавление/удаление/обновление/поиск записи в VLAN-таблице.
– Статистика соединения.

8.4.3 Устройство управления трафиком (TMU)

– Параметры QoS планировщика.
– Классификация правил для фреймов.

8.4.4 IO пакеты

– Инжекция, захват пакета.
– Метки времени TX/RX.

8.4.5 Устройство управления буферами (BMU)

– Классификация устройства управления.
– Выделение буфера.
– Освобождение буфера.
– Статистика устройства управления.

8.5 Контрольный уровень

К контрольному уровню относятся функции и протоколы, которые контролируют операции коммутатора. Обычно эти функции нацелены на выполнении на хосте, потому что они требуют большой объем памяти и обычно не требуют большой скорости выполнения. Поставляемое программное обеспечение не включает функции контрольного уровня, но ссылки на открытые исходные коды существуют для многих из этих функций/протоколов. Эти функции контрольного уровня могут в свою очередь использоваться драйвером при условии, что они включены в комплект программного обеспечения.

Поставляемый драйвер и API могут поддерживать большой набор протоколов в различных задачах:

– предотвращение зацикливания/избыточности:
  – STP, MST, RSTP, G.8032, LACP и др;
– регистрация:
  – MVRP, MMRP и др;
– отслеживание (перехват):
  – IGMP, MLD;

- SDN:
  - OpenVswitch;
- AVB:
  - gPTP (801.1AS), 802.1Qav, SRP;

8.6 Пример реализации AVB

Коммутатор может применяться для построения эффективных AVB-решений, основные положения которых приведены в спецификации 802.1BA. AVB, описывается тремя стандартами:

- 802.1Qat (SRP);
- 802.1Qav (FQTSS);
- 802.1AS (gPTP).

Аппаратный блок TMU коммутатора может быть сконфигурирован для обработки трафика как указано в 802.1Qav. Возможность коммутатора формировать метки времени позволяет обеспечивать эти функции как для входных, так и выходных портов. Все эти аппаратные возможности представлены API-функциями программного драйвера (в большинстве случаев это стандартные API-функции). Агент третьего лица может запустить на хосте выполнение SPR-функций резервирования согласно 802.1Qat. Другой агент третьего лица может запустить на хосте выполнение стек протокола gPTP и вспомогательные функции для подстройки gPTP часов.

9 Последовательность программирования коммутатора (NPU)

В этом разделе описывается программная последовательность инициализации NPU HW CSR.

Подразделы 9.1 – 9.11 могут быть выполнены в любом порядке, но разрешение блока (подраздел 9.12) необходимо выполнить в конце конфигурирования, и в том порядке, как это указано.

Примечание – Базовый адрес NPU - 32’hC000_0000.

9.1 Конфигурация BMU1

1 Регистр управления BMU1 (Адрес: 24’h10_0004).

Записываемые данные: 32’h0000_0002.

Описание: Программный сброс блока BMU. После сброса необходимо выдержать паузу 100 мкс перед записью/чтением CSR.

Примечание – Программный сброс BMU выполняется после аппаратного сброса, например, для инициализации памяти адресов ucast_mem модуля в блоке BMU).

Если выполняется глобальный программный сброс (раздел 9.14, глобальный программный сброс не является необходимым при инициализации конфигурации CSR), сброс BMU выполняется как часть глобального сброса и не требуется при инициализации конфигурации CSR.

2 Регистр конфигурации BMU1 UCAST (Адрес: 24’h10_0008).

Записываемые данные: 32’h0000_0800.

Описание: Программирование максимального количества буферов равного 2048 (то есть 256K памяти – это 2048 буферов размером по 128 байт).

3 Регистр базового адреса BMU1 UCAST BASE (Адрес: 24’h10_000C).

Записываемые данные: 32’h 0020_0000 + базовый адрес NPU.

Описание: Программирование базового адреса блока LMEM.

4 Регистр размера буфера BMU1 (Адрес: 24’h10_0010).

Записываемые данные: 32’h0000_0007.

Описание: Биты, задающие размер буфера, или количество бит, представляющих размер буфера LMEM (7 = 128 байт).

5 Регистр порога BMU1 (Адрес: 24’h10_0018).

Записываемые данные: 32’h0200_0800.

Описание: data [15:0] – порог количества занятых LMEM-буферов для генерации прерывания; data [31:16] – не используется.

6 Регистр источника прерывания BMU1 (Адрес: 24’h10_0020).

Записываемые данные: 32’h0000_01FF.
Описание: Очищает прерывания.

7 Регистр разрешение прерываний BMU1 (Адрес: 24’h10_0024).
Записываемые данные: 32’h0000_0000.
Описание: Запрещает прерывания.

9.2 Конфигурация BMU2

1 Регистр управления BMU2 (Адрес: 24’h70_0004).
Записываемые данные: 32’h0000_0002.
Описание: Программный сброс блока BMU. После сброса необходимо выдержать паузу 100 мкс перед записью/чтением CSR.

Примечание – Программный сброс BMU выполняется после аппаратного сброса, например, для инициализации памяти адресов ucast_mem модуля в блоке BMU).

Если выполняется глобальный программный сброс (подраздел 9.14, глобальный программный сброс не является необходимым при инициализации конфигурации CSR), сброс BMU выполняется как часть глобального сброса и не требуется при инициализации конфигурации CSR.

2 Регистр конфигурации BMU2 UCAST (Адрес: 24’h70_0008).
Записываемые данные: 32’h0000_0800.
Описание: Программирование максимального количества буферов равного 2048 (то есть 256K памяти – это 2048 буферов размером по 128 байт).

3 Регистр базового адреса BMU2 UCAST BASE (Адрес: 24’h70_000C).
Записываемые данные: 32’h 0040_0000 базовый адрес NPU.
Описание: Программирование базового адреса блока LMEM2.

4 Регистр размера буфера BMU2 (Адрес: 24’h70_0010).
Записываемые данные: 32’h0000_0007.
Описание: Биты, задающие размер буфера, или количество бит, представляющих размер буфера LMEM (7 = 128 байт).

5 Регистр порога BMU2 (Адрес: 24’h70_0018).
Записываемые данные: 32’h0200_0800.
Описание: data [15:0] – порог количества занятых буферов LMEM для генерации прерывания; data [31:16] – не используется.

6 Регистр источника прерывания BMU2 (Адрес: 24’h70_0020).
Записываемые данные: 32’h0000_01FF.
Описание: Очищает прерывания.

7 Регистр разрешение прерываний BMU2 (Адрес: 24’h70_0024).
Записываемые данные: 32’h0000_0000.
Описание: Запрещает прерывания.

9.3 Конфигурация блоков EMAC 1-16

Ниже представлены конфигурации общие для блоков EMAC.

9.3.1 Конфигурация для поддержки режима GMII полный дуплекс

1 Регистр конфигурации EMAC Network (Адрес: EMAC: 24’hXX_0004).
Записываемые данные: 32'h0123_040A.
Описание:
бит 1 – полный дуплекс;
бит 3 – прием фреймов jumbo;
бит 10 – гигабит;
бит 16 – отбрасывать фреймы с ошибкой длинны;
бит 17 – удалять FCS;
биты 22:21 – ширина шины данных FIFO – 64 (2'b10);
бит 24 – прием контрольной суммы;
2 Регистр управления EMAC (Адрес: EMAC: 24’hXX_08A0).
Записываемые данные: 32’h0000_00B0.
Описание: Запрет EMAC портов.

9.3.2 Конфигурация для поддержки режима MII полный дуплекс

1 Регистр управления EMAC (Адрес: EMAC: 24’hXX_08A0).
Записываемые данные: 32’h0000_00B0.
Описание: Запрет EMAC портов.

2 Программирование регистра конфигурации EMAC Network configuration для поддержки 100 Мбит/с (Адрес: EMAC: 24’hXX_0004).
Записываемые данные: 32'h0123_0003.
Описание:
бит 0 – 100 Мбит/с;
бит 1 – полный дуплекс;
бит 3 – прием фреймов jumbo;
бит 16 – отбрасывать фреймы с ошибкой длинны;
бит 17 – удалять FCS;
биты 22:21 – ширина шины данных FIFO – 64 (2'b10);
бит 24 – прием контрольной суммы.

3 (Или) Программирование регистра конфигурации EMAC Network configuration для поддержки 10 Мбит/с (Адрес: EMAC: 24’hXX_0004).
Записываемые данные: 32'h0123_0002.
Описание:

бит 1 – полный дуплекс;
бит 3 – прием фреймов jumbo;
бит 16 – отбрасывать фреймы с ошибкой длинны;
бит 17 – удалять FCS;
биты 22:21 – ширина шины данных FIFO – 64 (2'b10);
бит 24 – прием контрольной суммы.

9.3.3 Конфигурация для поддержки режима MII полудуплекс

1 Регистр управления EMAC (Адрес: EMAC: 24’hXX_08A0).
Записываемые данные: 32’h0000_00B0.
Описание: Запрет EMAC-портов.

2 Программирование регистра конфигурации EMAC Network configuration для поддержки 100 Мбит/с (Адрес: EMAC: 24’hXX_0004).
Записываемые данные: 32'h0123_1009.
Описание:
бит 0 – 100 Мбит/с;
бит 1 – полный дуплекс;
бит 3 – прием фреймов jumbo;
бит 12 – тестовый бит повторного запуска;
бит 16 – отбрасывать фреймы с ошибкой длинны;
бит 17 – удалять FCS;
биты 22:21 – ширина шины данных FIFO – 64 (2'b10);
бит 24 – прием контрольной суммы.

3 (Или) Программирование регистра конфигурации EMAC Network configuration для поддержки 10 Мбит/с (Адрес: EMAC: 24’hXX_0004).
Записываемые данные: 32'h0123_1008.
Описание:
бит 3 – прием фреймов jumbo;
бит 12 – тестовый бит повторного запуска;
бит 16 – отбрасывать фреймы с ошибкой длинны;
бит 17 – удалять FCS;
биты 22:21 – ширина шины данных FIFO – 64 (2'b10);
бит 24 – прием контрольной суммы.

9.3.4 Конфигурация для поддержки режима SGMII полный дуплекс

1 Регистр управления EMAC (Адрес: EMAC: 24’hXX_08A0).
Записываемые данные: 32’h0000_00B0.
Описание: Запрет EMAC портов.

2 Регистр управления EMAC PCS (Адрес: EMAC: 24’hXX_0200).
Записываемые данные: 32’h0000_0000.

Описание:

– запрет EMAC-портов и операции Auto-negotiation;

– запрет Auto-Negotiation применяется только в тестовых целях, чтобы обойти последовательность Auto-negotiation. В стандартном режиме работы запрет можно не производить.

3 Программирование регистра конфигурации EMAC Network configuration для поддержки 1 Гбит/с (Адрес: EMAC: 24’hXX_0004).

Записываемые данные: 32'h0923_0C0A.

Описание:

бит 1 – полный дуплекс;

бит 3 – прием фреймов jumbo;

бит 10 – гигабит;

бит 11 – разрешение SGMII TBI;

бит 16 – отбрасывать фреймы с ошибкой длинны;

бит 17 – удалять FCS;

биты 22:21 – ширина шины данных FIFO – 64 (2'b10);

бит 24 – прием контрольной суммы;

бит 27 – разрешение режима SGMII.

4 Программирование регистра конфигурации EMAC Network configuration для поддержки 100 Мбит/с (Адрес: EMAC: 24’hXX_0004).

Записываемые данные: 32'h0923_080B.

Описание:

бит 0 – 100 Мбит/с;

бит 1 – полный дуплекс;

бит 3 – прием фреймов jumbo;

бит 11 – разрешение SGMII TBI;

бит 16 – отбрасывать фреймы с ошибкой длинны;

бит 17 – удалять FCS;

биты 22:21 – ширина шины данных FIFO – 64 (2'b10);

бит 24 – прием контрольной суммы;

бит 27 – разрешение режима SGMII.

5 (Или) Программирование регистра конфигурации EMAC Network configuration для поддержки 10 Мбит/с (Адрес: EMAC: 24’hXX_0004).

Записываемые данные: 32'h0923_080A.

Описание:

бит 1 – полный дуплекс;

бит 3 – прием фреймов jumbo;

бит 11 – разрешение SGMII TBI;

бит 16 – отбрасывать фреймы с ошибкой длинны;

бит 17 – удалять FCS;

биты 22:21 – ширина шины данных FIFO – 64 (2'b10);

бит 24 – прием контрольной суммы;
бит 27 – разрешение режима SGMII.

9.4 Конфигурация блока TSU

1 Регистр инкремента таймера EMAC 1 TSU (Адрес: 24’hXX_01DC).
Записываемые данные: 32’h0000_0014.
Описание: На основе частоты TSU необходимо запрограммировать инкремент в наносекундах. Частота TSU равна 50 МГц.

9.5 Конфигурация портов GEM

1 EMAC GEM Specific Address 1 Bottom (Адрес: 24’hXX_0088).
Записываемый данные: 32'h0000_0000.
Описание: Программирование младших 32-х бит регистра адреса DA для приема всех пакетов.

2 EMAC GEM Specific Address 1 Top (Адрес: 24’hXX_008C).
Записываемые данные: 32'h0000_0000.
Описание: Программирование старших 32-х бит регистра адреса DA для приема всех пакетов.

3 EMAC GEM Specific Address Mask 1 Bottom (Адрес: 24’hXX_00C8).
Записываемые данные: 32'hFFFF_FFFF.
Описание: Программирование младших 32-х бит регистра маски адреса DA для приема всех пакетов.

4 EMAC GEM Specific Address Mask 1 Top (Адрес: 24’hXX_00CC).
Записываемые данные: 32'h0000_FFFF.
Описание: Программирование старших 16-ти бит регистра маски адреса DA для приема всех пакетов.

5 EMAC GEM Stacked VLAN register (Адрес: EMAC: 24’hXX_00C0).
Записываемые данные: 32'h8000_0000.
Описание:
– разрешение режима обработки Stacked VLAN;
– подразделы 9.3 и 9.5 для конфигурации Ethernet MAC.
Смещение адреса:
EMAC 1 – базовый адрес NPU + 32’h0066_0000;
EMAC 2 – базовый адрес NPU + 32’h0067_0000;
EMAC 3 – базовый адрес NPU + 32’h0068_0000;
EMAC 4 – Базовый адрес NPU + 32’h0069_0000;
EMAC 5 – Базовый адрес NPU + 32’h006A_0000;
EMAC 6 – Базовый адрес NPU + 32’h006B_0000;
EMAC 7 – Базовый адрес NPU + 32’h006C_0000;

EMAC 8 – Базовый адрес NPU + 32’h006D_0000;
EMAC 9 – Базовый адрес NPU + 32’h006E_0000;
EMAC 10 – Базовый адрес NPU + 32’h006F_0000;
EMAC 11 – Базовый адрес NPU + 32’h0076_0000;
EMAC 12 – Базовый адрес NPU + 32’h0071_0000;
EMAC 13 – Базовый адрес NPU + 32’h0072_0000;
EMAC 14 – Базовый адрес NPU + 32’h0073_0000;
EMAC 15 – Базовый адрес NPU + 32’h0074_0000;
EMAC 16 – Базовый адрес NPU + 32’h0075_0000.

9.6 Конфигурация блока Class HW 1 / 2

1 Регистр размера заголовка Class HW (Адрес: CLASS_HW_HDR_SIZE: 24’h62_0014 – Class HW1, 24’h77_0014 – Class HW2).

Записываемые данные: 32’h0000_0030.

Описание:

биты 7:0 – значение размера заголовка первого буфера LMEM;

биты 31:16 – не используется.

2 Регистр Class HW TMU INQ Address

(Адрес: CLASS_HW_TM_INQ_ADDR: 24’h62_0114 – Class HW1, 24’h77_0114 – Class HW2).

Записываемые данные: 32’h0060_0008 + Базовый адрес NPU.

Описание: Адрес входной очереди менеджера трафика.

3 Регистр Class HW BMU1 Buffer free Address (Адрес: CLASS_HW_TM_INQ_ADDR: 24’h62_024C – Class HW1, 24’h77_024C – Class HW2).

Записываемые данные: 32’h0010_0034 + Базовый адрес NPU.

Описание: Адрес BMU1, где необходимо освободить буфер.

4 Регистр Class HW Global config (Адрес: CLASS_HW_GLBL_CFG: 24’h62_04AC – Class HW1, 24’h77_04AC – Class HW2).

Записываемые данные: 32’h0000_0001.

Описание:

бит 0 – разрешение l2 special punt для всех портов;

биты 31:1 – общая запись fall back bd, 16 бит – список портов пересылки для bd записи по умолчанию.

5 Регистр Class HW Snoop SPL multicast mask1 lsb (Адрес: SNP_SPL_MCAT_MASK1_LSB: 24’h62_0378 – Class HW1, 24’h77_0378 – Class HW2).

Записываемые данные: 32’hFFFF_FFFF.

Описание: Программирование младших 32-х разрядов маски адреса Snoop MCAST.

6 Регистр Class HW Snoop SPL multicast mask1 msb (Адрес: SNP_SPL_MCAT_MASK1_MSB: 24’h62_037C – Class HW1, 24’h77_037C – Class HW2).

Записываемые данные: 32’h0000_FFFF.

Описание: Программирование старших 16-ти разрядов маски адреса Snoop MCAST.

7 Регистр Class HW Snoop SPL multicast address1 lsb (Адрес: SNP_SPL_MCAT_ADDR1_LSB: 24’h62_0368 – Class HW1, 24’h77_0368 – Class HW2).

Записываемые данные: 32’hC200_000E (Пример адреса multicast).

Описание: Младшие 32 разряда SPL multicast address1, программирование младших 32-х бит адреса PTP-пакетов, перенаправляемых в канал управления хоста.

8 Регистр Class HW Snoop SPL multicast address1 msb (Адрес: SNP_SPL_MCAT_ADDR1_MSB: 24’h62_036C – Class HW1, 24’h77_036C – Class HW2).

Записываемые данные: 32’h0000_0180 (Пример адреса multicast).

Описание: Оставшиеся старшие 16 разрядов SPL multicast address1, программирование старших 16-ти бит адреса DA PTP пакетов, перенаправляемых в канал управления хоста.

9 Регистр Class HW NPU Control (Адрес: CLASS_NPU_CTRL: 24’h62_04fc – Class HW1, 24’h77_04fc – Class HW2).

Записываемые данные: 32’h0101_1000.

Описание:

биты 7:0 – маппирование порта для обработки, младшие 8 бит;

бит 12 – номер Q из значения TC или cos;

биты 19:16 – номер Q для выходного рапорта временных меток;

биты 31:24 – подавление flood.

10 Регистр Class HW NPU Control 1 (Адрес: CLASS_NPU_CTRL1: 24’h62_07f0 – Class HW1, 24’h77_07f0 – Class HW2).

Записываемые данные: 32’h0000_0100.

Описание: Программирование старших 12-ти бит маппирования порта для обработки.

9.7 Конфигурация блоков EGPI 1-16

1 Регистр конфигурации EGPI RX: (Адрес: EGPI – 24’hXX_0008).

Записываемые данные: 32’h0200_0001.

Описание:

бит 0 – разрешение буфера LMEM;

биты 31:16 – счетчик повтора для буферов LMEM.

2 Регистр размера заголовка EGPI: (Адрес: EGPI – 24’hXX_000C).

Записываемые данные: 32’h0000_0030.

Описание:
бит 7:0 – значение размера заголовка первого буфера LMEM;
биты 31:16 – не используются.

3 Регистр размера буфера EGPI: (Адрес: EGPI – 24’hXX_0010).
Записываемые данные: 32’h0000_0080.
Описание:
биты 15:0 – значение размера буфера LMEM как 128 байт;
биты 31:16 – не используется.

4 Регистр адреса размещения EGPI LMEM: (Адрес: EGPI – 24’hXX_0014).
Записываемые данные:
– 32’h0010_0030 + Базовый адрес NPU (для EGPI 1-8);
– 32’h0070_0030 + Базовый адрес NPU (для EGPI 9-16).
Описание: Адрес BMU1 / 2, где необходимо разместить буфер.

5 Регистр свободного адреса EGPI LMEM: (Адрес: EGPI – 24’hXX_0018).
Записываемые данные: 32’h0010_0034 + Базовый адрес NPU;
Описание: Адрес BMU1, где необходимо освободить буфер.

6 Регистр адреса EGPI Class: (Адрес: EGPI – 24’hXX_0024).
Записываемые данные:
– 32’h0062_0010 + Базовый адрес NPU (для EGPI 1-8);
– 32’h0077_0010 + Базовый адрес NPU (для EGPI 9-16).
Описание: Программирование адреса регистра Class HW1 / 2, куда отправляются указатели пакета от периферии.

7 Регистр смещения второго буфера данных EGPI LMEM: (Адрес: EGPI – 24’hXX_0060).
Записываемые данные: 32’h0000_0010.
Описание: биты 15:0 – размер заголовка LMEM из второго буфера в каждый буфер в цепочке.

8 Регистр EGPI TMLF TX: (Адрес: EGPI – 24’hXX_004C).
Записываемые данные: 32’h0000_0178.
Описание: биты 15:0 – значение порога слов TMLF – размер 64 бита, должно быть в TMLF FIFO прежде, чем начнется передача.

9 Регистр EGPI DTX ASEQ: (Адрес: EGPI – 24’hXX_0050).
Записываемые данные: 32’h0000_0050.
Описание: Начальное число байт, читаемых из полученного в LMEM указателя, проверяется для полей операции.
Смещение адреса:

EGPI 1 – базовый адрес NPU + 32’h0078_0000;
EGPI 2 – базовый адрес NPU + 32’h0079_0000;
EGPI 3 – базовый адрес NPU + 32’h007A_0000;
EGPI 4 – базовый адрес NPU + 32’h007B_0000;
EGPI 5 – базовый адрес NPU + 32’h007C_0000;
EGPI 6 – базовый адрес NPU + 32’h007D_0000;
EGPI 7 – базовый адрес NPU + 32’h007E_0000;
EGPI 8 – базовый адрес NPU + 32’h007F_0000;
EGPI 9 – базовый адрес NPU + 32’h0080_0000;
EGPI 10 – базовый адрес NPU + 32’h0081_0000;
EGPI 11 – базовый адрес NPU + 32’h0082_0000;
EGPI 12 – базовый адрес NPU + 32’h0083_0000;
EGPI 13 – базовый адрес NPU + 32’h0084_0000;
EGPI 14 – базовый адрес NPU + 32’h0085_0000;
EGPI 15 – базовый адрес NPU + 32’h0086_0000;
EGPI 16 – базовый адрес NPU + 32’h0087_0000.

9.8 Конфигурация блока HGPI

1 Регистр конфигурации HGPI RX: (Адрес: HGPI– 24’h65_0008).
Записываемые данные: 32’h0200_0001.
Описание:
бит 0 – разрешение буфера LMEM;
биты 31:16 – количество повторов для буферов LMEM.

2 Регистр размера заголовка HGPI: (Адрес: HGPI – 24’h65_000C).
Записываемые данные: 32’h0000_0030.
Описание:
биты 7:0 – значение размера заголовка первого буфера LMEM;
биты 31:16 – не используются.

3 Регистр размера буфера HGPI: (Адрес: HGPI – 24’h65_0010).
Записываемые данные: 32’h0000_0080.
Описание:
биты 15:0 – значение размера буфера LMEM как 128 байт;
биты 31:16 – не используются.

4 Регистр адреса размещения HGPI LMEM: (Адрес: HGPI – 24’h65_0014).
Записываемые данные: 32’h0010_0030 + Базовый адрес NPU.
Описание: Адрес BMU1, где необходимо разместить буфер.

5 Регистр свободного адреса HGPI LMEM: (Адрес: HGPI – 24’h65_0018).
Записываемые данные: 32’h0010_0034 + Базовый адрес NPU.
Описание: Адрес BMU1, где необходимо освободить буфер.

6 Регистр адреса HGPI Class: (Адрес: HGPI – 24’h65_0024)

Записываемые данные: 32’h0062_0010 + Базовый адрес NPU

Описание: Адрес регистра Class HW INQ куда отправляются пакеты от периферии.

7 Регистр смещения второго буфера данных HGPI LMEM: (Адрес: HGPI – 24’h65_0060).

Записываемые данные: 32’h0000_0010.

Описание: биты 15:0 – размер заголовка LMEM из второго буфера в каждый буфер в цепочке.

8 Регистр HGPI TMLF TX: (Адрес: HGPI – 24’h65_004C).

Записываемые данные: 32’h0000_0178.

Описание: биты 7:0 – значение порога слов TMLF – размер 64 бита, должно быть в TMLF FIFO прежде, чем начнется передача.

9 Регистр HGPI DTX ASEQ: (Адрес: HGPI - 24’h65_0050).

Записываемые данные: 32’h0000_0040.

Описание: Начальное число байт читаемых из полученного в LMEM указателя, проверяется для полей операции.

9.9 Конфигурация блоков ETGPI 1 - 16

1 Регистр конфигурации ETGPI 1 / 2 RX: (Адрес: ETGPI – 24’hXX_0008).

Записываемые данные: 32’h0200_0001.

Описание:

бит 0 – разрешение буфера LMEM;

биты 31:16 – число повторов для буферов LMEM.

2 Регистр размера заголовка ETGPI 1 / 2: (Адрес: ETGPI – 24’hXX_000C).

Записываемые данные: 32’h0000_0030.

Описание:

биты 7:0 – значение размера заголовка первого буфера LMEM;

биты 31:16 – не используются.

3 Регистр размера буфера ETGPI 1 / 2: (Адрес: ETGPI – 24’hXX_0010).

Записываемые данные: 32’h0000_0080.

Описание:

биты 15:0 – значение размера буфера LMEM как 128 байт;

биты 31:16 – не используется.

4 Регистр адреса размещения ETGPI 1 / 2 LMEM: (Адрес: ETGPI – 24’hXX_0014);

Записываемые данные:

– 32’h0010_0030 + Базовый адрес NPU (для ETGPI 1-8);

– 32’h0070_0030 + Базовый адрес NPU (для ETGPI 9-16).

Описание: Адрес BMU1 / 2, где необходимо разместить буфер.

5 Регистр свободного адреса ETGPI 1 / 2 LMEM: (Адрес: ETGPI – 24’hXX_0018).

Записываемые данные: 32’h0010_0034 + Базовый адрес NPU.

Описание: Адрес BMU1, где необходимо освободить буфер.

6 Регистр адреса ETGPI 1 / 2 Class: (Адрес: ETGPI – 24’hXX_0024).

Записываемые данные:

– 32’h0062_0010 + Базовый адрес NPU (для ETGPI 1-8);

– 32’h0077_0010 + Базовый адрес NPU (для ETGPI 9-16).

Описание: Программирование адреса регистра Class HW 1 / 2, куда отправляются указатели пакета от периферии.

7 Регистр смещения второго буфера данных ETGPI 1 / 2 LMEM: (Адрес: ETGPI – 24’hXX_0060).

Записываемые данные: 32’h0000_0010.

Описание: биты 15:0 – размер заголовка LMEM из второго буфера в каждый буфер в цепочке.

8 Регистр ETGPI 1 / 2 TMLF TX: (Адрес: ETGPI – 24’hXX_004C).

Записываемые данные: 32’h0000_00BC.

Описание: биты 7:0 – значение порога слов TMLF – размер 64 бита, должно быть в TMLF FIFO прежде, чем начнется передача.

9 Регистр ETGPI 1 / 2 DTX ASEQ: (Адрес: ETGPI – 24’hXX_0050).

Записываемые данные: 32’h0000_0050.

Описание: Начальное число байт читаемых из полученного в LMEM указателя, проверяется для полей операции.

Смещение адреса:

ETGPI 1 – базовый адрес NPU + 32’h0088_0000;

ETGPI 2 – базовый адрес NPU + 32’h0089_0000;

ETGPI 3 – базовый адрес NPU + 32’h008A_0000;

ETGPI 4 – базовый адрес NPU + 32’h008B_0000;

ETGPI 5 – базовый адрес NPU + 32’h008C_0000;

ETGPI 6 – базовый адрес NPU + 32’h008D_0000;

ETGPI 7 – базовый адрес NPU + 32’h008E_0000;

ETGPI 8 – базовый адрес NPU + 32’h008F_0000;

ETGPI 9 – базовый адрес NPU + 32’h0090_0000;

ETGPI 10 – базовый адрес NPU + 32’h0091_0000;
ETGPI 11 – базовый адрес NPU + 32’h0092_0000;
ETGPI 12 – базовый адрес NPU + 32’h0093_0000;
ETGPI 13 – базовый адрес NPU + 32’h0094_0000;
ETGPI 14 – базовый адрес NPU + 32’h0095_0000;
ETGPI 15 – базовый адрес NPU + 32’h0096_0000;
ETGPI 16 – базовый адрес NPU + 32’h0097_0000.

9.10 Конфигурация блока TLITE

1 Регистр адреса TMU PHY0 INQ (Адрес: TMU_PHY0_INQ_ADDR – 24’h60_0200).

Записываемые данные: 32’h0078_0030 + Базовый адрес NPU.

Описание: INQ адрес PORT0 – это EGPI1.

2 Регистр адреса TMU PHY1 INQ (Адрес: TMU_PHY1_INQ_ADDR – 24’h60_0204).

Записываемые данные: 32’h0079_0030 + Базовый адрес NPU.

Описание: INQ адрес PORT1 это EGPI2.

3 Регистр адреса TMU PHY2 INQ (Адрес: TMU_PHY2_INQ_ADDR – 24’h60_0208).

Записываемые данные: 32’h007A_0030 + Базовый адрес NPU.

Описание: INQ адрес PORT2 – это EGPI3.

4 Регистр адреса TMU PHY3 INQ (Адрес: TMU_PHY3_INQ_ADDR – 24’h60_020C).

Записываемые данные: 32’h007B_0030 + Базовый адрес NPU.

Описание: INQ адрес PORT3 – это EGPI4.

5 Регистр адреса TMU PHY4 INQ (Адрес: TMU_PHY4_INQ_ADDR – 24’h60_0210).

Записываемые данные: 32’h007C_0030 + Базовый адрес NPU.

Описание: INQ адрес PORT4 – это EGPI5.

6 – Регистр адреса TMU PHY5 INQ (Адрес: TMU_PHY5_INQ_ADDR – 24’h60_0214).

Записываемые данные: 32’h007D_0030 + Базовый адрес NPU.

Описание: INQ адрес PORT5 – это EGPI6.

7 Регистр адреса TMU PHY6 INQ (Адрес: TMU_PHY6_INQ_ADDR – 24’h60_0218).

Записываемые данные: 32’h007E_0030 + Базовый адрес NPU.

Описание: INQ адрес PORT6 – это EGPI7.

8 Регистр адреса TMU PHY7 INQ (Адрес: TMU_PHY7_INQ_ADDR – 24’h60_021C).

Записываемые данные: 32’h007F_0030 + Базовый адрес NPU.

Описание: INQ адрес PORT7 – это EGPI8.

9 Регистр адреса TMU PHY8 INQ (Адрес: TMU_PHY8_INQ_ADDR – 24’h60_0220).

Записываемые данные: 32’h0080_0030 + Базовый адрес NPU.

Описание: INQ адрес PORT8 – это EGPI9.

10 Регистр адреса TMU PHY9 INQ (Адрес: TMU_PHY9_INQ_ADDR – 24’h60_0224).

Записываемые данные: 32’h0081_0030 + Базовый адрес NPU.

Описание: INQ адрес PORT9 – это EGPI10.

11 Регистр адреса TMU PHY10 INQ (Адрес: TMU_PHY10_INQ_ADDR – 24’h60_0228).

Записываемые данные: 32’h0082_0030 + Базовый адрес NPU.

Описание: INQ адрес PORT10 – это EGPI11.

12 Регистр адреса TMU PHY11 INQ (Адрес: TMU_PHY11_INQ_ADDR – 24’h60_022C).

Записываемые данные: 32’h0083_0030 + Базовый адрес NPU.

Описание: INQ адрес PORT11 – это EGPI12.

13 Регистр адреса TMU PHY12 INQ (Адрес: TMU_PHY12_INQ_ADDR – 24’h60_0230).

Записываемые данные: 32’h0084_0030 + Базовый адрес NPU.

Описание: INQ адрес PORT12 – это EGPI13.

14 Регистр адреса TMU PHY13 INQ (Адрес: TMU_PHY13_INQ_ADDR – 24’h60_0234).

Записываемые данные: 32’h0085_0030 + Базовый адрес NPU.

Описание: INQ адрес PORT13 – это EGPI14.

15 Регистр адреса TMU PHY14 INQ (Адрес: TMU_PHY14_INQ_ADDR – 24’h60_0238).

Записываемые данные: 32’h0086_0030 + Базовый адрес NPU.

Описание: INQ адрес PORT14 – это EGPI15.

16 Регистр адреса TMU PHY15 INQ (Адрес: TMU_PHY15_INQ_ADDR – 24’h60_023C).

Записываемые данные: 32’h0087_0030 + Базовый адрес NPU.

Описание: INQ адрес PORT15 – это EGPI16.

17 Регистр адреса TMU PHY16 INQ (Адрес: TMU_PHY16_INQ_ADDR – 24’h60_0240).

Записываемые данные: 32’h0065_0030 + Базовый адрес NPU.

Описание: INQ адрес PORT16 – это HGPI.

18 Регистр управления доступом к контексту TMU (Адрес: TMU_CNTX_ACCESS_CTRL_ADDR - 24’h60_02F0).

Записываемые данные: 32’h0000_0001.

Описание: Управляет прямым/косвенным доступом к контекстной памяти: 0 – косвенный, 1 – прямой.

Инициализация контекстной памяти

// Конфигурация регистров, представленная ниже в пп. 19 – 26, должна быть повторена для всех PHY и очередей каждого PHY.

19 Регистр адреса, выбранного TMU PHY и очереди (Адрес: TMU_PHY_QUEUE_SEL_ADDR – 24’h60_0034).

Записываемые данные: {20’h0, phy_no, queue_no}

Описание:

биты 7:0 – номер очереди;

биты12:8 – номер PHY.

20 Регистр адреса указателя текущей очереди TMU (Адрес: TMU_CURQ_PTR_ADDR – 24’h60_0038).

Записываемые данные: 32’h0.

Описание: Сброс указателя текущей очереди.

21 Регистр адреса количества пакетов текущей очереди TMU (Адрес: TMU_CURQ_PKT_CNT_ADDR – 24’h60_003C).

Записываемые данные: 32’h0.

Описание: Сброс числа пакетов текущей очереди.

22 Регистр адреса числа отброшенных пакетов текущей очереди TMU (Адрес: TMU_CURQ_DROP_CNT_ADDR - 24’h60_0040).

Записываемые данные: 32’h0.

Описание: Сброс числа отброшенных пакетов текущей очереди.

23 Регистр адреса числа переданных пакетов текущей очереди TMU (Адрес: TMU_CURQ_TRANS_CNT_ADDR - 24’h60_0044).

Записываемые данные: 32’h0.

Описание: Сброс числа переданных пакетов текущей очереди.

24 Регистр адреса статуса текущей очереди TMU (Адрес: TMU_CURQ_QSTAT_ADDR - 24'h60_0048).

Записываемые данные: 32'h0.

Описание: Сброс значения статуса текущей очереди (не выбран любой из алгоритмов отбрасывания).

25 Регистр адреса вероятностной таблицы конфигурации 0 TMU HW (Адрес: TMU_HW_PROB_CFG_TBL0 _ADDR - 24'h60_004C).

Записываемые данные: 32'h0.

Описание: Сброс значений вероятностной таблицы 0 HW.

26 Регистр адреса вероятностной таблицы конфигурации 1 TMU HW (Адрес: TMU_HW_PROB_CFG_TBL1 _ADDR - 24'h60_0050).

Записываемые данные: 32'h0.

Описание: Сброс значений вероятностной таблицы 1 HW.

//Конец цикла.

27 Регистр адреса управления TMU PHY0 TDQ (Адрес: TMU_PHY0_TDQ_CTRL_ADDR - 24'h60_02A0).

Записываемые данные: 32'h0000_000F.

Описание:

бит 0 – shp_clk_cntrl_en;

бит 1 – hw_en для tdq_sch_shaper;

биты 3:2 – для разрешения планировщиков;

бит 4 – allw_tdq_prog.

28 Регистр адреса управления TMU PHY1 TDQ (Адрес: TMU_PHY1_TDQ_CTRL_ADDR - 24'h60_02A4).

Записываемые данные: 32'h0000_000F.

Описание:

бит 0 – shp_clk_cntrl_en;

бит 1 – hw_en for tdq_sch_shaper;

биты 3:2 – для разрешения планировщиков;

бит 4 – allw_tdq_prog.

29 Регистр адреса управления TMU PHY2 TDQ (Адрес: TMU_PHY2_TDQ_CTRL_ADDR - 24'h60_02A8).

Записываемые данные: 32'h0000_000F.

Описание:

бит 0 – shp_clk_cntrl_en;

бит 1 – hw_en for tdq_sch_shaper;

биты 3:2 – для разрешения планировщиков;
бит 4 – allw_tdq_prog.

30 Регистр адреса управления TMU PHY3 TDQ (Адрес: TMU_PHY3_TDQ_CTRL_ADD R - 24'h60_02AC)
Записываемые данные: 32'h0000_000F.
Описание:
бит 0 – shp_clk_cntrl_en;
бит 1 – hw_en for tdq_sch_shaper;
биты 3:2 – для разрешения планировщиков;
бит 4 – allw_tdq_prog.

31 Регистр адреса управления TMU PHY4 TDQ (Адрес: TMU_PHY4_TDQ_CTRL_ADDR - 24'h60_02B0).
Записываемые данные: 32'h0000_000F.
Описание:
бит 0 – shp_clk_cntrl_en;
бит 1 – hw_en for tdq_sch_shaper;
биты 3:2 – для разрешения планировщиков;
бит 4 – allw_tdq_prog.

32 Регистр адреса управления TMU PHY5 TDQ (Адрес: TMU_PHY5_TDQ_CTRL_ADDR - 24'h60_02B4).
Записываемые данные: 32'h0000_000F.
Описание:
бит 0 – shp_clk_cntrl_en;
бит 1 – hw_en for tdq_sch_shaper;
биты 3:2 – для разрешения планировщиков;
бит 4 – allw_tdq_prog.

33 Регистр адреса управления TMU PHY6 TDQ (Адрес: TMU_PHY6_TDQ_CTRL_ADDR - 24'h60_02B8).
Записываемые данные: 32'h0000_000F.

Описание:
бит 0 – shp_clk_cntrl_en;
бит 1 – hw_en for tdq_sch_shaper;
биты 3:2 – для разрешения планировщиков;
бит 4 – allw_tdq_prog.

34 Регистр адреса управления TMU PHY7 TDQ (Адрес: TMU_PHY7_TDQ_CTRL_ADDR - 24'h60_02BC).
Записываемые данные: 32'h0000_000F.

Описание:
бит 0 – shp_clk_cntrl_en;
бит 1 – hw_en for tdq_sch_shaper;
биты 3:2 – для разрешения планировщиков;
бит 4 – allw_tdq_prog.

35 Регистр адреса управления TMU PHY8 TDQ (Адрес: TMU_PHY8_TDQ_CTRL_ADDR - 24'h60_02C0).
Записываемые данные: 32'h0000_000F.
Описание:
бит 0 – shp_clk_cntrl_en;
бит 1 – hw_en for tdq_sch_shaper;
биты 3:2 – для разрешения планировщиков;
бит 4 – allw_tdq_prog.

36 Регистр адреса управления TMU PHY9 TDQ (Адрес: TMU_PHY9_TDQ_CTRL_ADDR - 24'h60_02C4).
Записываемые данные: 32'h0000_000F.
Описание:
бит 0 – shp_clk_cntrl_en;
бит 1 – hw_en for tdq_sch_shaper;
биты 3:2 – для разрешения планировщиков;
бит 4 – allw_tdq_prog.

37 Регистр адреса управления TMU PHY10 TDQ (Адрес: TMU_PHY10_TDQ_CTRL_ADDR - 24'h60_02C8).
Записываемые данные: 32'h0000_000F.
Описание:
бит 0 – shp_clk_cntrl_en;
бит 1 – hw_en for tdq_sch_shaper;
биты 3:2 – для разрешения планировщиков;
бит 4 – allw_tdq_prog.

38 Регистр адреса управления TMU PHY11 TDQ (Адрес: TMU_PHY11_TDQ_CTRL_ADDR - 24'h60_02CC).
Записываемые данные: 32'h0000_000F.
Описание:
бит 0 – shp_clk_cntrl_en;
бит 1 – hw_en for tdq_sch_shaper;
биты 3:2 – для разрешения планировщиков;
бит 4 – allw_tdq_prog.

39 Регистр адреса управления TMU PHY12 TDQ (Адрес: TMU_PHY12_TDQ_CTRL_ADDR - 24’h60_02D0).
Записываемые данные: 32’h0000_000F.
Описание:
бит 0 – shp_clk_cntrl_en;
бит 1 – hw_en for tdq_sch_shaper;
биты 3:2 – для разрешения планировщиков;
бит 4 – allw_tdq_prog.

40 Регистр адреса управления TMU PHY13 TDQ (Адрес: TMU_PHY13_TDQ_CTRL_ADDR - 24’h60_02D4).
Записываемые данные: 32’h0000_000F.
Описание:
бит 0 – shp_clk_cntrl_en;
бит 1 – hw_en for tdq_sch_shaper;
биты 3:2 – для разрешения планировщиков;
бит 4 – allw_tdq_prog.

41 Регистр адреса управления TMU PHY14 TDQ (Адрес: TMU_PHY14_TDQ_CTRL_ADDR - 24’h60_02D8).
Записываемые данные: 32’h0000_000F.
Описание:
бит 0 – shp_clk_cntrl_en;
бит 1 – hw_en for tdq_sch_shaper;
биты 3:2 – для разрешения планировщиков;
бит 4 – allw_tdq_prog.

42 Регистр адреса управления TMU PHY15 TDQ (Адрес: TMU_PHY15_TDQ_CTRL_ADDR - 24’h60_02DC).
Записываемые данные: 32’h0000_000F.
Описание:
бит 0 – shp_clk_cntrl_en;
бит 1 – hw_en for tdq_sch_shaper;
биты 3:2 – для разрешения планировщиков;
бит 4 – allw_tdq_prog.

43 Регистр адреса управления TMU PHY16 TDQ (Адрес: TMU_PHY16_TDQ_CTRL_ADDR - 24’h60_02E0).
Записываемые данные: 32’h0000_000F.
Описание:
бит 0 – shp_clk_cntrl_en;
бит 1 – hw_en for tdq_sch_shaper;
биты 3:2 – для разрешения планировщиков;

бит 4 – allw_tdq_prog.

44 Регистр адреса TMU BMU INQ (Адрес: TMU_BMU_INQ_ADDR - 24’h40_0100).

Записываемые данные: 32’h0010_0034.

Описание: Адрес BMU, где необходим свободный буфер.

9.11 Конфигурация блока HIF PIPE

1 Регистр счетчика опроса HIF TX Poll (Адрес: HIF - 24’h64_0004).

Записываемые данные: 32’h0040_0040 (может быть запрограммировано максимальное значение счета).

Описание:

биты 15:0 – считываемое значение счетчика опроса TX BDP;

биты 31:16 – записываемое значение счетчика опроса TX BDP.

2 Регистр счетчика опроса HIF RX (Адрес: HIF - 24’h64_0008).

Записываемые данные: 32’h0040_0040 (может быть запрограммировано максимальное значение счета).

Описание:

биты 15:0 – считываемое значение счетчика опроса RX BDP;

биты 31:16 – записываемое значение счетчика опроса RX BDP.

3 Регистр адреса HIF Misc (Адрес: HIF - 24’h64_000C).

Записываемые данные: 32’h0000_0001.

Описание:

бит 0 – разрешение проверки номера последовательности.

биты 31:16 – программируется начальное значение номера последовательности, по умолчанию – 0.

4 Регистр распределения очереди в номер канала CH HIF RX (Адрес: HIF - 24’h64_00CC).

Записываемые данные: 32’h3210_3210.

Описание: основывается на необходимых требованиях распределения очереди TMU 0-7 в любой канал HIF.

5 Регистр размера burst-пакета HIF DMA (Адрес: HIF 1 - 24’h64_00C8).

Записываемые данные: 32’h0000_0000 (программируется по умолчанию).

Описание: программируемый размер burst HIF, необходимо запрограммировать соответствующие значение для разных размеров burst DMA-доступа (т.е. поддерживаемые скорости 2’b00-128, 2’b01-256 байт).

HIF TX для канала, последовательность процесса программирования BD:

Хосту необходимо создать для канала цепочку TX BD и буферы для каждого BD, обновить BD с информацией буфера и запрограммировать нижеперечисленные регистры для канала HIF.

а Регистр адреса HIF TX BDP RD LSB канала CH_X (например, адрес HIF Ch0 – 24’h64_011C).

Описание: необходимо запрограммировать адрес первого BD в цепочке TX BD.

б Регистр адреса HIF TX BDP WR LSB канала CH_X (например, адрес HIF Ch0 – 24’h64_0114).

Описание: необходимо запрограммировать адрес обратной записи TX BD.

в Адрес размера буфера HIF TX WR BACK BD CH_X (например, адрес HIF Ch0 – 24.h64_012C).

Описание: размер кругового буфера обратной записи TX BD. Необходимо запрограммировать удвоенное значение BD структур, размещенных в BD цепочке.

г Регистр управления HIF CH_X BDP (например, адрес HIF1 Ch0 – 24’h64_0100).

Записываемые данные: 32’h0000_0003 (например, разрешение TX DMA и режима опроса).

Описание:

бит 0 – разрешение TX DMA;

бит 1 – ‘1’ режим опроса, ‘0’ режим стробирования.

Примечание – Если выбран режим стробирования, хосту после каждого пакета, размещенного в свободный BD, необходимо производить запись в регистр TX строба (Адрес HIF: 24’h64_0130), чтобы коммутатор установил признак BD вычитан.

HIF RX для канала, последовательность процесса программирования BD:

Хосту необходимо создать для канала цепочку RX BD и буферы для каждого BD, обновить BD с информацией буфера и запрограммировать нижеперечисленные регистры для канала HIF.

а Регистр адреса HIF RX BDP RD LSB канала CH_X (например, адрес HIF Ch0 – 24’h64_010C).

Описание: необходимо запрограммировать адрес первого BD в цепочке RX BD.

б Регистр адреса HIF RX BDP WR LSB канала CH_X (например, адрес HIF Ch0 – 24’h64_0104).

Описание: необходимо запрограммировать адрес обратной записи RX BD.

в Адрес размера буфера HIF RX WR BACK BD CH_X (например, адрес HIF Ch0 – 24’h64_0124).

Описание: размер кругового буфера обратной записи RX BD. Необходимо запрограммировать удвоенное значение BD структур, размещенных в BD цепочке.

г HIF CH_X BDP control register (например, адрес HIF Ch0 – 24’h64_0100).

Записываемые данные: 32’h0003_0003 (например, разрешение TX/RX DMA и режима опроса).

Описание:

бит 0: – разрешение TX DMA;

бит 1 – ‘1’ режим опроса, ‘0’ режим стробирования;

бит 16 – RX DMA enable;

бит 17 – ‘1’ режим опроса, ‘0’ режим стробирования.

Примечание – Если выбран режим стробирования, хосту после каждого пакета, прочитанного из BD и повторного разрешения BD для использования, необходимо производить запись в регистр RX строба (Адрес HIF: 24’h64_0128), чтобы коммутатор установил признак BD вычитан.

9.12 Разрешение блоков NPU

1 Регистр управления BMU1 (Адрес: BMU 1 - 24’h10_0004).
Записываемые данные: 32’h0000_0001.
Описание: разрешение ядра BMU1.

2 Регистр управления BMU2 (Адрес: BMU 1 - 24’h70_0004).
Записываемые данные: 32’h0000_0001.
Описание: разрешение ядра BMU2.

3 Регистр управления EGPI1 (Адрес: EGPI1 - 24’h78_0004).
Записываемые данные: 32’h0000_0001.
Описание: разрешение ядра EGPI1.

4 Регистр управления EGPI2 (Адрес: EGPI2 - 24’h79_0004).
Записываемые данные: 32’h0000_0001.
Описание: разрешение ядра EGPI2.

5 Регистр управления EGPI3 (Адрес: EGPI3 - 24’h7A_0004).
Записываемые данные: 32’h0000_0001.
Описание: разрешение ядра EGPI3.

6 Регистр управления EGPI4 (Адрес: EGPI4 - 24’h7B_0004).
Записываемые данные: 32’h0000_0001.
Описание: разрешение ядра EGPI4.

7 Регистр управления EGPI5 (Адрес: EGPI5 - 24’h7C_0004).
Записываемые данные: 32’h0000_0001.
Описание: разрешение ядра EGPI5.

8 Регистр управления EGPI6 (Адрес: EGPI6 - 24’h7D_0004).
Записываемые данные: 32’h0000_0001.
Описание: разрешение ядра EGPI6.

9 Регистр управления EGPI7 (Адрес: EGPI7 - 24’h7E_0004).
Записываемые данные: 32’h0000_0001.
Описание: разрешение ядра EGPI7.

10 Регистр управления EGPI8 (Адрес: EGPI8 - 24’h7F_0004).
Записываемые данные: 32’h0000_0001.
Описание: разрешение ядра EGPI8.

11 Регистр управления EGPI9 (Адрес: EGPI9 - 24’h80_0004).
Записываемые данные: 32’h0000_0001.
Описание: разрешение ядра EGPI9.

12 Регистр управления EGPI10 (Адрес: EGPI10 - 24’h81_0004).
Записываемые данные: 32’h0000_0001.
Описание: разрешение ядра EGPI10.

13 Регистр управления EGPI11 (Адрес: EGPI11 - 24’h82_0004).
Записываемые данные: 32’h0000_0001.
Описание: разрешение ядра EGPI11.
14 Регистр управления EGPI12 (Адрес: EGPI12 - 24’h83_0004).
Записываемые данные: 32’h0000_0001.
Описание: разрешение ядра EGPI12.

15 Регистр управления EGPI13 (Адрес: EGPI13 - 24’h84_0004).
Записываемые данные: 32’h0000_0001.
Описание: разрешение ядра EGPI13.

16 EGPI14 (Адрес: EGPI14 - 24’h85_0004).
Записываемые данные: 32’h0000_0001.
Описание: Разрешение ядра EGPI14

17. Регистр управления EGPI15 (Адрес: EGPI15 - 24’h86_0004).
Записываемые данные: 32’h0000_0001
Описание: разрешение ядра EGPI15.

18 Регистр управления EGPI16 (Адрес: EGPI16 - 24’h87_0004).
Записываемые данные: 32’h0000_0001.
Описание: разрешение ядра EGPI16.

19 Регистр управления HGPI (Адрес: HGPI1 - 24’h65_0004).
Записываемые данные: 32’h0000_0001.
Описание: разрешение ядра HGPI1.

20 Регистр управления ETGPI1 (Адрес: ETGPI1 - 24’h88_0004).
Записываемые данные: 32’h0000_0001.
Описание: разрешение ядра ETGPI1.

21 Регистр управления ETGPI2 (Адрес: ETGPI2 - 24’h89_0004).
Записываемые данные: 32’h0000_0001.
Описание: разрешение ядра ETGPI2.

22 Регистр управления ETGPI3 (Адрес: ETGPI3 - 24’h8A_0004).
Записываемые данные: 32’h0000_0001.
Описание: разрешение ядра ETGPI3.

23 Регистр управления ETGPI4 (Адрес: ETGPI4 - 24’h8B_0004).
Записываемые данные: 32’h0000_0001.
Описание: разрешение ядра ETGPI4.

24 Регистр управления ETGPI5 (Адрес: ETGPI5 - 24’h8C_0004).
Записываемые данные: 32’h0000_0001.
Описание: разрешение ядра ETGPI5.

25 Регистр управления ETGPI6 (Адрес: ETGPI6 - 24’h8D_0004).
Записываемые данные: 32’h0000_0001.
Описание: разрешение ядра ETGPI6.

26 Регистр управления ETGPI7 (Адрес: ETGPI7 - 24’h8E_0004).
Записываемые данные: 32’h0000_0001.
Описание: разрешение ядра ETGPI7.

27 Регистр управления ETGPI8 (Адрес: ETGPI8 - 24’h8F_0004).
Записываемые данные: 32’h0000_0001.
Описание: разрешение ядра ETGPI8.

28 Регистр управления ETGPI9 (Адрес: ETGPI9 - 24’h90_0004).
Записываемые данные: 32’h0000_0001.
Описание: разрешение ядра ETGPI9.

29 Регистр управления ETGPI10 (Адрес: ETGPI10 - 24’h91_0004).
Записываемые данные: 32’h0000_0001.
Описание: разрешение ядра ETGPI10.

30 Регистр управления ETGPI11 (Адрес: ETGPI11 - 24’h92_0004).
Записываемые данные: 32’h0000_0001.
Описание: разрешение ядра ETGPI11.

31 Регистр управления ETGPI12 (Адрес: ETGPI12 - 24’h93_0004).
Записываемые данные: 32’h0000_0001.
Описание: разрешение ядра ETGPI12.

32 Регистр управления ETGPI13 (Адрес: ETGPI13 - 24’h94_0004).
Записываемые данные: 32’h0000_0001.
Описание: разрешение ядра ETGPI13.

33 Регистр управления ETGPI14 (Адрес: ETGPI14 - 24’h95_0004).
Записываемые данные: 32’h0000_0001
Описание: Разрешение ядра ETGPI14

34 Регистр управления ETGPI15 (Адрес: ETGPI15 - 24’h96_0004)
Записываемые данные: 32’h0000_0001.
Описание: разрешение ядра ETGPI15.

35 Регистр управления ETGPI16 (Адрес: ETGPI16 - 24’h97_0004).
Записываемые данные: 32’h0000_0001.
Описание: разрешение ядра ETGPI16.

36. Регистр управления Class HW (Адрес: Class HW - 24’h62_0004).
Записываемые данные: 32’h0000_0001.
Описание: разрешение ядра Class HW 1.

37 Регистр управления Class HW 2 (Адрес: Class HW - 24’h77_0004).
Записываемые данные: 32’h0000_0001.
Описание: разрешение ядра Class HW 2.

38 Регистр управления EMAC1 Network (Адрес: EMAC1: 24’h66_0000).
Записываемые данные: 32’h0080_000C.
Описание: бит 23 – разрешение TX и RX путей, разрешение внутреннего таймера TSU.

39 Регистр управления EMAC2 Network (Адрес: EMAC2: 24’h67_0000).
Записываемые данные: 32’h0080_000C.

Описание: бит 23 – разрешение TX и RX путей, разрешение внутреннего таймера TSU.

40 Регистр управления EMAC3 Network (Адрес: EMAC3: 24’h68_0000).
Записываемые данные: 32’h0080_000C.
Описание: бит 23 – разрешение TX и RX путей, разрешение внутреннего таймера TSU.

41 Регистр управления EMAC4 Network (Адрес: EMAC4: 24’h69_0000).
Записываемые данные: 32’h0080_000C.
Описание: бит 23 – разрешение TX и RX путей, разрешение внутреннего таймера TSU.

42 Регистр управления EMAC5 Network (Адрес: EMAC5: 24’h6A_0000).
Записываемые данные: 32’h0080_000C.
Описание: бит 23 – разрешение TX и RX путей, разрешение внутреннего таймера TSU.

43 Регистр управления EMAC6 Network (Адрес: EMAC6: 24’h6B_0000).
Записываемые данные: 32’h0080_000C.
Описание: бит 23 – разрешение TX и RX путей, разрешение внутреннего таймера TSU.

44 Регистр управления EMAC7 Network (Адрес: EMAC7: 24’h6C_0000).
Записываемые данные: 32’h0080_000C.
Описание: бит 23 – разрешение TX и RX путей, разрешение внутреннего таймера TSU.

45 Регистр управления EMAC8 Network (Адрес: EMAC8: 24’h6D_0000).
Записываемые данные: 32’h0080_000C.
Описание: бит 23 – разрешение TX и RX путей, разрешение внутреннего таймера TSU.

46 Регистр управления EMAC9 Network (Адрес: EMAC9: 24’h6E_0000).
Записываемые данные: 32’h0080_000C.
Описание: бит 23 – разрешение TX и RX путей, разрешение внутреннего таймера TSU.

47 Регистр управления EMAC10 Network (Адрес: EMAC10: 24’h6F_0000).
Записываемые данные: 32’h0080_000C.
Описание: бит 23 – разрешение TX и RX путей, разрешение внутреннего таймера TSU.

48 Регистр управления EMAC11 Network (Адрес: EMAC11: 24’h76_0000).

Записываемые данные: 32’h0080_000C.

Описание: бит 23 – разрешение TX и RX путей, разрешение внутреннего таймера TSU.

49 Регистр управления EMAC12 Network (Адрес: EMAC12: 24’h71_0000).

Записываемые данные: 32’h0080_000C.

Описание: бит 23 – разрешение TX и RX путей, разрешение внутреннего TSU-таймера.

50 Регистр управления EMAC13 Network (Адрес: EMAC13: 24’h72_0000).

Записываемые данные: 32’h0080_000C.

Описание: бит 23 – разрешение TX и RX путей, разрешение внутреннего TSU-таймера.

51 Регистр управления EMAC14 Network (Адрес: EMAC14: 24’h73_0000).

Записываемые данные: 32’h0080_000C.

Описание: бит 23 – разрешение TX и RX путей, разрешение внутреннего TSU-таймера.

52. Регистр управления EMAC15 Network (Адрес: EMAC15: 24’h74_0000)

Записываемые данные: 32’h0080_000C

Описание: бит 23 – разрешение TX и RX путей, разрешение внутреннего TSU таймера

53 Регистр управления EMAC16 Network (Адрес: EMAC16: 24’h75_0000).

Записываемые данные: 32’h0080_000C.

Описание: бит 23 – разрешение TX и RX путей, разрешение внутреннего TSU-таймера.

Примечание – Выше представлены EMAC-регистры Ethernet MAC.

9.13 Последовательность смены режима из неуправляемого в управляемый

Когда входы MODE[2:0] микросхемы подключены к константе 100, коммутатор работает в неуправляемом режиме. Аппаратный сброс автомата состояний запрограммирует конфигурацию коммутатора в режим по умолчанию после сброса по включению питания. Конфигурация EMAC будет согласно контроллеру MAC. По умолчанию EMAC будут функционировать в режиме SGMII 1 Гбит.

В неуправляемом режиме конфигурация хоста не требуется. Этот режим используется для передачи пакетов между EMAC без конфигурации хоста.

Пакеты, принятые на EMAC 1-16, распространяются на все порты EMAC, пакеты не направляются в порт HIF.

Для перевода коммутатора из неуправляемого в управляемый режим, выполните следующую последовательность действий:

1 Запрещение RX-путей EMAC 1-16;

2 Ожидание передачи пакетов внутри коммутатора на TX-порты (т.е. ожидание, пока текущий счетчик буферов BMU 1/2 не достигнет нуля);

3 Выполнение последовательности, описанной в подразделах 9.1 – 9.12 (за исключением программного сброса для каждого блока);

4 Запрограммировать бит 31 (изменить неуправляемый режим на управляемый/программное конфигурирование завершено) общего регистра управления WSP Global Sys (24'h63_0020);

5 Начать обмен пакетами на портах.

9.14 Последовательность программного сброса

Рекомендуемая последовательность программного сброса коммутатор:

1 Запретить прием EMAC.

2 Запретить хост. DMA хоста.

Хост необходимо запретить после получения уже запланированного BD для обратной записи, и не планировать новые.

3 Записать бит программного сброса – бит 30 регистра управления sys gen.

4 Ожидать 100 мкс – это необходимая задержка перед тем, как каждый внутренний блок завершит процесс программного сброса.

5 Очистить бит программного сброса – бит 30 регистра управления sys gen.

6 Необходимо выполнить инициализацию контекстной памяти TMU.

7 Реконфигурация HIF (только если требуется).

HIF будет содержать предыдущую запрограммированную конфигурацию. Если требуется, новая конфигурация может быть запрограммирована перед разрешением DMA.

После завершения вышеописанной последовательности EMAC и HIF могут быть разрешены для нормального обмена пакетами.

При программном сбросе значения регистров CSR не очищаются. Поэтому нет необходимости осуществлять реконфигурирование регистров.

Записи хэш-таблицы также сохранятся. Поэтому нет необходимости перепрограммировать хэш-таблицы.

Рекомендуется использовать только глобальный программный сброс для сброса блоков вместо программного сброса каждого блока в отдельности.

Пример программного сброса из драйвера хоста:

1 Запрет EMAC RX.

2 Запрет HIF TX DMA.

Осуществляя эти шаги, вы останавливаете трафик извне в коммутатор.

3 Ожидание обнуления счетчика BMU.

Это необходимо, чтобы убедиться в отсутствии пакетов внутри коммутатора.

4 Запрет HIF RX DMA.

5 Ожидание 100 мкс – необходимое время, чтобы все пакеты были переданы на хост.

6 Запись бита программного сброса в регистр wsp global.

7 Ожидание 100 мкс.

8 Очистка программного сброса.

9.15 Последовательность программирования MAC HASH-таблицы

Для доступа к регистрам MAC HASH необходимо использовать косвенный метод доступа через Class HW. Более подробное описание косвенного доступа приведено ниже.

Косвенный метод записи:

а Запрограммировать записываемые данные в регистр CLASS_BUS_ACCESS_WDATA (24’h62_022C – Class HW1, 24’h77_022C – Class HW2).

б Запрограммировать адрес, по которому записываемые данные необходимо записать в регистр CLASS_BUS_ACCESS_ADDR (24’h62_0228 – Class HW1, 24’h77_0228 – Class HW2).

Косвенный метод чтения:

а Запрограммировать адрес, из которого необходимо прочитать данные в регистр CLASS_BUS_ACCESS_ADDR (24’h62_0228 – Class HW1, 24’h77_0228 – Class HW2).

б Прочитать данные, доступные в регистре CLASS_BUS_ACCESS_RDATA (24’h62_0230 – Class HW1, 24’h77_0230 – Class HW2).

Ниже представлены адреса MAC HASH, HOST MAC-адреса 1-5, Entry, Command и Freelist регистры.

Регистр адреса MAC HASH MAC 1 – 32’h02030404
Регистр адреса MAC HASH MAC 2 – 32’h02030408
Регистр адреса MAC HASH MAC 3 – 32’h0203040c
Регистр адреса MAC HASH MAC 4 – 32’h02030410
Регистр адреса MAC HASH MAC 5 – 32’h02030414
Регистр MAC HASH ENTRY – 32’h02030418
Регистр MAC HASH Command – 32’h02030400
Регистр MAC HASH STATUS – 32’h0203041c
Регистр MAC HASH FREELIST Pointer Header – 32’h02030480
Регистр MAC HASH FREELIST Pointer Tail – 32’h02030484
Регистр адреса MAC HASH FREELIST Entries – 32’h02030488

9.15.1 Последовательность инициализации

1 Запрограммировать регистр базового адреса для доступа к Class HW BUS (т.е. 24’h62_0258 – Class HW1, 24’h77_0258 – Class HW2) значением базового адреса блока HASH (т.е. 32'h0000_0002 + Базовый адрес NPU [31:24]).

2 Записать 32’d1 в регистр Host Command MAC HASH таблицы.

3 Опрашивать бит завершения команды (бит 0) чтением регистра Host Status MAC HASH-таблицы.

4 После установки очистить бит записью 1 в бит 0 регистра Host Status MAC HASH-таблицы.

9.15.2 Формирование списка связей

Формирование списка связей осуществляется в пространстве коллизий таблицы MAC с применением команды прямой хэш-записи. Например, для формирования списка связей в позиции 4096 пространства коллизий необходимо запрограммировать регистры адреса MAC HASH Host MAC1-5 и запись MAC-таблицы, как указано ниже:

1 Запрограммировать регистр базового адреса для доступа к Class HW BUS значением базового адреса блока HASH (то есть 32'h0000_0002).

2 Запрограммировать регистры адреса MAC HASH Host MAC1-3 данными 32’d0.

3 Запрограммировать регистр адреса MAC HASH Host MAC4 данными {8’d4, col_ptr[15:0], 8’d0}, где значение “col_ptr” указывает на следующий адрес в пространстве коллизий, т.е. 4096+1 = 4097.

4 Запрограммировать регистр адреса MAC HASH Host MAC5 данными 32’d0.

5 Запрограммировать регистр MAC HASH Host Entry данными 32’d0.

6 Записать {3’d0, hash_addr[12:0], 16’d7} в регистр Host Command таблицы MAC HASH для операции прямой хэш-записи, где hash_addr равно текущему положению, т.е. 4096.

7 Опрашивать бит завершения команды (бит 0) чтением регистра Host Status таблицы MAC HASH.

8 После установки очистить бит записью 1 в бит 0 регистра Host Status таблицы MAC HASH.

Примечание – Для формирования списка связей в пространстве коллизий с 4097 по 8190 необходимо следовать пунктам 2 – 8, описанным выше.

Для положения 8191 необходимо следовать пунктам 2 – 8, описанным выше, только в регистр адреса MAC HASH Host MAC4 необходимо записать данные 32’d0.

Программирование регистров свободной памяти MAC:

а Регистр FREELIST_PTR_HEAD записать данными 32'h0000_1000.

б Регистр FREELIST_PTR_TAIL записать данными 32'h0000_1FFF.

в Регистр FREELIST_ENTRIES_ADDR записать данными 32'h0000_1000.

9.15.3 Добавление записи

1 Запрограммировать регистр базового адреса для доступа к Class HW BUS значением базового адреса блока HASH (то есть 32'h0000_0002 + Базовый адрес NPU [31:24]).

2 Запрограммировать регистр адреса MAC HASH Host MAC1 значением адреса MAC[47:16].

3 Запрограммировать регистр адреса MAC HASH Host MAC2 значением {3’d0, VLAN_ID [12:0], MAC addresses [15:0]}.

4 Запрограммировать регистры адреса MAC HASH Host MAC3-5 значением 32’d0.

5 Запрограммировать регистр MAC HASH Entry данными операции, как указано таблице 5.

6 Записать 32’h0000_0302 в регистр Host Command таблицы MAC HASH для выполнения операции HASH ADD.

7 Опрашивать бит завершения команды (бит 0) чтением регистра Host Status таблицы MAC HASH.

8 После установки очистить бит записью 1 в бит 0 регистра Host Status таблицы MAC HASH.

9.15.4 Удаление записи

1 Запрограммировать регистр базового адреса для доступа к Class HW BUS значением базового адреса блока HASH (n/t/ 32'h0000_0002 + Базовый адрес NPU [31:24]).

2 Запрограммировать регистр адреса MAC HASH Host MAC1 значением адреса MAC[47:16].

3 Запрограммировать регистр адреса MAC HASH Host MAC2 значением {3’d0, VLAN_ID [12:0], MAC addresses [15:0]}.

4 Запрограммировать регистры адреса MAC HASH Host MAC3-5 значением 32’d0.

5 Записать 32’h0000_0303 в регистр Host Command таблицы MAC HASH для выполнения операции удаления.

6 Опрашивать бит завершения команды (бит 0) чтением регистра Host Status таблицы MAC HASH.

7 После установки очистить бит записью 1 в бит 0 регистра Host Status таблицы MAC HASH.

Примечание – MAC-адрес [47:0], указанный выше в пунктах 9.15.3 «Добавление записи» и 9.15.4 «Удаление записи», имеет порядок следования байт big endian. Т.е. байты полученного MAC-адреса должны размещаться следующим образом в MAC address [47:0] = {B0,B1 …, B5}.

9.16 Последовательность программирования таблицы VLAN HASH

Для доступа к регистрам VLAN HASH необходимо использовать косвенный метод доступа через Class HW. Более подробное описание косвенного доступа приведено ниже.

Косвенный метод записи:

а Запрограммировать записываемые данные в регистр CLASS_BUS_ACCESS_WDATA (24’h62_022C – Class HW1, 24’h77_022C – Class HW2).

б Запрограммировать адрес, по которому необходимо записываемые данные записать в регистр CLASS_BUS_ACCESS_ADDR (24’h62_0228 – Class HW1, 24’h77_0228 – Class HW2).

Косвенный метом чтения:

а Запрограммировать адрес, из которого необходимо прочитать данные в регистр CLASS_BUS_ACCESS_ADDR (24’h62_0228 – Class HW1, 24’h77_0228 – Class HW2).

б Прочитать данные доступные в регистре CLASS_BUS_ACCESS_RDATA register (24’h62_0230 – Class HW1, 24’h77_0230 – Class HW2).

Ниже приведены адреса VLAN HASH, HOST MAC 1-5 адреса, Entry, Command и Freelist регистры:

Регистр адреса VLAN HASH MAC 1 Address register – 32’h02050404
Регистр адреса VLAN HASH MAC 2 Address register – 32’h02050408
Регистр адреса VLAN HASH MAC 3 Address register – 32’h0205040c
Регистр адреса VLAN HASH MAC 4 Address register – 32’h02050410
Регистр адреса VLAN HASH MAC 5 Address register – 32’h02050414
Регистр адреса VLAN HASH ENTRY register – 32’h02050418
Регистр VLAN HASH Command – 32’h02050400
Регистр VLAN HASH STATUS – 32’h0205041c
Регистр VLAN HASH DIRECT – 32’h02050420
Регистр VLAN HASH FREELIST Pointer Header – 32’h02050480
Регистр VLAN HASH FREELIST Pointer Tail – 32’h02050484
Регистр адреса VLAN HASH FREELIST Entries – 32’h02050488

9.16.1 Последовательность инициализации

1 Запрограммировать регистр базового адреса для доступа к Class HW BUS значением базового адреса блока HASH (то есть 32'h0000_0002 + Базовый адрес NPU [31:24]).

2 Записать 32’d1 в регистр Host CMD таблицы VLAN HASH.

3 Опрашивать бит завершения команды (бит 0) чтением регистра Host Status таблицы VLAN HASH.

4 После установки очистить бит записью 1 в бит 0 регистра Host Status таблицы VLAN HASH.

9.16.2 Формирование списка связей

Формирование списка связей осуществляется в пространстве коллизий таблицы VLAN с применением команды прямой хэш-записи. Например, для формирования списка связей в позиции 64 пространства коллизий необходимо запрограммировать регистры адреса VLAN HASH Host MAC1-5 и запись таблицы VLAN, как указано ниже:

1 Запрограммировать регистр базового адреса для доступа к Class HW BUS значением базового адреса блока HASH (то есть 32'h0000_0002).

2 Запрограммировать регистр адреса VLAN HASH Host MAC1 данными 32’d0.

3 Запрограммировать регистр адреса VLAN HASH Host MAC2 данными 32’d0.

4 Запрограммировать регистр адреса VLAN HASH Host MAC3 данными {col_ptr[15:0], 16’d0}, где значение “col_ptr” указывает на следующий адрес в пространстве коллизий, т.е. 64+1 = 65.

5 Запрограммировать регистры адреса VLAN HASH Host MAC4-5 данными 32’d0.

6 Запрограммировать регистр VLAN HASH Host Entry данными 32’d0.

7 Запрограммировать регистр VLAN Hash Host Direct данными 32’d0.

8 Записать {3’d0, hash_addr[12:0], 16’d7} в регистр Host CMD таблицы VLAN Hash для операции прямой хэш записи, где hash_addr равно текущему положению, т.е. 64.

9 Опрашивать бит завершения команды (бит 0) чтением регистра Host Status таблицы VLAN HASH.

10 После установки очистить бит записью 1 в бит 0 регистра Host Status таблицы VLAN HASH.

Примечание – Для формирования списка связей в пространстве коллизий с 65 по 126 необходимо следовать пунктам 2 – 10, описанным выше.

Для положения 127, необходимо следовать пунктам 2 – 10, описанным выше, только в регистр адреса VLAN HASH Host MAC3 необходимо записать данные 32’d0.

Программирование регистров свободной памяти VLAN:

а Регистр VLAN_FREELIST_PTR_HEAD записать данными 32'h0000_0040

б Регистр VLAN_FREELIST_PTR_TAIL записать данными 32'h0000_007F

в Регистр VLAN_FREELIST_ENTRIES_ADDR записать данными 32'h0000040

9.16.3 Добавление записи

1 Запрограммировать регистр базового адреса для доступа к Class HW BUS значением базового адреса блока HASH (то есть 32'h0000_0002 + Базовый адрес NPU [31:24]).

2 Запрограммировать регистр адреса VLAN HASH Host MAC1 значением {19’d0, VLAN_ID[12:0]}.

3 Запрограммировать регистры адреса VLAN HASH Host MAC2-5 значением 32’d0.

4 Запрограммировать регистр VLAN HASH Entry and Direct данными операции как указано таблице 9.

5 Записать 32’h0000_0102 в регистр Host Command таблицы VLAN HASH для выполнения операции ADD.

6 Опрашивать бит завершения команды (бит 0) чтением регистра Host Status таблицы VLAN HASH.

7 После установки очистить бит записью 1 в бит 0 регистра Host Status таблицы VLAN HASH.

9.16.4 Удаление записи

1 Запрограммировать регистр базового адреса для доступа к Class HW BUS значением базового адреса блока HASH (то есть 32'h0000_0002 + Базовый адрес NPU [31:24]).

2 Запрограммировать регистр адреса VLAN HASH Host MAC1 значением {19’d0, VLAN_ID[12:0]}.

3 Запрограммировать регистры адреса VLAN HASH Host MAC2-5 значением 32’d0.

4 Записать 32’h0000_0103 в регистр Host Command таблицы VLAN HASH для выполнения операции удаления.

5 Опрашивать бит завершения команды (бит 0) чтением регистра Host Status VLAN HASH таблицы.

6 После установки очистить бит записью 1 в бит 0 регистра Host Status таблицы VLAN HASH.

10 Интерфейс PCI express

Контроллер PCIe включает три уровня протокола PCI Express: уровень транзакций, канальный уровень и часть MAC или физического уровня (см. рисунок 20).

Также контроллер PCIe включает функциональность, определяемую приложением уровня транзакций для передачи пакетов, которая располагается между логикой приложения и протокольным уровнем PCI Express.

Законченное решение порта PCI Express включает контроллер, аналоговый макроблок PHY и логику приложения для приема и передачи данных. Физический уровень разделен на PIPE и контроллер с функциональностью MAC (LTSSM, выравнивание lane-to-lane), но есть в контроллере и PHY функциональность, выраженная в PIPE-интерфейсе, совместимом с PHY. Макроблок PHY вне контроллера подключается через стандартный PIPE-интерфейс.

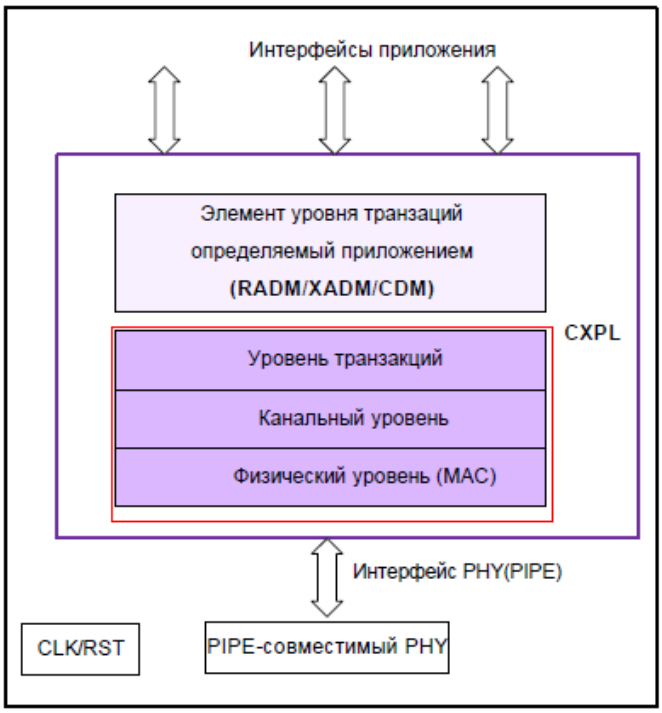


Рисунок 20 – Архитектура контроллера PCIe

Модуль общей логики ускоренного порта (CXPL) включает базовую функциональность для физического, канального и уровня транзакций PCI Express. Этот уровень включает большую часть логики уровня транзакций, всю логику канального уровня, часть MAC физического уровня, включая тренировку линка и автомат состояний (LTSSM). CXPL подключается к внешнему PHY через PIPE-интерфейс.

Модуль передачи, определяемый приложением (XADM) включает специфичную функциональность приложения уровня транзакций PCI Express для передачи пакетов. Это функциональность состоит из следующего:

- арбитраж TLP;
- формирование TLP;
- проверка кредита обмена данными (FC).

Путь передачи использует архитектуру передачи “на лету”. Это не предполагает очереди/буферизации (только буфер повтора).

Контроллер содержит внутреннюю таблицу соответствия completion для хранения информации о заголовке TLP из запроса Rx. Ваше приложение может использовать эту информацию для передачи поздних completion.

Модуль приема, определяемый приложением (RADM) включает специфичную функциональность приложения уровня транзакций PCI Express для приема пакетов. Это функциональность состоит из следующего:

– сортировка/фильтрация полученных TLP. Правила фильтрации и маршрутизации конфигурируемые;

– буферизация и организация очередей, полученных TLP;

– маршрутизация полученных TLP к ядрам интерфейсов приема.

Модуль RADM содержит таблицу соответствия принимаемых completion (LUT) для отслеживания completion и мониторинга таймаута completion не отложенных запросов TX. Таймаут случается, когда ожидаемый Rx completion не приходит в переделах периода таймаута.

Модуль, определяемый конфигурацией (CDM) содержит:

– стандартное конфигурационное пространство PCI Express;

– пространство специфичных регистров контроллера (регистры логики порта).

– *Контроллер локальной шины (LBC) и интерфейс шины данных (DBI)*. Модуль LBC обеспечивает механизм связи интерфейса SPI (через DBI) для доступа к:

– внутренним регистрам (в блоке CDM);

– внешним регистрам приложения, подключенным к шине ELBI.

– *Модуль генерации сообщений (MSG_GEN)* передает сообщения, сгенерированные контроллером.

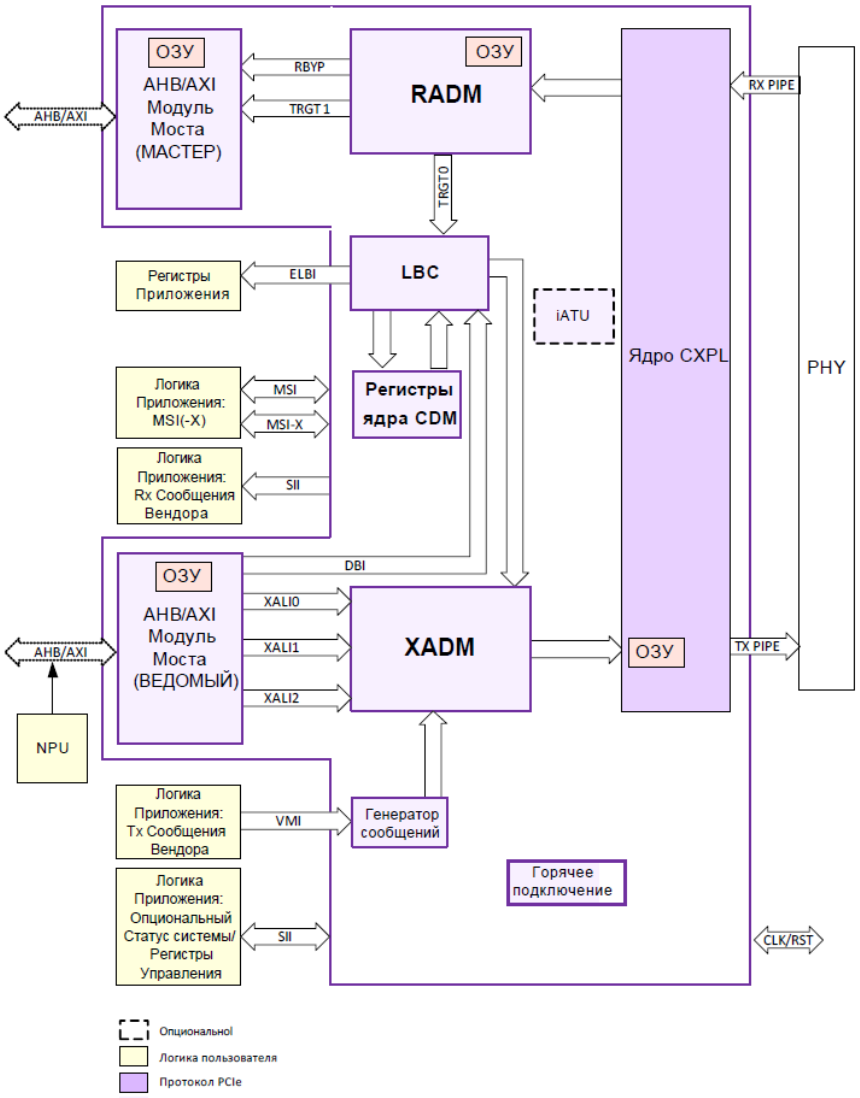


Рисунок 21 – Структурная схема ядра Endpoint (с модулем моста AHB/AXI)

Таблица 29 – Общая информация об интерфейсах ядра

Интерфейс	Функция
Клиентский интерфейс передачи 0 (XALI0)	Интерфейс передачи используемый приложением для передачи исходящих запросов или CPL TLP
Клиентский интерфейс передачи 1 (XALI1)	Интерфейс передачи приложения идентичный XALI0. Можно использовать XALI0 и XALI1 под конкретные требования приложения. Например, приложение может использвать XALI0 исключительно для передачи исходящих запросов, а XALI1 – исключительно для передачи completion
Клиентский интерфейс передачи 2 (XALI2)	Опциональный, не реализован в текущей конфигурации
Целевой интерфейс приема 0 (TRGT0)	Внутренний логический интерфейс, используемый для доступа к регистрам CDM или внешним регистрам приложения на шине ELBI
Целевой интерфейс приема 1 (TRGT1) / Обход приема (RBYP)	Интерфейсы приема, используемые для подключения локального ядра к мосту AHB/AXI. RBYP используется для организации очередей в режиме обхода

Интерфейс	Функция
Интерфейс внешней локальной шины (ELBI)	Используется для доставки входящего запроса на запись/чтение регистра полученного ядром к внешним регистрам приложения. Ядро генерирует TLP completion для запросов на запись/чтение регистра
Интерфейс шины данных (DBI)	Используется приложением для получения доступа в внутренним регистрам ядра в CDM или к внешним регистрам приложения на шине ELBI. К этому порту подключен интерфейс SPI
Интерфейс сообщений о прерываниях (MSI)	Может использоваться приложением, чтобы послать запрос MSI к ядру, независимо от клиентских интерфейсов XALI
Интерфейс MSI-X (не реализован в текущей конфигурации)	Может использоваться приложением, чтобы послать запрос MSI-X к ядру, независимо от клиентских интерфейсов XALI
Интерфейс сообщений вендора (VMI)	Может использоваться приложением, чтобы послать сообщение вендора к ядру, независимо от клиентских интерфейсов XALI
Интерфейс системной информации (SII)	Используется для обмена системной информацией между ядром и приложением
PIPE	Стандартный интерфейс PIPE (PIPE Спецификация PCI Express, версия 4.3) между PCI Express PHY и ядром

10.1 Инициализация

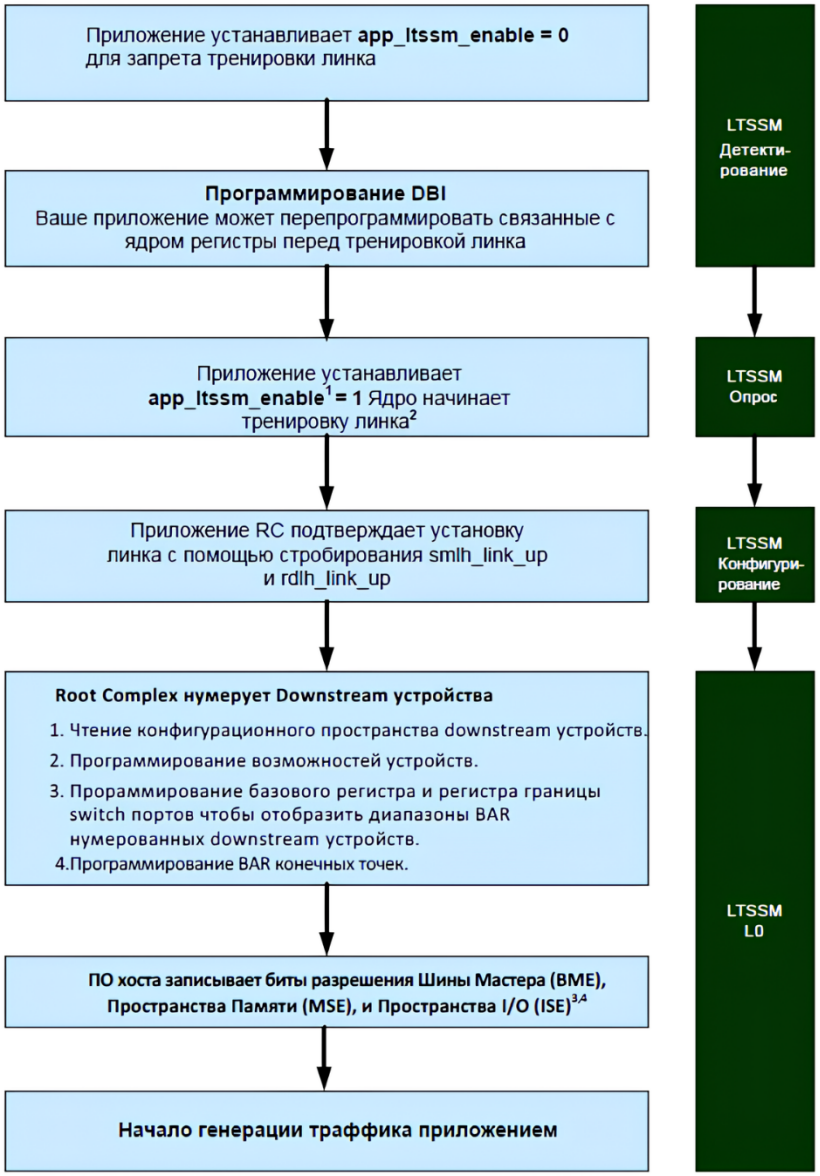


Рисунок 22 – Последовательность инициализации PCIe

Приложение может использовать app_req_retry_en бит 31 регистра CONTROL1 интерфейса SPI, чтобы запрограммировать контроллер (через DBI) после установления линка. Когда app_req_retry_en = 1, контроллер завершает входящие CFG запросы статусом повтора конфигурационного запроса (CRS). Другие входящие запросы завершаются нормально.

При множественной конфигурации виртуальных каналов только виртуальный канал 0 необходимо разрешить перед тем, как установится линк. Другие виртуальные каналы необходимо разрешать после установки сигнала rdlh_link_up.

Логика приложения не должна генерировать MEM или I/O запросы до тех пор, пока программное обеспечение хоста не разрешит BME. Контроллер не проверяет этот бит перед передачей запросов. Следовательно, логика приложения должна мониторить статус BME чтением cfg_bus_master_en бита 0 регистра STATUS29 интерфейса SPI (или чтением через DBI).

В процессе инициализации внутренний автомат состояний Endpoint контроллера проходит несколько состояний, которые представлены на рисунке 23.

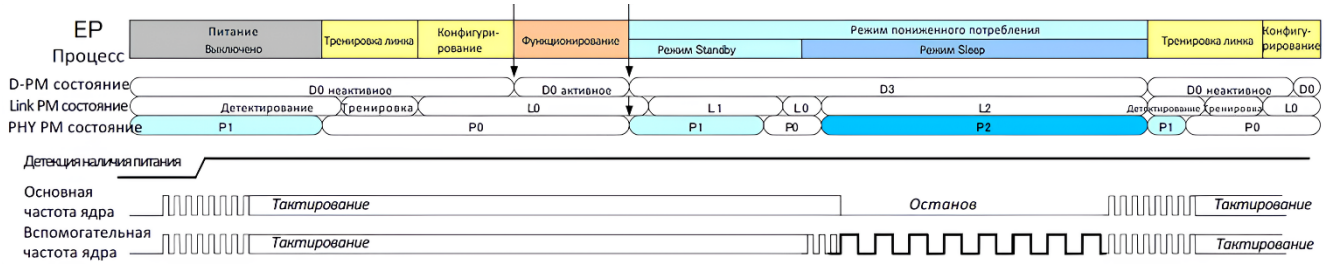


Рисунок 23 – Временная диаграмма инициализации PCIe

D-PM состояние:

– *Состояние D0*: все функции должны поддерживать состояние D0. D0 разделяется на два различных подсостояния: “неинициализированное” подсостояние и “активное” подсостояние. Когда устройство выходит из обычного сброса, его состояние по умолчанию – “неинициализированное” D0. Устройства в этом состоянии могут быть пронумерованы и сконфигурированы процессом иерархического подсчета. По завершении процесса нумерации и конфигурирования функция переходит в активное состояние D0 – состояние полного функционирования функции PCI Express. Функция переходит в активное состояние D0, когда происходит одно из следующих событий или их комбинация: пространство памяти функции, пространство ввода/вывода или шина мастера разрешаются соответствующими битами посредством программного обеспечения системы.

– *Состояние D1*: поддержка D1 опциональная. В этом состоянии функция не должна инициировать запросы TLP, за исключением сообщений PME. Только конфигурационные запросы и сообщения могут приниматься функцией в состоянии D1. Все другие запросы должны обрабатываться как неподдерживаемые, и все полученные completion могут опционально обрабатываться как неподдерживаемые. Если возникает ошибка при получении TLP (например, неподдерживаемый запрос) в состоянии D1, и разрешена передача уведомлений, линк должен вернуться в состояние L0, если он уже не в состоянии L0, и должно быть передано сообщение об ошибке. Если ошибка происходит по иной причине, чем прием TLP (например, таймаут completion) в состоянии D1, сообщение об ошибке должно быть послано, когда функция будет запрограммирована обратно в состояние D0.

– *Состояние D2*: поддержка состояния D2 опциональна. В этом состоянии функция не должна инициировать запросы TLP за исключением сообщений PME. Только конфигурационные запросы и сообщения могут приниматься функцией в состоянии D2. Все другие запросы должны обрабатываться как неподдерживаемые, и все полученные completion могут опционально обрабатываться как неподдерживаемые. Если возникает ошибка при получении TLP (например, неподдерживаемый запрос) в состоянии D2, и разрешена передача уведомлений, линк должен вернуться в состояние L0, если он уже не в состоянии L0, и должно быть передано сообщение об ошибке. Если ошибка происходит по иной причине, чем прием TLP (например, таймаут completion) в состоянии D2,

сообщение об ошибке должно быть послано, когда функция будет запрограммирована обратно в состояние D0.

– *Состояние D3*: поддержка состояния D3 обязательна (обоих состояний: D3 “холодное” и D3 “горячее”). Функции, поддерживающие генерацию PME в состоянии D3, должны поддерживать ее как в “холодном”, так “горячем” режимах. Требуется обслуживание функционального контекста функцией в состоянии D3 “горячее”, если установлено поле No_Soft_Reset в PMCSR. В этом случае программному обеспечению не требуется переинициализировать функцию после перехода из D3 “горячее” в D0 (функция будет уже инициализированной в состоянии D0). Если бит No_Soft_Reset очищен, обслуживание функционального контекста функцией не требуется в состоянии D3 “горячее”. Как результат, в этом случае программному обеспечению требуется полностью переинициализировать функцию после перехода в D0, так как функция будет в состоянии D0 “неинициализированное”. Функция будет сброшена независимо от значения бита No_Soft_Reset, если линк перейдет в состояние L2/L3 Ready.

Состояние Link PM:

– *Детектирование*: цель этого состояния определить, когда на удаленном конце присутствует терминирование. В это состояние можно перейти в любой момент времени.

– *Опрос или тренировка*: порт передает упорядоченный набор для тренировки и отвечает на полученный упорядоченный набор для тренировки. В этом состоянии, устанавливается синхронизация бита и синхронизация символа, а также конфигурируется полярность лэйна. Состояние опроса включает Polling.Compliance. Это состояние предназначено для получения доступа тестовым оборудованием, если в тестируемом устройстве представлены передатчик и межсоединение соответствующие спецификации по напряжению и временным характеристикам. Состояние Polling.Compliance также включает упрощенную тестовую схему функционирования, предназначенную для выполнения широкого набора тестов и измерений оборудования (то есть, генератор паттернов, осциллограф, BERT, и так далее). Вход в состояние Polling.Compliance осуществляется установкой бита Compliance Receive (бит 4 в Символе 5 в TS1), в то время как бит Loopback не устанавливается (бит 2 в символе 5 в TS1) при входе в Polling.Active. Возможность устанавливать бит Compliance Receive – это особенности реализации. Возможность изменения скорости на более высокую при приеме и передаче линк (символ 4 в TS1) также присутствует, позволяя масштабировать скорость линк.

– *L0*: состояние нормального функционирования, когда данные и пакеты управления могут быть приняты и переданы. Во все состояния управления питанием осуществляется переход из этого состояния.

– *L1*: состояние предназначено для сохранения энергопотребления. Состояние L1 позволяет дополнительно сохранить энергопотребление, более чем состояние L0, но при возврате из него необходима дополнительная задержка. Переход в состояние L1 осуществляется канальным уровнем при приеме EIOS.

– *L2*: в состоянии L2 потребление может быть значительно понижено. Большинство передатчиков и приемников могут быть выключены. Исключение терминирование приемника, которое должно оставаться в низкоимпедансном состоянии. Основное питание и частоты не гарантируются, но вспомогательное питание доступно. В

этом контексте под питанием “aux” подразумевается источник, который может быть использован для питания схемы Beacon. Когда системе спецификацией требуется поддержка Beacon, порт Upstream, который поддерживает wakeup, должен иметь возможность послать, а порт Downstream должен иметь возможность принять сигнал wakeup, относящийся к Beacon. Переход в состояние L2 осуществляется канальным уровнем при приеме EIOS.

Состояние PHY PM:

Таблица 30 – Состояние PHY PM

Режим потребления	mpll_en	tx_cm_en	tx_en	tx_data_en	rx_pll_en	rx_data_en
P0 (активное): прием и передача разрешены	1	1	1	1	1	1
P0 (активное): прием разрешен	1	1	1	0	1	1
P1 (QUITE)	1	1	1	0	0	0
P2 (отключено)	0	0	0	0	0	0

10.2 Иерархия PCI Express

PCI Express использует пакеты для обмена информацией между компонентами. Пакеты формируются на уровне транзакций и канальном уровне для переноса от передающей компоненты к принимающей компоненте. При прохождении передаваемых пакетов через другие уровни они расширяются дополнительной информацией, необходимой для обслуживания пакетов этими уровнями. На принимающей стороне происходит реверсивный процесс, и представление пакетов трансформируется от физического до канального уровня, и их окончательная форма должна быть приемлема для обработки уровнем транзакции принимающего устройства. На рисунке 24 представлена концепция прохождения пакета через уровни.

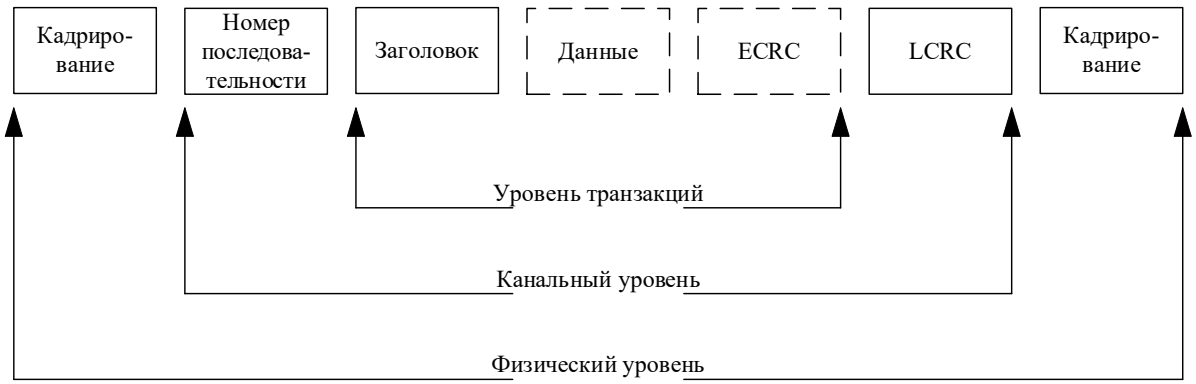


Рисунок 24 – Прохождение пакетов через уровни

10.2.1 Уровень транзакций

Уровень транзакций – это верхний уровень архитектуры. Основная его задача – кодирование и декодирование пакетов уровня транзакций (TLP). TLP используются для

передачи транзакций, таких как чтение и запись, а также для определенных типов событий. Уровень транзакций также осуществляет управление кредитованием для TLP.

Каждому пакету запроса требуется ответный пакет, обеспечиваемый разделенной транзакцией. Каждый пакет имеет уникальный идентификатор, который позволяет ответным пакетам быть направленными к корректному инициатору. Формат пакетов поддерживает различные формы адресации, в зависимости от типа транзакции: память, ввод/вывод, конфигурация и сообщение. Также пакеты могут иметь атрибуты, такие как не следящий, ослабленный порядок, и порядок на основе ID (IDO).

Уровень транзакций поддерживает четыре адресных пространства: три адресных пространства (память, ввод/вывод, и конфигурация) и дополнительное пространство сообщений. Пространство сообщений используется для поддержки всех предыдущих версий внешних сигналов, таких как прерывания, запросы управления питанием, и так далее, как внутренних транзакций сообщения. Можно представить транзакции сообщения PCI Express как “виртуальные линии”, цель которых исключить широкий набор внешних сигналов, используемых в существующих реализациях.

10.2.2 Канальный уровень Data Link Layer

Средний уровень в стеке – канальный уровень – служит промежуточной стадией между уровнем транзакций и физическим уровнем. В первостепенные обязанности канального уровня входит управление линком, сохранность данных, включающая детекцию и корректировку ошибок. Передающая часть канального уровня принимает TLP, сформированные уровнем транзакций, вычисляет и применяет код защиты данных и порядковый номер TLP, и передает их на физический уровень для передачи. Принимающий канальный уровень отвечает за проверку целостности полученных TLP и передаче их на уровень транзакций для дальнейшей обработки. При детектировании ошибки TLP этот уровень отвечает за повторную ретрансляцию TLP до тех пор, пока информация не будет корректно принята или не будет определен ошибочный линк.

Канальный уровень также генерирует и принимает пакеты, которые используются для управления функциями линка. Эти пакеты отличаются от тех, которые используются на уровне транзакций (TLP), используется термин линк-пакет канального уровня (DLLP), когда посылаются пакеты генерируемые и принимаемые канальным уровнем.

10.2.3 Физический уровень

Физический уровень включает все схемы интерфейсных операций, включая драйвер и входные буферы, конверторы последовательного кода в параллельный и наоборот, схемы умножения частоты и схему сравнения импеданса. Также уровень включает функции, относящиеся к инициализации и поддержке интерфейса. Физический уровень обменивается информацией с канальным уровнем в формате определенной реализации. Этот уровень отвечает за преобразование информации, полученной из канального уровня, в соответствующий последовательный формат и его передачу через соединение PCI Express с частотой и шириной, совместимыми с устройством, подключенным на другой стороне соединения.

Архитектура PCI Express содержит “приемы” для поддержки будущих улучшений характеристик посредством повышения скорости и совершенствования техники кодирования. Будущие скорости, техники кодирования или среда передачи только могут влиять на определение физического уровня.

10.3 Поля общего заголовка пакетов

Префиксы и заголовки всех пакетов уровня транзакций (TLP) содержат следующие поля (см. рисунок 25):

– Fmt[2:0] – формат TLP (см. таблицу 31) – биты 7:5 байта 0;

– Type[4:0] – тип TLP – биты 4:0 байта 0.

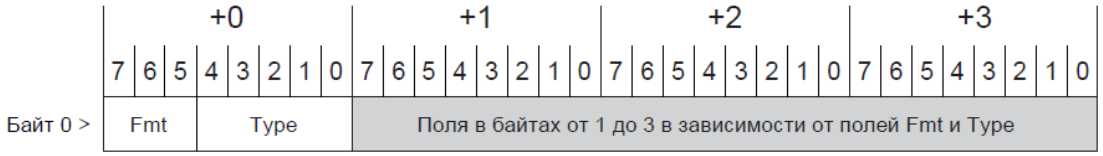


Рисунок 25 – Поля, представленные во всех TLP

Поле Fmt указывает на наличие одного или нескольких префиксов TLP. Поле Type ассоциируется с конкретным типом префикса TLP.

Таблица 31 – Декодирование полей Fmt[1:0] и Type[4:0]

Тип TLP	Fmt[2:0]	Type[4:0]	Описание
MRd	000 001	0 0000	Запрос чтения памяти
MRdLk	000 001	0 0001	Запрос блокированного чтения памяти
MWr	010 011	0 0000	Запрос записи памяти
IORd	000	0 0010	Запрос чтения пространства ввода/вывода
IOWr	010	0 0010	Запрос записи пространства ввода/вывода
CfgRd0	000	0 0100	Чтение конфигурации тип 0
CfgWr0	010	0 0100	Запись конфигурации тип 0
CfgRd1	000	0 0101	Чтение конфигурации тип 1
CfgWr1	010	0 0101	Запись конфигурации тип 1
TCfgRd	000	1 1011	Отвергать TLP тип
TCfgWr	010	1 1011	Отвергать TLP тип
Msg	001	1 0r2r1r0	Запрос сообщений – поля r[2:0] определяют механизм обработки сообщения
MsgD	011	1 0r2r1r0	Запрос сообщения с данными – поля r[2:0] определяют механизм обработки сообщения
Cpl	000	0 1010	Completion без данных – используется для ввода/вывода и записи completion конфигурации с любым статусом конфигурации. Также используется для чтения AtomicOp Completions и Completion (ввода/вывода, конфигурации или памяти) со

Тип TLP	Fmt[2:0]	Type[4:0]	Описание
			статусом Completion Status, отличным от успешного Completion
CplD	010	0 1010	Completion с данными – используется для памяти, ввода/вывода и чтения Completion конфигурации. Также используется для AtomicOp Completions
CplLk	000	0 1011	Completion для блокированного чтения памяти без данных– используется только в случае ошибки.
CplDLk	010	0 1011	Completion для блокированного чтения памяти используется во всех остальных случаях как CplD

10.4 Обработка передаваемых TLP

TLP и DLLP имеют одинаковые приоритеты в процессе арбитража передачи, как показано на рисунке 26. Приоритеты типов TLP и DLLP показаны в таблицах 32, 33.

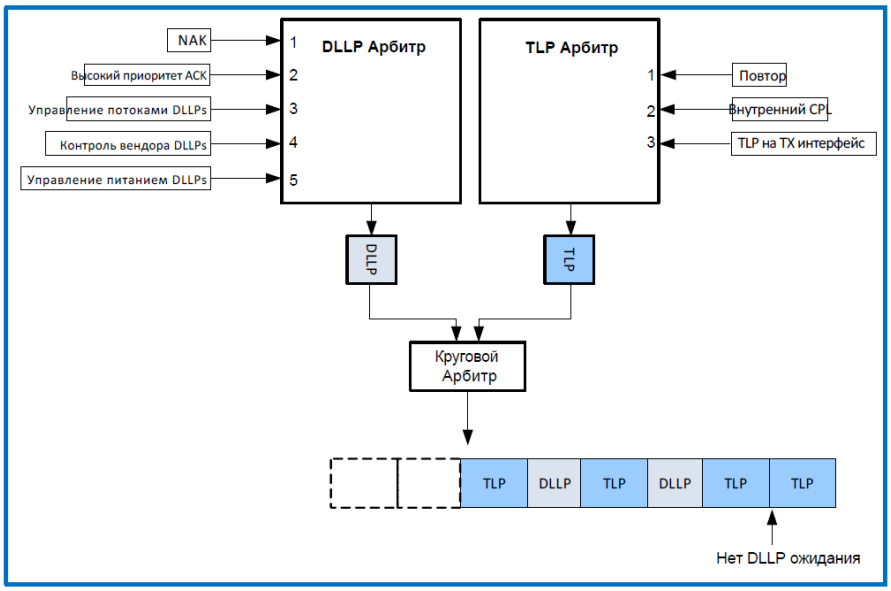


Рисунок 26 – Арбитраж передаваемых TLP/DLLP

Таблица 32 – Арбитражный приоритет TLP (1= наивысший, 4= низший)

Приоритет	Тип TLP
1	Completion любого выполняемого в текущий момент TLP
2	Повторная передача буфера повтора
3	TLP уровня транзакций (следующий порядок приоритета): Сообщения, генерируемые контроллером (включая сообщения приложения через интерфейс MSI) Completion генерируемые контроллером (включая память или отображаемые в пространстве ввода/вывода регистры приложения) для чтения конфигурации тип 0 и запросы записи, или ответы на ошибочные ситуации (неподдерживаемы запросы)
4	TLP на клиентском интерфейсе передачи (XALI0/1/2), или на AXI мастер/слэйв интерфейсе

Таблица 33 – Арбитражный приоритет DLLP (1= наивысший, 6 = низший)

Приоритет	Тип DLLP
1	Completion любого выполняемого в текущий момент DLLP
2	NAK DLLP
3	Высокий приоритет ACK DLLP
4	Поток управления DLLP
5	Специфичное DLLP сообщение вендора
6	Управление питанием или ллюбое другое низкого приоритета DLLP

10.5 Обработка принимаемых TLP

Контроллер содержит модуль фильтрации, который выполняет следующие задачи:

– определяет статус принятого TLP, используя правила фильтрации;

– определяет назначение принятого TLP, используя статус фильтрации;

– указывает статус принятого TLP, используя выходы;

– сообщает об ошибках в AER регистры, основываясь на результатах фильтрации. Когда детектировано более одного типа ошибки, необходимо руководствоваться подразделом 6.2.3.2.3 Error Pollution спецификации PCI Express, ревизия 4.0, версия 0.7.

Контроллер фильтрует и маршрутизирует полученные TLP согласно набору правил, определенных типом TLP, руководствуясь спецификацией PCI Express, ревизия 4.0, версия 0.7 и опциями фильтрации, конфигурируемыми пользователем. На правила фильтрации для принимаемых TLP воздействуют I/O сигналы (исполняемые опции) и значения регистров (исполняемые опции).

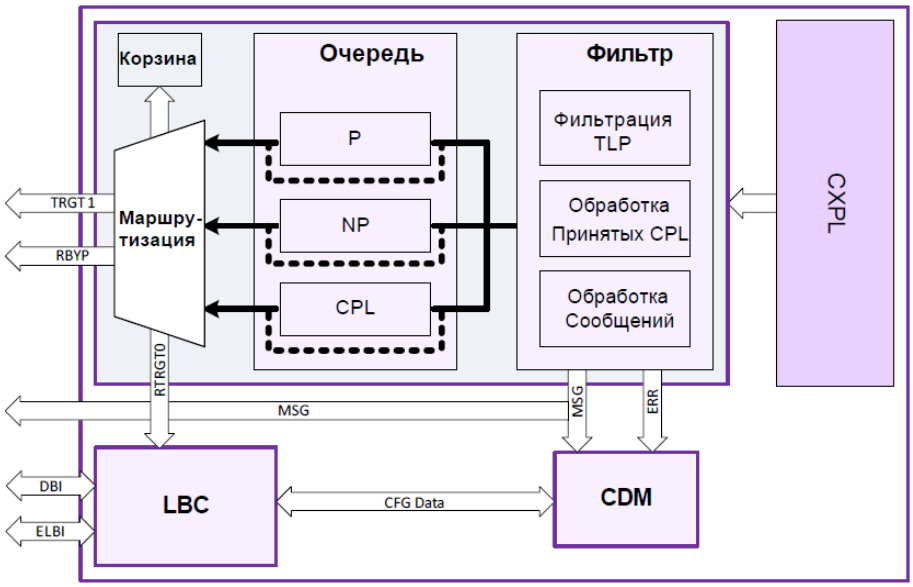


Рисунок 27 – Структурная схема блока RADM

Для всех корректных входящих TLP применяются следующие основные правила по умолчанию:

– Для функции, находящейся в состояниях D1, D2 и D3 “горячее”, контроллер принимает только CFG и MSG запросы TLP для всех функций. Все другие входящие типы запросов для этой функции обрабатываются как неподдерживаемые запросы (UR).

– Когда контроллер детектирует ошибку в принимаемом TLP, обычно выполняются следующие действия:

- отбрасывание TLP;
- генерация completion (для не задержанных запросов) со статусом завершения установленным в CA или UR;
- установка статуса в PCI-совместимом регистре статуса;
- установка статуса в AER регистрах (когда AER разрешен);
- генерация сообщения об ошибке (только для upstream портов).

– Все безошибочные MSG запросы декодируются внутри, сигнализируются на интерфейсе SII и затем отбрасываются.

10.5.1 Маршрутизация приема

Этот раздел описывает как RADM маршрутизирует различные типы TLP к различным интерфейсам приема в зависимости от типа TLP и результата фильтрации. В случае применения моста AXI, TRGT1 заменяется интерфейсами моста AXI. TRGT0 направлен во внутренний интерфейс для получения доступа к CDM регистрам или ELBI.

Возможные адресаты назначения задержанных и не задержанных запросов TLP: интерфейс TRGT1, интерфейс TRGT0 и отбрасывание. По умолчанию обслуживаются внутри и не доходят до приложения:

– запросы CFG, маршрутизируемые на TRGT0, а затем в CDM через LBC;

– запросы, совпавшие с BAR MEM и I/O, маршрутизируются на TRGT1;

– запросы MSG декодируются внутри, сигнализируются на интерфейс SII, а затем прерываются.

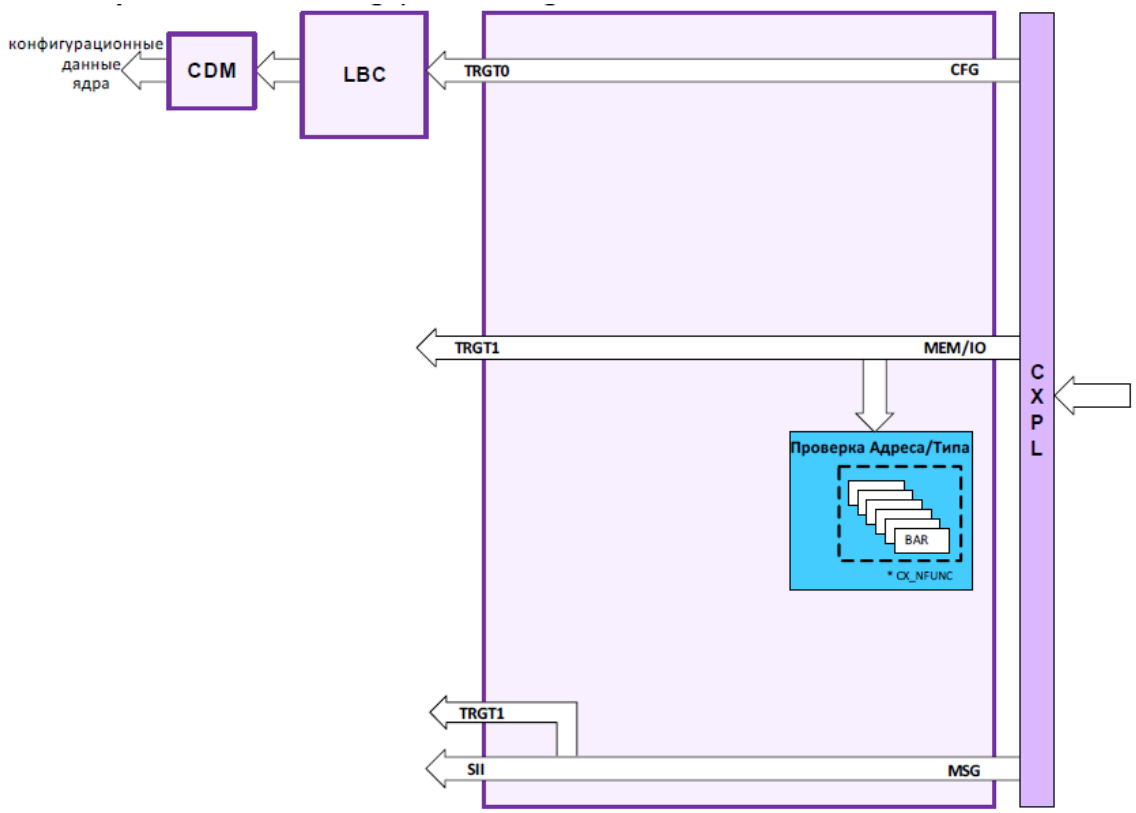


Рисунок 28 – Маршрутизация запроса TLP по умолчанию
(при условии, что TLP без CA/CRS/UR ошибки статуса)

10.5.2 Обработка ошибок

Контроллер поддерживает базовые возможности, AER-возможности и рекомендуемый обмен сообщениями о нефатальных ошибках как определено в подразделе 6.2 Error Signaling and Logging спецификации *PCI Express, ревизия 4.0, версия 0.7*. Раздел включает корректируемые и некорректируемые (фатальные и нефатальные) ошибки.

10.6 Модуль регистров и интерфейс шины данных (DBI)

10.6.1 Общее описание

Модуль контроллера локальной шины (LBC) обеспечивает механизм соединения по локальному SPI (через DBI) для получения доступа к внутренним регистрам (в CDM) и внешним регистрам приложения, подключенным к шине ELBI.

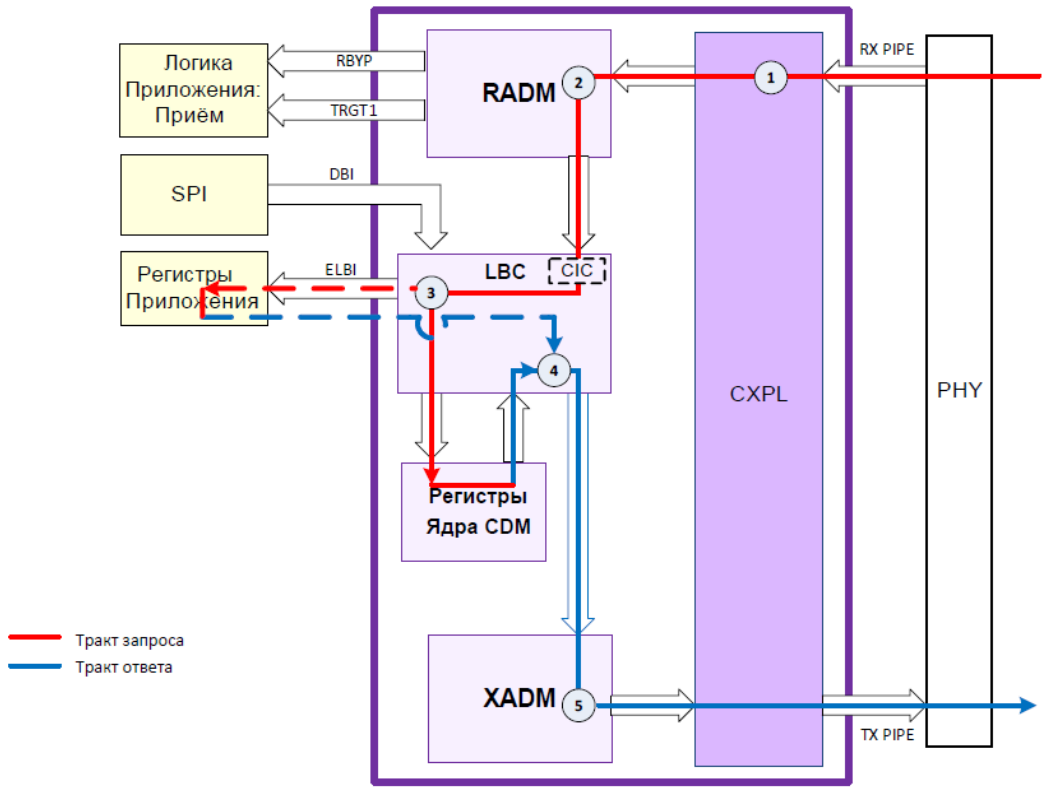
Контроллер содержит 4096 байт регистров PCIe конфигурации и пространства логики порта для функции. Контроллер также имеет общее пространство iATU конфигурационных регистров для всех функций. Пространство регистров контроллера полностью доступно через DBI без каких-либо ограничений.

Таблица 34 – Доступ к региону порта в режиме Endpoint

Положение регистра		CDM				ELBI
Тип регистра		PCI-SIG		Логика порта		Польз.
		нормаль-ный	теневой	Misc	IATU	польз.
Детали доступа	Значение бита выбора* CDM/ELBI	0	0	0	1	1
	Значение бита выбора CS2	0	1	0	1	0
Доступ разрешен DBI/Шина						
DBI		Да	Да	Да	Да	Да
Шина	Запросы CFG	Да	-	Да	-	Да
	Запросы MEM с совпадением BAR	-	-	Да*	Да	Да**

* Положение бита выбора зависит от конфигурации.

** Также поддерживаются запросы ввода/вывода



1 Входящий запрос от удаленного абонента PCIe;

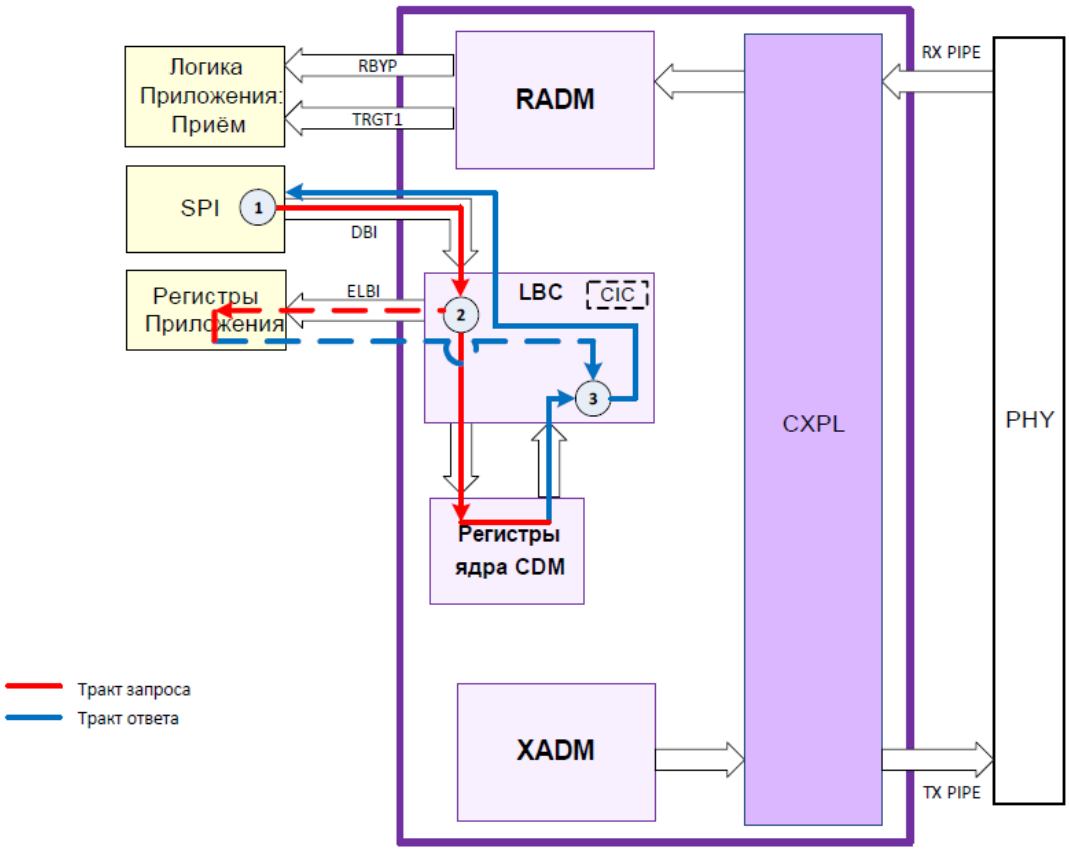
2 Запрос фильтруется и маршрутизируется RADM через TRGT0 в LBC;

3 LBC направляет запрос к внешним регистрам (через ELBI) или внутренним регистрам в CDM;

4 LBC формирует TLP completion с ответом, полученным из ELBI внутренних регистров в CDM;

5 Контроллер PCIe передает ответный completion удаленному абоненту.

Рисунок 29 – Схема доступа шины PCIe через LBC к регистрам CDM или ELBI (USP)



1 Запрос от SPI через DBI;

2 LBC направляет запрос к внешним регистрам (через ELBI) или внутренним регистрам к CDM;

3 LBC формирует completion TLP с ответом, полученным от ELBI или внутреннего регистра в CDM;

4 Контроллер PCIe передает ответ SPI через DBI.

Рисунок 30 – Схема доступа DBI к регистрам CDM или ELBI (DSP)

10.6.2 Схема размещения пространства регистров CDM

10.6.2.1 Общее описание

Контроллер содержит 4096 (0xFFF) байт регистров PCIe конфигурации и пространство логики порта для функции. Контроллер также имеет общее пространство iATU регистров конфигурации для всех функций. Пространство регистров контроллера полностью доступно через DBI без каких-либо ограничений.

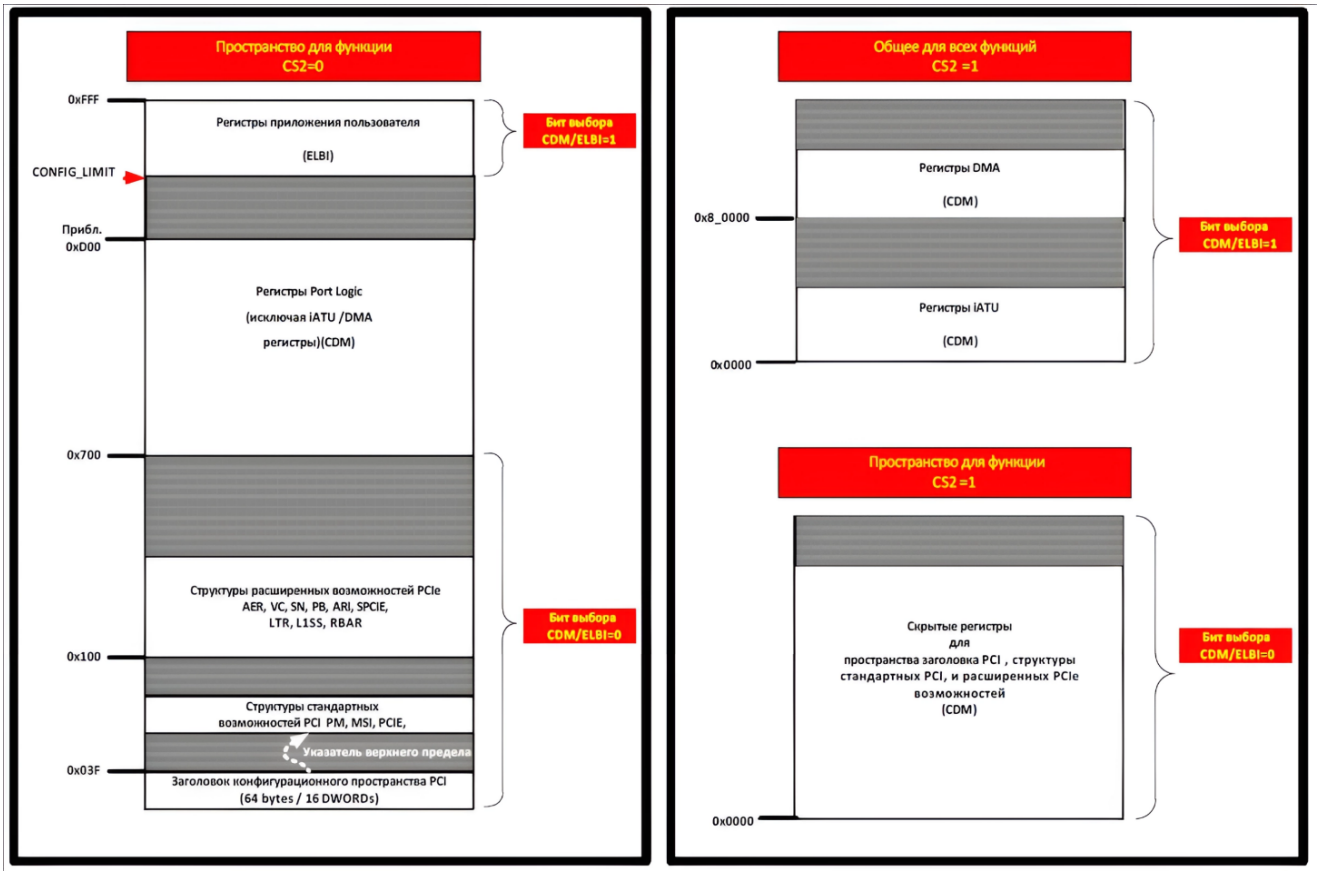


Рисунок 31 – Схема размещения пространства конфигурации контроллера

Доступ шины:

– любой CFG <= 10'h3FF[a] направляется в CDM;

– любой CFG> 10'h3FF направляется в TRGT1;

– любой MEM, захваченный с помощью BAR*n* (*n* = UNROLL_BAR_NUM) при условии ENABLE_MEM_MAP_UNROLL_{DMA|ATU} _REG=1, чей целевой интерфейс TRGT0 и чей адрес попадает в пространство, определенное в карте памяти iATU, направляется в регистры IATU;

– любой MEM/IO, захваченный с помощью BAR, чей целевой интерфейс TRGT0 направляется в ELBI.

Доступ DBI:

– нет понятия MEM/IO/CFG;

– используется специальный адресный бит для получения доступа к ELBI или CDM;

– нет ограничения на доступ к пространству:

– параметр определяет предел DWORD, выше которого входящие запросы CFG маршрутизируются в пункт назначения TRGT1. Этот параметр обычно устанавливает предел, чтобы разделить конфигурационное пространство регистров контроллера в CDM от внешнего конфигурационного пространства приложения на ELBI. Значение 0x3FF этого параметра соответствует 4K верхнего предела конфигурационного пространства, поэтому ядро CDM будет обрабатывать все транзакции CFG по умолчанию.

Регистры конфигурационного пространства ядра.

– Регистры CDM:

– заголовок конфигурации PCI и регистры возможностей на рисунке 31 пространства конфигурации контроллера PCI определены спецификацией *PCI Express, ревизия 4.0, версия 0.7*. Доступ со стороны шины PCIe возможен посредством CFG-запросов (upstream порты). Эти регистры полностью доступны через DBI без каких-либо ограничений;

– регистры логики порта (PL) – это конфигурационные регистры, которые не определены спецификацией *PCI Express, ревизия 4.0, версия 0.7*, а являются специфичными для представленной микросхемы. Доступ со стороны шины PCIe осуществляется с помощью CFG-запросов. Нет доступа шины PCIe в downstream порт (DSP). Эти регистры полностью доступны через DBI без ограничений.

– Регистры iATU:

– Доступ со стороны шины PCIe возможен при совпадении BAR MEM запросов. Нет доступа шины PCIe в DSP. Эти регистры полностью доступны через DBI без ограничений. Эти регистры могут быть доступны при использовании сигналов выбора конфигурации CS2 и CDM/ELBI.

Доступ к внешним регистрам (ELBI)

Регистры приложения являются внешними по отношению к ядру и подключаются к шине ELBI. Доступ со стороны шины PCIe осуществляется с помощью CFG, MEM или I/O запросов. Нет доступа шины PCIe в DSP. Эти регистры полностью доступны через DBI без ограничений.

При доступе на ELBI имеются свои особенности и ограничения.

В микросхемах с ревизии 2 ELBI поддерживает пространство из 128 32-разрядных регистров через 32-разрядную ELBI-шину адреса.

10.6.2.2 Доступ шины PCIe (режим Endpoint)

По умолчанию все запросы к стандартному конфигурационному пространству PCI или регистрам логики порта (за исключением регистров iATU) маршрутизируются в TRGT0, затем в CDM через LBC. По умолчанию это не доступ в ELBI/TRGT1, потому что значение адресного предела 0x3FF (верхняя граница адресного пространства CFG регистров). Для доступа в регистры iATU необходимо использовать запросы MEM, которые направлены в BAR с заранее установленным захватом этих адресов.

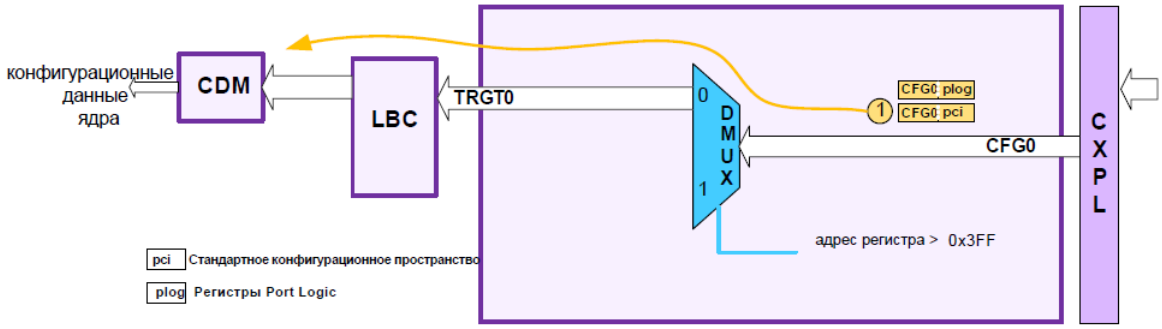


Рисунок 32 – Маршрутизация TLP-запроса: типичная модель применения

10.6.3 Интерфейс шины данных (DBI)

10.6.3.1 Общее описание

DBI имеет доступ ко всем 4096 байтам (1024 двойных слова) конфигурационного пространства PCI Express каждой функции. DBI также имеет доступ к конфигурационному пространству iATU. Адресное пространство полностью доступно из DBI без ограничений. Доступ на шину DBI осуществляется через AXI-слэйв интерфейс моста AXI.

Выделенный доступ AXI на DBI

В случае применения AXI DBI слэйв, к интерфейсу DBI осуществляется непрямой доступ со стороны приложения через мост AXI. Можно выбрать цель транзакции DBI при использовании адресных бит AXI DBI слэйв, позиции которых перемещаются.

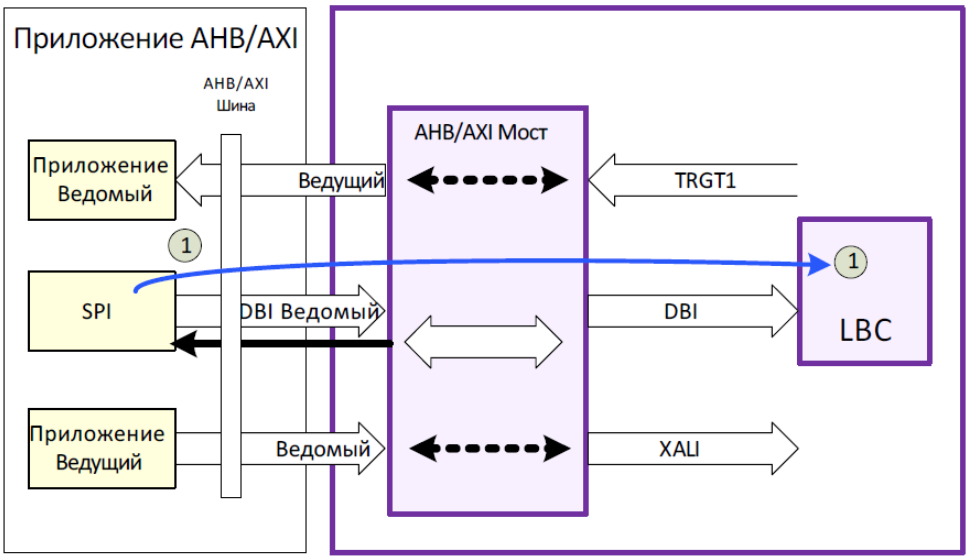


Рисунок 33 – Доступ AXI DBI через выделенный слэйв интерфейс

10.6.3.2 Особенности доступа моста AXI DBI в CDM/ELBI

Адрес DBI должен быть выровнен по границе двойного слова (addr[1:0]=2b00) с битом выбора адреса CDM/ELBI, установленным в CDM(0) или ELBI(1).

Позиция бита выбора CDM/ELBI внутри адресной шины перемещается.

Таблица 35 – Назначение разрядов шины адреса AXI DBI

Тип доступа	31-22	21	20	19	18-16	15-12	11-2	1	0
CDM	-	0	CS2	функция		резерв	1 K-dword адрес регистра	0	0
ELBI	-	1	0	функция		BAR	1 K-dword адрес регистра	0	0
iATU	-	1	1	0	адрес iATU*			0	0
* Более подробное описание бит 18-2 приведено в таблице 36									

Таблица 36 – Назначение разрядов адресной шины DBI при доступе в конфигурационное пространство iATU (CS2=1)

Access Type	18-17	16-9	8	7-2
iATU	резерв	номер выбранного региона	0: Исходящий регион	адрес регистра
	резерв	номер выбраного региона	1: Входящий регион	адрес регистра

10.7 Сообщения

В данном разделе приведено описание обработки контроллером сообщений.

Для лучшего понимания сообщений необходимо ознакомиться с подразделом 2.2.8 “Message Request Rules” спецификации *PCI Express, ревизия 4.0, версия 0.7*.

Использованы следующие обозначения:

– сообщения (Msg/MsgD с полезной нагрузкой) – это отложенные транзакции;

– определенные вендором и PTM сообщения – это Msg/MsgD;

– установка предела питания слота – это сообщение MsgD;

– все другие сообщения – Msg.

10.7.1 Генерация сообщения

Сообщения передаются контроллером и могут быть получены из следующих источников:

– контроллер (автоматически);

– контроллер (под управлением приложения);

– приложение;

– программное обеспечение хоста/клиента.

Для сообщений, генерируемых внутри контроллера или на любом интерфейсе SII:

– не поддерживается упорядочение на основе ID (IDO);

– контроллер не проверяет сообщения на предмет ошибок TLP; вместо этого посылаются TLP как они представлены в интерфейсах сообщений.

Таблица 37 – Типы передаваемых сообщений

Индекс	Источник сообщения (тип)	Примечание
1	Интерфейс управления питанием (Msg)	
2	Сигнализирование об ошибке внутри контроллера (Msg)	COR_ERR / ERR_NONFATAL / ERR_FATAL
3	Очистка LTR (Msg)	

Индекс	Источник сообщения (тип)	Примечание
4	Прямая поддержка любого класса сообщений (Msg/MsgD)	XALI0/1/2 или AXI
4a	Косвенная поддержка любого класса сообщений (Msg/MsgD)	
5	Определенные вендором (Msg[1)])	Контроллер генерирует сообщения, определенные вендором в ответ на запрос по шине VMI
6	Устаревшие PCI прерывания (Msg)	SII сигнал прерывания sys_int
7	Сигнализирование об ошибке от приложения (Msg)	Контроллер генерирует сообщение, сигнализирующее об ошибке, в ответ на запрос приложения на SII app_err* I/O. Также возможна генерация сообщения об ошибке через клиентский интерфейс
8	Запрос LTR (Msg)	
9	DRS/FRS (Msg)	
10	Запрос PTM (Msg)	
[1)] Передача сообщения MsgD невозможна через интерфейс сообщений вендора (VMI). Обнако это возможно с помощью (4)		

Генерация сообщений, определенных вендором (VDM)

VDM могут быть сгенерированы приложением при использовании следующих методов:

– контроллер генерирует VDM в ответ на запрос по VMI;

– VMI может быть использован только для пересылки Msg. Он не поддерживает сообщения с полезной нагрузкой (MsgD);

– биты ven_msg_fmt и ven_msg_len должны быть установлены в 0x1 и 0x0 соответственно, что указывает на заголовок 4-DWORD и отсутствие полезной нагрузки;

– VDM, созданные пользователем для VMI, всегда транслируются с помощью внутреннего модуля трансляции адреса (iATU);

– прямая поддержка Msg и MsgD TLP на XALI0/1/2 (или AXI слэйв моста);

– прямая поддержка I/O и MEM TLP на XALI0/1/2 (или AXI слэйв моста) конвертируются для VDM. Внутренний модуль трансляции адреса (iATU) может конвертировать I/O и MEM TLP в VDM TLP.

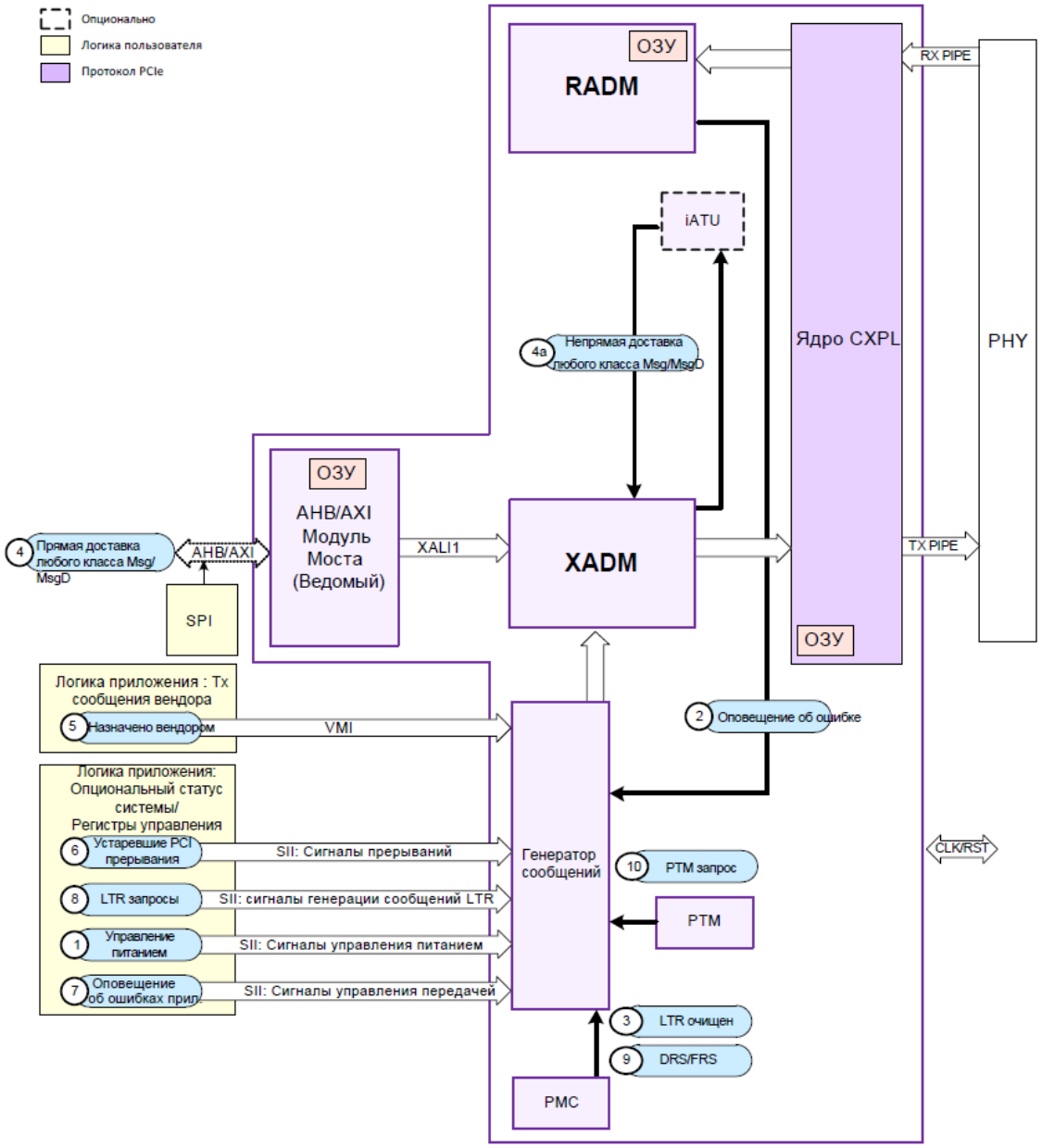


Рисунок 34 – Передача сообщений

10.7.2 Прием сообщений

Типы сообщений, которые может принимать контроллер PCI Express приведены в таблице 38. Индексы в левом столбце таблицы соответствуют номерам на рисунке 35.

Таблица 38 – Типы принимаемых сообщений

Индекс	Источник сообщения (тип)	Примечание
1	Управление питанием (Msg)	-
1a	Ограничение питания слота (MsgD)	Поддержка сообщения Set_Slot_Power_Limit
3	Определено вендором (Msg/MsgD)	-
4	Заблокированная транзакция (Msg)	Сообщение разблокировки

Индекс	Источник сообщения (тип)	Примечание
7	Заполнение буфера оптимизации (OBFF) (Msg)	OBFF сообщения получены на выходах radm_msg_cpu_active/radm_msg_idle/radm_msg_obff
8	Невалидный запрос ATS (Msg)	-
9	Не используется	-
10	Не используется	-
11	Ответ PTM (Msg/MsgD)	-

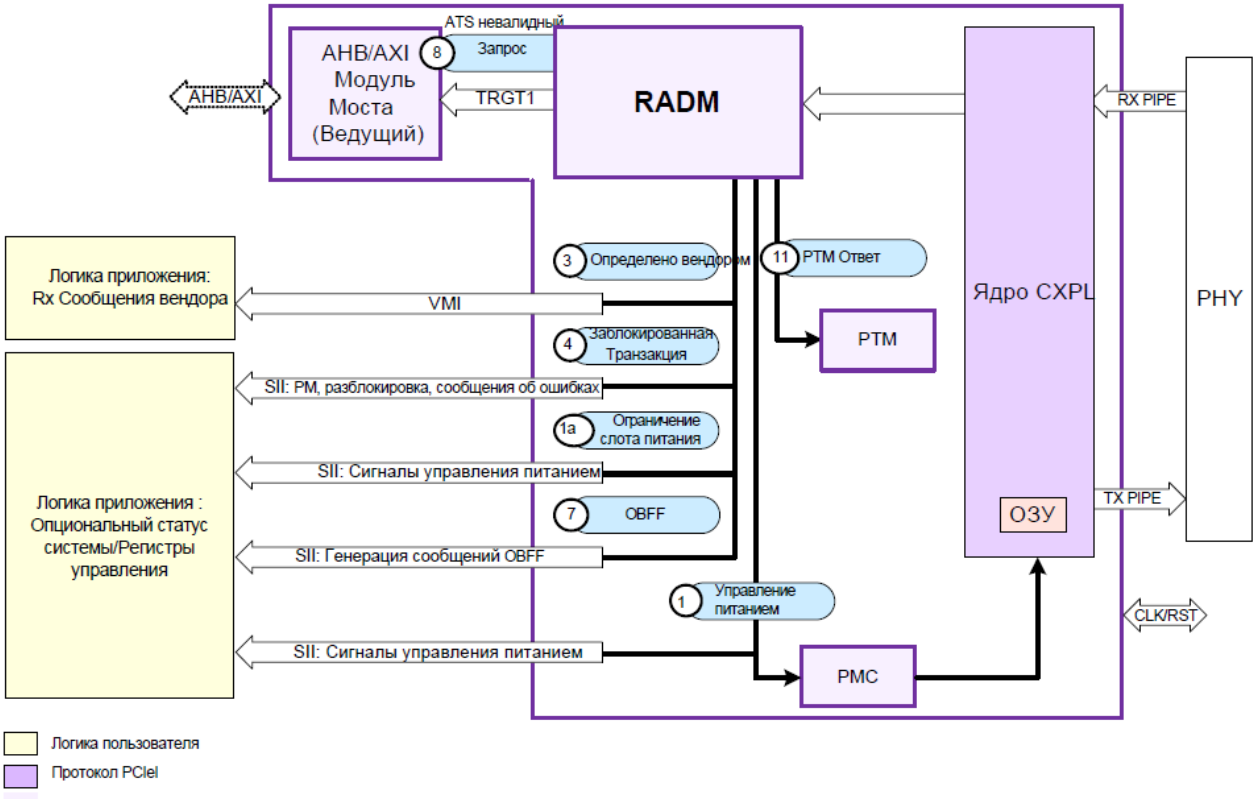


Рисунок 35 – Прием сообщений

I/O Интерфейс приема сообщений

RADM-фильтр реализует интерфейс сообщений, которые сгруппированы как часть интерфейса системной информации (SII), для обработки сообщений TLP, полученных из upstream компоненты. Фильтр RADM обрабатывает сообщения и декодирует заголовок перед передачей приложению на SII.

Маршрутизация принимаемых сообщений

Все, за исключением PTM, безошибочные MSG-запросы декодируются внутри, сигнализируются на интерфейс SII и отбрасываются (не передаются в приложение на TRGT1 (или AXI мост мастера), при этом сообщения вендора TYPE0 генерируют ошибку UR. Когда запрос MSG фильтруется со статусом UR/CA/CRS, TLP всегда отбрасывается.

Краткие выводы по доставке сообщения:

– по умолчанию принимаемые сообщения[1)] (Msg/MsgD) доставляются (без дополнительной нагрузки для MsgD) на интерфейс SII и не доставляются[2)] на интерфейс TRGT1 (или AXI мост мастера);

– интерфейс приема сообщений SII доставляет ID инициатора запроса и тип сообщения (первое и второе двойные слова TLP), а также доставляет третье и четвертое двойные слова TLP;

– если необходимо доставить сообщение на интерфейс TRGT1 (или AXI мост мастера), тогда необходимо очистить соответствующий бит маски фильтра.

10.8 Прерывания

Данный раздел описывает обработку прерываний в контроллере. Более подробную информацию о различных типах прерываний можно найти в подразделах 6.1.1 «Rationale for PCI Express Interrupt Model», 6.1.4 «Message Signaled Interrupt (MSI/MSI-X) Support», 6.1.2 «PCI Compatible INTx Emulation» и 6.1.3 «INTx Emulation Software Model» спецификации PCI Express, ревизии 4.0, версии 0.7.

10.8.1 Прерывания PCI Legacy

Приложения USP устанавливают вход sys_int, чувствительный к уровню, для оповещения контроллера о необходимости передать сообщение прерывания. Контроллер генерирует два сообщения TLP: Установка_INTx и Сброс_INTx, в ответ на установку и сброс входа sys_int. Приложению необходимы сбросить входы виртуальных прерываний, когда соединение переводится в состояние пониженного потребления. Контроллер автоматически не посылает сообщение прерывания Сброс_INTx при изменении состояние питания.

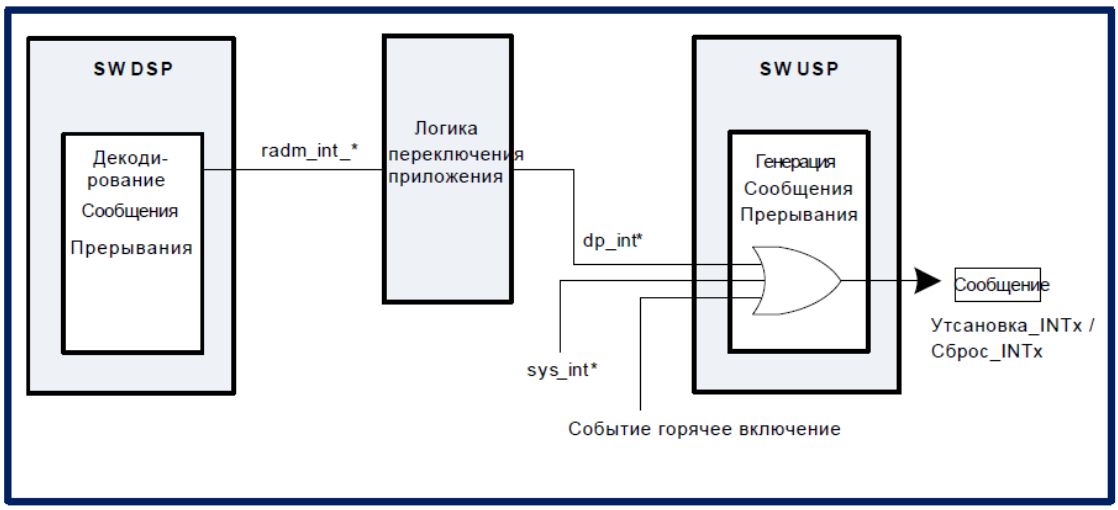


Рисунок 36 – Генерация сообщений: Установка_INTx и Сброс_INTx

---

[1)] За исключением PTM.

[2)] Исключение из этого правила невалидные ATS-запросы, которые слишком большие и доставляются на интерфейс TRGT1, несмотря на установленные маски фильтра.

11 Последовательный интерфейс slave SPI

Микросхема может управляться хост-контроллером, который выдает инструкции обычно в режиме SPI-мастер. SPI-мастер соединяется с микросхемой с помощью шины SPI, состоящей из четырех линий: nCE, SCK, SI и SO (линия с третьим состоянием). Для выбора последовательного интерфейса slave SPI необходимо на выводах MODE установить значение 0 или 2.

Протокол SPI имеет четыре режима работы (0, 1, 2 или 3), различие между которыми заключается в полярности и фазе сигнала SCK. Микросхема поддерживает два наиболее часто применяемых режима 0 и 3. Временная диаграмма режимов SPI 0 и 3 приведена на рисунке 37. Различие между ними заключается в неактивном состоянии линии SCK (когда мастер SPI в режиме отсутствия передачи данных). В обоих режимах данные всегда захватываются с шины по переднему фронту SCK и всегда выставляются на шину по заднему фронту SCK.

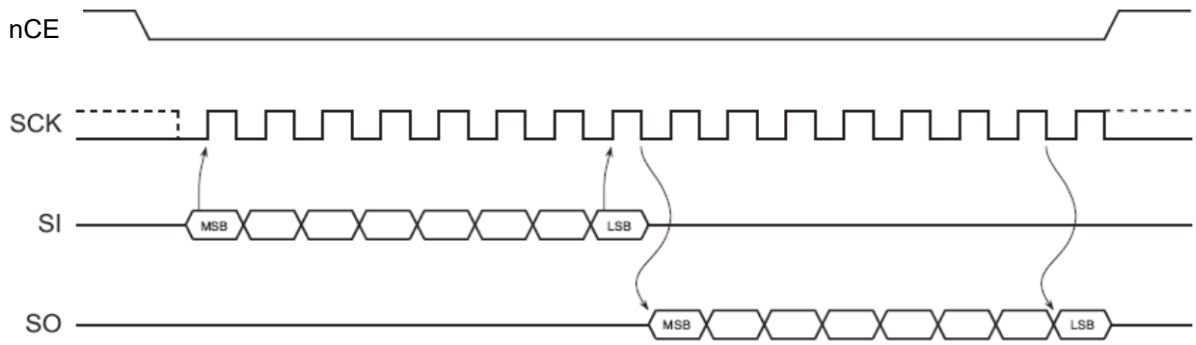


Рисунок 37 – Временная диаграмма режимов SPI 0 и 3

11.1 Команды и адресация

Допустимые инструкции или операции всегда должны начинаться установкой линии nCE в активное состояние. После того как nCE установлен, хост-контроллер должен выставить на шину SPI достоверный 8-разрядный код операции. Затем, в зависимости от типа операции, выставляются адрес и данные, тактируемые хост-контроллером. Все коды операций, адреса и данные передаются на шину старшими разрядами вперед (MSB). Операция заканчивается переводом линии nCE в неактивное состояние.

Коды операций, не поддерживаемые модулем памяти, игнорируются, и операция не стартует. Микросхема также игнорирует данные на входе SI до тех пор, пока не стартует следующая операция (nCE линия должна быть установлена в неактивное состояние, а затем переведена в активное состояние). Если линия nCE переводится в неактивное состояние, прежде чем закончится передача кода операции и адресной информации, операция не начнется, и модуль памяти вернется в неактивное состояние для ожидания следующей операции.

Для передачи адреса, состоящего из адресных бит A23-A0, необходимо послать 3 байта информации по шине SPI. Максимально адресуемый диапазон адресов микросхемы 000000h-FFFFFFh.

Перечень поддерживаемых команд приведен в таблице. Описание команд приведено в последующих подразделах.

Таблица 39 – Перечень поддерживаемых команд

Команда	Код команды	Частота, МГц	Байт адреса	Байт фиктив-ных	Байт данных
Чтение данных с шины AXI	0Bh 0000 1011	до 30	3	1	4
Запись данных на шину AXI	02h 0000 0010	до 30	3	0	4
Чтение регистров статуса и контроля блока управления	05h 0000 0101	до 30	3	0	4
Запись регистров контроля блока управления	01h 0000 0001	до 30	3	0	4
Read ID микросхемы и производителя	9Fh 1001 1111	до 30	0	0	2

11.2 Операция чтения массива данных

Команда чтения может применяться при чтении данных с шины AXI, регистров статуса и контроля, обеспечивая тактирование на линии SCK. Два кода операции (0Bh и 05h) могут быть использованы для команды чтения с шины AXI, регистров статуса и регистров контроля.

Для выполнения операции чтения линия nCE должна быть установлена в активное состояние, и соответствующий код операции передан в микросхему. После передачи кода операции должны быть переданы 3 байта адреса. Следом за адресными байтами может передаваться фиктивный байт в зависимости от кода операции, используемой в команде чтения. Если используется код операции 0Bh, передается один фиктивный байт.

После передачи всей необходимой командной последовательности производится считывание данных на линии SO. Данные всегда выставляются старшими разрядами вперед (MSB). После считывания 4 байт необходимо перевести линию nCE в неактивное состояние.

При установке линии nCE в неактивное состояние операция чтения прекращается, и линия SO переходит в высокоимпедансное состояние.

Временные диаграммы операций чтения с кодом 0Bh и кодом 05h приведены на рисунках 38 и 39 соответственно.

Не обязательно читать все 4 байта данных.

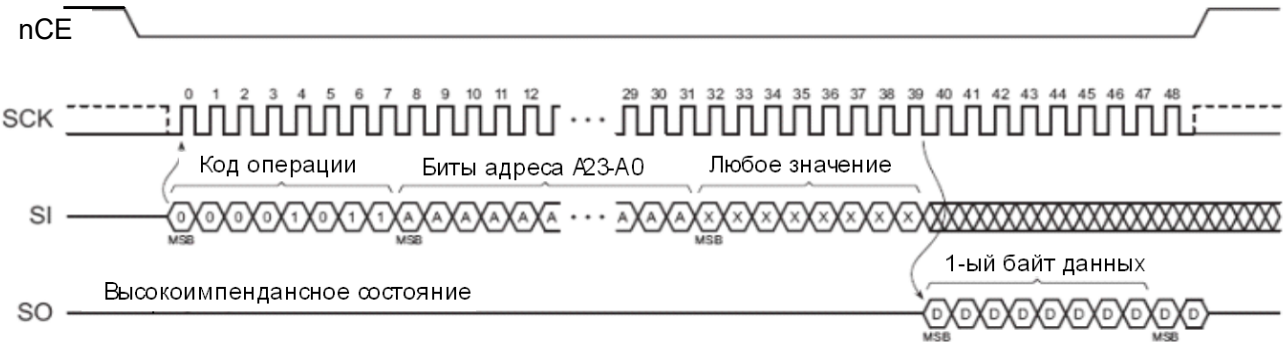


Рисунок 38 – Операция чтения с кодом 0Bh

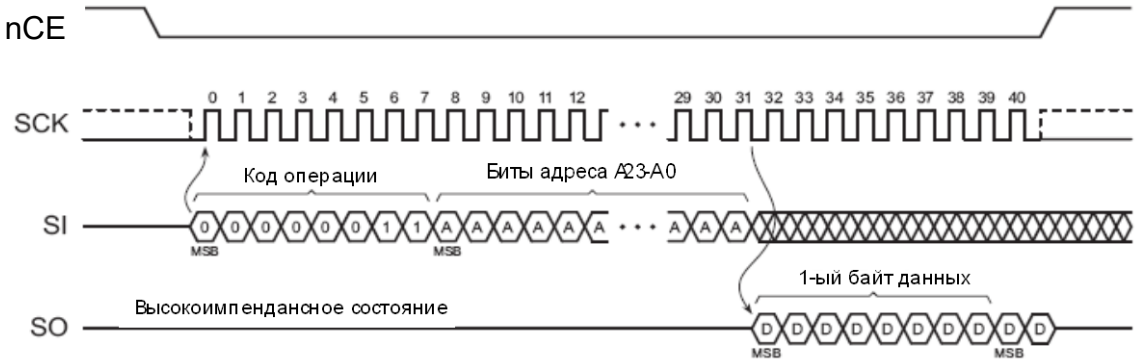


Рисунок 39 – Операция чтения с кодом 05h

11.3 Операция записи

Команда записи позволяет записать 32-разрядное слово на шину AXI или в регистры контроля блока управления.

Для выполнения команды записи необходимо передать в микросхему код операции 02h (для записи на шину AXI) или 01h (для записи в регистры контроля блока управления), три адресных байта и четыре байта данных для записи. После перевода линии nCE в неактивное состояние микросхема начнет запись 32-разрядного слова данных по указанному адресу. Перевод линии nCE в неактивное состояние должен происходить на границе байта (кратно 8 битам), в противном случае микросхема прервет операцию, и данные не будут записаны.

Временная диаграмма операции программирования 32-разрядного слова приведена на рисунке 40.

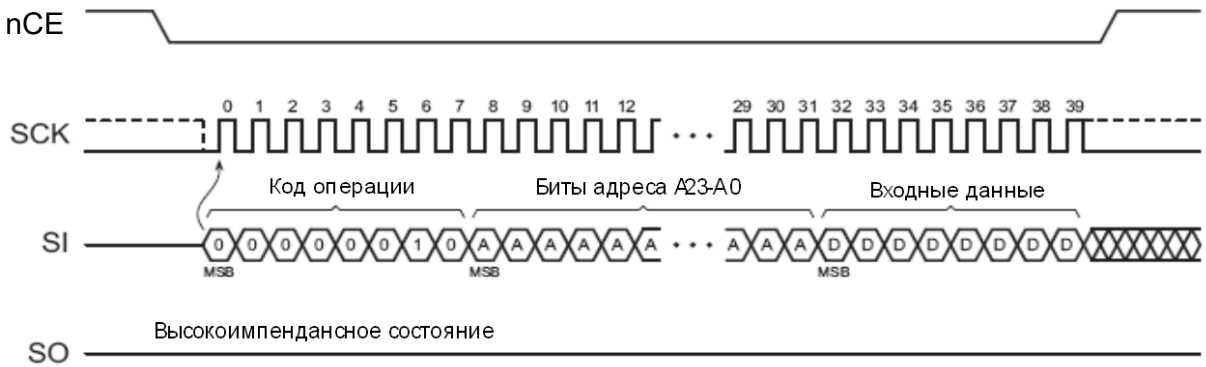


Рисунок 40 – Операция программирования 32-разрядного слова

11.4 Операция чтения ID-кодов производителя и микросхемы

Идентификационная информация может быть считана из микросхемы, позволяя идентифицировать микросхему в системе.

При чтении идентификационной информации линия nCE должна быть в активном состоянии, код операции 9Fh загружается в микросхему. После этого микросхема начинает выдачу идентификационных данных на линию SO на каждом такте линии SCK. Первый выходной байт – ID-код производителя, следующий байт – ID-код микросхемы. После этого происходит повтор выдачи данных до перевода линии nCE в неактивное состояние, которое прекращает операцию чтения ID-кодов и переводит линию SO в высокоимпедансное состояние. Изменение линии nCE возможно в любое время, т.е. чтение полного байта не требуется.

Временная диаграмма операции чтения ID-кодов приведена на рисунке 41.

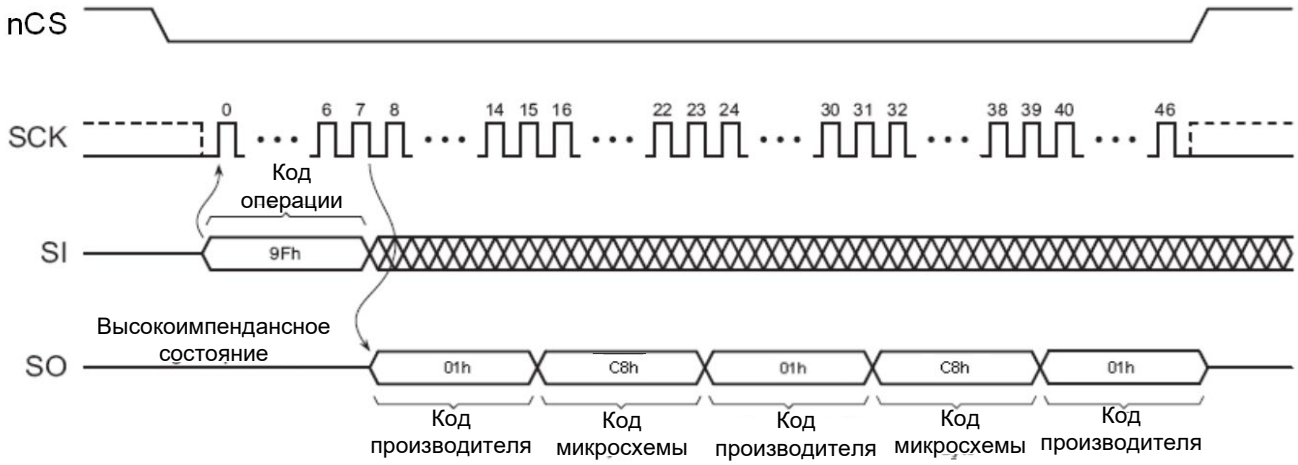


Рисунок 41 – Операция чтения ID-кодов

11.5 Регистры контроля блока управления

Таблица 40 – Описание регистров контроля блока управления

Базовый адрес	Название	Описание
0x0000	CONTROL1	Регистр управления модулем MSI и VMI (только в режиме MODE=0)
0x0001	CONTROL2	Регистр управления модулем VMI (только в режиме MODE=0)
0x0002	CONTROL3	
0x0003	CONTROL4	
0x0004	CONTROL5	Регистр управления SII Power Management (только в режиме MODE=0)
0x0005	CONTROL6	Регистры управления Ethernet PHY
0x0006	CONTROL7	
0x0007	CONTROL8	
0x0008	CONTROL9	
0x0009	CONTROL10	
0x000A	CONTROL11	
0x000B	CONTROL12	

Базовый адрес	Название	Описание
0x000C	CONTROL13	
0x000D	CONTROL14	
0x000E	CONTROL15	
0x000F	CONTROL16	
0x0010	CONTROL17	
0x0011	CONTROL18	
0x0012	CONTROL19	
0x0013	CONTROL20	
0x0014	CONTROL21	
0x0015	CONTROL22	Регистры управления PCI Express PHY
0x0016	CONTROL23	

Таблица 41 – Описание бит регистра CONTROL1

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31	app_req_retry_en	Обеспечивает возможность откладывать входящие конфигурационные запросы до тех пор, пока не закончилась инициализация. Когда app_req_retry_en установлен, контроллер завершает входящие конфигурационные запросы с конфигурационным запросом повтора статуса. Другие входящие запросы завершаются нормально. Если поддерживается механизм оповещения о готовности, DRS-обмен сообщениями блокируется при app_req_retry_en=1. Когда app_req_retry_en=0 и app_drs_ready=1, контроллер автономно передает DRS-сообщения, когда соединение переходит из DL_Down в DL_Up
30	app_ltssm_enable	Переводится в низкий уровень приложением после холодного, теплого или горячего сброса, чтобы удерживать LTSSM в состоянии детектирования до тех пор, пока приложение не будет готово начать тренировку линка. Когда приложение закончит перепрограммирование конфигурационных регистров контроллера, используя DBI, необходимо установить app_ltssm_enable, чтобы разрешить LTSSM продолжить установление линка. Бит также может быть использован для задержки горячего сброса контроллера, пока не прочитан какой-либо регистр статуса. **Холодный сброс** – Опционально можно удерживать LTSSM и задержать тренировку линка, что позволит перепрограммировать некоторые регистры через DBI: – установить app_ltssm_enable = 0 прежде, чем приложение снимет Power-On Reset (power_up_rst_n). Лучший способ установить app_ltssm_enable = 0 при включении питания или установкой core_rst_n;

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
		– ожидать, пока снимется core_rst_n, sticky_rst_n, и non_sticky_rst_n; – записать любой регистр через DBI; – установить app_ltssm_enable = 1; – стартует тренировка линка. **Горячий сброс (Сброс линка)** – Опционально можно задержать сброс контроллера, что позволит прочитать некоторые регистры через DBI: – установить app_ltssm_enable = 0 сразу (комбинаторно) по отрицательному фронту smlh_req_rst_not; – удерживать app_ltssm_enable = 0, пока мост не завершит «flushing mode»; – чтение любого регистра через DBI; – установить app_ltssm_enable = 1; – начнется сброс контроллера (sticky_rst не установлен). – Опционально можно удерживать LTSSM и задержать тренировку линка, что позволит перепрограммировать некоторые регистры через DBI: – установить app_ltssm_enable = 0 незамедлительно (комбинаторно) по отрицательному фронту core_rst_n; – записать любой регистр через DBI; – установить app_ltssm_enable = 1; – стартует тренировка линка. Примечания 1 Для горячего сброса можно выполнить одно из двух действий, описанных выше (задержать сброс и/или задержать тренировку линка). Если необходимо выполнить оба действия, нужно делать это в порядке, представленном выше. 2 Сбрасывть этот бит можно только в рекомендованных случаях. В противном случае (если сбросить бит вне состояния Детектирования LTSSM), это может привести к сбросу контроллера и мгновенному переходу LTSSM обратно в состояние Детектирования. Этот переход будет вне спецификации PCIe и может быть причиной нарушения протокола PIPE
29	ven_msg_req	Запрос от Вашего приложения передать сообщение, определенное вендором. После установки ven_msg_req должен оставаться установленным до тех пор, пока контроллер не установит ven_msg_grant
28 – 26	ven_msg_func_num	Номер функции для сообщения TLP, определенного вендором. Функции нумеруются, начиная с нуля
25 – 24	ven_msg_attr	Поле атрибута для сообщения TLP, определенного вендором. Валиден, когда установлен ven_msg_req

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
23	ven_msg_ep	Бит поврежденного TLP (EP) для сообщения TLP, определенного вендором. Валиден, когда установлен ven_msg_req
22	ven_msg_td	Бит систематизации TLP (TD) для сообщения TLP, определенного вендором. Валиден, когда установлен ven_msg_req
21 – 19	ven_msg_tc	Поле класса трафика для сообщения TLP, определенного вендором. Валиден, когда установлен ven_msg_req
18 – 14	ven_msg_type	Поле типа для сообщения TLP, определенного вендором. Валиден, когда установлен ven_msg_req
13 – 12	ven_msg_fmt	Поле формата для сообщения TLP, определенного вендором. Валиден, когда установлен ven_msg_req. Необходимо установить в 0x1
11 – 7	ven_msi_vector	Используется для коррекции младших пяти бит регистра MSI Data, когда разрешен режим множественных сообщений. Валиден, когда ven_msi_req установлен, и разрешен режим множественных сообщений через регистр управления MSI
6 – 4	ven_msi_tc	Класс трафика MSI запроса. Валиден, когда ven_msi_req установлен
3 – 1	ven_msi_func_num	Номер функции MSI запроса. Функции нумеруются, начиная с '0'. Валиден, когда ven_msi_req установлен
0	ven_msi_req	Запрос от приложения передать MSI, когда MSI разрешен. После установки ven_msi_req должен оставаться установленным до тех пор, пока контроллер не установит ven_msi_grant

Таблица 42 – Описание бит регистра CONTROL2

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31 – 26	-	Зарезервировано
25 – 18	ven_msg_code	Код сообщения для TLP сообщения, определенного вендором. Валиден, когда установлен ven_msg_req
17 – 10	ven_msg_tag	Признак для сообщения TLP, определенного вендором. Валиден, когда установлен ven_msg_req
9 – 0	ven_msg_len	Поле длины для сообщения TLP, определенного вендором. Валиден, когда установлен ven_msg_req. (указывает длинну полезной нагрузки данных). Необходимо установить в ноль 0x0

Таблица 43 – Описание бит регистра CONTROL3

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31 – 0	ven_msg_data[31..0]	Третье и четвертое двойные слова заголовка сообщения, определенного вендором где: – Байты 8-11 (третье двойное слово заголовка) = ven_msg_data[63:32]; – Байты 12-15 (четвертое двойное слово заголовка) = ven_msg_data[31:0], где ven_msg_data[7:0] = байт 15 Валиден, когда установлен ven_msg_req

Таблица 44 – Описание бит регистра CONTROL4

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31 – 0	ven_msg_data[63..32]	Третье и четвертое двойные слова заголовка сообщения, определенного вендором где: – Байты 8-11 (третье двойное слово заголовка) = ven_msg_data[63:32]; – Байты 12-15 (четвертое двойное слово заголовка) = ven_msg_data[31:0], где ven_msg_data[7:0] = байт 15 Валиден, когда установлен ven_msg_req

Таблица 45 – Описание бит регистра CONTROL5

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31 – 1	-	Зарезервировано
10	mstr_csysreq	Запрос пониженного потребления для AXI-мастера системы. Системный запрос от контроллера системной частоты для моста AXI-мастера на переход в состояние пониженного потребления
9	slv_csysreq	Запрос пониженного потребления для AXI-слейва системы. Системный запрос от контроллера системной частоты для моста AXI-слейва на переход в состояние пониженного потребления. Режимы потребления AXI не поддерживаются
8	slv_armisc_info_atu_bypass	Запрос обхода ATU при чтении AXI-слэйв. Когда этот бит установлен, запрос не будет обрабатываться внутренним модулем трансляции адреса. Валиден при slv_arvalid
7	slv_awmisc_info_atu_bypass	Запрос обхода ATU при записи AXI-слэйв. Когда этот бит установлен, запрос не будет обрабатываться внутренним модулем трансляции адреса. Валиден при slv_awvalid

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
6	app_xfer_pending	Указывает, что приложение имеет незаконченные транзакции и предотвращает переход контроллера в состояние L1. Этот бит используется для информирования контроллера о состоянии внешних очередей и состояниях конвейера, содержащего транзакции, которые должны быть переданы. Контроллер использует эту информацию, чтобы определить, когда войти/выйти в L1. Когда бит установлен, вне контроллера есть транзакции, которые необходимо передать. Когда бит сброшен, нет транзакций вне контроллера. Контроллер отвечает на установку этого бита следующим образом: – предотвращает генерацию запросов на вход в состояние L1; – начинает выход, если уже находится в состоянии L1. Можно обучить контроллер выходить из L1 установкой любого из двух бит: app_xfer_pending и app_req_exit_l1. Контроллер сэмплирует app_req_exit_l1, только когда он уже находится в состоянии L1
5	app_req_exit_l1	Запрос приложения выйти из L1. Бит полезен только когда разрешено состояние L1
4	app_ready_entr_l23	Приложение готово войти в состояние L23. Бит app_ready_entr_l23 управляется приложением для входа в L23, в случае если конкретная задача должна быть выполнена перед входом в L23. Контроллер задерживает передачу PM_Enter_L23 (в ответ на PM_Turn_Off) до тех пор, пока бит остается активным. Когда бит устанавливается приложением, он должен удерживаться до тех пор, пока не завершиться вход в L2
3	app_req_entr_l1	Запрос от приложения перейти в состояние L1 ASPM. Бит app_req_entr_l1 необходим приложению для контроля перехода в состояние L1 вместо применения таймера входа в L1, как определено в спецификации PCI Express. Этот бит полезен только когда L1 разрешен. Контроллер захватывает этот запрос при переходе в L0 или L0s, чтобы использовать в дальнейшем
2	sys_aux_pwr_det	Детектировано вспомогательное питание. Используется программным обеспечением хоста для уведомления о том, что присутствует вспомогательное питание (Vaux)
1	apps_pm_xmt_pme	Активизация. Используется приложением, чтобы активировать автомат состояний PMC из состояний D1, D2 или D3. При активизации контроллер посылает сообщение PM_PME. Наобходимо установить на один

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
		такт. Для каждой функции контроллера применяется отдельный бит apps_pm_xmt_pme. Этот бит по функциональности идентичен outband_pwrup_cmd. Этот бит или бит outband_pwrup_cmd должны использоваться для запроса на возвращение из состояний D1/D2/D3 в D0
0	outband_pwrup_cmd	Активизация. Используется приложением, чтобы активировать автомат состояний PMC из состояний D1, D2 или D3. При активизации контроллер посылает сообщение PM_PME. Наобходимо установить на один такт. Для каждой функции контроллера применяется отдельный бит outband_pwrup_cmd. Этот бит по функциональности идентичен биту apps_pm_xmt_pme. Этот бит или бит apps_pm_xmt_pme должны использоваться для запроса на возвращение из состояний D1/D2/D3 в D0

Таблица 46 – Описание бит регистра CONTROL6

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31 – 29	los_bias[3]	Для PHY13-PHY16
28 – 26	los_bias[2]	Для PHY9-PHY12
25 – 23	los_bias[1]	Для PHY5-PHY8
22 – 20	los_bias[0]	Управление уровнем порога детекции потери сигнала. Устанавливает уровень порого детекции LOS. Примечание – Установка двоичных бит в положительное значение изменяет результат на +15 мВ, инкрементально изменяя порог LOS. Установка двоичных бит в отрицательное значение изменяет результат на –15 мВ, инкрементально изменяя порог LOS. Значение 3’b000 зарезервировано и не должно использоваться. Устанавливаются следующие значения порога: – 000 – Зарезервировано; – 001 – 120 мВ; – 010 – 135 мВ; – 011 – 150 мВ; – 100 – 45 мВ; – 101 – 60 мВ; – 110 – 75 мВ; – 111 – 90 мВ. Для PHY1-PHY4 значение после сброса 010
19 – 15	acjt_level[3]	Для PHY13-PHY16
14 – 10	acjt_level[2]	Для PHY9-PHY12

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
9 – 5	acjt_level[1]	Для PHY5-PHY8
4 – 0	acjt_level[0]	Управляет уровнем чувствительности приемника 1149.6 Выбирает уровень чувствительности 1149.6 приемника для AC JTAG. Для PHY1-PHY4: – 00001 – 235-375 мВ; – 00010 – 288-463 мВ; – 00011 – 344-554 мВ; – 00100 – 401-649 мВ; – 00101 – 460-747 мВ; – 00110 – 521-849 мВ; – 10001 – 432-740 мВ; – 10010 – 525-967 мВ. *Значение после сброса:* 10010

Таблица 47 – Описание бит регистра CONTROL7

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31 – 30	rx_tx_rate	Скорость данных Tx и Rx Ethernet PHY. Выбирается скорость передачи для передающего и принимающего путей: – 00 – baud; – 01 – baud / 2; – 10 – baud / 4 (строго рекомендованное значение); – 11 – не поддерживается. *Значение после сброса:* 10
29	ref_clkdiv2	Управление делителем опорной частоты Ethernet PHY. Если входная опорная частота более 100 МГц, этот бит должен быть установлен. Тогда опорная частота делиться на 2, укладываясь в нужный диапазон MPLL. Строго рекомендуется устанавливать в ноль
28	soft_res_phy	Программный сброс PHY PCIe 1 – сброс 0 – рабочее состояние
27	mpll_en	Разрешение Ethernet PHY PLL. Когда установлен, подается питание на MPLL. *Значение после сброса:* 1
26 – 20	mpll_multiplier	Управление умножителем чатоты MPLL Ethernet PHY. Умножается на опорную частоту с целью полчения приемлемой скорости. Строго рекомендуется устанавливать 0x64
19 – 15	los_level[3]	Для PHY13-PHY16
14 – 10	los_level[2]	Для PHY9-PHY12

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
9 – 5	los_level[1]	Для PHY5-PHY8
4 – 0	los_level[0]	Управление уровнем чувствительности детекции потери сигнала Ethernet PHY. Эти биты должны быть установлены в значение 01001. Для PHY1-PHY4 *Значение после сброса:* 01001

Таблица 48 – Описание бит регистра CONTROL8

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31 – 30	-	Зарезервировано
29 – 27	rx1_eq[2]	Для PHY10
26 – 24	rx0_eq[2]	Для PHY9
23 – 21	rx3_eq[1]	Для PHY8
20 – 18	rx2_eq[1]	Для PHY7
17 – 15	rx1_eq[1]	Для PHY6
14 – 12	rx0_eq[1]	Для PHY5
11 – 9	rx3_eq[0]	Для PHY4
8 – 6	rx2_eq[0]	Для PHY3
5 – 3	rx1_eq[0]	Для PHY2
2 – 0	rx0_eq[0]	Настройка коррекции приема. Выбирается величина коррекции в приемнике. Рекомендованное значение 010. Для PHY1 *Значение после сброса:* 010

Таблица 49 – Описание бит регистра CONTROL9

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31 – 30	-	Зарезервировано
29 – 26	rx2_term_en	Для PHY9- PHY12
25 – 22	rx1_term_en	Для PHY5- PHY8
21 – 18	rx0_term_en	Терминирование приемника PMA. Контролируется наличие терминирования в приемнике. 0 – терминирование отсутствует; 1 – терминирование присутствует. Для PHY1- PHY4 *Значение после сброса:* 1
17 – 15	rx3_eq[3]	Для PHY16
14 – 12	rx2_eq[3]	Для PHY15
11 – 9	rx1_eq[3]	Для PHY14
8 – 6	rx0_eq[3]	Для PHY13
5 – 3	rx3_eq[2]	Для PHY12

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
2 – 0	rx2_eq[2]	Настройка коррекции приема. Выбирается величина коррекции в приемнике. Рекомендованное значение 010. Для PHY11 *Значение после сброса:* 010

Таблица 50 – Описание бит регистра CONTROL10

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31 – 25	tx3_amplitude[0]	Для PHY4
24 – 18	tx2_amplitude[0]	Для PHY3
17 – 11	tx1_amplitude[0]	Для PHY2
10 – 4	tx0_amplitude[0]	Амплитуда Tx (режим полного размаха) для PHY1. Это статический параметр устанавливается для амплитуды передатчика. Применяется на плате для настройки требуемой амплитуды для получения соответствующего Rx eye. Выходная амплитуда дифференциального сигнала на выводах SGMII в зависимости от настройки поля (при R_L = 100 Ом в нормальных условиях): – значение по сбросу 0b10010 – ~200 мВ; – 0b1000000 – ~400 мВ; – 0b1111111 – ~750 мВ. Промежуточные значения могут использоваться для точечной настройки
3 – 0	rx3_term_en	Терминирование приемника PMA. Контролируется наличие терминирования в приемнике. 0 – терминирование отсутствует; 1 – терминирование присутствует. Для PHY13-PHY16 *Значение после сброса:* 1

Таблица 51 – Описание бит регистра CONTROL11

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31	ref_use_pad[3]	Разрешение источника опорной частоты PHY13-PHY16 на внешних выводах. 1 – разрешено; 0 – запрещено. *Значение после сброса:* 0
30	ref_use_pad[2]	Разрешение источника опорной частоты PHY9-PHY12 на внешних выводах. 1 – разрешено; 0 – запрещено. *Значение после сброса:* 0

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
29	ref_use_pad[1]	Разрешение источника опорной частоты PHY5-PHY8 на внешних выводах. 1 – разрешено; 0 – запрещено. *Значение после сброса:* 0
28	ref_use_pad[0]	Разрешение источника опорной частоты PHY1-PHY4 на внешних выводах. 1 – разрешено; 0 – запрещено. *Значение после сброса:* 0
27 – 21	tx3_amplitude[1]	Для PHY8
20 – 14	tx2_amplitude[1]	Для PHY7
13 – 7	tx1_amplitude[1]	Для PHY6
6 – 0	tx0_amplitude[1]	Амплитуда Tx (режим полного размаха) для PHY5. Это статический параметр устанавливается для амплитуды передатчика. Применяется на плате для настройки требуемой амплитуды для получения соответствующего Rx eye. Выходная амплитуда дифференциального сигнала на выводах SGMII в зависимости от настройки поля (при R_L = 100 Ом в нормальных условиях): – значение по сбросу 0b10010 – ~200 мВ; – 0b1000000 – ~400 мВ; – 0b1111111 – ~750 мВ. Промежуточные значения могут использоваться для точечной настройки

Таблица 52 – Описание бит регистра CONTROL12

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31	soft_res_phy_xaui[3]	Программный сброс PHY13-PHY16. 1 – сброс; 0 – рабочее состояние. *Значение после сброса:* 0
30	soft_res_phy_xaui[2]	Программный сброс PHY9-PHY12. 1 – сброс; 0 – рабочее состояние. *Значение после сброса:* 0
29	soft_res_phy_xaui[1]	Программный сброс PHY5-PHY8. 1 – сброс; 0 – рабочее состояние. *Значение после сброса:* 0

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
28	soft_res_phy_xaui[0]	Программный сброс PHY1-PHY4. 1 – сброс; 0 – рабочее состояние. *Значение после сброса:* 0
27 – 21	tx3_amplitude[2]	Для PHY12
20 – 14	tx2_amplitude[2]	Для PHY11
13 – 7	tx1_amplitude[2]	Для PHY10
6 – 0	tx0_amplitude[2]	Амплитуда Tx (режим полного размаха) для PHY9. Это статический параметр устанавливается для амплитуды передатчика. Применяется на плате для настройки требуемой амплитуды для получения соответствующего Rx eye. Выходная амплитуда дифференциального сигнала на выводах SGMII в зависимости от настройки поля (при R_L = 100 Ом в нормальных условиях): – значение по сбросу 0b10010 – ~200 мВ; – 0b1000000 – ~400 мВ; – 0b1111111 – ~750 мВ. Промежуточные значения могут использоваться для точечной настройки

Таблица 53 – Описание бит регистра CONTROL13

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31 – 28	tx0_cm_en	Разрешение управления Common-Mode передачи. Разрешение схемы фиксации common mode передатчика. Для PHY1-PHY4 *Значение после сброса:* 1
27 – 21	tx3_amplitude[3]	Для PHY16
20 – 14	tx2_amplitude[3]	Для PHY15
13 – 7	tx1_amplitude[3]	Для PHY14
6 – 0	tx0_amplitude[3]	Амплитуда Tx (режим полного размаха) для PHY13. Это статический параметр устанавливается для амплитуды передатчика. Применяется на плате для настройки требуемой амплитуды для получения соответствующего Rx eye. Выходная амплитуда дифференциального сигнала на выводах SGMII в зависимости от настройки поля (при R_L = 100 Ом в нормальных условиях): – значение по сбросу 0b10010 – ~200 мВ; – 0b1000000 – ~400 мВ; – 0b1111111 – ~750 мВ. Промежуточные значения могут использоваться для точечной настройки

Таблица 54 – Описание бит регистра CONTROL14

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
27 – 24	tx3_detect_rx_req	Для PHY13-PHY16
23 – 20	tx2_detect_rx_req	Для PHY9-PHY12
19 – 16	tx1_detect_rx_req	Для PHY5-PHY8
15 – 12	tx0_detect_rx_req	Запрос детекции приемника. Разрешается запрос на детектирование нового соединения с приемником. Примечание – После установки этот бит должен оставаться единицей, пока не установится rxN_detectrx_ack. Для PHY1-PHY4 *Значение после сброса:* 0
11 – 8	tx3_cm_en	Для PHY13-PHY16
7 – 4	tx2_cm_en	Для PHY9-PHY12
3 – 0	tx1_cm_en	Разрешение управления Common-Mode передачи. Разрешение схемы фиксации common mode передатчика. Для PHY5-PHY8 *Значение после сброса:* 1

Таблица 55 – Описание бит регистра CONTROL15

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31 – 28	-	Зарезервировано
27 – 21	tx3_preemph[0]	Для PHY4
20 – 14	tx2_preemph[0]	Для PHY3
13 – 7	tx1_preemph[0]	Для PHY2
6 – 0	tx0_preemph[0]	Коррекция предискажений Tx. Это статический параметр устанавливается для компенсации значения предискажений Tx драйвера. Применяется на плате для настройки требуемого амплитуды для получения соответствущего Rx eye. Для PHY1 *Значение после сброса:* 10011

Таблица 56 – Описание бит регистра CONTROL16

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31 – 28	-	Зарезервировано
27 – 21	tx3_preemph[1]	Для PHY8
20 – 14	tx2_preemph[1]	Для PHY7
13 – 7	tx1_preemph[1]	Для PHY6

6 – 0	tx0_preemph[1]	Коррекция предискажений Tx. Это статический параметр, устанавливается для компенсации значения предискажений Tx драйвера. Применяется на плате для настройки требуемого амплитуды для получения соответствущего Rx eye. Для PHY5 *Значение после сброса:* 10011

Таблица 57 – Описание бит регистра CONTROL17

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31 – 28	-	Зарезервировано
27 – 21	tx3_preemph[2]	Для PHY12
20 – 14	tx2_preemph[2]	Для PHY11
13 – 7	tx1_preemph[2]	Для PHY10
6 – 0	tx0_preemph[2]	Коррекция предискажений Tx. Это статический параметр, устанавливается для компенсации значения предискажений Tx драйвера. Применяется на плате для настройки требуемого амплитуды для получения соответствущего Rx eye. Для PHY9 *Значение после сброса:* 10011

Таблица 58 – Описание бит регистра CONTROL18

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31 – 28	sel_mac_speed	Выбор выводимой на индикаторы информации о скорости работы Ethernet PHY. 0 – выводится скорость PHY1; 1 – выводится скорость PHY2; 2 – выводится скорость PHY3; 3 – выводится скорость PHY4; 4 – выводится скорость PHY5; 5 – выводится скорость PHY6; 6 – выводится скорость PHY7; 7 – выводится скорость PHY8; 8 – выводится скорость PHY9; 9 – выводится скорость PHY10; 10 – выводится скорость PHY11; 11– выводится скорость PHY12; 12 – выводится скорость PHY13; 13 – выводится скорость PHY14; 14 – выводится скорость PHY15; 15 – выводится скорость PHY16. *Значение после сброса:* 0

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
		Скорость выбранного PHY отображается на выводах speed_mode[2:0] в соответствии с таблицей*
27 – 21	tx3_preemph[3]	Для PHY16
20 – 14	tx2_preemph[3]	Для PHY15
13 – 7	tx1_preemph[3]	Для PHY14
6 – 0	tx0_preemph[3]	Коррекция предискажений Tx. Это статический параметр, устанавливается для компенсации значения предискажений Tx драйвера. Применяется на плате для настройки требуемого амплитуды для получения соответствующего Rx eye. Для PHY13 *Значение после сброса:* 10011
Таблица* speed_mode[2:0] 000 – 10 Mbps Ethernet operation using MII interface 001 – 100 Mbps operation using MII interface 01x – 1000 Mbps operation using GMII interface 100 – 10 Mbps operation using SGMII interface 101 – 100 Mbps operation using SGMII interface 11x – 1000 Mbps operation using TBI or SGMII interface		

Таблица 59 – Описание бит регистра CONTROL19

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
29 – 25	tx1_term_offset[1]	Для PHY6
24 – 20	tx0_term_offset[1]	Для PHY5
19 – 15	tx3_term_offset[0]	Для PHY4
14 – 10	tx2_term_offset[0]	Для PHY3
9 – 5	tx1_term_offset[0]	Для PHY2
4 – 0	tx0_term_offset[0]	Смещение терминирования передатчика. Применяется, чтобы сместить значение калибровочного резистора. Не используется в обычных операциях (рекомендуется устанавливать в нуль). Для PHY1 *Значение после сброса:* 01111

Таблица 60 – Описание бит регистра CONTROL20

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31	en_bor_vio	Разрешение схемы POR для питания U_{CC_IO}. 0 – разрешено; 1 – запрещено. *Значение после сброса:* 0

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
30	en_bor_vdd	Разрешение схемы POR для питания $U_{CC.}$ 0 – разрешено; 1 – запрещено. *Значение после сброса:* 0
29 – 25	tx3_term_offset[2]	Для PHY12
24 – 20	tx2_term_offset[2]	Для PHY11
19 – 15	tx1_term_offset[2]	Для PHY10
14 – 10	tx0_term_offset[2]	Для PHY9
9 – 5	tx3_term_offset[1]	Для PHY8
4 – 0	tx2_term_offset[1]	Смещение терминирования передатчика. Применяется, чтобы сместить значение калибровочного резистора. Не используется в обычных операциях (рекомендуется устанавливать в нуль). Для PHY7 *Значение после сброса:* 01111

Таблица 61 – Описание бит регистра CONTROL21

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31	lane_10bit_sel	Выбор 10-битного режима работы Ethernet PHY. Разрешается 10-битный интерфейс PHY. В 10-битном режиме интерфейс PHY использует синхросигнал слова для RX и TX, и используются только rxN_data[9:0] и txN_data[9:0]. В 20-битном режиме PHY использует синхросигнал двойного слова для RX и TX, и используются rxN_data[19:0] и txN_data[19:0]. Строго рекомендовано устанавливать в единицу
30 – 22	ssc_ref_clk_sel	Смещение спектра опорной частоты Ethernet PHY. Предназначен для применения нестандартных осцилляторов для генерации необходимой выходной скорости MPLL. Биты соответствуют коэффициенту синтеза частоты. ssc_ref_clk_sel[8:6] = по модулю – 1 ssc_ref_clk_sel[5:0] = 2’s комплементарная величина *Значение после сброса:* 0
21	tx_en	Разрешение тактирования передачи и сэмплирования данных. Разрешение пути передачи частоты и выравнивание Tx слова. Для PHY1-PHY16 *Значение после сброса:* 1
20	tx_data_en	Разрешение драйвера передачи. Разрешение первичного дравера передачи для последовательных данных (txN_data[19:0]). Для PHY1-PHY16 *Значение после сброса:* 1
19 – 15	tx3_term_offset[3]	Для PHY16

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
14 – 10	tx2_term_offset[3]	Для PHY15
9 – 5	tx1_term_offset[3]	Для PHY14
4 – 0	tx0_term_offset[3]	Смещение терминирования передатчика. Применяется, чтобы сместить значение калибровочного резистора. Не используется в обычных операциях (рекомендуется устанавливать в нуль). Для PHY13 *Значение после сброса:* 01111

Таблица 62 – Описание бит регистра CONTROL22

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
30 – 26	phy_tx0_term_offset	Смещение терминирования передатчика PHY PCI express Разрешается подстройка значения терминирования передатчика от значения по умолчанию 50 Ом. *Значение после сброса:* 00000
25 – 23	phy_rx0_eq	Настройка коррекции приема PHY PCI express. Выбирается величина коррекции в приемнике. Рекомендованное значение 010. *Значение после сброса:* 000
22 – 18	phy_acjt_level	Управляет уровнем чувствительности приемника 1149.6 PHY PCI express Выбирает уровень чувствительности: 00001 – 235-375 мВ; 00010 – 288-463 мВ; 00011 – 344-554 мВ; 00100 – 401-649 мВ; 00101 – 460-747 мВ; 00110 – 521-849 мВ; 10001 – 432-740 мВ; 10010 – 525-967 мВ. *Значение после сброса:* 10010

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
17 – 15	phy_los_bias	Управление уровнем порога детекции потери сигнала PHY PCI express. Устанавливает уровень порого детекции LOS. Примечание – Установка двоичных бит в положительное значение изменяет результат на +15 мВ, инкрементально изменяя порог LOS. Установка двоичных бит в отрицательное значение изменяет результат на -15 мВ, инкрементально изменяя порог LOS. Значение 000 зарезервировано и не должно использоваться. Устанавливаются следующие значения порога: 000 – зарезервировано; 001 – 120 мВ; 010 – 135 мВ; 011 – 150 мВ; 100 – 45 мВ; 101 – 60 мВ; 110 – 75 мВ; 111– 90 мВ. *Значение после сброса:* 010
14 – 12	phy_tx_vboost_lvl	Уровень повышения напряжения Tx PHY PCI express. Эти биты должны быть установлены в 100. *Значение после сброса:* 100
11 – 7	phy_los_level	Управление уровнем чувствительности детекции потери сигнала PHY PCI express. Эти биты должны быть установлены в значение 01001. *Значение после сброса:* 01001
6 – 0	phy_mpll_multiplier	Управление умножителем чатоты MPLL PCI express. Умножается на опорную частоту с целью получения приемлемой скорости. Строго рекомендуется устанавливать 0x19

Таблица 63 – Описание бит регистра CONTROL23

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31 – 26	pcs_tx_deemph _gen2_6db	Коррекция предискажений PHY PCI express Tx на 6 дБ. Это статическое значение устанавливает величину коррекции предискажений Tx драйвера в случае, когда pipeP_tx_deemph сброшен в ноль, и PHY работает на скорости Gen2. Этой шиной обеспечивается полнота и вторая возможность управления амплитудой. *Значение после сброса:* 100000

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
25 – 19	pcs_tx_swing_low	Амплитуда Tx PHY PCI express (режим небольшого размаха). Это статическое значение устанавливает величину амплитуды, когда pipeP_tx_swing установлен в единицу (режим небольшого размаха). Эта шина может установить альтернативное значение амплитуды, если требуется. Эта шина обеспечивает полноту и может быть сброшена в 0000000. *Значение после сброса:* 1111111
18 – 12	pcs_tx_swing_full	Амплитуда Tx PHY PCI express (режим полного размаха). Это статическое значение устанавливает величину амплитуды, когда pipeP_tx_swing сброшен в ноль (значение по умолчанию). *Значение после сброса:* 1111111
11 – 6	pcs_tx_deemph _gen1	Коррекция предискажений PHY PCI express Tx на 3,5 дБ. Это статическое значение устанавливает величину коррекции предискажений Tx драйвера в случае, когда pipeP_tx_deemph установлен в единицу (значение по умолчанию) и PHY работает на скорости Gen1. *Значение после сброса:* 010101
5 – 0	pcs_tx_deemph_ gen2_3p5db	Коррекция предискажений PHY PCI express Tx на 3,5 дБ. Это статическое значение устанавливает величину коррекции предискажений Tx драйвера в случае, когда pipeP_tx_deemph установлен в единицу (значение по умолчанию) и PHY работает на скорости Gen2. *Значение после сброса:* 010101

11.6 Регистры статуса блока управления

Таблица 64 – Описание регистров статуса блока управления

Базовый адрес	Название	Описание
0x0040	STATUS1	В режиме MODE = 0 регистры содержат статусную информацию контроллера PCI Express В режиме MODE = 2 регистры содержат отладочную информацию
0x0041	STATUS2	
0x0042	STATUS3	
0x0043	STATUS4	
0x0044	STATUS5	
0x0045	STATUS6	
0x0046	STATUS7	
0x0047	STATUS8	
0x0048	STATUS9	
0x0049	STATUS10	
0x004A	STATUS11	
0x004B	STATUS12	
0x004C	STATUS13	
0x004D	STATUS14	
0x004E	STATUS15	
0x004F	STATUS16	
0x0050	STATUS17	
0x0051	STATUS18	
0x0052	STATUS19	
0x0053	STATUS20	
0x0054	STATUS21	
0x0055	STATUS22	
0x0056	STATUS23	
0x0057	STATUS24	
0x0058	STATUS25	
0x0059	STATUS26	
0x005A	STATUS27	
0x005B	STATUS28	
0x005C	STATUS29	
0x005D	STATUS30	
0x005E	STATUS31	Статусная информация модулей Ethernet PHY1-PHY16
0x005F	STATUS32	
0x0060	STATUS33	

11.7 Режим работы MODE=0

Таблица 65 – Описание бит регистра STATUS1

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31 – 25	-	Зарезервировано
24 – 9	cxpl_debug_info_ei	Состояние внутренних сигналов, относящихся к электрической приостановке приемника (EI). Декодирование бит следующее: *Группа 1* (импульс) – информация о полученных упорядоченных наборах: – [0]: EIOS детектирован. *Группа 2* (уровень) – LTSSM в одном из состояний, которое зависит от rxelecidle=0: – [1] – L1; – [2] – L2; – [3] – RxL0s; – [4] – Disabled; – [5] – Detect.Quiet; – [6] – Polling.Active (Зарезервировано для M-PCIe); – [7] – Polling.Compliance (Зарезервировано для M-PCIe). *Группа 3* (уровень) – LTSSM в одном из состояний, которое зависит от rxelecidle=1: – [8] – LTSSM в переходном состоянии перед L1 или L2; – [9] – LTSSM в переходном состоянии перед Disabled; – [10] – LTSSM в Loopback.Active как Slave Gen1; – [11] – LTSSM в Polling.Active (зарезервировано для M-PCIe). *Группа 4* (импульс) – LTSSM изменяет состояние и предполагается EI: – [12] – LTSSM переходит в Recovery из L0 и подразумевается EI, первая строка таблицы 4-11 базовой спецификации PCI express; – [13] – LTSSM переходит в Recovery.Speed из Recovery.RcvrCfg и подразумевается EI, вторая строка таблицы 4-11 базовой спецификации PCI express (зарезервировано для M-PCIe); – [14] – Предполагается EI в то время как LTSSM в Recovery.Speed, третья и четвертая строка таблицы 4-11 базовой спецификации PCI express (зарезервировано для M-PCIe); – [15] – Предполагается EI в то время как LTSSM в Loopback.Active как слэйв, пятая строка таблицы 4-11 базовой спецификации PCI express (зарезервировано для M-PCIe)
8	radm_qoverflow	Импульс высокого уровня указывает, что одна или более из очередей приема P/NP/CPL имеет переполнение. Это однобитная индикация для каждого сконфигурированного виртуального канала. Вы можете использовать этот бит для механизма отчета о внутренней ошибке

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
7	radm_q_not_empty	Высокий уровень указывает на наличие в очередях приема заголовка/данных TLP. Это один бит для каждого виртуального канала
6	radm_xfer_pending	Статус ожидания запроса приема. Указывает, что TLP запросы приема в состоянии ожидании, т.е. запросы передаются в RTRGT1 или RTRGT0 интерфейсы и ожидается ответ от приложения. Предназначен для отладочных целей
5	brdg_dbi_ xfer_pending	Статус ожидания трансфера AXI слэйв DBI. Указывает, что трансферы чтения или записи AXI DBI слэйв в состоянии ожидания, то есть, трансферы AXI слэйв ожидают ответа от контроллера. Предназначен для отладочных целей
4	brdg_slv_ xfer_pending	Статус ожидания трансфера AXI слэйв не DBI. Указывает, что трансферы чтения или записи AXI слэйв не DBI в состоянии ожидания, т.е. трансферы AXI слэйв ожидают ответа от контроллера. Предназначен для отладочных целей
3	rdlh_link_up	Индикатор линка уровня транзакций установлен/ не установлен. Это статус от автомата состояний управления потоком данных который показывает, что инициировано управление потоком данных и уровень транзакций готов принимать и передавать пакеты. Для конфигурации с множественными виртульными каналами, этот бит указывает статус только виртуального канала 0. 1 – линк установлен; 0 – линк не установлен
2	ven_msg_grant	Импульс высокого уровня длительностью один период который показывает, что контроллер принял запрос отправить сообщение, определенное вендором
1	ven_msi_grant	Импульс высокого уровня длительностью один период который показывает, что контроллер принял запрос отправить сообщение MSI. После установки ven_msi_grant на один цикл контроллер не ждет сброса, а затем повторной установки ven_msi_req, чтобы сгенерировать другое MSI. Когда ven_msi_req остается установленным после того, как контроллер установил ven_msi_grant на один цикл, контроллер генерирует другое MSI
0	cfg_msi_en	Указывает, что MSI разрешен (INTx сообщения не посылаются), один бит для каждой функции

Таблица 66 – Описание бит регистра STATUS2

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31 – 0	cxpl_debug_ info[31:0]	– [31:28]: rmlh_ts_link_ctrl – Биты управления линка, заявленные абонентом по соединению (Зарезервировано для M-PCIe); – [27]: rmlh_ts_lane_num_is_k237 – Текущий полученный k237 (PAD) в номере лэйна (зарезервировано для M-PCIe); – [26]: rmlh_ts_link_num_is_k237 – Текущий полученный k237 (PAD) в номере линка (Зарезервировано для M-PCIe); – [25]: rmlh_rcvd_idle[0] – Приемник получает логическую приостановку; – [24]: rmlh_rcvd_idle[1] – 2n символ также приостановлен (только для 16 битного интерфейса PHY); – [23:8]: mac_phy_txdata – данные передачи PIPE (RMMI для M-PCIe); – [7:6]: mac_phy_txdatak – индикация К передачи PIPE (RMMI для M-PCIe); – [5:0]: smlh_ltssm_state – Текущее состояние LTSSM

Таблица 67 – Описание бит регистра STATUS3

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31 – 0	cxpl_debug_ info[63:32]	Состояние внутренних сигналов, только для отладочных целей: – [63]: smlh_scrambler_disable – скремблирование отключено для линка; – [62]: smlh_link_disable – LTSSM в отключенном состоянии. Линк отсутствует; – [61]: smlh_link_in_training – LTSSM осуществляет тренировку линка; – [60]: smlh_ltssm_in_pollconfig – LTSSM в состоянии Polling.Configuration; – [59]: smlh_training_rst_n – LTSSM установлен сброс линка; – [58:55]: 0000b – Зарезервировано; – [54]: mac_phy_txdetectrx_loopback – запрос детектирования/кольцевой проверки PIPE приемника (зарезервировано для M-PCIe); – [53]: mac_phy_txelecidle[0] – запрос электрической приостановки PIPE передатчика; – (RMMI TX_Burst[0] (TX_Burst указывает на BURST) для M-PCIe); – [52]: mac_phy_txcompliance[0] – запрос совместимости PIPE передатчика. – (RX Electrical Idle на внутренний PIPE I/F (от Rpa к модулю Smlh) для M-PCIe)

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
		– [51]: app_init_rst – приложение запрашивает инициировать сброс тренировки; – [50:48]: 000b – зарезервировано; – [47:40]: rmlh_ts_link_num – номер линка заявленного/подтвержденного абонентом по соединению (зарезервировано для M-PCIe); – [39:38]: 00b – зарезервировано; – [37]: xmtbyte_skip_sent – пропуск переданной упорядоченной группы; – [36]: smlh_link_up – LTSSM оповещает, что PHY установил линк или LTSSM в Loopback.Active для мастера кольцевой проверки; – [35]: rmlh_inskip_rcv – приемник оповещает об пропуске приема (Зарезервировано для M-PCIe); – [34]: rmlh_ts1_rcvd – получена тренировочная последовательность TS1 (импульс) (зарезервировано для M-PCIe); – [33]: rmlh_ts2_rcvd – получена тренировочная последовательность TS2 (импульс) (зарезервировано для M-PCIe); – [32]: rmlh_rcvd_lane_rev – приемник детектировал реверс лэйнов (Зарезервировано для M-PCIe)

Таблица 68 – Описание бит регистра STATUS4

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31 – 0	radm_msg_ payload[31:0]	Информация о заголовке полученного сообщения. Когда получено сообщение, определенное вендором (radm_vendor_msg = 1), контроллер маппирует radm_msg_payload в Rx TLP заголовок двойных слов как указано ниже: Когда RX_TLP = 1: – [31:0] = байты 12-15 (4-е двойное слово), где [7:0] = байт 15; – [63:32] = байты 8-11 (3-е двойное слово). Когда RX_TLP >1 и radm_vendor_msg[1:0] ={01‖10}: [31:0] = байты 12-15 (4-е двойное слово) первого сообщения, где [7:0] = байт 15 [63:32] = байты 8-11 (3-е двойное слово); [127:96] = 'X'. Когда RX_TLP >1 и radm_vendor_msg[1:0] = 11: – [31:0] = байты 12-15 (4-е двойное слово) второго сообщения, где [7:0] = байт 15;

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
		– [63:32] = байты 8-11 (3-е двойное слово); – [95:64] = байты 12-15 (4-е двойное слово) первого сообщения, где [7:0] = байт 15; – [127:96] = байты 8-11 (3-е двойное слово). Когда получен любой другой тип сообщения, контроллер маппирует radm_msg_payload в Rx TLP заголовок двойных слов как показано ниже: Когда RX_TLP = 1: – [31:0] = DW данные сообщения; – [63:32] = '0'. – Когда RX_TLP >1 and radm_vendor_msg[1:0] ={01||10}: – [31:0] = DW данные второго сообщения; – [63:32] = '0'; – [127:96] = 'X'. Когда RX_TLP >1 и radm_vendor_msg[1:0] = 11: – [31:0] = DW данные второго сообщения; – [63:32] = '0'; – [95:64] = DW данные первого сообщения; – [127:96] = '0'

Таблица 69 – Описание бит регистра STATUS5

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31 – 0	radm_msg_payload[63:32]	-

Таблица 70 – Описание бит регистра STATUS6

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31	-	Зарезервировано
30 – 23	trgt_lookup_id	ID для поиска назначения completion в LUT для входящего запроса TLP. Когда используется опциональное свойство, таблица поиска назначения completion, приложение должно сохранить ID для поиска и установить подобный ID client 0/1/2_cpl_lookup_id, когда генерируется completion для запроса

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
22	link_req_rst_not	Запрос на сброс по причине сброса линка или при получении контроллером запроса на “горячий” сброс. Низкий уровень показывает, что контроллер запрашивает внешнюю логику сбросить контроллер, потому что PHY-линк не установлен. Когда используется AXI-мост, запрос сброса линка задерживается до тех пор, пока все незаконченные AXI-транзакции не будут завершены. Активный уровень низкий
21	smlh_req_rst_not	Более ранняя версия сигнала link_req_rst_not signal. Активный уровень низкий
20	smlh_link_up	Индикатор наличия/отсутствия PHY линка: 1 – линк установлен; 0 – линк не установлен
19	cfg_send_f_err	Передача фатальной ошибки. Ядро посылает сообщение в Root Complex, указывая что Rx TLP содержит фатальную ошибку, которую получил EndPoint, и что она не может быть скорректирована. Активный уровень высокий
18	cfg_send_nf_err	Передача не фатальной ошибки. Ядро посылает сообщение в Root Complex, указывая что Rx TLP содержит не фатальную ошибку, которую получил EndPoint, и что она не может быть скорректирована. Активный уровень высокий
17	cfg_send_cor_err	Передача корректируемой ошибки. Ядро посылает сообщение в Root Complex, указывая что Rx TLP содержит корректируемую ошибку, которую получил EndPoint, и что она может быть скорректирована. Активный уровень высокий
16 – 1	radm_msg_req_id	ID абонента в принятом сообщении. [15:8] – номер шины; [7:3] – номер устройства; [2:0] – номер функции
0	radm_vendor_msg	Имульс высокго уровня длительностью один цикл, указывающий, что контроллер получил сообщение, определенное вендором. Контроллер делает доступным заголовок сообщения на radm_msg_payload

Таблица 71 – Описание бит регистра STATUS7

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31 – 30		Зарезервировано
29	trgt_lookup_empty	Когда бит установлен, это указывает на то, что LUT назначения completion не полная. Приложение может использовать этот бит для определения механизма

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
		воздействия на контроллер, чтобы не возникали условия переполнения, когда число ожидающих выполнения полученных незадержанных транзакций превышает ожидаемое. Активный уровень высокий
28 – 21	trgt_timeout_lookup_id	ID для поиска назначения completion в LUT просроченного completion
20 – 9	trgt_timeout_cpl_len	Длина просроченного completion
8 – 7	trgt_timeout_cpl_attr	Значения атрибутов просроченного completion
6 – 4	trgt_timeout_cpl_tc	TC просроченного completion
3 – 1	trgt_timeout_cpl_func_num	Номер функции просроченного completion. Нумерация функций начинается с нуля
0	trgt_cpl_timeout	Импульс высокого уровня показывает, что приложение не сгенерировало completion для входящего запроса в пределах требуемого интервала времени. Информация о просроченном completion доступна в остальных битах регистра. Когда происходит таймаут completion, контроллер не очищает соответствующую запись из таблицы поиска completion. Значение таймаута completion приблизительно 10 мс

Таблица 72 – Описание бит регистра STATUS8

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31 – 29		Зарезервировано
28 – 21	radm_timeout_cpl_tag	Поле тега, просроченного completion
20 – 9	radm_timeout_cpl_len	Длина (в байтах) просроченного completion. Для разделенных completion эти биты указывают число байт, которые осталось доставить, в момент возникновения таймаут completion
8 – 7	radm_timeout_cpl_attr	Поле атрибутов просроченного completion
6 – 4	radm_timeout_cpl_tc	Класс трафика, просроченного completion
3 – 1	radm_timeout_func_num	Номер функции просроченного completion. Функции нумеруются, начиная с нуля
0	radm_cpl_timeout	Высокий уровень указывает, что TLP completion не было принято в пределах ожидаемого временного окна

Таблица 73 – Описание бит регистра STATUS9

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31 – 0	cfg_bar0_start[31:0]	Стартовый адрес BAR 0 (память BAR). Младшие 32 бита

Таблица 74 – Описание бит регистра STATUS10

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31 – 0	cfg_bar0_start[63:32]	Стартовый адрес BAR 0 (память BAR). Старшие 32 бита

Таблица 75 – Описание бит регистра STATUS11

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31 – 0	cfg_bar0_limit[31:0]	Конечный адрес BAR 0 (память BAR). Младшие 32 бита

Таблица 76 – Описание бит регистра STATUS12

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31 – 0	cfg_bar0_limit[63:32]	Конечный адрес BAR 0 (память BAR). Старшие 32 бита

Таблица 77 – Описание бит регистра STATUS13

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31 – 0	cfg_bar1_start	Стартовый адрес BAR 1 (память BAR)

Таблица 78 – Описание бит регистра STATUS14

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31 – 0	cfg_bar1_limit	Конечный адрес BAR 1 (память BAR)

Таблица 79 – Описание бит регистра STATUS15

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31 – 0	cfg_bar2_start[31:0]	Стартовый адрес BAR 2 (память BAR).Младшие 32 бита

Таблица 80 – Описание бит регистра STATUS16

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31 – 0	cfg_bar2_start[63:32]	Стартовый адрес BAR 2 (память BAR). Старшие 32 бита

Таблица 81 – Описание бит регистра STATUS17

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31 – 0	cfg_bar2_limit[31:0]	Конечный адрес BAR 2 (память BAR). Младшие 32 бита

Таблица 82 – Описание бит регистра STATUS18

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31 – 0	cfg_bar2_limit[63:32]	Конечный адрес BAR 2 (память BAR). Старшие 32 бита

Таблица 83 – Описание бит регистра STATUS19

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31 – 0	cfg_bar3_start	Стартовый адрес BAR 3 (память BAR)

Таблица 84 – Описание бит регистра STATUS20

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31 – 0	cfg_bar3_limit	Конечный адрес BAR 3 (память BAR)

Таблица 85 – Описание бит регистра STATUS21

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31 – 0	cfg_bar4_start[31:0]	Стартовый адрес BAR 4 (память BAR). Младшие 32 разряда

Таблица 86 – Описание бит регистра STATUS22

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31 – 0	cfg_bar4_start[63:32]	Стартовый адрес BAR 4 (память BAR). Старшие 32 разряда

Таблица 87 – Описание бит регистра STATUS23

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31 – 0	cfg_bar4_limit[31:0]	Конечный адрес BAR 4 (память BAR). Младшие 32 бита

Таблица 88 – Описание бит регистра STATUS24

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31 – 0	cfg_bar4_limit[63:32]	Конечный адрес BAR 4 (память BAR). Старшие 32 бита

Таблица 89 – Описание бит регистра STATUS25

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31 – 0	cfg_bar5_start	Стартовый адрес BAR 5 (память BAR)

Таблица 90 – Описание бит регистра STATUS26

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31 – 0	cfg_bar5_limit	Конечный адрес BAR 5 (память BAR)

Таблица 91 – Описание бит регистра STATUS27

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31 – 0	cfg_exp_rom_start	Стартовый адрес ПЗУ расширения

Таблица 92 – Описание бит регистра STATUS28

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31 – 0	cfg_exp_rom_limit	Конечный адрес ПЗУ расширения

Таблица 93 – Описание бит регистра STATUS29

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31 – 24		Зарезервировано
23	cfg_relax_order_en	Содержимое поля PCIE_CAP_EN_REL_ORDER регистра DEVICE_CONTROL_DEVICE_STATUS
22	cfg_no_snoop_en	Содержимое поля PCIE_CAP_EN_NO_SNOOP регистра DEVICE_CONTROL_DEVICE_STATUS
21 – 17	cfg_pbus_dev_num	Номер устройства, присвоенный функции
16 – 9	cfg_pbus_num	Основной номер шины, присвоенный функции
8	cfg_rcb	Значение бита RCB в регистре управления линком
7 – 5	cfg_max_payload_size	Значение поля Max_Payload_Size в регистре управления устройством
4 – 2	cfg_max_rd_req_size	Значение поля Max_Read_Request_Size field в регистре управления устройством
1	cfg_mem_space_en	Состояние бита разрешения пространства памяти в PCI, совместимом регистре управления
0	cfg_bus_master_en	Состояние бита разрешения шины мастера в PCI, совместимом регистре управления

Таблица 94 – Описание бит регистра STATUS30

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31 – 26		Зарезервировано
25	pm_xtlh_block_tlp	Показывает, что приложение должно остановить генерацию новых исходящих запросов TLP согласно текущему состоянию управления питанием. Приложение может продолжить генерировать TLP completion
24	radm_msg_unlock	Импульс высокого уровня длительностью один такт который показывает, что контроллер получил сообщение разблокировки. Когда RX_TLP> 1 и, когда получены два сообщения одного типа в одном цикле тактовой частоты (back-to-back), не будет отдельной индикации для второго сообщения
23	radm_pm_turnoff	Импульс высокого уровня длительностью один такт, который показывает, что контроллер получил сообщение PME Turnoff. Когда RX_TLP> 1 и, когда получены два сообщения одного типа в одном цикле тактовой частоты (back-to-back), не будет отдельной индикации для второго сообщения
22	cfg_int_disable	При высоком уровне способность функции генерировать сообщения INTx отключена
21	cfg_hw_auto_sp_dis	Автономное отключение скорости. Используется только в downstream портах. Активный уровень единица
20	aux_pm_en	Состояние бита разрешения вспомогательного питания в регистре управления устройством
19	pm_status	Бит статуса PME из PMCSR
18	pm_linkst_l2_exit	Автомат управление питанием выходит из состояния L2
17	pm_linkst_in_l2	Автомат управление питанием в состоянии L2
16	pm_linkst_in_l1	Автомат управление питанием в состоянии L1
15	pm_linkst_in_l0s	Автомат управления питанием в состоянии L0. Указывает на состояние L0_STALL в случае M-PCIe
14	pm_pme_en	Состояние бита разрешения PME в PMCSR
13 – 11	pm_dstate	Текущее D-состояние атомата управления питанием функции: 000b – D0; 001b – D1; 010b – D2; 011b – D3; 100b – неинициализированное; другое значение – не используется
10	clk_req_n	Запрос отключения тактовой частоты. Позволяет модулю генерации тактовой частоты приложения отключить чатоту ядра контроллреа принимая во внимание текущее состояние автомата управления питанием: 1 – текущее состояние позволяет отключить частоту; 0 – частота должна быть активна в текущем состоянии питания.

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
		Этот бит отражает состояние 'Enable Clock Power Management' бита, запрограммированного в регистре управления линком (в стурктуре возможностей PCIe). Когда контроллер входит в L1, этот бит будет в единице, если 'Enable Clock Power Management' бит установлен в регистре контроля линка
9	wake	Пробуждение. Пробуждение от модуля управления питанием. Контроллер генерирует запрос пробуждения системе восстановить питание и тактовую частоту, когда детектировано событие пробуждения такое как apps_pm_xmt_pme, apps_pm_vf_xmt_pme или outband_pwrup_cmd. Активный уровень логическая единица. Wake может быть установлен на один или несколько тактов
8 – 3	smlh_ltssm_state	Текущее состояние LTSSM. Декодируется как представлено ниже: 6'h00 – S_DETECT_QUIET 6'h01 – S_DETECT_ACT 6'h02 – S_POLL_ACTIVE 6'h03 – S_POLL_COMPLIANCE 6'h04 – S_POLL_CONFIG 6'h05 – S_PRE_DETECT_QUIET 6'h06 – S_DETECT_WAIT 6'h07 – S_CFG_LINKWD_START 6'h08 – S_CFG_LINKWD_ACEPT 6'h09 – S_CFG_LANENUM_WAI 6'h0A – S_CFG_LANENUM_ACEPT 6'h0B – S_CFG_COMPLETE 6'h0C – S_CFG_IDLE 6'h0D – S_RCVRY_LOCK 6'h0E – S_RCVRY_SPEED 6'h0F – S_RCVRY_RCVRCFG 6'h10 – S_RCVRY_IDLE 6'h11 – S_L0 6'h12 – S_L0S 6'h13 – S_L123_SEND_EIDLE 6'h14 – S_L1_IDLE 6'h15 – S_L2_IDLE 6'h16 – S_L2_WAKE 6'h17 – S_DISABLED_ENTRY 6'h18 – S_DISABLED_IDLE 6'h19 – S_DISABLED 6'h1A – S_LPBK_ENTRY 6'h1B – S_LPBK_ACTIVE 6'h1C – S_LPBK_EXIT 6'h1D – S_LPBK_EXIT_TIMEOUT 6'h1E – S_HOT_RESET_ENTRY 6'h1F – S_HOT_RESET

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
		6'h20 – S_RCVRY_EQ0 6'h21 – S_RCVRY_EQ1 6'h22 – S_RCVRY_EQ2 6'h23 – S_RCVRY_EQ3
2 – 0	pm_curnt_state	Текущее состояние питания. Бит предназначен только для отладочных целей, а не для системных операций

11.8 Режим работы MODE=2

Таблица 95 – Описание бит регистра STATUS1

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31 – 0	dfd_hgpi1_dbug_reg	-

Таблица 96 – Описание бит регистра STATUS2

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31 – 0	dfd_hif1_dbug_reg	-

Таблица 97 – Описание бит регистра STATUS3

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31 – 0	dfd_class_hw_dbug_reg	-

Таблица 98 – Описание бит регистра STATUS4

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31 – 0	dfd_tlite_dbug_reg	-

Таблица 99 – Описание бит регистра STATUS5

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31 – 0	dfd_bmu_dbug_reg	-

Таблица 100 – Описание бит регистра STATUS6

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31 – 0	dfd_emac_dbug_reg	-

Таблица 101 – Описание бит регистра STATUS7-STATUS14

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
255 – 0	dfd_etgpix_dbug_reg	-

Таблица 102 – Описание бит регистра STATUS15-STATUS30

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
511 – 0	dfd_egpix_dbug_reg	-

11.9 Режим работы MODE=0 или MODE=2

Таблица 103 – Описание бит регистра STATUS31

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31 – 28	tx3_cm_state	Для PHY4, PHY8, PHY12, PHY16
27 – 24	tx2_cm_state	Для PHY3, PHY7, PHY11, PHY15
23 – 20	tx1_cm_state	Для PHY2, PHY6, PHY10, PHY14
19 – 16	tx0_cm_state	Статус управления Common Mode передатчика. Когда этот бит установлен, дифференциальная пара передатчика удерживается в середине от vptxN во время электрической приостановки. Другими словами, слабое удержание на землю через высокоимпедансное соединение. Активный уровень единица. Для PHY1, PHY5, PHY9, PHY13
15 – 12	rx3_pll_state	Для PHY4, PHY8, PHY12, PHY16
11 – 8	rx2_pll_state	Для PHY3, PHY7, PHY11, PHY15
7 – 4	rx1_pll_state	Для PHY2, PHY6, PHY10, PHY14
3 – 0	rx0_pll_state	Указывает текущее состояние DPLL приема. Показывает текущее состояние DPLL приема и частоты. Когда очищен, rxN_clk может быть отключена или запущена на необходимой скорости. Для PHY1, PHY5, PHY9, PHY13

Таблица 104 – Описание бит регистра STATUS32

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31 – 20	-	Зарезервировано
19	mpll_state[3]	Для PHY13-PHY16
18	mpll_state[2]	Для PHY9-PHY12
17	mpll_state[1]	Для PHY5-PHY8
16	mpll_state[0]	Статус готовности PHY PLL.

		Сигнализирует, когда PHY MPLL стабильна, в рабочем состоянии. Для PHY1-PHY4
15 – 12	tx3_state	Для PHY4, PHY8, PHY12, PHY16
11 – 8	tx2_state	Для PHY3, PHY7, PHY11, PHY15
7 – 4	tx1_state	Для PHY2, PHY6, PHY10, PHY14
3 – 0	tx0_state	Статус тактирования передатчика и сэмплирования данных. Сигнализирует, когда передатчик готов корректно сэмплировать входные данные для передачи. Для PHY1, PHY5, PHY9, PHY13

Таблица 105 – Описание бит регистра STATUS33

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31 – 28	tx3_detect_rx_result	Результат детектирования приема. Сигнализирует о наличии приема, когда установлен tx3_dectectrx_ack. Активный уровень единица. Для PHY4, PHY8, PHY12, PHY16
27 – 24	tx3_detect_rx_ack	Подтверждение детекции приема. Сигнализирует, что PHY завершил детекцию запроса приема. Примечание – Очищается, когда сбрасывается tx3_detectrx_req. Для PHY4, PHY8, PHY12, PHY16
23 – 20	tx2_detect_rx_result	Результат детектирования приема. Сигнализирует о наличии приема, когда установлен tx2_dectectrx_ack. Активный уровень единица. Для PHY3, PHY7, PHY11, PHY15
19 – 16	tx2_detect_rx_ack	Подтверждение детекции приема. Сигнализирует, что PHY завершил детекцию запроса приема. Примечание – Очищается, когда сбрасывается tx2_detectrx_req. Для PHY3, PHY7, PHY11, PHY15
15 – 12	tx1_detect_rx_result	Результат детектирования приема. Сигнализирует о наличии приема, когда установлен tx1_dectectrx_ack. Активный уровень единица. Для PHY2, PHY6, PHY10, PHY14
11 – 8	tx1_detect_rx_ack	Подтверждение детекции приема. Сигнализирует, что PHY завершил детекцию запроса приема. Примечание – Очищается, когда сбрасывается tx1_detectrx_req. Для PHY2, PHY6, PHY10, PHY14

Номер бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
7 – 4	tx0_detect_rx_result	Результат детектирования приема. Сигнализирует о наличии приема, когда установлен tx0_dectectrx_ack. Активный уровень единица. Для PHY1, PHY5, PHY9, PHY13
3 – 0	tx0_detect_rx_ack	Подтверждение детекции приема. Сигнализирует, что PHY завершил детекцию запроса приема. Примечание – Очищается, когда сбрасывается tx0_detectrx_req. Для PHY1, PHY5, PHY9, PHY13

11.10 Доступ на шину AXI в режиме MODE=0

При доступе на шину AXI в режиме MODE = 0 осуществляется доступ к регистрам конфигурации и логики порта PCI express контроллера. Эта область доступа называется CDM и состоит из 4096 байт. Адрес доступа к этой области формируется по правилам, приведенным в таблице 106.

Таблица 106 – Формирование адреса доступа к области CDM

Тип доступа	31-22	21	20	19	18-16	15-12	11-2	1	0
CDM	не исполь-зуется	0	CS2	номер функции		зарезерви-ровано	1K-dword адрес регистра	0	0
iATU	не исполь-зуется	1	1	0	адрес iATU			0	0

Модуль iATU предназначен для трансляции адресов из адресного пространства PCI express в необходимое адресное пространство. Адрес iATU формируется по правилам, описанным в таблице 107.

Таблица 107 – Формирование адреса iATU

Тип доступа	18-17	16-9	8	7-2
iATU	зарезервировано	номер выбираемого региона	0: Outbound регион 1: Inbound регион	адрес регистра

Бит CS2 выбирает тип регистров, к которым будет осуществлен доступ. Правила формирования этого бита приведены в таблице 108.

Таблица 108 – Формирование бита CS2

Расположение регистра	CDM			
Тип регистра	PSI_SIG		Логика порта	
	нормальныйl	теневой	Misc	iATU

CS2	0	1	0	1

Общий вид конфигурационного пространства PCI Express контроллера представлен на рисунке 42.

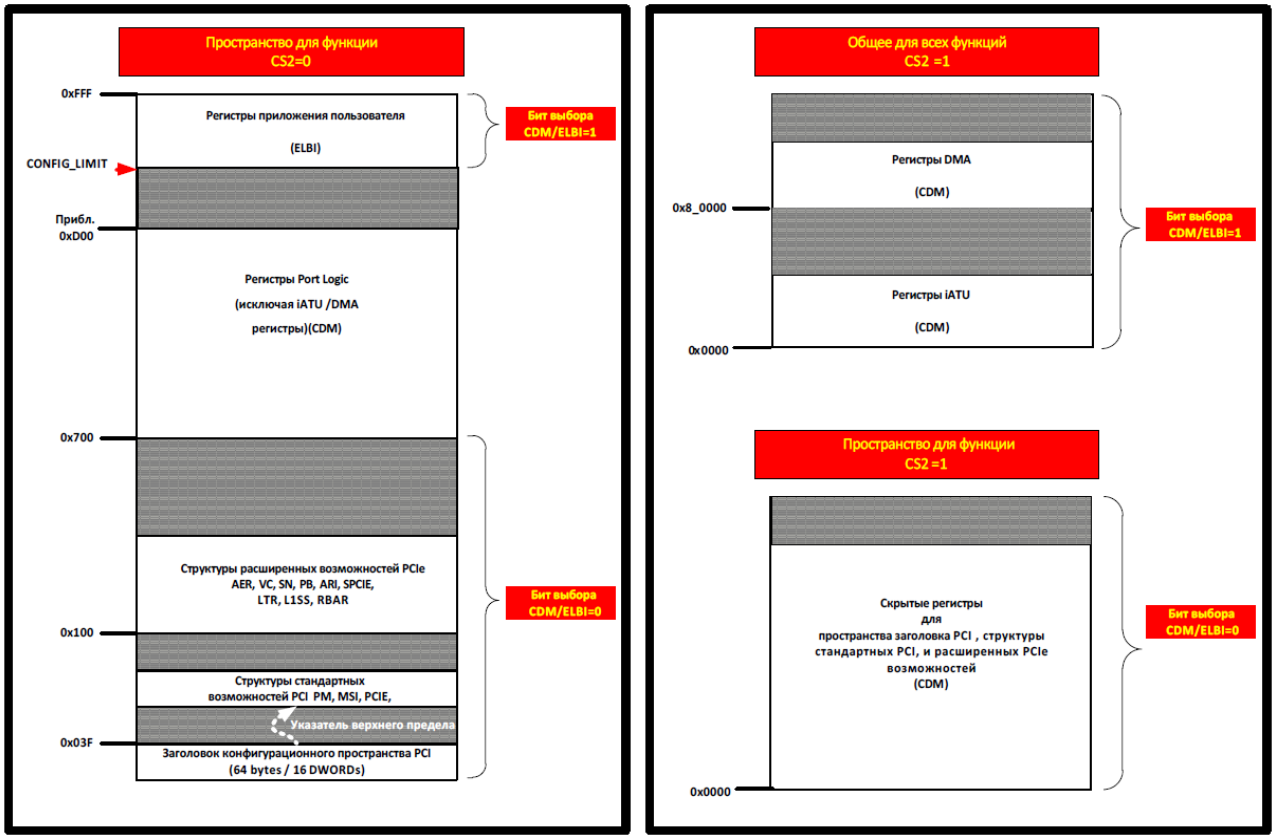


Рисунок 42 – Конфигурационное пространство PCI Express

Реализованы не все структуры и области из конфигурационного пространства. В таблице 109 приведены блоки, которые реализованы.

Таблица 109 – Реализованные блоки конфигурационного пространства

Адрес модуля	Описание
PF0_TYPE0_HDR (0x000)	PCI-совместимое конфигурационное пространство заголовка типа 0
PF0_PM_CAP (0x040)	Структуры возможностей PCI управления питанием
PF0_MSI_CAP (0x050)	Структуры MSI возможностей
PF0_PCIE_CAP(0x070)	Структуры возможностей PCI Express
PF0_AER_CAP (0x100)	Структуры расширенных возможностей отчета об ошибках
PF0_PORT_LOGIC (0x700)	Логика порта
PF0_ATU_CAP (0x300000)	Структуры модуля трансляции адреса

Каждый из блоков состоит из набора регистров. Ниже кратко перечислены все регистры в блоках.

Таблица 110 – Регистры блоков конфигурационного пространства

Обозначение регистра	Смещение	Описание
Блок PF0_TYPE0_HDR		
DEVICE_ID_VENDOR_ID_REG	0x0	Регистр ID устройства и производителя
STATUS_COMMAND_REG	0x4	Регистр управления и статуса
CLASS_CODE_REVISION_ID	0x8	Регистр кода класса и ревизии ID
BIST_HEADER_TYPE_LATENCY_CACHE_ LINE_SIZE_REG	0xC	Регистр бист, типа заголовка, размера строки кэша, таймера латентности
BAR0_REG	0x10	BAR0 и маска BAR
BAR2_REG	0x18	BAR2 и маска BAR
BAR4_REG	0x20	BAR4 и маска BAR
CARDBUS_CIS_PTR_REG	0x28	Регистр указателя CardBus CIS
SUBSYSTEM_ID_SUBSYSTEM_VENDOR_ ID_REG	0x2C	Регистр ID подсистемы и ID производителя подсистемы
EXP_ROM_BAR_MASK_REG	0x30	Регистр BAR ПЗУ расширения и маски
PCI_CAP_PTR_REG	0x34	Регистр указателя возможностей
MAX_LATENCY_MIN_GRANT_INTERRUPT_ PIN_INTERRUPT_LINE_REG	0x3C	Регистр линии и вывода прерывания
Блок PF0_PM_CAP		
CAP_ID_NXT_PTR_REG	0x40	Регистр возможностей управления питанием
CON_STATUS_REG	0x44	Регистр контроля и статуса управления питанием
Блок PF0_MSI_CAP		
PCI_MSI_CAP_ID_NEXT_CTRL_REG	0x50	Регистр ID возможностей MSI, указателя на следующую структуру, возможностей/контроля
MSI_CAP_OFF_04H_REG	0x54	Регистр младшего адреса сообщения MSI
MSI_CAP_OFF_08H_REG	0x58	Для 32-битных MSI сообщений, этот регистр содержит данные. Для 64-битных содержит старший адрес
MSI_CAP_OFF_0CH_REG	0x5C	Для 64-битных MSI сообщений, этот регистр содержит данные. Для 32-битных, содержит биты маски
Блок PF0_PCIE_CAP		
PCIE_CAP_ID_PCIE_NEXT_CAP_PTR_PCIE_CA P_REG	0x70	Регистр возможностей PCI Express, ID, указатель на следующую структуру
DEVICE_CAPABILITIES_REG	0x74	Регистр возможностей устройства

Обозначение регистра	Смещение	Описание
DEVICE_CONTROL_DEVICE_STATUS	0x78	Регистр управления и статуса устройства
LINK_CAPABILITIES_REG	0x7C	Регистр возможностей линка
LINK_CONTROL_LINK_STATUS_REG	0x80	Регистр управления и статуса линка
DEVICE_CAPABILITIES2_REG	0x94	Регистр 2 возможностей устройства
DEVICE_CONTROL2_DEVICE_STATUS2_REG	0x98	Регистр 2 управления и статуса устройства
LINK_CAPABILITIES2_REG	0x9C	Регистр 2 возможностей линка
LINK_CONTROL2_LINK_STATUS2_REG	0xA0	Регистр 2 управления и статуса линка
Блок PF0_AER_CAP		
AER_EXT_CAP_HDR_OFF	0x100	Заголовок расширенных возможностей по формированию рапорта об ошибках
UNCORR_ERR_STATUS_OFF	0x104	Регистр статуса некорректируемых ошибок
UNCORR_ERR_MASK_OFF	0x108	Регистр маски некорректируемых ошибок
UNCORR_ERR_SEV_OFF	0x10C	Регистр степени серьезности некорректируемых ошибок
CORR_ERR_STATUS_OFF	0x110	Регистр статуса корректируемых ошибок
CORR_ERR_MASK_OFF	0x114	Регистр маски корректируемых ошибок
ADV_ERR_CAP_CTRL_OFF	0x118	Регистр расширенных возможностей и контроля ошибок
HDR_LOG_0_OFF	0x11C	Регистр заголовка лога 0
HDR_LOG_1_OFF	0x120	Регистр заголовка лога 1
HDR_LOG_2_OFF	0x124	Регистр заголовка лога 2
HDR_LOG_3_OFF	0x128	Регистр заголовка лога 3
TLP_PREFIX_LOG_1_OFF	0x138	Регистр TLP префикса лога 1
TLP_PREFIX_LOG_2_OFF	0x13C	Регистр TLP префикса лога 2
TLP_PREFIX_LOG_3_OFF	0x140	Регистр TLP префикса лога 3
TLP_PREFIX_LOG_4_OFF	0x144	Регистр TLP префикса лога 4
Блок PF0_PORT_LOGIC		
ACK_LATENCY_TIMER_OFF	0x700	Регистр латентности таймера подтверждения и таймера повтора
VENDOR_SPEC_DLLP_OFF	0x704	Регистр специфичного DLLP вендора
PORT_FORCE_OFF	0x708	Регистр принудительного линка порта

Обозначение регистра	Смещение	Описание
ACK_F_ASPM_CTRL_OFF	0x70c	Регистр частоты подтверждения и управления L0-L1 ASPM
PORT_LINK_CTRL_OFF	0x710	Регистр управления линком порта
LANE_SKEW_OFF	0x714	Регистр разбежки лэйнов
TIMER_CTRL_MAX_FUNC_NUM_OFF	0x718	Регистр контроля таймера и количества максимальных функций
SYMBOL_TIMER_FILTER_1_OFF	0x71c	Регистр таймера символа и регистр 1 маски фильтра. Регистр 1 маски фильтра модифицирует RADM фильтрацию
FILTER_MASK_2_OFF	0x720	Регистр 2 маски фильтра. Этот регитср модифицирует RADM фильтрацию и правила обработки ошибок
AMBA_MUL_OB_DECOMP_NP_SUB_REQ_ CTRL_ OFF	0x724	Регистр управления многочисленными выходными, разделенными NP подзапросами шины AMBA
PL_DEBUG0_OFF	0x728	Регистр отладки 0
PL_DEBUG1_OFF	0x72c	Регистр отладки 1
TX_P_FC_CREDIT_STATUS_OFF	0x730	Статус FC кредитов отложенных передач
TX_NP_FC_CREDIT_STATUS_OFF	0x734	Статус FC кредитов не отложенных передач
TX_CPL_FC_CREDIT_STATUS_OFF	0x738	Статус FC кредитов, передаваемых completion
QUEUE_STATUS_OFF	0x73c	Статус очереди
VC_TX_ARBI_1_OFF	0x740	Регистр 1 арбитража виртуального канала передачи
VC_TX_ARBI_2_OFF	0x744	Регистр 2 арбитража виртуального канала передачи
VC0_P_RX_Q_CTRL_OFF	0x748	Управление сегментированным буфером очереди отложенного приема виртуального канала 0
VC0_NP_RX_Q_CTRL_OFF	0x74c	Управление сегментированным буфером очереди не отложенного приема виртуального канала 0

Обозначение регистра	Смещение	Описание
VC0_CPL_RX_Q_CTRL_OFF	0x750	Управление сегментированным буфером очереди приема completion виртуального канала 0
Зарезервировано	0x754 до 0x80c	-
GEN2_CTRL_OFF	0x80c	Регистр управления шириной линка и изменением скорости
PHY_STATUS_OFF	0x810	Регистр статуса PHY
PHY_CONTROL_OFF	0x814	Регистр управления PHY
Зарезервировано	0x818 до 0x81c	-
TRGT_MAP_CTRL_OFF	0x81c	Регистр управления картой программирования заданий
Зарезервировано	0x820 до 0x88c	-
CLOCK_GATING_CTRL_OFF	0x88c	Регистр разрешения частоты RADM. Используя этот регистр можно отключить частоту RADM.
Зарезервировано	0x890 до 0x8b4	-
ORDER_RULE_CTRL_OFF	0x8b4	Регистр управления порядком правил
PIPE_LOOPBACK_CONTROL_OFF	0x8b8	Регистр управления обратной связью PIPE
MISC_CONTROL_1_OFF	0x8bc	Регистр разрешения DBI только для чтения или записи
MULTI_LANE_CONTROL_OFF	0x8c0	Регистр управления мультилэйнами. Используется для увеличения или уменьшения ширины линка.
PHY_INTEROP_CTRL_OFF	0x8c4	Регистр управления функциональной совместимостью PHY. Этот регистр зарезервирован для внутреннего применения.
TRGT_CPL_LUT_DELETE_ENTRY_OFF	0x8c8	Регистр управления удалением записи TRGT_CPL_LUT. Используя этот регистр можно удалить запись в таблице LUT.

Обозначение регистра	Смещение	Описание
LINK_FLUSH_CONTROL_OFF	0x8cc	Регистр управления очисткой запроса на сброс линка
AMBA_ERROR_RESPONSE_DEFAULT_OFF	0x8d0	Регистр ошибки ответа AXI слэйв моста
AMBA_LINK_TIMEOUT_OFF	0x8d4	Регистр таймаута потери линка AXI слэйв моста. В случае выдачи приложением исходящего запроса на AXI.
AMBA_ORDERING_CTRL_OFF	0x8d8	Контроль упорядочивания AMBA
Зарезервировано	0x8dc до 0x8e0	-
COHERENCY_CONTROL_1_OFF	0x8e0	Регистр управления 1 согласованностью кэша ACE
Зарезервировано	0x8e4 до 0x8e8	-
COHERENCY_CONTROL_3_OFF	0x8e8	Регистр управления 3 согласованностью кэша ACE
Зарезервировано	0x8ec до 0x8f0	-
AXI_MSTR_MSG_ADDR_LOW_OFF	0x8f0	Младшие 20 бит программируемого адреса AXI куда поступают сообщения из маппированной туда шины PCIe
AXI_MSTR_MSG_ADDR_HIGH_OFF	0x8f4	Старшие 32 бита программируемого адреса AXI куда поступают сообщения из маппированной туда шины PCIe
PCIE_VERSION_NUMBER_OFF	0x8f8	Номер версии релиза PCIe контроллера. Номер версии предоставляется в шестнадцатеричном формате.
PCIE_VERSION_TYPE_OFF	0x8fc	Тип версии релиза PCIe контроллера. Тип предоставляется в шестнадцатеричном формате.
Зарезервировано	0x900 до 0xb40	-
AUX_CLK_FREQ_OFF	0xb40	Регистр управления частотой вспомогательного синхросигнала
Блок PF0_ATU_CAP		

Обозначение регистра	Смещение	Описание
IATU_REGION_CTRL_1_OFF_OUTBOUND_0 IATU_REGION_CTRL_1_OFF_OUTBOUND_1	0x300000	Регистр управления 1 регионом iATU
IATU_REGION_CTRL_2_OFF_OUTBOUND_0 IATU_REGION_CTRL_2_OFF_OUTBOUND_1	0x300004	Регистр управления 2 регионом iATU
IATU_LWR_BASE_ADDR_OFF_OUTBOUND_0 IATU_LWR_BASE_ADDR_OFF_OUTBOUND_0	0x300008	Регистр младшей части базового адреса iATU
IATU_UPPER_BASE_ADDR_OFF_OUTBOUND_0 IATU_UPPER_BASE_ADDR_OFF_OUTBOUND_1	0x30000c	Регистр старшей части базового адреса iATU
IATU_LIMIT_ADDR_OFF_OUTBOUND_0 IATU_LIMIT_ADDR_OFF_OUTBOUND_1	0x300010	Регистр предельного адреса iATU
IATU_LWR_TARGET_ADDR_OFF_OUTBOUND_0 IATU_LWR_TARGET_ADDR_OFF_OUTBOUND_1	0x300014	Регистр младшей части целевого адреса iATU
IATU_UPPER_TARGET_ADDR_OFF_OUTBOUND_0 IATU_UPPER_TARGET_ADDR_OFF_OUTBOUND_1	0x300018	Регистр старшей части целевого адреса iATU
IATU_REGION_CTRL_1_OFF_INBOUND_0 IATU_REGION_CTRL_1_OFF_INBOUND_1	0x300100	Регистр управления 1 регионом iATU
IATU_REGION_CTRL_2_OFF_INBOUND_0 IATU_REGION_CTRL_2_OFF_INBOUND_1	0x300104	Регистр управления 2 регионом iATU
IATU_LWR_BASE_ADDR_OFF_INBOUND_0 IATU_LWR_BASE_ADDR_OFF_INBOUND_1	0x300108	Регистр младшей части базового адреса iATU
IATU_UPPER_BASE_ADDR_OFF_INBOUND_0 IATU_UPPER_BASE_ADDR_OFF_INBOUND_1	0x30010c	Регистр старшей части базового адреса iATU
IATU_LIMIT_ADDR_OFF_INBOUND_0 IATU_LIMIT_ADDR_OFF_INBOUND_1	0x300110	Регистр предельного адреса iATU
IATU_LWR_TARGET_ADDR_OFF_INBOUND_0 IATU_LWR_TARGET_ADDR_OFF_INBOUND_1	0x300114	Регистр младшей части целевого адреса iATU

11.10.1 Регистры блока PF0_TYPE0_HDR

11.10.1.1 *Регистр DEVICE_ID_VENDOR_ID_REG*

Описание: Регистры ID устройства и ID производителя;
Разрядность: 32 бит;
Смещение: 0x0.

31 – 16	15 – 0
PCI_TYPE0_DEVICE_ID	PCI_TYPE0_VENDOR_ID

Таблица 111 – Описание бит регистра DEVICE_ID_VENDOR_ID_REG

Биты	Название	Тип доступа	Описание
31 – 16	PCI_TYPE0_DEVICE_ID	Меняется	ID устройства. Идентификатор устройства, присвоенный вендором. Более подробное описание полей регистра приведено в спецификации *PCI Express*. Примечание – Атрибуты доступа этих полей приведены ниже: DBI – Если бит DBI_RO_WR_EN = 1, доступ R/W (sticky), в противном случае – доступ R (sticky) ***Значение после сброса:*** 0xabcd
15 – 0	PCI_TYPE0_VENDOR_ID	Меняется	ID производителя. Идентификатор производителя присвоенный PCI-SIG. Более подробное описание полей регистра приведено в спецификации *PCI Express*. Примечание – Атрибуты доступа этих полей приведены ниже: DBI – Если бит DBI_RO_WR_EN = 1, доступ R/W (sticky), в противном случае – доступ R (sticky) ***Значение после сброса:*** 0x16c3

11.10.1.2 Регистр STATUS_COMMAND_REG

Описание: Регистр управления и статуса;
Разрядность: 32 бит;
Смещение: 0x4.

31	30	29	28	27	26 – 25	24	23	22	21	20	19	18 – 17	16	15 – 11	10	9	8	7	6	5	4	3	2	1	0
DETECTED_PARITY_ERR	SIGNALED_SYS_ERR	RCVD_MASTER_ABORT	RCVD_TARGET_ABORT	SIGNALED_TARGET_ABORT	DEV_SEL_TIMING	MASTER_DPE	FAST_B2B_CAP	RSVDP_22	FAST_66MHZ_CAP	CAP_LIST	INT_STATUS	RSVDP_17	Rsvd	PCI_TYPE_RESERV	PCI_TYPE0_INT_EN	RSVDP_9	PCI_TYPE0_SERREN	PCI_TYPE_IDSEL_STEPPING	PCI_TYPE0_PARITY_ERR_EN	PCI_TYPE_VGA_PALETTE_SNOOP	PCI_TYPE_MWI_ENABLE	PCI_TYPE0_SPECIAL_CYCLE_OPER	PCI_TYPE0_BUS_MASTER_EN	PCI_TYPE0_MEM_SPACE_EN	PCI_TYPE0_IO_EN

Таблица 112 – Описание бит регистра STATUS_COMMAND_REG

Биты	Название	Тип доступа	Описание
31	DETECTED_PARITY_ERR	R/W	Признак получения функцией испорченного TLP. Более подробное описание полей регистра приведено в спецификации PCI Express. *Значение после сброса:* 0x0 *Контролепригодность*: неконтролируемый *Изменяется на лету*: Да
30	SIGNALED_SYS_ERR	R/W	Функция посылает сообщение о фатальной или нефатальной ошибке. Более подробное описание полей регистра приведено в спецификации PCI Express. *Значение после сброса:* 0x0 *Контролепригодность*: неконтролируемый *Изменяется на лету*: Да
29	RCVD_MASTER_ABORT	R/W	Получен статус неподдерживаемого запроса completion. Более подробное описание полей регистра приведено в спецификации PCI Express. *Значение после сброса:* 0x0 *Контролепригодность*: неконтролируемый *Изменяется на лету*: Да
28	RCVD_TARGET_ABORT	R/W	Получен статус прерывание Completer. Более подробное описание полей регистра приведено в спецификации PCI Express. *Значение после сброса:* 0x0 *Контролепригодность*: неконтролируемый *Изменяется на лету*: Да
27	SIGNALED_TARGET_ ABORT	R/W	Получен статус ошибка прерывания Completer. Более подробное описание полей регистра приведено в спецификации PCI Express. *Значение после сброса:* 0x0 *Контролепригодность*: неконтролируемый *Изменяется на лету*: Да
26 – 25	DEV_SEL_TIMING	R	Выбор синхронизации устройства. Более подробное описание полей регистра приведено в спецификации PCI Express. *Значение после сброса:* 0x0

Биты	Название	Тип доступа	Описание
24	MASTER_DPE	R/W	Управляет испорченным completion и запросом отчета об ошибке. Более подробное описание полей регистра приведено в спецификации PCI Express. *Значение после сброса:* 0x0 *Контролепригодность*: неконтролируемый *Изменяется на лету*: Да
23	FAST_B2B_CAP	R	Присутствует и разрешена возможность проведения быстрых back to back транзакций. Более подробное описание полей регистра приведено в спецификации PCI Express. *Значение после сброса:* 0x0
22	RSVDP_22	R	Зарезервировано для будущих применений. *Значение после сброса:* 0x0
21	FAST_66MHZ_CAP	R	Поддержка PCI 66 МГц. Более подробное описание полей регистра приведено в спецификации PCI Express. *Значение после сброса:* 0x0
20	CAP_LIST	R	Расширенные возможности. Более подробное описание полей регистра приведено в спецификации PCI Express. *Значение после сброса:* 0x1
19	INT_STATUS	R	Эмуляция отложенного прерывания. Более подробное описание полей регистра приведено в спецификации PCI Express. *Значение после сброса:* 0x0 *Контролепригодность*: неконтролируемый *Маска сброса*: 0x0 *Изменяется на лету*: Да
18 – 17	RSVDP_17	R	Зарезервировано для будущих применений. *Значение после сброса:* 0x0
16			Зарезервированное поле
15 – 11	PCI_TYPE_RESERV	R	Зарезервировано. Более подробное описание полей регистра приведено в спецификации PCI Express. *Значение после сброса:* 0x0
10	PCI_TYPE0_INT_EN	R/W	Управляет генерацией функцией прерывания. Более подробное описание полей регистра приведено в спецификации PCI Express. *Значение после сброса:* 0x0
9	RSVDP_9	R	Зарезервировано для будущих применений. *Значение после сброса:* 0x0

Биты	Название	Тип доступа	Описание
8	PCI_TYPE0_SERREN	R/W	Разрешение формирования отчета об ошибке. Более подробное описание полей регистра приведено в спецификации PCI Express. *Значение после сброса:* 0x0
7	PCI_TYPE_IDSEL_ STEPPING	R	Пошаговое выполнение IDSEL. Более подробное описание полей регистра приведено в спецификации PCI Express. *Значение после сброса:* 0x0
6	PCI_TYPE0_PARITY_ ERR_EN	R/W	Управляет регистрацией испорченных TLP. Более подробное описание полей регистра приведено в спецификации PCI Express. *Значение после сброса:* 0x0
5	PCI_TYPE_VGA_ PALETTE_SNOOP	R	Отслеживание VGA палитры. Более подробное описание полей регистра приведено в спецификации PCI Express. *Значение после сброса:* 0x0
4	PCI_TYPE_MWI_ENABLE	R	Недействительная запись в память. Более подробное описание полей регистра приведено в спецификации PCI Express. *Значение после сброса:* 0x0
3	PCI_TYPE0_SPECIAL_ CYCLE_OPERATION	R	Разрешение особого цикла. Более подробное описание полей регистра приведено в спецификации PCI Express. *Значение после сброса:* 0x0
2	PCI_TYPE0_BUS_ MASTER_EN	R/W	Разрешение мастера шины. Управляет выдачей Memory и I/O запросов. Более подробное описание полей регистра приведено в спецификации PCI Express. *Значение после сброса:* 0x0
1	PCI_TYPE0_MEM_ SPACE_EN	Меняется	Разрешает ответы на доступ в память. Более подробное описание полей регистра приведено в спецификации PCI Express. Вы не можете записывать в этот регистр если ваша конфигурация не имеет MEM BAR. Примечание – Атрибуты доступа этих полей приведены ниже: DBI: Если бит DBI_RO_WR_EN = 1, доступ R/W (sticky), в противном случае – доступ R (sticky) *Значение после сброса:* 0x0 *Контролепригодность*: неконтролируемый *Маска сброса*: 0x0 *Изменяется на лету*: Да

Биты	Название	Тип доступа	Описание
0	PCI_TYPE0_IO_EN	Меняется	Разрешает ответы на доступ в IO. Более подробное описание полей регистра приведено в спецификации PCI Express. Вы не можете записывать в этот регистр если ваша конфигурация не имеет IO BAR. Примечание – Атрибуты доступа этих полей приведены ниже: DBI: Если бит DBI_RO_WR_EN=1, то доступ R/W (sticky) в противном случае доступ R (sticky) *Значение после сброса:* 0x0 *Контролепригодность*: неконтролируемый *Маска сброса*: 0x0 *Изменяется на лету*: Да

11.10.1.3 Регистр CLASS_CODE_REVISION_ID

Описание: Регистр кода класса и ID ревизии;
Разрядность: 32 бит;
Смещение: 0x8.

31 – 24	23 – 16	15 – 8	7 – 0
BASE_CLASS_CODE	SUBCLASS_CODE	PROGRAM_INTERFACE	REVISION_ID

Таблица 113 – Описание бит регистра CLASS_CODE_REVISION_ID

Биты	Название	Тип доступа	Описание
31 – 24	BASE_CLASS_CODE	Меняется	Код базового класса представляющий тип устройства. Более подробное описание полей регистра приведено в спецификации *PCI Express*. Примечание – Атрибуты доступа этих полей приведены ниже: DBI: Если бит DBI_RO_WR_EN = 1, доступ R/W (sticky), в противном случае – доступ R (sticky) ***Значение после сброса:*** 0x0

Биты	Название	Тип доступа	Описание
23 – 16	SUBCLASS_CODE	Меняется	Код подкласса представляющий тип устройства. Более подробное описание полей регистра приведено в спецификации *PCI Express*. Примечание – Атрибуты доступа этих полей приведены ниже: DBI: Если бит DBI_RO_WR_EN = 1, доступ R/W (sticky), в противном случае – доступ R (sticky) ***Значение после сброса:*** 0x0
15 – 8	PROGRAM_INTERFACE	Меняется	Код класса интерфейса программирования. Более подробное описание полей регистра приведено в спецификации *PCI Express*. Примечание – Атрибуты доступа этих полей приведены ниже: DBI: Если бит DBI_RO_WR_EN=1, то доступ R/W (sticky) в противном случае доступ R (sticky) ***Значение после сброса:*** 0x0
7 – 0	REVISION_ID	Меняется	Выбранная вендором ревизия ID. Более подробное описание полей регистра приведено в спецификации *PCI Express*. Примечание – Атрибуты доступа этих полей приведены ниже: DBI: Если бит DBI_RO_WR_EN = 1, доступ R/W (sticky), в противном случае – доступ R (sticky) ***Значение после сброса:*** 0x1

11.10.1.4 Регистр BIST_HEADER_TYPE_LATENCY_CACHE_LINE_SIZE_REG

Описание: Регистр биста, типа заголовка, размера строки кэша, таймера латентности;

Разрядность: 32 бит;

Смещение: 0xc.

31 – 24	23	22 – 16	15 – 8	7 – 0
BIST	MULTI_FUNC	HEADER_TYPE	LATENCY_MASTER_TIMER	CACHE_LINE_SIZE

Таблица 114 – Описание бит регистра BIST_HEADER_TYPE_LATENCY_CACHE_LINE_SIZE_REG

Биты	Название	Тип доступа	Описание
31 – 24	BIST	R	Опциональный для поддержки биста. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** 0x0
23	MULTI_FUNC	Меняется	Определяет, действительно ли устройство мультифункциональное. Более подробное описание полей регистра приведено в спецификации *PCI Express*. Примечание – Атрибуты доступа этих полей приведены ниже: DBI: Если бит DBI_RO_WR_EN = 1, доступ R/W (sticky), в противном случае – доступ R (sticky) ***Значение после сброса:*** 0x0
22 – 16	HEADER_TYPE	R	Определяет тип заголовка. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** 0x0
15 – 8	LATENCY_MASTER_ TIMER	R	Не применимо к PCI Express. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** 0x0
7 – 0	CACHE_LINE_SIZE	R/W	Размер строки кэша. Не оказывает эффекта на поведение устройства PCIe. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** 0x0

11.10.1.5 Регистр BAR0_REG

Описание: BAR0 и маска BAR. Маска для этого BAR присутствует как теневой регистр по этому адресу. Установить CS2 (CS2 – адресный бит на шине моста AXI), если требуется осуществить запись второго регистра по этому адресу. Более подробно см. подраздел 11.10 «Доступ на шину AXI в режиме MODE=0».

Разрядность: 32 бит;

Смещение: 0x10.

31 – 4	3	2 – 1	0
BAR0_START	BAR0_PREFETCH	BAR0_TYPE	BAR0_MEM_IO

Таблица 115 – Описание бит регистра BAR0_REG

Биты	Название	Тип доступа	Описание
31 – 4	BAR0_START	R	Базовый адрес BAR0. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** 0x0 ***Контролепригодность*:** неконтролируемый
3	BAR0_PREFETCH	Меняется	Упреждающая выборка BAR0. Более подробное описание полей регистра приведено в спецификации *PCI Express*. Примечание – Атрибуты доступа этих полей приведены ниже: – DBI: Если BAR разрешен и DBI_RO_WR_EN = 1, доступ R/W (sticky); – DBI_RO_WR_EN = 0, доступ R (sticky). – DBI: Если BAR не разрешен, доступ RO. ***Значение после сброса:*** 0x0 ***Контролепригодность*:** неконтролируемый ***Маска сброса*:** 0x0 ***Изменяется на лету*:** Да
2 – 1	BAR0_TYPE	Меняется	32-битный или 64-битный BAR0. Более подробное описание полей регистра приведено в спецификации *PCI Express*. Примечание – Атрибуты доступа этих полей приведены ниже: – DBI: Если BAR разрешен и DBI_RO_WR_EN = 1, доступ R/W (sticky); DBI_RO_WR_EN = 0, доступ R (sticky). – DBI: Если BAR не разрешен, доступ RO. ***Значение после сброса:*** 0x0
0	BAR0_MEM_IO	Меняется	Указатель пространства памяти BAR0. Более подробное описание полей регистра приведено в спецификации *PCI Express*. Примечание – Атрибуты доступа этих полей приведены ниже: – DBI: Если BAR разрешен и DBI_RO_WR_EN = 1, доступ R/W (sticky); – DBI_RO_WR_EN = 0, доступ R (sticky). – DBI: Если BAR не разрешен, то доступ RO. ***Значение после сброса:*** 0x0

11.10.1.6 Регистр BAR2_REG

Описание: BAR2 и маска BAR. Маска для этого BAR присутствует как теневой регистр по этому адресу. Установить CS2 (CS2 – адресный бит на шине моста AXI), если требуется осуществить запись второго регистра по этому адресу. Более подробно см. подраздел 11.10 «Доступ на шину AXI в режиме MODE=0».

Разрядность: 32 бит;

Смещение: 0x18.

31 – 4	3	2 – 1	0
BAR2_START	BAR2_PREFETCH	BAR2_TYPE	BAR2_MEM_IO

Таблица 116 – Описание бит регистра BAR2_REG

Биты	Название	Тип доступа	Описание
31 – 4	BAR2_START	R	Базовый адрес BAR2. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** 0x0 ***Контролепригодность*:** неконтролируемый
3	BAR2_PREFETCH	Меняется	Упреждающая выборка BAR2. Более подробное описание полей регистра приведено в спецификации *PCI Express*. Примечание – Атрибуты доступа этих полей приведены ниже: – DBI: Если BAR разрешен и DBI_RO_WR_EN = 1, доступ R/W (sticky), DBI_RO_WR_EN = 0, доступ R (sticky). – DBI: Если BAR не разрешен, доступ RO. ***Значение после сброса:*** 0x0 ***Контролепригодность*:** неконтролируемый ***Маска сброса*:** 0x0 ***Изменяется на лету*:** Да
2 – 1	BAR2_TYPE	Меняется	32-битный или 64-битный BAR2. Более подробное описание полей регистра приведено в спецификации *PCI Express*. Примечание – Атрибуты доступа этих полей приведены ниже: – DBI: Если BAR разрешен и DBI_RO_WR_EN = 1, доступ R/W (sticky); DBI_RO_WR_EN = 0, доступ R (sticky). – DBI: Если BAR не разрешен, доступ RO. ***Значение после сброса:*** 0x0

Биты	Название	Тип доступа	Описание
0	BAR2_MEM_IO	Меняется	Указатель пространства памяти BAR0. Более подробное описание полей регистра приведено в спецификации *PCI Express*. Примечание – Атрибуты доступа этих полей приведены ниже: – DBI: Если BAR разрешен и DBI_RO_WR_EN = 1, доступ R/W (sticky); DBI_RO_WR_EN = 0, доступ R (sticky). – DBI: Если BAR не разрешен, доступ RO. ***Значение после сброса:*** 0x0

11.10.1.7 Регистр BAR4_REG

Описание: BAR4 и маска BAR. Маска для этого BAR присутствует как теневой регистр по этому адресу. Установить CS2 (CS2 – адресный бит на шине моста AXI), если требуется осуществить запись второго регистра по этому адресу. Более подробно см. подраздел 11.10 «Доступ на шину AXI в режиме MODE=0».

Разрядность: 32 бит;

Смещение: 0x20.

31 – 4	3	2 – 1	0
BAR4_START	BAR4_PREFETCH	BAR4_TYPE	BAR4_MEM_IO

Таблица 117 – Описание бит регистра BAR4_REG

Биты	Название	Тип доступа	Описание
31 – 4	BAR4_START	R	Базовый адрес BAR4. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** 0x0 ***Контролепригодность*:** неконтролируемый
3	BAR4_PREFETCH	Меняется	Упреждающая выборка BAR4. Более подробное описание полей регистра приведено в спецификации *PCI Express*. Примечание – Атрибуты доступа этих полей приведены ниже: – DBI: Если BAR разрешен и DBI_RO_WR_EN = 1, доступ R/W (sticky); DBI_RO_WR_EN = 0, доступ R (sticky). – DBI: Если BAR не разрешен, доступ RO. ***Значение после сброса:*** 0x0

Биты	Название	Тип доступа	Описание
			***Контролепригодность*:** неконтролируемый ***Маска сброса*:** 0x0 ***Изменяется на лету*:** Да
2 – 1	BAR4_TYPE	Меняется	32-битный или 64-битный BAR4. Более подробное описание полей регистра приведено в спецификации *PCI Express*. Примечание – Атрибуты доступа этих полей приведены ниже: – DBI: Если BAR разрешен и DBI_RO_WR_EN = 1, доступ R/W (sticky); DBI_RO_WR_EN = 0, доступ R (sticky). – DBI: Если BAR не разрешен, то доступ RO. ***Значение после сброса:*** 0x0
0	BAR4_MEM_IO	Меняется	Указатель пространства памяти BAR4. Более подробное описание полей регистра приведено в спецификации *PCI Express*. Примечание – Атрибуты доступа этих полей приведены ниже: – DBI: Если BAR разрешен и DBI_RO_WR_EN = 1, доступ R/W (sticky); DBI_RO_WR_EN = 0, доступ R (sticky). – DBI: Если BAR не разрешен, доступ RO. ***Значение после сброса:*** 0x0

11.10.1.8 Регистр CARDBUS_CIS_PTR_REG

Описание: Регистр указателя CardBus CIS;
Разрядность: 32 бит;
Смещение: 0x28.

31 – 0
CARDBUS_CIS_POINTER

Таблица 118 – Описание бит регистра CARDBUS_CIS_PTR_REG

Биты	Название	Тип доступа	Описание
31 – 0	CARDBUS_CIS_POINTER	Меняется	Указатель на информационную структуру карты (CIS) для CardBus карты. Более подробное описание полей регистра приведено в спецификации *PCI Express*.

Биты	Название	Тип доступа	Описание
			Примечание – Атрибуты доступа этих полей приведены ниже: – DBI: Если бит DBI_RO_WR_EN =1, доступ R/W (sticky), в противном случае – доступ R (sticky) ***Значение после сброса:*** 0x0

11.10.1.9 Регистр SUBSYSTEM_ID_SUBSYSTEM_VENDOR_ID_REG

Описание: Регистр ID подсистемы и ID производителя подсистемы;
Разрядность: 32 бит;
Смещение: 0x2c.

31 – 16	15 – 0
SUBSYS_DEV_ID	SUBSYS_VENDOR_ID

Таблица 119 – Описание бит регистра SUBSYSTEM_ID_SUBSYSTEM_VENDOR_ID_REG

Биты	Название	Тип доступа	Описание
31 – 16	SUBSYS_DEV_ID	Меняется	ID подсистемы устройства. Более подробное описание полей регистра приведено в спецификации *PCI Express*. Примечание – Атрибуты доступа этих полей приведены ниже: DBI: Если бит DBI_RO_WR_EN = 1, доступ R/W (sticky), в противном случае – доступ R (sticky). ***Значение после сброса:*** 0x0
15 – 0	SUBSYS_VENDOR_ID	Меняется	ID подсистемы производителя. Более подробное описание полей регистра приведено в спецификации *PCI Express*. Примечание – Атрибуты доступа этих полей приведены ниже: DBI: Если бит DBI_RO_WR_EN = 1, доступ R/W (sticky); в противном случае – доступ R (sticky). ***Значение после сброса:*** 0x0

11.10.1.10 Регистр EXP_ROM_BAR_MASK_REG

Описание: Регистр BAR и маски ПЗУ расширения. Маска для этого BAR присутствует как теневой регистр по этому адресу. Установить CS2 (CS2 – адресный бит на шине моста AXI), если требуется осуществить запись второго регистра по этому адресу. Более подробно см. подраздел 11.10 «Доступ на шину AXI в режиме MODE=0».

Разрядность: 32 бит;

Смещение: 0x30.

31 – 1	0
ROM_MASK	ROM_BAR_ENABLED

Таблица 120 – Описание бит регистра EXP_ROM_BAR_MASK_REG

Биты	Название	Тип доступа	Описание
31 – 1	ROM_MASK	Меняется	Маска ПЗУ расширения. Более подробное описание полей регистра приведено в спецификации PCI Express. Примечание – Атрибуты доступа этих полей приведены ниже: CS2 = 0: нет доступа; CS2 = 1: Если ROM_BAR_ENABLED, тогда W, в противном случае – R. Значение после сброса: 0xffff Контролепригодность: неконтролируемый
0	ROM_BAR_ENABLED	Меняется	Разрешение регистра маски ПЗУ расширения. Более подробное описание полей регистра приведено в спецификации PCI Express. Примечание – Атрибуты доступа этих полей приведены ниже: CS2 = 0: нет доступа; CS2 = 1: Если ROM_BAR_ENABLED, тогда W, в противном случае – R. Значение после сброса: 0x1 Контролепригодность: неконтролируемый

11.10.1.11 Регистр EXP_ROM_BASE_ADDR_REG

Описание: Регистр BAR и маски ПЗУ расширения. Маска для этого BAR присутствует как теневой регистр по этому адресу. Установить CS2 (CS2 – адресный бит на шине моста AXI), если требуется осуществить запись второго регистра по этому адресу. Более подробно см. подраздел 11.10 «Доступ на шину AXI в режиме MODE=0».

Разрядность: 32 бит;

Смещение: 0x30.

31 – 11	10 – 1	0
EXP_ROM_BASE_ADDRESS	RSVDP_1	ROM_BAR_ENABLE

Таблица 121 – Описание бит регистра EXP_ROM_BASE_ADDR_REG

Биты	Название	Тип доступа	Описание
31 – 11	EXP_ROM_BASE_ ADDRESS	R/W	Базовый адрес ПЗУ расширения. Более подробное описание полей регистра приведено в спецификации PCI Express. Примечание – Атрибуты доступа этих полей приведены ниже: Dbi: R/W Значение после сброса: 0x0 Контролепригодность: неконтролируемый Изменяется на лету: Да
10 – 1	RSVDP_1	R	Зарезервировано для будущих применений. Значение после сброса: 0x0
0	ROM_BAR_ENABLE	R	Разрешение ПЗУ расширения. Более подробное описание полей регистра приведено в спецификации PCI Express. Примечание – Атрибуты доступа этих полей приведены ниже: Dbi: R Значение после сброса: 0x1 Контролепригодность: неконтролируемый Изменяется на лету: Да

11.10.1.12 Регистр PCI_CAP_PTR_REG

Описание: Регистр указателя возможностей;
Разрядность: 32 бит;
Смещение: 0x34.

31 – 8	7 – 0
RSVDP_8	CAP_POINTER

Таблица 122 – Описание бит регистра PCI_CAP_PTR_REG

Биты	Название	Тип доступа	Описание
31 – 8	RSVDP_8	R	Зарезервировано для будущих применений. ***Значение после сброса:*** 0x0

Биты	Название	Тип доступа	Описание
7 – 0	CAP_POINTER	Меняется	Указатель на первый элемент в структуре возможностей PCI. Более подробное описание полей регистра приведено в спецификации *PCI Express*. Примечание – Атрибуты доступа этих полей приведены ниже: DBI: Если бит DBI_RO_WR_EN = 1, доступ R/W (sticky), в противном случае – доступ R (sticky). ***Значение после сброса:*** 0x40

11.10.1.13 Регистр MAX_LATENCY_MIN_GRANT_INTERRUPT_PIN_INTERRUPT _LINE_REG

Описание: Регистр линии и вывода прерывания;

Разрядность: 32 бит;

Смещение: 0x3c.

31 – 16	15 – 8	7 – 0
RSVDP_16	INT_PIN	INT_LINE

Таблица 123 – Описание бит регистра MAX_LATENCY_MIN_GRANT_ INTERRUPT_PIN_INTERRUPT_LINE_REG

Биты	Название	Тип доступа	Описание
31 – 16	RSVDP_16	R	Зарезервировано для будущих применений. ***Значение после сброса:*** 0x0
15 – 8	INT_PIN	Меняется	Поле вывода прерывания совместимого с PCI. Более подробное описание полей регистра приведено в спецификации *PCI Express*. Примечание – Атрибуты доступа этих полей приведены ниже: DBI: Если бит DBI_RO_WR_EN = 1, доступ R/W, в противном случае – доступ R. ***Значение после сброса:*** 0x1
7 – 0	INT_LINE	R/W	Поле маршрутизации линии прерывания сместимого с PCI. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** 0xff

11.10.2 Регистры блока PF0_PM_CAP

11.10.2.1 Регистр CAP_ID_NXT_PTR_REG

Описание: Регистр возможностей управления питанием;
Разрядность: 32 бит;
Смещение: 0x40.

31 – 27	26	25	24 – 22	21	20	19	18 – 16	15 – 8	7 – 0
PME_SUPPORT	D2_SUPPORT	D1_SUPPORT	AUX_CURR	DSI	Rsvd	PME_CLK	PM_SPEC_VER	PM_NEXT_POINTER	PM_CAP_ID

Таблица 124 – Описание бит регистра CAP_ID_NXT_PTR_REG

Биты	Название	Тип доступа	Описание
31 – 27	PME_SUPPORT	Меняется	Поддержка событий управления питанием. Более подробное описание полей регистра приведено в спецификации *PCI Express*. Значение при чтении этого поля это ранее записанное значение по “И” с (sys_aux_pwr_det, 1'b1, D2_SUPPORT, D1_SUPPORT, 1'b1), где D1_SUPPORT и D2_SUPPORT поля этого регистра. Значение сброса 5'h1b по «И» с (sys_aux_pwr_det, 1'b1, D2_SUPPORT, D1_SUPPORT, 1'b1). Примечание – Атрибуты доступа этих полей приведены ниже: DBI: Если бит DBI_RO_WR_EN = 1, доступ R/W, в противном случае – доступ R. ***Значение после сброса:*** 0x1b ***Контролепригодность*:** неконтролируемый ***Маска сброса*:** 0x0 ***Изменяется на лету*:** Да
26	D2_SUPPORT	Меняется	Поддержка состояния D2. Более подробное описание полей регистра приведено в спецификации *PCI Express*. Примечание – Атрибуты доступа этих полей приведены ниже: DBI: Если бит DBI_RO_WR_EN = 1, доступ R/W, в противном случае – доступ R. ***Значение после сброса:*** 0x0

Биты	Название	Тип доступа	Описание
25	D1_SUPPORT	Меняется	Поддержка состояния D1. Более подробное описание полей регистра приведено в спецификации *PCI Express*. Примечание – Атрибуты доступа этих полей приведены ниже: DBI: Если бит DBI_RO_WR_EN = 1, доступ R/W, в противном случае – доступ R. ***Значение после сброса:*** 0x1
24 – 22	AUX_CURR	Меняется	Требования для дополнительного тока. Более подробное описание полей регистра приведено в спецификации *PCI Express*. Примечание – Атрибуты доступа этих полей приведены ниже: DBI: Если бит DBI_RO_WR_EN = 1, доступ R/W, в противном случае – доступ R. ***Значение после сброса:*** 0x7
21	DSI	Меняется	Бит особой инициализации устройства. Более подробное описание полей регистра приведено в спецификации *PCI Express*. Примечание – Атрибуты доступа этих полей приведены ниже: DBI: Если бит DBI_RO_WR_EN = 1, доступ R/W, в противном случае – доступ R. ***Значение после сброса:*** 0x0
20			Зарезервировано
19	PME_CLK	R	Требования синхросигнала PCI. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** 0x0
18 – 16	PM_SPEC_VER	Меняется	Версия спецификации управления питанием. Более подробное описание полей регистра приведено в спецификации *PCI Express*. Примечание – Атрибуты доступа этих полей приведены ниже: DBI: Если бит DBI_RO_WR_EN = 1, доступ R/W, в противном случае – доступ R. ***Значение после сброса:*** 0x3
15 – 8	PM_NEXT_POINTER	Меняется	Указатель на следующую возможность. Более подробное описание полей регистра приведено в спецификации *PCI Express*. Примечание – Атрибуты доступа этих полей приведены ниже: DBI: Если бит DBI_RO_WR_EN = 1, доступ R/W, в противном случае – доступ R. ***Значение после сброса:*** 0x50

Биты	Название	Тип доступа	Описание
7 – 0	PM_CAP_ID	R	ID возможности управления питанием. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** 0x1

11.10.2.2 Регистр CON_STATUS_REG

Описание: Регистр контроля и статуса управления питанием;
Разрядность: 32 бит;
Смещение: 0x44.

31 – 24	23	22	21 – 16	15	14 – 13	12 – 9	8	7 – 4	3	2	1 – 0
DATA_REG_ADD_INFO	BUS_PWR_CLK_CON_EN	B2_B3_SUPPORT	RSVDP_16	PME_STATUS	DATA_SCALE	DATA_SELECT	PME_ENABLE	RSVDP_4	NO_SOFT_RST	RSVDP_2	POWER_STATE

Таблица 125 – Описание бит регистра CON_STATUS_REG

Биты	Название	Тип доступа	Описание
31 – 24	DATA_REG_ADD_INFO	R	Регистр инофрмации о данных питания. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** 0x0
23	BUS_PWR_CLK_CON_EN	R	Разрешение управлением шины питания/синхронизации. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** 0x0
22	B2_B3_SUPPORT	R	Поддержка B2B3 для состояния D3 “горячее”. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** 0x0
21 – 16	RSVDP_16	R	Зарезервировано для будущих применений. ***Значение после сброса:*** 0x0
15	PME_STATUS	R/W	Статус PME. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** 0x0 ***Контролепригодность*:** неконтролируемый ***Изменяется на лету*:** Да

Биты	Название	Тип доступа	Описание
14 – 13	DATA_SCALE	R	Масштабирующий фактор данных. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** 0x0
12:9	DATA_SELECT	R	Выбор данных. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** 0x0
8	PME_ENABLE	R/W	Разрешение PME. Более подробное описание полей регистра приведено в спецификации *PCI Express*. Разряды регистров PMC имеют вспомогательное питание. Иногда они могут сохранять предыдущее значение, даже если вы пытаетесь очистить их записью нуля. ***Значение после сброса:*** 0x0 ***Контролепригодность*:** неконтролируемый ***Маска сброса*:** 0x0 ***Изменяется на лету*:** Да
7 – 4	RSVDP_4	R	Зарезервировано для будущих применений. ***Значение после сброса:*** 0x0
3	NO_SOFT_RST	Меняется	Нет программного сброса. Более подробное описание полей регистра приведено в спецификации *PCI Express*. Примечание – Атрибуты доступа этих полей приведены ниже: DBI: Если бит DBI_RO_WR_EN = 1, доступ R/W, в противном случае – доступ R. ***Значение после сброса:*** 0x0
2	RSVDP_2	R	Зарезервировано для будущих применений. ***Значение после сброса:*** 0x0
1 – 0	POWER_STATE	R/W	Состояние питания. Более подробное описание полей регистра приведено в спецификации *PCI Express*. Вы можете записать этот регистр. Однако, значение обратного чтения покажет текущее состояние питания, а не записываемое значение. Примечание – Атрибуты доступа этих полей приведены ниже: DBI: R/W ***Значение после сброса:*** 0x0 ***Контролепригодность*:** неконтролируемый ***Маска сброса*:** 0x0 ***Изменяется на лету*:** Да

11.10.3 Регистры блока PF0_MSI_CAP

11.10.3.1 Регистр PCI_MSI_CAP_ID_NEXT_CTRL_REG

Описание: Регистр ID возможностей MSI, указателя на следующую структуру, возможностей/контроля;

Разрядность: 32 бит;

Смещение: 0x50.

31 – 27	26	25	24	23	22 – 20	19 – 17	16	15 – 8	7 – 0
RSVDP_27	PCI_MSI_EXT_DATA_EN	PCI_MSI_EXT_DATA_CAP	PCI_PVM_SUPPORT	PCI_MSI_64_BIT_ADDR_CAP	PCI_MSI_MULTIPLE_MSG_EN	PCI_MSI_MULTIPLE_MSG_CAP	PCI_MSI_ENABLE	PCI_MSI_CAP_NEXT_OFFSET	PCI_MSI_CAP_ID

Таблица 126 – Описание бит регистра PCI_MSI_CAP_ID_NEXT_CTRL_REG

Биты	Наименование	Тип доступа	Описание
31 – 27	RSVDP_27	R	Зарезервировано для будущих применений. Значение после сброса: 0x0
26	PCI_MSI_EXT_DATA_EN	Меняется	Разрешение данных расширенных сообщений. Примечание – Атрибуты доступа этих полей приведены ниже: DBI: Если бит PCI_MSI_EXT_DATA_CAP = 1 тип доступа RW, в протичном случае – RO. Значение после сброса: 0x0 Контролепригодность: читается, как записывается
25	PCI_MSI_EXT_DATA_CAP	Меняется	Возможность применения данных в расширенных сообщениях. Примечание – Атрибуты доступа этих полей приведены ниже: DBI: Если бит DBI_RO_WR_EN = 1, доступ R/W, в противном случае – доступ R. Значение после сброса: 0x0
24	PCI_PVM_SUPPORT	R	Возможность маскирования MSI для вектора. Более подробное описание полей регистра приведено в спецификации PCI Express. Значение после сброса: 0x0

Биты	Наименование	Тип доступа	Описание
23	PCI_MSI_64_BIT_ADDR_CAP	Меняется	Возможность применения 64-битного адреса MSI. Более подробное описание полей регистра приведено в спецификации PCI Express. Примечание – Атрибуты доступа этих полей приведены ниже: DBI: Если бит DBI_RO_WR_EN = 1, доступ R/W, в противном случае – доступ R. Значение после сброса: 0x1
22 – 20	PCI_MSI_MULTIPLE_MSG_EN	R/W	Разрешение множественных сообщений MSI. Более подробное описание полей регистра приведено в спецификации PCI Express. Значение после сброса: 0x0
19 – 17	PCI_MSI_MULTIPLE_MSG_CAP	Меняется	Возможность применения множественных сообщений MSI. Более подробное описание полей регистра приведено в спецификации PCI Express. Примечание – Атрибуты доступа этих полей приведены ниже: DBI: Если бит DBI_RO_WR_EN = 1, доступ R/W, в противном случае – доступ R. Значение после сброса: 0x0
16	PCI_MSI_ENABLE	R/W	Разрешение MSI. Более подробное описание полей регистра приведено в спецификации PCI Express. Значение после сброса: 0x0
15 – 8	PCI_MSI_CAP_NEXT_OFFSET	Меняется	Указатель на следующую возможность MSI. Более подробное описание полей регистра приведено в спецификации PCI Express. Примечание – Атрибуты доступа этих полей приведены ниже: DBI: Если бит DBI_RO_WR_EN = 1, доступ R/W, в противном случае – доступ R. Значение после сброса: 0x70
7 – 0	PCI_MSI_CAP_ID	R	ID возможности MSI. Более подробное описание полей регистра приведено в спецификации PCI Express. Значение после сброса: 0x5

11.10.3.2 Регистр MSI_CAP_OFF_04H_REG

Описание: Регистр младшего адреса MSI сообщения;
Разрядность: 32 бит;
Смещение: 0x54.

31 – 2	1, 0
PCI_MSI_CAP_OFF_04H	RSVDP_0

Таблица 127 – Описание бит регистра MSI_CAP_OFF_04H_REG

Биты	Наименование	Тип доступа	Описание
31 – 2	PCI_MSI_CAP_ OFF_04H	R/W	Поле младшего адреса MSI сообщения. Более подробное описание полей регистра приведено в спецификации PCI Express. Примечание – Атрибуты доступа этих полей приведены ниже: DBI: R/W Значение после сброса: 0x0
1, 0	RSVDP_0	R	Зарезервировано для будущих применений Значение после сброса: 0x0

11.10.3.3 Регистр MSI_CAP_OFF_08H_REG

Описание: Для 32-битных MSI сообщений этот регистр содержит данные. Для 64-битных – содержит старшую часть адреса;
Разрядность: 32 бит;
Смещение: 0x58.

31 – 16	15 – 0
PCI_MSI_CAP_OFF_0AH	PCI_MSI_CAP_OFF_08H

Таблица 128 – Описание бит регистра MSI_CAP_OFF_08H_REG

Биты	Наименование	Тип доступа	Описание
31 – 16	PCI_MSI_CAP_OFF_0AH	Меняется	Для 32-битных MSI сообщений это поле содержит расширение данных MSI. Для 64-битных содержит старшие 16 бит адреса. Более подробное описание полей регистра приведено в спецификации *PCI Express*. Примечание – Атрибуты доступа этих полей приведены ниже:

Биты	Наименование	Тип доступа	Описание
			DBI: Если бит PCI_MSI_64_BIT_ADDR_CAP = 1, тип доступа R/W, в противном случае – R. ***Значение после сброса:*** 0x0 ***Контролепригодность*:** читается, как записывается
15:0	PCI_MSI_CAP_OFF_08H	Меняется	Для 32-битных MSI сообщений это поле содержит данные MSI. Для 64-битных содержит младшие 16 бит адреса. Более подробное описание полей регистра приведено в спецификации *PCI Express*. Примечание – Атрибуты доступа этих полей приведены ниже: DBI: Если бит PCI_MSI_64_BIT_ADDR_CAP = 1, тип доступа R/W, в противном случае – R. ***Значение после сброса:*** 0x0 ***Контролепригодность*:** читается, как записывается

11.10.3.4 Регистр MSI_CAP_OFF_0CH_REG

Описание: Для 64-битных MSI сообщений этот регистр содержит данные. Для 32-битных содержит биты маски если разрешен PVM;

Разрядность: 32 бит;

Смещение: 0x5c.

31 – 16	15 – 0
PCI_MSI_CAP_OFF_0EH	PCI_MSI_CAP_OFF_0CH

Таблица 129 – Описание бит регистра MSI_CAP_OFF_0CH_REG

Биты	Наименование	Тип доступа	Описание
31 – 16	PCI_MSI_CAP_OFF_0EH	Меняется	Для 64-битных MSI сообщений это поле содержит данные. Для 32-битных содержит старшие биты маски, если разрешен PVM. Более подробное описание полей регистра приведено в спецификации PCI Express. Значение после сброса: 0x0 Контролепригодность: читается, как записывается

Биты	Наименование	Тип доступа	Описание
15 – 0	PCI_MSI_CAP_OFF_0CH	Меняется	Для 64-битных MSI сообщений это поле содержит данные. Для 32-битных содержит младшие биты маски, если разрешен PVM. Более подробное описание полей регистра приведено в спецификации PCI Express. Примечание – Атрибуты доступа этих полей приведены ниже: DBI: DBI: Если бит PCI_MSI_64_BIT_ADDR_CAP = 1, тип доступа R/W, в противном случае – R Значение после сброса: 0x0 Контролепригодность: читается, как записывается

11.10.4 Регистры блока PF0_PCIE_CAP

11.10.4.1 Регистр PCIE_CAP_ID_PCIE_NEXT_CAP_PTR_PCIE_CAP_REG

Описание: Регистр возможностей PCI Express, ID, указателя на следующую структуру;

Разрядность: 32 бит;

Смещение: 0x70.

31	30	29 – 25	24	23 – 20	19 – 16	15 – 8	7 – 0
RSVDP_31	RSVD	PCIE_INT_MSG_NUM	PCIE_SLOT_IMP	PCIE_DEV_PORT_TYPE	PCIE_CAP_REG	PCIE_CAP_NEXT_PTR	PCIE_CAP_ID

Таблица 130 – Описание бит регистра PCIE_CAP_ID_PCIE_NEXT_CAP_PTR_PCIE_CAP_REG

Биты	Название	Тип доступа	Описание
31	RSVDP_31	R	Зарезервировано для будущих применений. ***Значение после сброса:*** 0x0
30	RSVD	R	Зарезервировано. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** 0x0

Биты	Название	Тип доступа	Описание
29 – 25	PCIE_INT_MSG_NUM	Меняется	Номер сообщения о прерывании PCIE. Более подробное описание полей регистра приведено в спецификации *PCI Express*. Примечание – Атрибуты доступа этих полей приведены ниже: DBI: Если бит DBI_RO_WR_EN = 1, доступ R/W, в противном случае – доступ R ***Значение после сброса:*** 0x0
24	PCIE_SLOT_IMP	Меняется	Валидность используемого слота PCIe. Более подробное описание полей регистра приведено в спецификации *PCI Express*. Примечание – Атрибуты доступа этих полей приведены ниже: DBI: Если бит DBI_RO_WR_EN = 1, доступ R/W, в противном случае – доступ R. ***Значение после сброса:*** 0x0
23 – 20	PCIE_DEV_PORT_TYPE	R	Тип устройства/порта PCIE. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** 0x0 ***Контролепригодность*:** неконтролируемый ***Маска сброса*:** 0x0 ***Изменяется на лету*:** Да
19 – 16	PCIE_CAP_REG	R	Номер версии PCIE возможностей. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** 0x2
15 – 8	PCIE_CAP_NEXT_PTR	Меняется	Указатель на следующую возможность PCIE. Более подробное описание полей регистра приведено в спецификации *PCI Express*. Примечание – Атрибуты доступа этих полей приведены ниже: DBI: Если бит DBI_RO_WR_EN = 1, доступ R/W, в противном случае – доступ R. ***Значение после сброса:*** 0x0
7 – 0	PCIE_CAP_ID	R	ID возможностей PCIe. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** 0x10

11.10.4.2 Регистр DEVICE_CAPABILITIES_REG

Описание: Регистр возможностей устройства;
Разрядность: 32 бит;
Смещение: 0x74.

31 – 29	28	27 – 26	25 – 18	17 – 16	15	14 – 12	11 – 9	8 – 6	5	4 – 3	2 – 0
RSVDP_29	PCIE_CAP_FLR_CAP	PCIE_CAP_CAP_SLOT_ PWR_LMT_SCALE	PCIE_CAP_CAP_SLOT_ PWR_LMT_VALUE	RSVDP_16	PCIE_CAP_ROLE_ BASED_ERR_REPORT	RSVDP_12	PCIE_CAP_EP_L1_ ACCPT_LATENCY	PCIE_CAP_EP_L0S_ ACCPT_LATENCY	PCIE_CAP_EXT_ TAG_SUPP	PCIE_CAP_PHANTOM_ FUNC_SUPPORT	PCIE_CAP_MAX_ PAYLOAD_SIZE

Таблица 131 – Описание бит регистра DEVICE_CAPABILITIES_REG

Биты	Название	Тип доступа	Описание
31 – 29	RSVDP_29	R	Зарезервировано для будущих применений. ***Значение после сброса:*** 0x0
28	PCIE_CAP_FLR_CAP	Меняется	Возможность сброса функционального уровня (только для конечной точки). Более подробное описание полей регистра приведено в спецификации *PCI Express*. Примечание – Атрибуты доступа этих полей приведены ниже: DBI: Если бит DBI_RO_WR_EN=1, то доступ R/W в противном случае доступ R ***Значение после сброса:*** 0x0
27 – 26	PCIE_CAP_CAP_SLOT_ PWR_LMT_SCALE	R	Предел шкалы захватываемого слота питания. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** 0x0 ***Контролепригодность*:** неконтролируемый ***Маска сброса*:** 0x0 ***Изменяется на лету*:** Да
25 – 18	PCIE_CAP_CAP_SLOT_ PWR_LMT_VALUE	R	Предельное значение захватываемого слота питания. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** 0x0 ***Контролепригодность*:** неконтролируемый ***Маска сброса*:** 0x0 ***Изменяется на лету*:** Да

Биты	Название	Тип доступа	Описание
17 – 16	RSVDP_16	R	Зарезервировано для будущих применений. ***Значение после сброса:*** 0x0
15	PCIE_CAP_ROLE_ BASED_ERR_REPORT	Меняется	Ролевая ошибка, передаваемая в отчете. Более подробное описание полей регистра приведено в спецификации *PCI Express*. Примечание – Атрибуты доступа этих полей приведены ниже: DBI: Если бит DBI_RO_WR_EN = 1, доступ R/W, в противном случае – доступ R. ***Значение после сброса:*** 0x1
14 – 12	RSVDP_12	R	Зарезервировано для будущих применений. ***Значение после сброса:*** 0x0
11 – 9	PCIE_CAP_EP_L1_ ACCPT_LATENCY	Меняется	Применяется только к конечным точкам с приемлемой латентностью L1. Более подробное описание полей регистра приведено в спецификации *PCI Express*. Примечание – Атрибуты доступа этих полей приведены ниже: DBI: Если бит DBI_RO_WR_EN = 1, доступ R/W, в противном случае – доступ R. ***Значение после сброса:*** 0x7
8 – 6	PCIE_CAP_EP_L0S_ ACCPT_LATENCY	Меняется	Применяется только к конечным точкам с приемлемой латентностью L0s. Более подробное описание полей регистра приведено в спецификации *PCI Express*. Примечание – Атрибуты доступа этих полей приведены ниже: DBI: Если бит DBI_RO_WR_EN = 1, доступ R/W, в противном случае – доступ R. ***Значение после сброса:*** 0x7
5	PCIE_CAP_EXT_TAG_ SUPP	Меняется	Поддержка поля расширенного тега. Более подробное описание полей регистра приведено в спецификации *PCI Express*. Примечание – Атрибуты доступа этих полей приведены ниже: DBI: Если бит DBI_RO_WR_EN = 1, доступ R/W, в противном случае – доступ R. ***Значение после сброса:*** 0x0
4 – 3	PCIE_CAP_PHANTOM_ FUNC_SUPPORT	Меняется	Поддержка фантомных функций. Более подробное описание полей регистра приведено в спецификации *PCI Express*. Примечание – Атрибуты доступа этих полей приведены ниже:

Биты	Название	Тип доступа	Описание
			DBI: Если бит DBI_RO_WR_EN = 1, доступ R/W, в противном случае – доступ R. ***Значение после сброса:*** 0x0
2 – 0	PCIE_CAP_MAX_ PAYLOAD_SIZE	Меняется	Поддержка максимального размера полезной нагрузки. Более подробное описание полей регистра приведено в спецификации *PCI Express*. Примечание – Атрибуты доступа этих полей приведены ниже: DBI: Если бит DBI_RO_WR_EN = 1, доступ R/W, в противном случае – доступ R. ***Значение после сброса:*** 0x5

11.10.4.3 Регистр DEVICE_CONTROL_DEVICE_STATUS

Описание: Регистр управления и статуса устройства;
Разрядность: 32 бит;
Смещение: 0x78.

31 – 22	21	20	19	18	17	16	15	14 – 12	11	10	9	8	7 – 5	4	3	2	1	0
RSVDP_22	PCIE_CAP_TRANS_PENDING	PCIE_CAP_AUX_POWER_DETECTED	PCIE_CAP_UNSUPPORTED_REQ_DETECTED	PCIE_CAP_FATAL_ERR_DETECTED	PCIE_CAP_NON_FATAL_ERR_DETECTED	PCIE_CAP_CORR_ERR_DETECTED	PCIE_CAP_INITIATE_FLR	PCIE_CAP_MAX_READ_REQ_SIZE	PCIE_CAP_EN_NO_SNOOP	PCIE_CAP_AUX_POWER_PM_EN	PCIE_CAP_PHANTOM_FUNC_EN	PCIE_CAP_EXT_TAG_EN	PCIE_CAP_MAX_PAYLOAD_SIZE_CS	PCIE_CAP_EN_REL_ORDER	PCIE_CAP_UNSUPPORT_REQ_REP_EN	PCIE_CAP_FATAL_ERR_REPORT_EN	PCIE_CAP_NON_FATAL_ERR_REPORT_EN	PCIE_CAP_CORR_ERR_REPORT_EN

Таблица 132 – Описание бит регистра DEVICE_CONTROL_DEVICE_STATUS

Биты	Название	Тип доступа	Описание
31 – 22	RSVDP_22	R	Зарезервировано для будущих применений. ***Значение после сброса:*** 0x0

Биты	Название	Тип доступа	Описание
21	PCIE_CAP_TRANS_ PENDING	R	Статус задержанной транзакции. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** 0x0 ***Контролепригодность*:** неконтролируемый ***Маска сброса*:** 0x0 ***Изменяется на лету*:** Да
20	PCIE_CAP_AUX_ POWER_DETECTED	R	Статус детектирования вспомогательного питания. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** 0x0 ***Контролепригодность*:** неконтролируемый ***Маска сброса*:** 0x0 ***Изменяется на лету*:** Да
19	PCIE_CAP_ UNSUPPORTED_ REQ_ DETECTED	R/W	Статус детектирования неподдерживаемого запроса. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** 0x0 ***Контролепригодность*:** неконтролируемый ***Изменяется на лету*:** Да
18	PCIE_CAP_ FATAL_ ERR_DETECTED	R/W	Статус детектирования фатальной ошибки. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** 0x0 ***Контролепригодность*:** неконтролируемый ***Изменяется на лету*:** Да
17	PCIE_CAP_ NON_FATAL_ ERR_DETECTED	R/W	Статус детектирования нефатальной ошибки. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** 0x0 ***Контролепригодность*:** неконтролируемый ***Изменяется на лету*:** Да
16	PCIE_CAP_CORR_ ERR_DETECTED	R/W	Статус детектирования корректируемой ошибки. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** 0x0 ***Контролепригодность*:** неконтролируемый ***Изменяется на лету*:** Да
15	PCIE_CAP_ INITIATE_FLR	R/W	Инициирование сброса функционального уровня (для конечной точки). Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** 0x0 ***Контролепригодность*:** неконтролируемый ***Изменяется на лету*:** Да

Биты	Название	Тип доступа	Описание
14 – 12	PCIE_CAP_MAX_ READ_REQ_SIZE	R/W	Максимальный размер запроса на чтение. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** 0x2
11	PCIE_CAP_EN_ NO_SNOOP	R	Разрешено не отслеживать. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** 0x0
10	PCIE_CAP_AUX_ POWER_PM_EN	R/W	Разрешение PM вспомогательного питания. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** 0x0 ***Контролепригодность*:** неконтролируемый ***Маска сброса*:** 0x0 ***Изменяется на лету*:** Да
9	PCIE_CAP_ PHANTOM_ FUNC_EN	Меняется	Разрешение фантомных функций. Более подробное описание полей регистра приведено в спецификации *PCI Express*. Примечание – Атрибуты доступа этих полей приведены ниже: DBI: Если бит PCIE_CAP_PHANTOM_FUNC_ SUPPORT=1, тип доступа RW, в противном случае – RO. ***Значение после сброса:*** 0x0 ***Контролепригодность*:** неконтролируемый ***Маска сброса*:** 0x0 ***Изменяется на лету*:** Да
8	PCIE_CAP_EXT_ TAG_EN	Меняется	Разрешение поля расширенного тега. Более подробное описание полей регистра приведено в спецификации *PCI Express*. Примечание – Атрибуты доступа этих полей приведены ниже: DBI: Если бит PCIE_CAP_EXT_TAG_SUPP=1, то тип доступа RW, в противном случае RO ***Значение после сброса:*** 0x0 ***Контролепригодность*:** неконтролируемый ***Маска сброса*:** 0x0 ***Изменяется на лету*:** Да
7 – 5	PCIE_CAP_ MAX_PAYLOAD_ SIZE_CS	R/W	Размер максимальной полезной нагрузки. Это поле устанавливает максимальный размер полезной нагрузки TLP для функции. Допустимые значения могут быть запрограммированы и отображаются в поле PCIE_CAP_MAX_PAYLOAD_SIZE в регистре возможностей устройства DEVICE_CAPABILITIES_REG. ***Значение после сброса:*** 0x0

Биты	Название	Тип доступа	Описание
4	PCIE_CAP_ EN_REL_ ORDER	R/W	Разрешение ослабленного упорядочивания. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** 0x1
3	PCIE_CAP_ UNSUPPORT_REQ_ REP_EN	R/W	Разрешение формирования отчета о неподдерживаемых запросах. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** 0x0
2	PCIE_CAP_ FATAL_ERR_ REPORT_EN	R/W	Разрешение формирования отчета о фатальной ошибке. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** 0x0
1	PCIE_CAP_ NON_FATAL_ ERR_REPORT_EN	R/W	Разрешение формирования отчета о не фатальной ошибке. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** 0x0
0	PCIE_CAP_ CORR_ERR_ REPORT_EN	R/W	Разрешение формирования отчета о корректируемой ошибке. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** 0x0

11.10.4.4 Регистр LINK_CAPABILITIES_REG

Описание: Регистр возможностей линка;
Разрядность: 32 бит;
Смещение: 0x7c.

31 – 24	23	22	21	20	19	18	17 – 15	14 – 12	11 – 10	9 – 4	3 – 0
PCIE_CAP_PORT_NUM	RSVDP_23	PCIE_CAP_ASPM_OPT_ COMPLIANCE	PCIE_CAP_LINK_BW_NOT_CAP	PCIE_CAP_DLL_ACTIVE_REP_CAP	PCIE_CAP_SURPRISE_ DOWN_ERR_REP_CAP	PCIE_CAP_CLOCK_POWER_MAN	PCIE_CAP_L1_EXIT_LATENCY	PCIE_CAP_L0S_EXIT_LATENCY	PCIE_CAP_ACTIVE_ STATE_LINK_PM_SUPPORT	PCIE_CAP_MAX_LINK_WIDTH	PCIE_CAP_MAX_LINK_SPEED

Таблица 133 – Описание бит регистра LINK_CAPABILITIES_REG

Биты	Название	Тип доступа	Описание
31 – 24	PCIE_CAP_ PORT_NUM	Меняется	Номер порта. Более подробное описание полей регистра приведено в спецификации PCI Express. Примечание – Атрибуты доступа этих полей приведены ниже: DBI: Если бит DBI_RO_WR_EN = 1, доступ R/W, в противном случае – доступ R. ***Значение после сброса:*** 0x0
23	RSVDP_23	R	Зарезервировано для будущих применений. *Значение после сброса:* 0x0
22	PCIE_CAP_ASPM_ OPT_COMPLIANCE	Меняется	Опциональная совместимость с ASPM. Более подробное описание полей регистра приведено в спецификации PCI Express. Примечание – Атрибуты доступа этих полей приведены ниже: DBI: Если бит DBI_RO_WR_EN = 1, доступ R/W, в противном случае – доступ R. ***Значение после сброса:*** 0x1
21	PCIE_CAP_LINK_ BW_NOT_CAP	R	Возможности полосы пропускания оповещений линка. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** 0x0
20	PCIE_CAP_DLL_ ACTIVE_REP_CAP	R	Возможность формирования отчета об активности линка на канальном уровне. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** 0x0
19	PCIE_CAP_SURPRISE_ DOWN_ERR_REP_CAP	R	Возможность формирования отчета о неожиданной ошибке нарушения работоспособности. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** 0x0
18	PCIE_CAP_CLOCK_ POWER_MAN	Меняется	Синхросигнал управления питанием. Более подробное описание полей регистра приведено в спецификации *PCI Express*. Примечание – Атрибуты доступа этих полей приведены ниже: DBI: Если бит DBI_RO_WR_EN = 1, доступ R/W, в противном случае – доступ R. ***Значение после сброса:*** 0x0

Биты	Название	Тип доступа	Описание
17 – 15	PCIE_CAP_L1_ EXIT_LATENCY	Меняется	Латентность выхода из L1. Более подробное описание полей регистра приведено в спецификации PCI Express. Таких полей в регистре два, обычный и теневой доступные по одному адресу. Бит общего синхросигнала (PCIE_CAP_COMMON_CLK_CONFIG) регистра управления линком (LINK_CONTROL_LINK_STATUS_REG) определяет какой из них используется контроллером и какой из них доступен при запросах чтения. Операция общего синхросигнала разрешается в контроллере, когда вы устанавливаете бит общего синхросигнала (PCIE_CAP_COMMON_CLK_CONFIG) в регистре управления линка (LINK_CONTROL_LINK_STATUS_REG). Требуется установить CS2 (CS2 - это бит адреса шины AXI моста) чтобы записать в теневые поля. Примечание – Атрибуты доступа этих полей приведены ниже: DBI: Если бит DBI_RO_WR_EN = 1, доступ R/W, в противном случае – доступ R. ***Значение после сброса:*** 0x1 ***Контролепригодность*:** неконтролируемый ***Маска сброса*:** 0x0 ***Изменяется на лету*:** Да
14 – 12	PCIE_CAP_L0S_ EXIT_LATENCY	Меняется	Латентность выхода из LOs. Более подробное описание полей регистра приведено в спецификации PCI Express. Таких полей в регистре два, обычный и теневой доступные по одному адресу. Бит общего синхросигнала (PCIE_CAP_COMMON_CLK_CONFIG) регистра управления линком (LINK_CONTROL_LINK_STATUS_REG) определяет какой из них используется контроллером и какой из них доступен при запросах чтения. Операция общего синхросигнала разрешается в контроллере, когда вы устанавливаете бит общего синхросигнала

Биты	Название	Тип доступа	Описание
			(PCIE_CAP_COMMON_CLK_CONFIG) в регистре управления линка (LINK_CONTROL_LINK_STATUS_REG). Требуется установить CS2 (CS2 – это бит адреса шины AXI моста) чтобы записать в теневые поля. Примечание – Атрибуты доступа этих полей приведены ниже: DBI: Если бит DBI_RO_WR_EN = 1, доступ R/W, в противном случае – доступ R. ***Значение после сброса:*** 0x4 ***Контролепригодность*:** неконтролируемый ***Маска сброса*:** 0x0 ***Изменяется на лету*:** Да
11 – 10	PCIE_CAP_ACTIVE_ STATE_LINK_ PM_SUPPORT	Меняется	Уровень поддержки ASPM (Активное состояние управления питанием). Более подробное описание полей регистра приведено в спецификации PCI Express. Примечание – Атрибуты доступа этих полей приведены ниже: DBI: Если бит DBI_RO_WR_EN = 1, доступ R/W, в противном случае – доступ R. ***Значение после сброса:*** 0x3
9 – 4	PCIE_CAP_MAX_ LINK_WIDTH	Меняется	Максимальная ширина линка. Более подробное описание полей регистра приведено в спецификации PCI Express. В режиме M-PCIe, значения сброса и активности этого поля рассчитываются контроллером. Примечание – Атрибуты доступа этих полей приведены ниже: DBI: Если бит DBI_RO_WR_EN = 1, доступ R/W, в противном случае – доступ R. ***Значение после сброса:*** 0x1 ***Контролепригодность*:** неконтролируемый ***Маска сброса*:** 0x0 ***Изменяется на лету*:** Да
3 – 0	PCIE_CAP_MAX_ LINK_SPEED	Меняется	Максимальная скорость линка. Более подробное описание полей регистра приведено в спецификации *PCI Express*. В режиме M-PCIe, значения сброса и активности этого поля рассчитываются контроллером.

Биты	Название	Тип доступа	Описание
			Примечание – Атрибуты доступа этих полей приведены ниже: DBI: Если бит DBI_RO_WR_EN = 1, доступ R/W, в противном случае – доступ R. ***Значение после сброса:*** 0x2 ***Контролепригодность*:** неконтролируемый ***Маска сброса*:** 0x0 ***Изменяется на лету*:** Да

11.10.4.5 Регистр LINK_CONTROL_LINK_STATUS_REG

Описание: Регистр управления и статуса линка;
Разрядность: 32 бит;
Смещение: 0x80.

31	30	29	28	27	26	25 – 20	19 – 16	15, 14	13, 12	11	10	9	8	7	6	5	4	3	2	1, 0
PCIE_CAP_LINK_AUTO_BW_STATUS	PCIE_CAP_LINK_BW_MAN_STATUS	PCIE_CAP_DLL_ACTIVE	PCIE_CAP_SLOT_CLK_CONFIG	PCIE_CAP_LINK_TRAINING	RSVDP_26	PCIE_CAP_NEGO_LINK_WIDTH	PCIE_CAP_LINK_SPEED	PCIE_CAP_DRS_SIGNALING_CONTROL	RSVDP_12	PCIE_CAP_LINK_AUTO_BW_INT_EN	PCIE_CAP_LINK_BW_MAN_INT_EN	PCIE_CAP_HW_AUTO_WIDTH_DISABLE	PCIE_CAP_EN_CLK_POWER_MAN	PCIE_CAP_EXTENDED_SYNCH	PCIE_CAP_COMMON_CLK_CONFIG	PCIE_CAP_RETRAIN_LINK	PCIE_CAP_LINK_DISABLE	PCIE_CAP_RCB	RSVDP_2	PCIE_CAP_ACTIVE_STATE_LINK_PM_CONTROL

Таблица 134 – Описание бит регистра LINK_CONTROL_LINK_STATUS_REG

Биты	Название	Тип доступа	Описание
31	PCIE_CAP_LINK_ AUTO_BW_STATUS	Меняется	Статус автономности полосы пропускания линка. Более подробное описание полей регистра приведено в спецификации *PCI Express*. Примечание – Атрибуты доступа этих полей приведены ниже: DBI: Если бит PCIE_CAP_LINK_BW_ NOT_CAP = 1, тип доступа RW, в противном случае – RO.

Биты	Название	Тип доступа	Описание
			Значение после сброса: 0x0 ***Контролепригодность*:** неконтролируемый ***Маска сброса*:** 0x0 ***Изменяется на лету*:** Да
30	PCIE_CAP_LINK_ BW_MAN_STATUS	Меняется	Статус управления полосой пропускания линка. Более подробное описание полей регистра приведено в спецификации *PCI Express*. Примечание – Атрибуты доступа этих полей приведены ниже: DBI: Если бит PCIE_CAP_LINK_BW_ NOT_CAP = 1, тип доступа RW, в противном случае – RO. ***Значение после сброса:*** 0x0 ***Контролепригодность*:** неконтролируемый ***Маска сброса*:** 0x0 ***Изменяется на лету*:** Да
29	PCIE_CAP_ DLL_ACTIVE	R	Активность канального уровня. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** 0x0
28	PCIE_CAP_SLOT_ CLK_CONFIG	Меняется	Конфигурация слота синхросигнала. Более подробное описание полей регистра приведено в спецификации *PCI Express*. Примечание – Атрибуты доступа этих полей приведены ниже: DBI: Если бит DBI_RO_WR_EN = 1, доступ R/W, в противном случае – доступ R. ***Значение после сброса:*** 0x1
27	PCIE_CAP_ LINK_TRAINING	R	LTSSM в состоянии конфигурирования или восстановления. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** 0x0 ***Контролепригодность*:** неконтролируемый ***Маска сброса*:** 0x0 ***Изменяется на лету*:** Да
26	RSVDP_26	R	Зарезервировано для будущих применений. ***Значение после сброса:*** 0x0
25 – 20	PCIE_CAP_NEGO_ LINK_WIDTH	R	Ширина установленнооого линка. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** 0x1 ***Контролепригодность*:** неконтролируемый ***Маска сброса*:** 0x0 ***Изменяется на лету*:** Да

Биты	Название	Тип доступа	Описание
19 – 16	PCIE_CAP_ LINK_SPEED	R	Текущая скорость линка. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** 0x1 ***Контролепригодность*:** неконтролируемый ***Маска сброса*:** 0x0 ***Изменяется на лету*:** Да
15, 14	PCIE_CAP_DRS_ SIGNALING_CONTROL	R	Управление DRS оповещением. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** 0x0
13, 12	RSVDP_12	R	Зарезервировано для будущих применений. ***Значение после сброса:*** 0x0
11	PCIE_CAP_LINK_ AUTO_BW_INT_EN	Меняется	Разрешение прерывания управления автономной полосой пропускания линка. Более подробное описание полей регистра приведено в спецификации *PCI Express*. Примечание – Атрибуты доступа этих полей приведены ниже: DBI: Если бит PCIE_CAP_LINK_BW_NOT_CAP = 1, тип доступа RW, в противном случае – RO. ***Значение после сброса:*** 0x0 ***Контролепригодность*:** неконтролируемый ***Маска сброса*:** 0x0 ***Изменяется на лету*:** Да
10	PCIE_CAP_LINK_ BW_MAN_INT_EN	Меняется	Разрешение прерывания управления полосой пропускания линка. Более подробное описание полей регистра приведено в спецификации *PCI Express*. Примечание – Атрибуты доступа этих полей приведены ниже: DBI: Если бит PCIE_CAP_LINK_BW_NOT_CAP = 1, тип доступа RW, в противном случае – RO. ***Значение после сброса:*** 0x0 ***Контролепригодность*:** неконтролируемый ***Маска сброса*:** 0x0 ***Изменяется на лету*:** Да
9	PCIE_CAP_HW_ AUTO_WIDTH_DISABLE	R/W	Отключена аппаратная автономная ширина. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** 0x0

Биты	Название	Тип доступа	Описание
8	PCIE_CAP_EN_ CLK_POWER_MAN	Меняется	Разрешение частоты управления питанием. Более подробное описание полей регистра приведено в спецификации *PCI Express*. Примечание – Атрибуты доступа этих полей приведены ниже: DBI: Если бит PCIE_CAP_CLOCK_POWER_MAN = 1, тип доступа RWS, в противном случае – ROS. ***Значение после сброса:*** 0x0 ***Контролепригодность*:** неконтролируемый ***Маска сброса*:** 0x0 ***Изменяется на лету*:** Да
7	PCIE_CAP_ EXTENDED_SYNCH	R/W	Расширенная синхронизация. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** 0x0 ***Контролепригодность*:** неконтролируемый ***Изменяется на лету*:** Да
6	PCIE_CAP_COMMON_ CLK_CONFIG	R/W	Конфигурация общего синхросигнала. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** 0x0
5	PCIE_CAP_ RETRAIN_LINK	Меняется	Инициирование переобучения линка. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** 0x0 ***Контролепригодность*:** неконтролируемый ***Маска сброса*:** 0x0 ***Изменяется на лету*:** Да
4	PCIE_CAP_LINK_ DISABLE	Меняется	Инициирование отключения линка. Более подробное описание полей регистра приведено в спецификации *PCI Express*. В Downstream портах (DSP) есть поддержка перекрестных линков. Примечание – Атрибуты доступа этих полей приведены ниже: DBI: Если DSP, то тип доступа RW, в противном случае – RO ***Значение после сброса:*** 0x0 ***Контролепригодность*:** неконтролируемый ***Маска сброса*:** 0x0 ***Изменяется на лету*:** Да
3	PCIE_CAP_RCB	R/W	Граница completion чтения (RCB). ***Значение после сброса:*** 0x0

Биты	Название	Тип доступа	Описание
2	RSVDP_2	R	Зарезервировано для будущих применений. ***Значение после сброса:*** 0x0
1, 0	PCIE_CAP_ ACTIVE_STATE_LINK_ PM_CONTROL	R/W	Контроль активного состояния управления питанием (ASPM). Программное обеспечение не должно разрешать L0s в любом из направлений, выдающих линк до тех пор, пока компоненты на обеих сторонах соединения не будут поддерживать L0s; в противном случае, результат будет неопределенным. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** 0x0

11.10.4.6 Регистр DEVICE_CAPABILITIES2_REG

Описание: Регистр 2 возможностей устройства;
Разрядность: 32 бит;
Смещение: 0x94.

31	30 – 24	23 – 20	19, 18	17	16	15, 14	13	12	11	10	9	8	7	6	5	4	3 – 0
Rsvd	RSVDP_24	Rsvd	PCIE_CAP_OBFF_SUPPORT	PCIE_CAP2_10_BIT_TAG_ REQ_SUPPORT	PCIE_CAP2_10_BIT_TAG_ COMP_SUPPORT	PCIE_CAP2_LN_SYS_CLS	PCIE_CAP_TPH_CMPLT_SUPPORT_1	PCIE_CAP_TPH_CMPLT_SUPPORT_0	PCIE_CAP_LTR_SUPP	PCIE_CAP_NO_RO_EN_PR2PR_PAR	PCIE_CAP_128_CAS_CPL_SUPP	PCIE_CAP_64_ATOMIC_CPL_SUPP	PCIE_CAP_32_ATOMIC_CPL_SUPP	PCIE_CAP_ATOMIC_ROUTING_SUPP	PCIE_CAP_ARI_FORWARD_SUPPORT	PCIE_CAP_CPL_TIMEOUT_ DISABLE_SUPPORT	PCIE_CAP_CPL_TIMEOUT_RANGE

Таблица 135 – Описание бит регистра DEVICE_CAPABILITIES2_REG

Биты	Название	Тип доступа	Описание
31	–	–	Зарезервировано
30 – 24	RSVDP_24	R	Зарезервировано для будущих применений. ***Значение после сброса:*** 0x0
23 – 20	–	–	Зарезервировано

Биты	Название	Тип доступа	Описание
19,18	PCIE_CAP_OBFF_ SUPPORT	R	(OBFF) Поддержка оптимизации очистки/заполнения буфера. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** 0x0
17	PCIE_CAP2_10_BIT_TAG_ REQ_SUPPORT	R	Поддержка 10-битного тега инициатора запроса. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** 0x0
16	PCIE_CAP2_10_BIT_TAG_ COMP_SUPPORT	R	Поддержка 10-битного тега completer. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** 0x0
15,14	PCIE_CAP2_LN_SYS_CLS	R	LN система CLS. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** 0x0
13	PCIE_CAP_TPH_CMPLT_ SUPPORT_1	R	Поддержка бита 1 в TPH completer. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** 0x0
12	PCIE_CAP_TPH_CMPLT_ SUPPORT_0	R	Поддержка бита 0 в TPH completer. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** 0x0
11	PCIE_CAP_LTR_SUPP	R	Поддержка механизма LTR. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** 0x0
10	PCIE_CAP_NO_RO_EN_ PR2PR_PAR	R	Разрешено строгое упорядочивание при прохождении PR-PR. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** 0x0
9	PCIE_CAP_128_CAS_CPL_ SUPP	R	Поддержка 128 битного CAS completer. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** 0x0
8	PCIE_CAP_64_ATOMIC_ CPL_SUPP	R	Поддержка 64 битного AtomicOp completer. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** 0x0

Биты	Название	Тип доступа	Описание
7	PCIE_CAP_32_ATOMIC_ CPL_SUPP	R	Поддержка 32 битного AtomicOp completer. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** 0x0
6	PCIE_CAP_ATOMIC_ ROUTING_SUPP	R	Поддержка маршрутизации элементарных операций. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** 0x0
5	PCIE_CAP_ARI_FORWAR D_SUPPORT	R	Поддержка переадресации ARI. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** 0x0
4	PCIE_CAP_CPL_TIMEOUT _DISABLE_SUPPORT	R	Поддержка отключения таймаута completion. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** 0x1
3:0	PCIE_CAP_CPL_TIMEOUT _RANGE	R	Поддержка диапазонов таймаута completion. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** 0x0

11.10.4.7 Регистр DEVICE_CONTROL2_DEVICE_STATUS2_REG

Описание: Регистр контроля 2 и статуса 2 устройства;
Разрядность: 32 бит;
Смещение: 0x98.

31 – 6	5	4	3 – 0
Rsvd	PCIE_CAP_ARI_FORWARD_ SUPPORT_CS	PCIE_CAP_CPL_ TIMEOUT_DISABLE	PCIE_CAP_CPL_ TIMEOUT_VALUE

Таблица 136 – Описание бит регистра DEVICE_CONTROL2_DEVICE_ STATUS2_REG

Биты	Название	Тип доступа	Описание
31 – 6	–	–	Зарезервировано
5	PCIE_CAP_ARI_ FORWARD_SUPPORT_CS	R	Разрешение переадресации ARI. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** 0x0

Биты	Название	Тип доступа	Описание
4	PCIE_CAP_CPL_ TIMEOUT_DISABLE	R/W	Запрет таймаута completion. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** 0x0
3 – 0	PCIE_CAP_CPL_ TIMEOUT_VALUE	R	Величина таймаута completion. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** 0x0

11.10.4.8 Регистр LINK_CAPABILITIES2_REG

Описание: Регистр 2 возможностей линка;
Разрядность: 32 бит;
Смещение: 0x9c.

31	30 – 25	24, 23	22 – 9	8	7 – 1	0
Rsvd	RSVDP_25	Rsvd	RSVDP_9	PCIE_CAP_CROSS_ LINK_SUPPORT	PCIE_CAP_SUPPORT_LINK_ SPEED_VECTOR	RSVDP_0

Таблица 137 – Описание бит регистра LINK_CAPABILITIES2_REG

Биты	Название	Тип доступа	Описание
31	–	–	Зарезервировано
30 – 25	RSVDP_25	R	Зарезервировано для будущих применений. ***Значение после сброса:*** 0x0
24, 23			Зарезервировано
22 – 9	RSVDP_9	R	Зарезервировано для будущих применений. ***Значение после сброса:*** 0x0
8	PCIE_CAP_CROSS_ LINK_SUPPORT	R	Поддержка перекрестного линка. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** 0x0
7 – 1	PCIE_CAP_SUPPORT_ LINK_SPEED_VECTOR	R	Поддержка вектора скорости линка. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** 0x3 ***Контролепригодность*:** неконтролируемый ***Маска сброса*:** 0x0 ***Изменяется на лету*:** Да
0	RSVDP_0	R	Зарезервировано для будущих применений. ***Значение после сброса:*** 0x0

11.10.4.9 Регистр LINK_CONTROL2_LINK_STATUS2_REG

Описание: Регистр 2 контроля и статуса линка;
Разрядность: 32 бит;
Смещение: 0xa0.

31	30 – 28	27 – 24	23 – 17	16	15 – 12	11	10	9 – 7	6	5	4	3 – 0
DRS_MESSAGE_RECEIVED	DOWNSTREAM_COMPO_ PRESENCE	RSVDP_24	Rsvd	PCIE_CAP_CURR_ DEEMPHASIS	PCIE_CAP_ COMPLIANCE_PRESET	PCIE_CAP_ COMPLIANCE_SOS	PCIE_CAP_ENTER_ MODIFIED_COMPLIANCE	PCIE_CAP_TX_MARGIN	PCIE_CAP_SEL_ DEEMPHASIS	PCIE_CAP_HW_ AUTO_SPEED_DISABLE	PCIE_CAP_ENTER_ COMPLIANCE	PCIE_CAP_TARGET_ LINK_SPEED

Таблица 138 – Описание бит регистра LINK_CONTROL2_LINK_STATUS2_REG

Биты	Название	Тип доступа	Описание
31	DRS_MESSAGE_ RECEIVED	R	Получено DRS сообщение. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** 0x0
30 – 28	DOWNSTREAM_COMPO_ PRESENCE	R	Представлена Downstream компонента. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** 0x0
27 – 24	RSVDP_24	R	Зарезервировано для будущих применений. ***Значение после сброса:*** 0x0
23 – 17	–	–	Зарезервировано
16	PCIE_CAP_CURR_ DEEMPHASIS	R	Текущий уровень коррекции предискажений. Более подробное описание полей регистра приведено в спецификации *PCI Express*. В режиме M-PCIe этот регистр всегда в нуле. В режиме C-PCIe его содержимое извлекается при сэмплировании PIPE ***Значение после сброса:*** 0x1 ***Контролепригодность*:** неконтролируемый ***Изменяется на лету*:** Да

Биты	Название	Тип доступа	Описание
15 – 12	PCIE_CAP_ COMPLIANCE_PRESET	R/W	Устанаваливается приемлимая предварительная настройка/коррекция искажений для 5 Гбит/с. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** **0**x0 ***Контролепригодность*****:** неконтролируемый ***Изменяется на лету*****:** Да
11	PCIE_CAP_ COMPLIANCE_SOS	R/W	Устанавливается приемлемый пропуск упорядоченного множества передач. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** **0**x0 ***Контролепригодность*****:** неконтролируемый ***Изменяется на лету*****:** Да
10	PCIE_CAP_ENTER_ MODIFIED_COMPLIANCE	R	Вход в режим модифицированной совместимости. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** **0**x0 ***Контролепригодность*****:** неконтролируемый ***Изменяется на лету*****:** Да
9 – 7	PCIE_CAP_TX_MARGIN	R/W	Поле контроля передачи для отладки или совместимости. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** **0**x0 ***Контролепригодность*****:** неконтролируемый ***Изменяется на лету*****:** Да
6	PCIE_CAP_SEL_ DEEMPHASIS	R	Контроль выбираемой коррекции искажений для 5 Гбит/с. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** **0**x0
5	PCIE_CAP_HW_AUTO_ SPEED_DISABLE	R	Запрет автономной аппаратной скорости. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** **0**x0 ***Контролепригодность*****:**неконтролируемый ***Изменяется на лету*****:** Да
4	PCIE_CAP_ENTER_ COMPLIANCE	R/W	Вход в режим совместимости. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** **0**x0 ***Контролепригодность*****:** неконтролируемый ***Изменяется на лету*****:** Да

Биты	Название	Тип доступа	Описание
3 – 0	PCIE_CAP_ TARGET_LINK_SPEED	R/W	Целевая скорость линка. Более подробное описание полей регистра приведено в спецификации *PCI Express*. В режиме M-PCIe, содержимое этого поля извлекается из других регистров. ***Значение после сброса:*** **0**x2 ***Контролепригодность*****:** неконтролируемый ***Маска сброса*****:** 0x0 ***Изменяется на лету*****:** Да

11.10.5 Регистры блока PF0_AER_CAP

11.10.5.1 Регистр AER_EXT_CAP_HDR_OFF

Описание: Заголовок расширенных возможностей по формированию рапорта об ошибках;

Разрядность: 32 бит;

Смещение: 0x100.

31 – 20	19 – 16	15 – 0
NEXT_OFFSET	CAP_VERSION	CAP_ID

Таблица 139 – Описание бит регистра AER_EXT_CAP_HDR_OFF

Биты	Название	Тип доступа	Описание
31 – 20	NEXT_OFFSET	Меняется	Смещение следующей возможности. Более подробное описание полей регистра приведено в спецификации *PCI Express*. Примечание – Атрибуты доступа этих полей приведены ниже: DBI: Если бит DBI_RO_WR_EN = 1, доступ R/W, в противном случае – доступ R. ***Значение после сброса:*** 0x0
19 – 16	CAP_VERSION	Меняется	Версия возможности. Более подробное описание полей регистра приведено в спецификации *PCI Express*. Примечание – Атрибуты доступа этих полей приведены ниже: DBI: Если бит DBI_RO_WR_EN = 1, доступ R/W, в противном случае – доступ R. ***Значение после сброса:*** 0x2

Биты	Название	Тип доступа	Описание
15 – 0	CAP_ID	Меняется	ID расширенных возможностей AER. Более подробное описание полей регистра приведено в спецификации *PC Express*. Примечание – Атрибуты доступа этих полей приведены ниже: DBI: Если бит DBI_RO_WR_EN = 1, доступ R/W, в противном случае – доступ R. ***Значение после сброса:*** 0x1

11.10.5.2 Регистр UNCORR_ERR_STATUS_OFF

Описание: Регистр статуса некорректируемых ошибок;
Разрядность: 32 бит;
Смещение: 0x104.

31 – 26	25	24 – 23	22	21	20	19	18	17	16	15	14	13	12	11 – 6	5	4	3 – 0
RSVDP_26	TLP_PRFX_BLOCKED_ ERR_STATUS	RSVDP_23	INTERNAL_ERR_STATUS	Rsvd	UNSUPPORTED_ REQ_ERR_STATUS	ECRC_ERR_STATUS	MALF_TLP_ERR_STATUS	REC_OVERFLOW_ ERR_STATUS	UNEXP_CMPLT_ERR_STATUS	CMPLT_ABORT_ERR_STATUS	CMPLT_TIMEOUT_ERR_STATUS	FC_PROTOCOL_ERR_STATUS	POIS_TLP_ERR_STATUS	RSVDP_6	SURPRISE_DOWN_ERR_STATUS	DL_PROTOCOL_ERR_STATUS	RSVDP_0

Таблица 140 – Описание бит регистра UNCORR_ERR_STATUS_OFF

Биты	Название	Тип доступа	Описание
31 – 26	RSVDP_26	R	Зарезервировано для будущих применений. ***Значение после сброса:*** 0x0
25	TLP_PRFX_BLOCKED_ ERR_STATUS	R/W	Статус ошибки заблокированного префикса TLP. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** **0**x0
24 – 23	RSVDP_23	R	Зарезервировано для будущих применений. ***Значение после сброса:*** 0x0

Биты	Название	Тип доступа	Описание
22	INTERNAL_ERR_ STATUS	R/W	Статус внутренней некорректируемой ошибки. Более подробное описание полей регистра приведено в спецификации *PCI Express*. Контроллер устанавливает этот бит, когда ваше приложение устанавливает app_err_bus[9]. Этот бит не устанавливается, когда детектируются внутренние некорректируемые ошибки такие как ошибки паритета и ECC. ***Значение после сброса:*** **0**x0 ***Контролепригодность*:** неконтролируемый ***Изменяется на лету*:** Да
21	–	–	**Зарезервировано**
20	UNSUPPORTED_REQ_ ERR_STATUS	R/W	Статус ошибки неподдерживаемого запроса. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** **0**x0 ***Контролепригодность*:** неконтролируемый ***Изменяется на лету*:** Да
19	ECRC_ERR_STATUS	R/W	Статус ошибки ECRC. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** **0**x0 ***Контролепригодность*:** неконтролируемый ***Изменяется на лету*:** Да
18	MALF_TLP_ERR_STATUS	R/W	Статус неправильно сформированного TLP. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** **0**x0 ***Контролепригодность*:** неконтролируемый ***Маска сброса*:** 0x0 ***Изменяется на лету*:** Да
17	REC_OVERFLOW_ERR_ STATUS	R/W	Статус переполнение приемника. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** **0**x0 ***Контролепригодность*:** неконтролируемый ***Маска сброса*:** 0x0 ***Изменяется на лету*:** Да
16	UNEXP_CMPLT_ERR_ STATUS	R/W	Статус неожиданного completion. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** **0**x0 ***Контролепригодность*:** неконтролируемый ***Изменяется на лету*:** Да

Биты	Название	Тип доступа	Описание
15	CMPLT_ABORT_ERR_ STATUS	R/W	Статус прерывания Completer. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** **0**x0 ***Контролепригодность*:** неконтролируемый ***Изменяется на лету*:** Да
14	CMPLT_TIMEOUT_ERR_ STATUS	R/W	Статус таймаута completion. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** **0**x0 ***Контролепригодность*:** неконтролируемый ***Изменяется на лету*:** Да
13	FC_PROTOCOL_ERR_ STATUS	R/W	Статус ошибки протокола управления потоками данных. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** **0**x0 ***Контролепригодность*:** неконтролируемый ***Маска сброса*:** 0x0 ***Изменяется на лету*:** Да
12	POIS_TLP_ERR_STATUS	R/W	Статус испорченного TLP. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** **0**x0 ***Контролепригодность*:** неконтролируемый ***Изменяется на лету*:** Да
11 – 6	RSVDP_6	R	Зарезервировано для будущих применений. ***Значение после сброса:*** 0x0
5	SURPRISE_DOWN_ ERR_STATUS	R/W	Статус ошибки неожиданного отказа. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** **0**x0 ***Контролепригодность*:** неконтролируемый ***Маска сброса*:** 0x0 ***Изменяется на лету*:** Да
4	DL_PROTOCOL_ERR_ STATUS	R/W	Статус ошибки протокола канального уровня. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** **0**x0 ***Контролепригодность*:** неконтролируемый ***Маска сброса*:** 0x0 ***Изменяется на лету*:** Да
3 – 0	RSVDP_0	R	Зарезервировано для будущих применений. ***Значение после сброса:*** 0x0

11.10.5.3 Регистр UNCORR_ERR_MASK_OFF

Описание: Регистр маски некорректируемой ошибки;
Разрядность: 32 бит;
Смещение: 0x108.

31 – 26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11 – 6	5	4	3 – 0
RSVDP_26	TLP_PRFX_BLOCKED_ERR	ATOMIC_EGRESS_ BLOCKED_ERR_MASK	RSVDP_23	INTERNAL_ERR_MASK	Rsvd	UNSUPPORTED_REQ_ERR	ECRC_ERR_MASK	MALF_TLP_ERR_MASK	REC_OVERFLOW_ERR_ MASK	UNEXP_CMPLT_ERR_MAS	CMPLT_ABORT_ERR_MAS	CMPLT_TIMEOUT_ERR_ MASK	FC_PROTOCOL_ERR_MAS	POIS_TLP_ERR_MASK	RSVDP_6	SURPRISE_DOWN_ERR_ MASK	DL_PROTOCOL_ERR_MAS	RSVDP_0

Таблица 141 – Описание бит регистра UNCORR_ERR_MASK_OFF

Биты	Название	Тип доступа	Описание
31 – 26	RSVDP_26	R	Зарезервировано для будущих применений. ***Значение после сброса:*** 0x0
25	TLP_PRFX_BLOCKED_ ERR_MASK	R	Маска ошибки блокированного слова TLP. Более подробное описание полей регистра приведено в спецификации *PCI Express*. Примечание – не поддерживается. ***Значение после сброса:*** **0**x0
24	ATOMIC_EGRESS_ BLOCKED_ERR_MASK	R	Маска выходного блока AtomicOp (опционально). Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** **0**x0
23	RSVDP_23	R	Зарезервировано для будущих применений. ***Значение после сброса:*** 0x0
22	INTERNAL_ERR_MASK	R/W	Маска внутренней некорректируемой ошибки (опционально). Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** 0x1
21			**Зарезервировано**
20	UNSUPPORTED_REQ_ ERR_MASK	R/W	Маска ошибки неподдерживаемого запроса. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** **0**x0

Биты	Название	Тип доступа	Описание
19	ECRC_ERR_MASK	R/W	Маска ошибки ECRC (опционально). Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** **0**x0
18	MALF_TLP_ERR_MASK	R/W	Маска некорректно сформированного TLP. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** **0**x0
17	REC_OVERFLOW_ ERR_MASK	R/W	Маска переполнения приемника (опционально). Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** **0**x0
16	UNEXP_CMPLT_ ERR_MASK	R/W	Маска непредвиденного completion. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** **0**x0
15	CMPLT_ABORT_ ERR_MASK	R/W	Маска ошибки прерывания completer (опционально). Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** **0**x0
14	CMPLT_TIMEOUT_ ERR_MASK	R/W	Маска ошибки таймаута completion. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** **0**x0
13	FC_PROTOCOL_ ERR_MASK	R/W	Маска ошибки протокола управления потоками. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** **0**x0
12	POIS_TLP_ERR_MASK	R/W	Маска испорченного TLP. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** **0**x0
11 – 6	RSVDP_6	R	Зарезервировано для будущих применений. ***Значение после сброса:*** 0x0
5	SURPRISE_DOWN_ ERR_MASK	R	Маска ошибки неожиданного отказа. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** **0**x0
4	DL_PROTOCOL_ ERR_MASK	R/W	Маска ошибки протокола канального уровня. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** **0**x0

Биты	Название	Тип доступа	Описание
3 – 0	RSVDP_0	R	Зарезервировано для будущих применений. ***Значение после сброса:*** 0x0

11.10.5.4 Регистр UNCORR_ERR_SEV_OFF

Описание: Регистр степени значимости некорректируемой ошибки;
Разрядность: 32 бит;
Смещение: 0x10c.

31 – 26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11 – 6	5	4	3 – 0
RSVDP_26	TLP_PRFX_BLOCKED_ ERR_SEVERITY	ATOMIC_EGRESS_ BLOCKED_ERR_SEVERITY	RSVDP_23	INTERNAL_ERR_SEVERITY	Rsvd	UNSUPPORTED_REQ_ ERR_SEVERITY	ECRC_ERR_SEVERITY	MALF_TLP_ERR_SEVERITY	REC_OVERFLOW_ERR_SEVERIT	UNEXP_CMPLT_ERR_SEVERITY	CMPLT_ABORT_ERR_SEVERITY	CMPLT_TIMEOUT_ERR_SEVERIT	FC_PROTOCOL_ERR_SEVERITY	POIS_TLP_ERR_SEVERITY	RSVDP_6	SURPRISE_DOWN_ERR_SVRITY	DL_PROTOCOL_ERR_SEVERITY	RSVDP_0

Таблица 142 – Описание бит регистра UNCORR_ERR_SEV_OFF

Биты	Название	Тип доступа	Описание
31 – 26	RSVDP_26	R	Зарезервировано для будущих применений. *Значение после сброса:* 0x0
25	TLP_PRFX_BLOCKED_ ERR_SEVERITY	R	Степень значимости ошибки блокирования префикса TLP (опционально). Более подробное описание полей регистра приведено в спецификации PCI Express. Примечание – Не поддерживается. *Значение после сброса:* 0x0
24	ATOMIC_EGRESS_ BLOCKED_ERR_SEVERITY	R	Степень значимости блокирования выходного AtomicOp (опционально). Более подробное описание полей регистра приведено в спецификации PCI Express. *Значение после сброса:* 0x0
23	RSVDP_23	R	Зарезервировано для будущих применений. *Значение после сброса:* 0x0

Биты	Название	Тип доступа	Описание
22	INTERNAL_ERR_ SEVERITY	R/W	Степень значимости внутренней некорректируемой ошибки (опционально). Более подробное описание полей регистра приведено в спецификации PCI Express. *Значение после сброса:* 0x1
21	–	–	Зарезервировано
20	UNSUPPORTED_REQ_ ERR_SEVERITY	R/W	Степень значимости ошибки неподдерживаемого запроса. Более подробное описание полей регистра приведено в спецификации PCI Express. *Значение после сброса:* 0x0
19	ECRC_ERR_SEVERITY	R/W	Степень значимости ошибки ECRC (опционально). Более подробное описание полей регистра приведено в спецификации PCI Express. *Значение после сброса:* 0x0
18	MALF_TLP_ERR_ SEVERITY	R/W	Степень значимости неверно сформированного TLP. Более подробное описание полей регистра приведено в спецификации PCI Express. *Значение после сброса:* 0x1
17	REC_OVERFLOW_ERR_ SEVERITY	R/W	Степень значимости ошибки переполнения приемника (опционально). Более подробное описание полей регистра приведено в спецификации PCI Express. *Значение после сброса:* 0x1
16	UNEXP_CMPLT_ERR_ SEVERITY	R/W	Степень значимости ошибки непредвиденного completion. Более подробное описание полей регистра приведено в спецификации PCI Express. *Значение после сброса:* 0x0
15	CMPLT_ABORT_ERR_ SEVERITY	R/W	Степень значимости ошибки прерывания completer (опционально). Более подробное описание полей регистра приведено в спецификации PCI Express. *Значение после сброса:* 0x0
14	CMPLT_TIMEOUT_ERR_ SEVERITY	R/W	Степень значимости ошибки таймаута completion. Более подробное описание полей регистра приведено в спецификации PCI Express. *Значение после сброса:* 0x0

Биты	Название	Тип доступа	Описание
13	FC_PROTOCOL_ERR_ SEVERITY	R/W	Степень значимости ошибки протокола управления потоками данных (опционально). Более подробное описание полей регистра приведено в спецификации PCI Express. *Значение после сброса:* 0x1
12	POIS_TLP_ERR_SEVERITY	R/W	Степень значимости испорченного TLP. Более подробное описание полей регистра приведено в спецификации PCI Express. *Значение после сброса:* 0x0
11 – 6	RSVDP_6	R	Зарезервировано для будущих применений. *Значение после сброса:* 0x0
5	SURPRISE_DOWN_ ERR_SVRITY	R	Степень значимости ошибки непредвиденного отказа (опционально). Более подробное описание полей регистра приведено в спецификации PCI Express. *Значение после сброса:* 0x1
4	DL_PROTOCOL_ ERR_SEVERITY	R/W	Степень значимости ошибки протокола канального уровня. Более подробное описание полей регистра приведено в спецификации PCI Express. *Значение после сброса:* 0x1
3 – 0	RSVDP_0	R	Зарезервировано для будущих применений. *Значение после сброса:* 0x0

11.10.5.5 Регистр CORR_ERR_STATUS_OFF

Описание: Регистр статуса корректируемой ошибки;
Разрядность: 32 бита;
Смещение: 0x110.

31 – 16	15	14	13	12	11 – 9	8	7	6	5 – 1	0
RSVDP_16	HEADER_LOG_ OVERFLOW_STATUS	CORRECTED_INT_ ERR_STATUS	ADVISORY_NON_ FATAL_ERR_STATUS	RPL_TIMER_TIMEOUT _STATUS	RSVDP_9	REPLAY_NO_ ROLEOVER_STATUS	BAD_DLLP_STATUS	BAD_TLP_STATUS	RSVDP_1	RX_ERR_STATUS

Таблица 143 – Описание бит регистра CORR_ERR_STATUS_OFF

Биты	Название	Тип доступа	Описание
31 – 16	RSVDP_16	R	Зарезервировано для будущих применений. Значение после сброса: 0x0
15	HEADER_LOG_ OVERFLOW_STATUS	R/W	Статус ошибки переполнения заголовка журнала регистраций (опционально). Более подробное описание полей регистра приведено в спецификации PCI Express. Значение после сброса: 0x0 Контролепригодность: неконтролируемый Изменяется на лету: Да
14	CORRECTED_INT_ ERR_STATUS	R/W	Статус внутренней корректируемой ошибки (опционально). Более подробное описание полей регистра приведено в спецификации PCI Express. Значение после сброса: 0x0 Контролепригодность: неконтролируемый Изменяется на лету: Да
13	ADVISORY_NON_FATAL_ ERR_STATUS	R/W	Статус нефатальной справочной ошибки. Более подробное описание полей регистра приведено в спецификации PCI Express. Значение после сброса: 0x0 Контролепригодность: неконтролируемый Изменяется на лету: Да
12	RPL_TIMER_TIMEOUT_ STATUS	R/W	Статус таймаута таймера повтора. Более подробное описание полей регистра приведено в спецификации PCI Express. Значение после сброса: 0x0 Контролепригодность: неконтролируемый Изменяется на лету: Да
11 – 9	RSVDP_9	R	Зарезервировано для будущих применений. Значение после сброса: 0x0
8	REPLAY_NO_ ROLEOVER_STATUS	R/W	Статус трансформации REPLAY_NUM. Более подробное описание полей регистра приведено в спецификации PCI Express. Значение после сброса: 0x0 Контролепригодность: неконтролируемый Изменяется на лету: Да
7	BAD_DLLP_STATUS	R/W	Статус плохого DLLP. Более подробное описание полей регистра приведено в спецификации PCI Express. Значение после сброса: 0x0 Контролепригодность: неконтролируемый Изменяется на лету: Да

Биты	Название	Тип доступа	Описание
6	BAD_TLP_STATUS	R/W	Статус плохого TLP. Более подробное описание полей регистра приведено в спецификации PCI Express. Значение после сброса: 0x0 Контролепригодность: неконтролируемый Изменяется на лету: Да
5 – 1	RSVDP_1	R	Зарезервировано для будущих применений. Значение после сброса: 0x0
0	RX_ERR_STATUS	R/W	Статус ошибки приемника (опционально). Более подробное описание полей регистра приведено в спецификации PCI Express. Значение после сброса: 0x0 Контролепригодность: неконтролируемый Изменяется на лету: Да

11.10.5.6 Регистр CORR_ERR_MASK_OFF

Описание: Регистр маски корректируемой ошибки;
Разрядность: 32 бит;
Смещение: 0x114.

31 – 16	15	14	13	12	11 – 9	8	7	6	5 – 1	0
RSVDP_16	HEADER_LOG_ OVERFLOW_MASK	CORRECTED_INT_ ERR_MASK	ADVISORY_NON_ FATAL_ERR_MASK	RPL_TIMER_ TIMEOUT_MASK	RSVDP_9	REPLAY_NO_ ROLEOVER_MASK	BAD_DLLP_MASK	BAD_TLP_MASK	RSVDP_1	RX_ERR_MASK

Таблица 144 – Описание бит регистра CORR_ERR_MASK_OFF

Биты	Название	Тип доступа	Описание
31 –16	RSVDP_16	R	Зарезервировано для будущих применений. ***Значение после сброса:*** 0x0
15	HEADER_LOG_ OVERFLOW_MASK	R/W	Маска ошибки переполнения заголовка журнала регистраций (опционально). Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** 0x1

Биты	Название	Тип доступа	Описание
14	CORRECTED_INT_ ERR_MASK	R/W	Маска внутренней корректируемой ошибки (опционально). Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** **0**x1
13	ADVISORY_NON_FATAL_ ERR_MASK	R/W	Маска нефатальной справочной ошибки. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** **0**x1
12	RPL_TIMER_ TIMEOUT_MASK	R/W	Маска таймаута таймера повтора. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** **0**x0
11 – 9	RSVDP_9	R	Зарезервировано для будущих применений. ***Значение после сброса:*** 0x0
8	REPLAY_NO_ ROLEOVER_MASK	R/W	Маска трансформации REPLAY_NUM. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** **0**x0
7	BAD_DLLP_MASK	R/W	Маска плохого DLLP. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** **0**x0
6	BAD_TLP_MASK	R/W	Маска плохого TLP. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** **0**x0
5:1	RSVDP_1	R	Зарезервировано для будущих применений. ***Значение после сброса:*** 0x0
0	RX_ERR_MASK	R/W	Маска ошибки приемника (опционально). Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** **0**x0

11.10.5.7 Регистр ADV_ERR_CAP_CTRL_OFF

Описание: Регистр расширенных возможностей и контроля ошибок;
Разрядность: 32 бит;
Смещение: 0x118.

31 – 12	11	10	9	8	7	6	5	4 – 0
RSVDP_12	Rsvd	MULTIPLE_ HEADER_EN	MULTIPLE_ HEADER_CAP	ECRC_CHECK_EN	ECRC_CHECK_CAP	ECRC_GEN_EN	ECRC_GEN_CAP	FIRST_ERR_ POINTER

Таблица 145 – Описание бит регистра ADV_ERR_CAP_CTRL_OFF

Биты	Название	Тип доступа	Описание
31 – 12	RSVDP_12	R	Зарезервировано для будущих применений. Значение после сброса: 0x0
11			Поле зарезервировано.
10	MULTIPLE_HEADER_EN	R	Разрешение записи указателя сложной структуры. Более подробное описание полей регистра приведено в спецификации PCI Express. Значение после сброса: 0x0 Контролепригодность: неконтролируемый Изменяется на лету: Да
9	MULTIPLE_HEADER_CAP	R	Возможность записи указателя сложной структуры. Более подробное описание полей регистра приведено в спецификации PCI Express. Значение после сброса: 0x0
8	ECRC_CHECK_EN	R/W	Разрешение проверки ECRC. Более подробное описание полей регистра приведено в спецификации PCI Express. Значение после сброса: 0x0
7	ECRC_CHECK_CAP	R	Возможность проверки ECRC. Более подробное описание полей регистра приведено в спецификации PCI Express. Значение после сброса: 0x1
6	ECRC_GEN_EN	R/W	Разрешение генерации ECRC. Более подробное описание полей регистра приведено в спецификации PCI Express. Значение после сброса: 0x0
5	ECRC_GEN_CAP	R	Возможность генерации ECRC. Более подробное описание полей регистра приведено в спецификации PCI Express. Значение после сброса: 0x1

Биты	Название	Тип доступа	Описание
4:0	FIRST_ERR_POINTER	R	Указатель первой ошибки. Более подробное описание полей регистра приведено в спецификации PCI Express. Значение после сброса: 0x0 Контролепригодность: неконтролируемый Изменяется на лету: Да

11.10.5.8 Регистр HDR_LOG_0_OFF

Описание: Регистр 0 заголовка журнала регистраций;
Разрядность: 32 бит;
Смещение: 0x11c.

31 – 24	23 – 16	15 – 8	7 – 0
FIRST_DWORD_ FOURTH_BYTE	FIRST_DWORD_ THIRD_BYTE	FIRST_DWORD_ SECOND_BYTE	FIRST_DWORD_ FIRST_BYTE

Таблица 146 – Описание бит регистра HDR_LOG_0_OFF

Биты	Название	Тип доступа	Описание
31 – 24	FIRST_DWORD_ FOURTH_BYTE	R	Байт 3 регистра заголовка журнала регистраций первого 32 битного слова данных. Более подробное описание полей регистра приведено в спецификации PCI Express. Значение после сброса: 0x0 Контролепригодность: неконтролируемый Изменяется на лету: Да
23 – 16	FIRST_DWORD_ THIRD_BYTE	R	Байт 2 регистра заголовка журнала регистраций первого 32 битного слова данных. Более подробное описание полей регистра приведено в спецификации PCI Express. Значение после сброса: 0x0 Контролепригодность: неконтролируемый Изменяется на лету: Да
15 – 8	FIRST_DWORD_ SECOND_BYTE	R	Байт 1 регистра заголовка журнала регистраций первого 32 битного слова данных. Более подробное описание полей регистра приведено в спецификации PCI Express. Значение после сброса: 0x0 Контролепригодность: неконтролируемый Изменяется на лету: Да
7 – 0	FIRST_DWORD_ FIRST_BYTE	R	Байт 0 регистра заголовка журнала регистраций первого 32 битного слова данных. Более подробное описание полей регистра приведено в спецификации PCI Express. Значение после сброса: 0x0 Контролепригодность: неконтролируемый Изменяется на лету: Да

11.10.5.9 Регистр HDR_LOG_1_OFF

Description: Регистр 1 заголовка журнала регистраций;
Разрядность: 32 бит;
Смещение: 0x120.

31 – 24	23 – 16	15 – 8	7 – 0
SECOND_DWORD_ FOURTH_BYTE	SECOND_DWORD_ THIRD_BYTE	SECOND_DWORD_ SECOND_BYTE	SECOND_DWORD_ FIRST_BYTE

Таблица 147 – Описание бит регистра HDR_LOG_1_OFF

Биты	Название	Тип доступа	Описание
31 – 24	SECOND_DWORD_ FOURTH_BYTE	R	Байт 3 регистра заголовка журнала регистраций второго 32 битного слова данных. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** **0**x0 ***Контролепригодность*****:** неконтролируемый ***Изменяется на лету*****:** Да
23 – 16	SECOND_DWORD_ THIRD_BYTE	R	Байт 2 регистра заголовка журнала регистраций второго 32 битного слова данных. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** **0**x0 ***Контролепригодность*****:** неконтролируемый ***Изменяется на лету*****:** Да
15 – 8	SECOND_DWORD_ SECOND_BYTE	R	Байт 1 регистра заголовка журнала регистраций второго 32 битного слова данных. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** **0**x0 ***Контролепригодность*****:** неконтролируемый ***Изменяется на лету*****:** Да
7 – 0	SECOND_DWORD_ FIRST_BYTE	R	Байт 0 регистра заголовка журнала регистраций второго 32 битного слова данных. Более подробное описание полей регистра приведено в спецификации *PCI Express*. ***Значение после сброса:*** **0**x0 ***Контролепригодность*****:** неконтролируемый ***Изменяется на лету*****:** Да

11.10.5.10 Регистр HDR_LOG_2_OFF

Описание: Регистр 2 заголовка журнала регистраций;
Разрядность: 32 бит;
Смещение: 0x12.

31 – 24	23 – 16	15 – 8	7 – 0
THIRD_DWORD_ FOURTH_BYTE	THIRD_DWORD_ THIRD_BYTE	THIRD_DWORD_ SECOND_BYTE	THIRD_DWORD_ FIRST_BYTE

Таблица 148 – Описание бит регистра HDR_LOG_2_OFF

Биты	Название	Тип доступа	Описание
31 – 24	THIRD_DWORD_ FOURTH_BYTE	R	Байт 3 регистра заголовка журнала регистраций третьего 32 битного слова данных. Более подробное описание полей регистра приведено в спецификации PCI Express. Значение после сброса: 0x0 Контролепригодность: неконтролируемый Изменяется на лету: Да
23 – 16	THIRD_DWORD_ THIRD_BYTE	R	Байт 2 регистра заголовка журнала регистраций третьего 32 битного слова данных. Более подробное описание полей регистра приведено в спецификации PCI Express. Значение после сброса: 0x0 Контролепригодность: неконтролируемый Изменяется на лету: Да
15 – 8	THIRD_DWORD_ SECOND_BYTE	R	Байт 1 регистра заголовка журнала регистраций третьего 32 битного слова данных. Более подробное описание полей регистра приведено в спецификации PCI Express. Значение после сброса: 0x0 Контролепригодность: неконтролируемый Изменяется на лету: Да
7 – 0	THIRD_DWORD_ FIRST_BYTE	R	Байт 0 регистра заголовка журнала регистраций третьего 32 битного слова данных. Более подробное описание полей регистра приведено в спецификации PCI Express. Значение после сброса: 0x0 Контролепригодность: неконтролируемый Изменяется на лету: Да

11.10.5.11 Регистр HDR_LOG_3_OFF

Описание: Регистр 3 заголовка журнала регистраций;
Разрядность: 32 бит;
Смещение: 0x128.

31 – 24	23 – 16	15 – 8	7 – 0
FOURTH_DWORD_ FOURTH_BYTE	FOURTH_DWORD_ THIRD_BYTE	FOURTH_DWORD_ SECOND_BYTE	FOURTH_DWORD_ FIRST_BYTE

Таблица 149 – Описание бит регистра HDR_LOG_3_OFF

Биты	Название	Тип доступа	Описание
31 – 24	FOURTH_DWORD_ FOURTH_BYTE	R	Байт 3 регистра заголовка журнала регистраций четвертого 32 битного слова данных. Более подробное описание полей регистра приведено в спецификации PCI Express. Значение после сброса: 0x0 Контролепригодность: неконтролируемый Изменяется на лету: Да
23 – 16	FOURTH_DWORD_ THIRD_BYTE	R	Байт 2 регистра заголовка журнала регистраций четвертого 32 битного слова данных. Более подробное описание полей регистра приведено в спецификации PCI Express. Значение после сброса: 0x0 Контролепригодность: неконтролируемый Изменяется на лету: Да
15 – 8	FOURTH_DWORD_ SECOND_BYTE	R	Байт 1 регистра заголовка журнала регистраций четвертого 32 битного слова данных. Более подробное описание полей регистра приведено в спецификации PCI Express. Значение после сброса: 0x0 Контролепригодность: неконтролируемый Изменяется на лету: Да
7 – 0	FOURTH_DWORD_ FIRST_BYTE	R	Байт 0 регистра заголовка журнала регистраций четвертого 32 битного слова данных. Более подробное описание полей регистра приведено в спецификации PCI Express. Значение после сброса: 0x0 Контролепригодность: неконтролируемый Изменяется на лету: Да

11.10.5.12 Регистр TLP_PREFIX_LOG_1_OFF

Описание: Регистр 1 журнала регистраций префикса TLP;
Разрядность: 32 бит;
Смещение: 0x138.

31 – 24	23 – 16	15 – 8	7 – 0
CFG_TLP_PFX_LOG_ 1_FOURTH_BYTE	CFG_TLP_PFX_LOG_ 1_THIRD_BYTE	CFG_TLP_PFX_LOG_ 1_SECOND_BYTE	CFG_TLP_PFX_LOG_ 1_FIRST_BYTE

Таблица 150 – Описание бит регистра TLP_PREFIX_LOG_1_OFF

Биты	Название	Тип доступа	Описание
31 – 24	CFG_TLP_PFX_LOG_ 1_FOURTH_BYTE	R	Байт 3 ошибки префикса TLP в журнале регистраций 1. Более подробное описание полей регистра приведено в спецификации PCI Express. Значение после сброса: 0x0
23 – 16	CFG_TLP_PFX_LOG_ 1_THIRD_BYTE	R	Байт 2 ошибки префикса TLP в журнале регистраций 1. Более подробное описание полей регистра приведено в спецификации PCI Express. Значение после сброса: 0x0
15 – 8	CFG_TLP_PFX_LOG_ 1_SECOND_BYTE	R	Байт 1 ошибки префикса TLP в журнале регистраций 1. Более подробное описание полей регистра приведено в спецификации PCI Express. Значение после сброса: 0x0
7 – 0	CFG_TLP_PFX_LOG_ 1_FIRST_BYTE	R	Байт 0 ошибки префикса TLP в журнале регистраций 1. Более подробное описание полей регистра приведено в спецификации PCI Express. Значение после сброса: 0x0

11.10.5.13 Регистр TLP_PREFIX_LOG_2_OFF

Описание: Регистр 2 журнала регистраций префикса TLP;
Разрядность: 32 бит;
Смещение: 0x13c.

31 – 24	23 – 16	15 – 8	7 – 0
CFG_TLP_PFX_LOG_ 2_FOURTH_BYTE	CFG_TLP_PFX_LOG_ 2_THIRD_BYTE	CFG_TLP_PFX_LOG_ 2_SECOND_BYTE	CFG_TLP_PFX_LOG_ 2_FIRST_BYTE

Таблица 151 – Описание бит регистра TLP_PREFIX_LOG_2_OFF

Биты	Название	Тип доступа	Описание
31 – 24	CFG_TLP_PFX_LOG_ 2_FOURTH_BYTE	R	Байт 3 ошибки префикса TLP в журнале регистраций 2. Более подробное описание полей регистра приведено в спецификации PCI Express. Значение после сброса: 0x0
23 – 16	CFG_TLP_PFX_LOG_ 2_THIRD_BYTE	R	Байт 2 ошибки префикса TLP в журнале регистраций 2. Более подробное описание полей регистра приведено в спецификации PCI Express. Значение после сброса: 0x0
15 – 8	CFG_TLP_PFX_LOG_ 2_SECOND_BYTE	R	Байт 1 ошибки префикса TLP в журнале регистраций 2. Более подробное описание полей регистра приведено в спецификации PCI Express. Значение после сброса: 0x0
7 – 0	CFG_TLP_PFX_LOG_ 2_FIRST_BYTE	R	Байт 0 ошибки префикса TLP в журнале регистраций 2. Более подробное описание полей регистра приведено в спецификации PCI Express. Значение после сброса: 0x0

11.10.5.14 Регистр TLP_PREFIX_LOG_3_OFF

Описание: Регистр 3 журнала регистраций префикса TLP;
Разрядность: 32 бит;
Смещение: 0x140.

31 – 24	23 – 16	15 – 8	7 – 0
CFG_TLP_PFX_LOG_ 3_FOURTH_BYTE	CFG_TLP_PFX_LOG_ 3_THIRD_BYTE	CFG_TLP_PFX_LOG_ 3_SECOND_BYTE	CFG_TLP_PFX_LOG_ 3_FIRST_BYTE

Таблица 152 – Описание бит регистра TLP_PREFIX_LOG_3_OFF

Биты	Название	Тип доступа	Описание
31 – 24	CFG_TLP_PFX_LOG_ 3_FOURTH_BYTE	R	Байт 3 ошибки префикса TLP в журнале регистраций 3. Более подробное описание полей регистра приведено в спецификации PCI Express. Значение после сброса: 0x0
23 – 16	CFG_TLP_PFX_LOG_ 3_THIRD_BYTE	R	Байт 2 ошибки префикса TLP в журнале регистраций 3. Более подробное описание полей регистра приведено в спецификации PCI Express. Значение после сброса: 0x0

Биты	Название	Тип доступа	Описание
15 – 8	CFG_TLP_PFX_LOG_3_SECOND_BYTE	R	Байт 1 ошибки префикса TLP в журнале регистраций 3. Более подробное описание полей регистра приведено в спецификации PCI Express. Значение после сброса: 0x0
7 – 0	CFG_TLP_PFX_LOG_3_FIRST_BYTE	R	Байт 0 ошибки префикса TLP в журнале регистраций 3. Более подробное описание полей регистра приведено в спецификации PCI Express. Значение после сброса: 0x0

11.10.5.15 Регистр TLP_PREFIX_LOG_4_OFF

Описание: Регистр 4 журнала регистраций префикса TLP;
Разрядность: 32 бит;
Смещение: 0x144.

31 – 24	23 – 16	15 – 8	7 – 0
CFG_TLP_PFX_LOG_4_FOURTH_BYTE	CFG_TLP_PFX_LOG_4_THIRD_BYTE	CFG_TLP_PFX_LOG_4_SECOND_BYTE	CFG_TLP_PFX_LOG_4_FIRST_BYTE

Таблица 153 – Описание бит регистра TLP_PREFIX_LOG_4_OFF

Биты	Название	Тип доступа	Описание
31 – 24	CFG_TLP_PFX_LOG_4_FOURTH_BYTE	R	Байт 3 ошибки префикса TLP в журнале регистраций 4. Более подробное описание полей регистра приведено в спецификации PCI Express. Значение после сброса: 0x0
23 – 16	CFG_TLP_PFX_LOG_4_THIRD_BYTE	R	Байт 2 ошибки префикса TLP в журнале регистраций 4. Более подробное описание полей регистра приведено в спецификации PCI Express. Значение после сброса: 0x0
15 – 8	CFG_TLP_PFX_LOG_4_SECOND_BYTE	R	Байт 1 ошибки префикса TLP в журнале регистраций 4. Более подробное описание полей регистра приведено в спецификации PCI Express. Значение после сброса: 0x0
7 – 0	CFG_TLP_PFX_LOG_4_FIRST_BYTE	R	Байт 0 ошибки префикса TLP в журнале регистраций 4. Более подробное описание полей регистра приведено в спецификации PCI Express. Значение после сброса: 0x0

11.10.6 Регистр блока PF0_PORT_LOGIC

11.10.6.1 Регистр ACK_LATENCY_TIMER_OFF

Описание: Регистр латентности таймера подтверждения и таймера повтора;
Разрядность: 32 бит;
Смещение: 0x700.

31 – 16	15 – 0
REPLAY_TIME_LIMIT	ROUND_TRIP_LATENCY_TIME_LIMIT

Таблица 154 – Описание бит регистра ACK_LATENCY_TIMER_OFF

Биты	Название	Тип доступа	Описание
31 – 16	REPLAY_TIME_LIMIT	R/W	Предел таймера повтора. Таймер повтора прекращает функционирование, когда достигает этого предела. Контроллер инициирует повтор при приеме NAK или, когда таймер повтора закончил функционировать. Вы можете модифицировать действующий предел таймера с помощью поля TIMER_MOD_REPLAY_TIMER регистра TIMER_CTRL_MAX_FUNC_NUM_OFF. После сброса контроллер обновляет значение по умолчанию в зависимости от ширины линка согласования, размера максимальной полезной нагрузки и скорости. Значение определено в таблицах 3-4, 3-5 и 3-6 спецификации PCIe 3.0. Если меняются размер полезной нагрузки или скорость линка, контроллер будет аннулировать запись любого значения в поле этого регистра и сбрасывать поле обратно в значение, определенное спецификацией. Но значение поля TIMER_MOD_REPLAY_TIMER в регистре TIMER_CTRL_MAX_FUNC_NUM_OFF меняться не будет. ***Значение после сброса:*** 0x1846 ***Контролепригодность*:** неконтролируемый ***Изменяется на лету*:** Да
15 – 0	ROUND_TRIP_ LATENCY_TIME_LIMIT	R/W	Предел латентности подтверждающего таймера. Таймер прекращает функционирование, когда достигает этого предела. Вы можете модифицировать действующий предел таймера в поле TIMER_MOD_ACK_NAK регистра TIMER_CTRL_MAX_FUNC_NUM_OFF. После сброса контроллер обновляет значение по

Биты	Название	Тип доступа	Описание
			умолчанию в зависимости от ширины линка согласования, размера максимальной полезной нагрузки и скорости. Значение определено в таблицах 3-7, 3-8 и 3-9 спецификации PCIe 3.0. Предел должен отражать латентность пути от инициатора к ответчику и обратно. Если меняются размер полезной нагрузки или скорость линка, контроллер будет аннулировать запись любого значения в поле этого регистра и сбрасывать поле обратно в значение, определенное спецификацией. Но значение поля TIMER_MOD_ACK_NAK регистра TIMER_CTRL_MAX_FUNC_NUM_OFF меняться не будет. ***Значение после сброса:*** 0x817 ***Контролепригодность*:** неконтролируемый ***Изменяется на лету*:** Да

11.10.6.2 Регистр VENDOR_SPEC_DLLP_OFF

Описание: Регистр специфичного DLLP вендора;
Разрядность: 32 бит;
Смещение: 0x704.

31 – 0
VENDOR_SPEC_DLLP

Таблица 155 – Описание бит регистра VENDOR_SPEC_DLLP_OFF

Биты	Название	Тип доступа	Описание
31 – 0	VENDOR_SPEC_DLLP	R/W	Регистр специфичного DPLL вендора. Применяется для отправки специфичного PCI Express DLLP. Ваше приложение записывает 8-битный тип DLLP и 24 бита данных полезной нагрузки в этот регистр, затем устанавливает поле VENDOR_SPECIFIC_DLLP_REQ регистра PORT_LINK_CTRL_OFF, чтобы отправить DLLP. – [7:0] = тип; – [31:8] = полезная нагрузка (24 бит). Тип DLPP предсталвен в поле [7:0], в то время как оставшееся поле – это определенная вендором полезная нагрузка. ***Значение после сброса:*** 0xffffffff

11.10.6.3 Регистр PORT_FORCE_OFF

Описание: Регистр принудительного линка порта;
Разрядность: 32 бит;
Смещение: 0x708.

31 – 22	21 – 16	15	14 – 12	11 – 8	7 – 0
RSVDP_22	LINK_STATE	FORCE_EN	RSVDP_12	FORCED_LTSSM	LINK_NUM

Таблица 156 – Описание бит регистра PORT_FORCE_OFF

Биты	Название	Тип доступа	Описание
31 – 22	RSVDP_22	R	Зарезервировано для будущих применений. ***Значение после сброса:*** 0x0
21 – 16	LINK_STATE	R/W	Принудительное состояние LTSSM. Устанавливается контроллером при установке бита FORCE_EN (принудительный линк). Ниже перечислены возможные состояния LTSSM: – DETECT_QUIET=0x00; – DETECT_ACT=0x01; – POLL_ACTIVE=0x02; – POLL_COMPLIANCE=0x03; – POLL_CONFIG=0x04; – PRE_DETECT_QUIET=0x05; – DETECT_WAIT=0x06; – CFG_LINKWD_START=0x07; – CFG_LINKWD_ACEPT=0x08; – CFG_LANENUM_WAIT=0x09; – CFG_LANENUM_ACEPT=0x0A; – CFG_COMPLETE=0x0B; – CFG_IDLE=0x0C; – RCVRY_LOCK=0x0D; – RCVRY_SPEED=0x0E; – RCVRY_RCVRCFG=0x0F; – RCVRY_IDLE=0x10; – RCVRY_EQ0=0x20; – RCVRY_EQ1=0x21; – RCVRY_EQ2=0x22; – RCVRY_EQ3=0x23; – L0=0x11; – L0S=0x12; – L123_SEND_EIDLE=0x13; – L1_IDLE=0x14; – L2_IDLE=0x15;

Биты	Название	Тип доступа	Описание
			– L2_WAKE=0x16; – DISABLED_ENTRY=0x17; – DISABLED_IDLE=0x18; – DISABLED=0x19; – LPBK_ENTRY=0x1A; – LPBK_ACTIVE=0x1B; – LPBK_EXIT=0x1C; – LPBK_EXIT_TIMEOUT=0x1D; – HOT_RESET_ENTRY=0x1E; – HOT_RESET=0x1F. ***Значение после сброса:*** 0x0
15	FORCE_EN	R/W	Принудительный линк. Контроллер поддерживает возможность тестирования и отладки, чтобы обеспечить вашему программному обеспечению возможноть принудительно перевести LTSSM автомат в определенное состояние и принудить контроллер передать специфичную линк-команду. Установка этого бита вызывает следующие действия: Принудительный перевод LTSSM-автомата в состояние, определенное полем. Принудительное состояние LTSSM. Принудить контроллер передать специфичную команду, определенную в поле команда принудительного линка. Это поле регистра самоочищающееся. Чтение этого поля регистра всегда возвращает «0». ***Значение после сброса:*** 0x0 ***Контролепригодность*:** неконтролируемый ***Изменяется на лету*:** Да
14 – 12	RSVDP_12	R	Зарезервировано для будущих применений. ***Значение после сброса:*** 0x0
11 – 8	FORCED_LTSSM	R/W	Команда принудительного линка. Команда линка, которую контроллер принудительно передает при установке бита FORCE_EN (принудительный линк). Декодирование команд линка приведено ниже: SEND_IDLE=0x1; SEND_EIDLE=0x2; XMT_IN_EIDLE=0x3; SEND_RCVR_DETECT_SEQ=0x5; SEND_TS1=0x6; SEND_TS2=0x7; COMPLIANCE_PATTERN=0x8;

Биты	Название	Тип доступа	Описание
			SEND_SDS=0x9; SEND_BEACON=0xa; SEND_N_FTS=0xb; NORM=0xc; SEND_SKP=0xd; MOD_COMPL_PATTERN=0x4; SEND_EIES=0xe; SEND_EIES_SYM=0xf. ***Значение после сброса:*** 0x0
7:0	LINK_NUM	R/W	Номер линка. Не используется для конечной точки. Не используется для M-PCIe. ***Значение после сброса:*** 0x4

11.10.6.4 Регистр ACK_F_ASPM_CTRL_OFF

Описание: Регистр частоты подтверждения и управления L0-L1 ASPM;
Разрядность: 32 бит;
Смещение: 0x70c.

31	30	29 – 27	26 – 24	23 – 16	15 – 8	7 – 0
RSVDP_31	ENTER_ASPM	L1_ ENTRANCE_ LATENCY	L0S_ ENTRANCE_ LATENCY	COMMON_ CLK_ N_FTS	ACK_N_FTS	ACK_FREQ

Таблица 157 – Описание бит регистра ACK_F_ASPM_CTRL_OFF

Биты	Название	Тип доступа	Описание
31	RSVDP_31	R	Зарезервировано для будущих применений. ***Значение после сброса:*** 0x0
30	ENTER_ASPM	R/W	Управление входом в ASPM L1: – 1 – ядро входит в ASPM L1 после промежутка времени в течении которого оно находилось в состоянии ожидания; – 0 – ядро входит в ASPM L1 только после промежутка времени ожидания в течении которого и приемник, и передатчик были в состоянии L0s. ***Значение после сброса:*** 0x0

Биты	Название	Тип доступа	Описание
29 – 27	L1_ENTRANCE_ LATENCY	R/W	Ланетность входа в L1. Диапазон значений: – 000 – 1 мкс; – 001 – 2 мкс; – 010 – 4 мкс; – 011 – 8 мкс; – 100 – 16 мкс; – 101 – 32 мкс; – 110 или 111 – 64 мкс. Примечание – Программирование этого таймера значением большим чем 32 мкс не имеет эффекта, пока используется внешняя синхронизация или, если все кредиты бесконечны. ***Значение после сброса:*** 0x3
26 – 24	L0S_ENTRANCE_ LATENCY	R/W	Ланентность входа в L0s. Диапазон значений: – 000 – 1 мкс; – 001 – 2 мкс; – 010 – 3 мкс; – 011 – 4 мкс; – 100 – 5 мкс; – 101 – 6 мкс; – 110 или 111 – 7 мкс. ***Значение после сброса:*** 0x3
23 – 16	COMMON_CLK_ N_FTS	R	N_FTS общей синхронизации. Это N_FTS, когда используется общая синхронизация. Число быстрых последовательностей тренировки передается упорядоченными наборами при переходе из L0s в L0. Максимальное количество FTS упорядоченных наборов, которых компонента может запросить это 255. Контроллер не поддерживает значение нуля; значение нуля может быть причиной того, что LTSSM перейдет в состояние восстановления при выходе из L0s. Поле зарезервировано (зафиксировано в ноль) для M-PCIe. Значение после сброса: 0x2c
15 – 8	ACK_N_FTS	R/W	N_FTS. Число быстрых последовательностей тренировки передается упорядоченными наборами при переходе из L0s в L0. Максимальное количество FTS упорядоченных наборов, которых компонента может запросить это 255. Контроллер не поддерживает значение нуля; значение нуля может быть причиной того что LTSSM перейдет в состояние восстановления при выходе из L0s. Поле зарезервировано (зафиксировано в ноль) для M-PCIe. Значение после сброса: 0x2c

Биты	Название	Тип доступа	Описание
7 – 0	ACK_FREQ	R/W	Частота подтверждения. Контроллер накапливает число незаконченных подтверждений, определенных в этом поле (до 255) прежде, чем передать ACK DLLP: – 0 – сигнализирует, что функция управления частотой подтверждения отключена. Контроллер планирует низкий приоритет ACK DLLP для каждого получаемого TLP; – 1-255 – сигнализирует, что контроллер планирует высокий приоритет ACK после получения этого числа TLP. Может быть запланирован ACK прежде чем будет получено это число TLP, но не позже. Для обычных систем, у вас нет необходимости изменять значение по умолчанию. ***Значение после сброса:*** 0x0

11.10.6.5 Регистр PORT_LINK_CTRL_OFF

Описание: Регистр управления линком порта;
Разрядность: 32 бит;
Смещение: 0x710.

31 – 28	27	26	25	24	23 – 22	21 – 16	15 – 12	11 – 8	7	6	5	4	3	2	1	0
RSVDP_28	TRANSMIT_LANE_ REVERSALE_ENABLE	EXTENDED_SYNCH	CORRUPT_LCRC_ ENABLE	BEACON_ENABLE	Rsvd	LINK_CAPABLE	RSVDP_12	LINK_RATE	FAST_LINK_MODE	LINK_DISABLE	DLL_LINK_EN	RSVDP_4	RESET_ASSERT	LOOPBACK_ENABLE	SCRAMBLE_DISABLE	VENDOR_SPECIFIC_ DLLP_REQ

Таблица 158 – Описание бит регистра PORT_LINK_CTRL_OFF

Биты	Название	Тип доступа	Описание
31 – 28	RSVDP_28	R	Зарезервировано для будущих применений. ***Значение после сброса:*** 0x0
27	TRANSMIT_LANE_ REVERSALE_ENABLE	R/W	TRANSMIT_LANE_REVERSALE_ENABLE это внутреннее зарезервированное поле. Не использовать. ***Значение после сброса:*** 0x0
26	EXTENDED_SYNCH	R/W	EXTENDED_SYNCH это внутреннее зарезервированное поле. Не использовать. ***Значение после сброса:*** 0x0

Биты	Название	Тип доступа	Описание
25	CORRUPT_LCRC_ ENABLE	R/W	CORRUPT_LCRC_ENABLE это внутреннее зарезервированное поле. Не использовать. ***Значение после сброса:*** 0x0
24	BEACON_ENABLE	R/W	BEACON_ENABLE это внутреннее зарезервированное поле. Не использовать. ***Значение после сброса:*** 0x0
23 – 22	–	–	Зарезервировано
21 – 16	LINK_CAPABLE	R/W	Разрешение режима линка. Устанавливает число лэйнов в линке, которые вам необходимо подключить к абоненту по соединению. Если в вашей системе есть неиспользуемые лэйны, вы должны изменить значение в этом регистре, чтобы отразить реальное число лэйнов. Вы таже должны изменить значение в поле «Предопределенное число лэйнов» «Регистра управления изменениями ширины и скорости линка»: 000001 – x1; 000011 – x2; 000111 – x4; 001111 – x8; 011111 – x16; 111111 – x32 (не поддерживается). Это поле зарезервировано (фиксировано в '0') для M-PCIe. ***Значение после сброса:*** 0x1 ***Контролепригодность*:** неконтролируемый ***Маска сброса*:** 0x0 ***Изменяется на лету*:** Да
15 – 12	RSVDP_12	R	Зарезервировано для будущих применений. ***Значение после сброса:*** 0x0
11 – 8	LINK_RATE	R/W	LINK_RATE – это внутреннее зарезервированное поле. Не использовать. ***Значение после сброса:*** 0x1
7	FAST_LINK_MODE	R/W	Режим быстрого линка. Устанавливает все внутренние таймеры в быстрый режим для повышения скорости симуляции. Принуждает LTSSM в состоянии тренировки (инициализации линка) применяя укороченные таймауты и устанавливает линк быстрее. Фактор масштабирования по умолчанию может быть изменен при применении поля FAST_LINK_SCALING_FACTOR регистра TIMER_ CTRL_MAX_FUNC_NUM_OFF. Режим быстрого линка может быть также активирован установкой

Биты	Название	Тип доступа	Описание
			вывода diag_ctrl_bus[2] в «1». Для M-PCIe, это поле также влияет на остаток времени Hibern8, минимальное время активации, и таймаут RRAP. Если этот бит установлен в «1», tRRAPInitiatorResponse устанавливается 1,88 мс (60 мс/32). ***Значение после сброса:*** 0x0
6	LINK_DISABLE	R/W	LINK_DISABLE – это внутреннее зарезервированное поле. Не использовать. ***Значение после сброса:*** 0x1
5	DLL_LINK_EN	R/W	Разрешение DLL линка. Разрешается инициализация линка. Когда этот бит в нуле, контроллер не передает InitFC DLLP и не устанавливает соединение. ***Значение после сброса:*** 0x1
4	RSVDP_4	R	Зарезервировано для будущих применений. ***Значение после сброса:*** 0x0
3	RESET_ASSERT	R/W	Установка сброса. Вызывает восстановление и вызывает переход LTSSM в состояние «горячего» сброса (только для downstream порта). ***Значение после сброса:*** 0x0
2	LOOPBACK_ENABLE	R/W	Разрешение кольцевой проверки. Включает кольцевую проверку. Для M-PCIe вынуждает мастера войти в режим Digital Loopback. Вы должны установить это поле в «1» во время состояния Configuration.start (начало обнаружения/ конфигурирования). M-PCIe не поддерживает режим кольцевой проверки в состоянии L0 – только в состоянии Configuration.start. ***Значение после сброса:*** 0x0
1	SCRAMBLE_DISABLE	R/W	Запрет скремблирования. Отключает шифрование данных. ***Значение после сброса:*** 0x0
0	VENDOR_SPECIFIC_ DLLP_REQ	R/W	Специфичный DLLP запрос вендора. Когда программное обеспечение записывает «1» в этот бит, контроллер передает DLLP содержащееся в поле VENDOR_SPEC_DLLP регистра VENDOR_SPEC_ DLLP_OFF. Чтение из этого самоочищающегося поля регистра всегда возвращает «0». ***Значение после сброса:*** 0x0 ***Контролепригодность*:** неконтролируемый ***Изменяется на лету*:** Да

11.10.6.6 Регистр LANE_SKEW_OFF

Описание: Регистр разбежки лэйнов;
Разрядность: 32 бит;
Смещение: 0x714.

31	30 – 27	26	25	24	23 – 0
DISABLE_LANE_TO_LANE_DESKEW	IMPLEMENT_NUM_LANES	LANE_SKEW_OFF_26	ACK_NAK_DISABLE	FLOW_CTRL_DISABLE	INSERT_LANE_SKEW

Таблица 159 – Описание бит регистра LANE_SKEW_OFF

Биты	Название	Тип доступа	Описание
31	DISABLE_LANE_TO_LANE_DESKEW	R/W	Запрет выравнивания между лэйнами. Приводит к отключению контроллером внутренней логики выравнивания между лэйнами. ***Значение после сброса:*** 0x0
30 – 27	IMPLEMENT_NUM_LANES	R/W	Определенная реализация числа лэйнов. Устанавливает конкретную реализацию числа лэйнов. Разрешенные значения: 0x0000 – 1 лэйн; 0x0001 – 2 лэйна; 0x0011 – 4 лэйна; 0x0111 – 8 лэйнов; 0x1111 – 16 лэйнов. Число лэйнов применяемое мастером в режиме кольцевой проверки. Программируемое число лэйнов должно быть равно или меньше чем валидное значение, установленное в поле LINK_CAPABLE. Необходимо сконфигурировать это поле прежде, чем инициировать кольцевую проверку записью в поле LOOPBACK_ENABLE. Контроллер будет переходить из Loopback.Entry в Loopback.Active после получения двух последовательных упорядоченных наборов TS1 с битом Loopback установленным на определенном номере лэйна сконфигурированным этим полем. ***Значение после сброса:*** 0x0

Биты	Название	Тип доступа	Описание
26	LANE_SKEW_OFF_26	R/W	Записываемый/читаемый регистр, зарезервированный для будущих применений. ***Значение после сброса:*** 0x0
25	ACK_NAK_DISABLE	R/W	Запрет Ack/Nak. Предотвращает передачу контроллером ACK и NAK DLLP. ***Значение после сброса:*** 0x0
24	FLOW_CTRL_DISABLE	R/W	Запрет управления потоками данных. Предотвращает передачу контроллером FC DLLP. ***Значение после сброса:*** 0x0
23 – 0	INSERT_LANE_SKEW	R/W	Добавляет разбежку лэйнов при передаче (не поддерживается для x16). Опциональная характеристика, которая приводит к добавлению контроллером разбежки между лэйнами в тестовых целях. Три бита на лэйн. Значение в единицах времени одного символа. Например, значение 010b приводит к разбежке времени двух символов для лэйна. Максимальное значение разбежки для любого лэйна пять времен символа. ***Значение после сброса:*** 0x0

11.10.6.7 Регистр TIMER_CTRL_MAX_FUNC_NUM_OFF

Описание: Регистр управления таймером и количества максимальных функций;
Разрядность: 32 бит;
Смещение: 0x718.

31	30 – 29	28 – 24	23 – 19	18 – 14	13 – 8	7 – 0
RSVDP_31	FAST_LINK_ SCALING_FACTOR	UPDATE_FREQ_ TIMER	TIMER_MOD_ ACK_NAK	TIMER_MOD_ REPLAY_TIMER	RSVDP_8	MAX_FUNC_NUM

Таблица 160 – Описание бит регистра TIMER_CTRL_MAX_FUNC_NUM_OFF

Биты	Название	Тип доступа	Описание
31	RSVDP_31	R	Зарезервировано для будущих применений. ***Значение после сброса:*** 0x0

Биты	Название	Тип доступа	Описание
30 – 29	FAST_LINK_ SCALING_FACTOR	R/W	Масштабирующий фактор таймера быстрого линка. Устанавливает масштабирующий фактор LTSSM таймера, когда поле FAST_LINK_MODE в регистре PORT_LINK_CTRL_OFF установлено в «1». 0 – масштабирующий фактор 1024 (1 мс = 1 мкс); 1 – масштабирующий фактор 256 (1 мс = 4 мкс); 2 – масштабирующий фактор 64 (1 мс = 16 мкс); 3 – масштабирующий фактор 16 (1 мс = 64 мкс); Не используется для M-PCIe. ***Значение после сброса:*** 0x2
28 – 24	UPDATE_FREQ_ TIMER	R/W	UPDATE_FREQ_TIMER это внутреннее зарезервированное поле. Не использовать. ***Значение после сброса:*** 0x0
23 – 19	TIMER_MOD_ ACK_NAK	R/W	Модификатов латентности таймера подтверждения. Увеличивает значение таймера с шагом 64 такта синхросигнала. Значение "0" означает немодифицированное значение таймера. Более подробно см. поле ROUND_TRIP_LATENCY_ TIME_LIMIT регистра ACK_LATENCY_TIMER_OFF. ***Значение после сброса:*** 0x0
18 – 14	TIMER_MOD_ REPLAY_TIMER	R/W	Модификатор предела таймера повтора. Увеличивает значение таймаута для таймера повтора с шагом 64 такта синхросигнала при скоростях Gen1 или Gen2, и с шагом 256 тактов синхросигнала при скорости Gen3. Значение "0" означает немодифицированное значение предела таймера. Более подробно, см. поле REPLAY_TIME_LIMIT регистра ACK_LATENCY_ TIMER_OFF. При скорости Gen3 контроллер автоматически меняет значение этого поля на DEFAULT_GEN3_REPLAY_ADJ. Для M-PCIe поле увеличивает значение таймаута для таймера повтора с шагом 64 такта синхросигнала при скоростях HS-Gear1, HS-Gear2 или HS-Gear3. ***Значение после сброса:*** 0x4 ***Контролепригодность*:** неконтролируемый ***Маска сброса*:** 0x0 ***Изменяется на лету*:** Да
13 – 8	RSVDP_8	R	Зарезервировано для будущих применений. ***Значение после сброса:*** 0x0
7 – 0	MAX_FUNC_NUM	R/W	Максимальный номер функции, который может быть использован в запросе. Конфигурационные запросы, предназначенные для функций с номерами выше этого значения, возвращаются как UR (неподдерживаемые запросы). ***Значение после сброса:*** 0x0

11.10.6.8 Регистр SYMBOL_TIMER_FILTER_1_OFF

Описание: Регистр таймера символа и регистр 1 маски фильтра. Регистр маски фильтра 1 модифицирует RADM фильтрацию и управляет правилами ошибки;

Разрядность: 32 бит;

Смещение: 0x71c;

31 – 16	15	14 – 11	10 – 0
MASK_RADM_1	DISABLE_FC_WD_TIMER	EIDLE_TIMER	SKP_INT_VAL

Таблица 161 – Описание бит регистра SYMBOL_TIMER_FILTER_1_OFF

Биты	Название	Тип доступа	Описание
31 – 16	MASK_RADM_1	R/W	Фильтр маски 1. Регистр маски фильтра 1 модифицирует RADM фильтрацию и управляет правилами ошибки. В случае нуля применяются соответствующие правила фильтрации, а при единице маскируются соответствующие правила фильтрации. [31]: CX_FLT_MASK_RC_CFG_DISCARD – 0 – для RADM RC фильтра не позволено получать CFG транзакции; – 1 – для RADM RC фильтра позволено получать CFG транзакции. [30]: CX_FLT_MASK_RC_IO_DISCARD – 0 – для RADM RC фильтра не позволено получать IO транзакции; – 1 – для RADM RC фильтра позволено получать IO транзакции. [29]: CX_FLT_MASK_MSG_DROP – 0 – отбрасывать MSG TLP (за исключением сообщений вендора). Передавать декодированные сообщения на SII; – 1 – не отбрасывать MSG (за исключением сообщений вендора). Передавать сообщения TLP вашему приложению на TRGT1 и передавать декодированные сообщения на SII; – значение по умолчанию этого бита – это инверсия FLT_DROP_MSG. В таком случае, если FLT_DROP_MSG = 1, значение по умолчанию этого бита «0» (отбрасывать сообщения TLP). Этот бит контролирует только TLP сообщения. Сообщения вендора контролируются битами [1:0] регистра фильтра маски 2. Контроллер никогда не передает невалидные сообщения ATS на интерфейс SII несмотря на установку этих правил фильтрации. Контроллер передает все

Биты	Название	Тип доступа	Описание
			невалидные ATS сообщения на TRGT1 (или AXI мост мастера), так как они слишком большие для SII. [28]: CX_FLT_MASK_CPL_ECRC_DISCARD – используется только когда очередь completion организуется с бесконечными кредитами и с режимом буферизации пакетов; – 0 – отбрасывание completion с ошибкой ECRC; – 1 – разрешение completion с ошибками ECRC передаваться выше. [27]: CX_FLT_MASK_ECRC_DISCARD – 0 – отбрасывание TLP с ошибками ECRC; – 1 – разрешение TLP с ошибками ECRC передаваться выше. [26]: CX_FLT_MASK_CPL_LEN_MATCH – 0 – принудительное сравнение длины completion; – 1 – маскирование проверки длины completion. [25]: CX_FLT_MASK_CPL_ATTR_MATCH – 0 – принудительное сравнение атрибутов completion 1: Маскирование сравнения атрибутов completion. [24]: CX_FLT_MASK_CPL_TC_MATCH – 0 – принудительное сравнение класса трафика completion; – 1 – маскирование сравнение класса трафика completion. [23]: CX_FLT_MASK_CPL_FUNC_MATCH – 0 – принудительное сравнение функции completion; – 1 – маскирование сравнения функции completion. [22]: CX_FLT_MASK_CPL_REQID_MATCH – 0 – принудительное сравнение Req. Id completion; – 1 – маскирование сравнения Req. Id completion. [21]: CX_FLT_MASK_CPL_TAGERR_MATCH – 0 – применение правил ошибки тега для completion; – 1 – маскирование правил ошибки тега для completion. [20]: CX_FLT_MASK_LOCKED_RD_AS_UR – 0 – обрабатывать заблокированные TLP чтения как UR для EP; – 1 – обрабатывать заблокированные TLP чтения как поддерживаемые для EP. [19]: CX_FLT_MASK_CFG_TYPE1_RE_AS_UR – 0 – обрабатывать CFG тип 1 TLP как UR для EP; – 1 – обрабатывать CFG тип 1 TLP как поддерживаемые для EP. [18]: CX_FLT_MASK_UR_OUTSIDE_BAR – 0 – обрабатывать TLP не в пределах BAR как UR; – 1 – не рассматривать TLP не в пределах BAR как UR.

Биты	Название	Тип доступа	Описание
			[17]: CX_FLT_MASK_UR_POIS – 0 – обрабатывать испорченные TLP запросы как UR; – 1 – не рассматривать испорченные TLP запросы как UR. [16]: CX_FLT_MASK_UR_FUNC_MISMATCH – 0 – обрабатывать несоответствующие функциям TLP как UR; – 1 – не рассматривать несоответствующие функциям TLP как UR. ***Значение после сброса:*** 0x0
15	DISABLE_FC_WD_TIMER	R/W	Запрет FC сторожевого таймера. ***Значение после сброса:*** 0x0
14 – 11	EIDLE_TIMER	R/W	EIDLE_TIMER – это внутреннее зарезервированное поле. Не использовать. ***Значение после сброса:*** 0x0
10 – 0	SKP_INT_VAL	R/W	Значение интервала SKP. Величина времени символа, ожидаемая между передачами упорядоченных наборов SKP. Фактически контроллер ожидает величину веремени символа записанную в этом регистре плюс один между передачами упорядоченных наборов SKP. Ваше приложение должно запрограммировать этот регистр. Например, если число 1536 было запрограммировано в этот регистр (при частоте контроллера 250 МГц), тогда контроллер передает упорядоченные наборы SKP один раз каждые 1537 единиц времени символов. Значение, запрограммированное в этот регистр, фактически является числом тактов, а не временем символа. При частоте контроллера 125 МГц значение, программируемое в этот регистр, необходимо масштабировать вниз с фактором 2 (потому, что один такт частоты равен удвоенному времени символа в этом случае). Примечание – Это значение не используется при скорости Gen3. Интервал пропуска жестко запрограммирован как 370. Для конфигурации M-PCIe, если поле 2K_PPM_DISABLED в M-PCIe атрибутах конфигурации меняется, тогда это поле автоматически меняется как указано ниже. 2K_PPM_DISABLED=1: 1280 / 2 2K_PPM_DISABLED=0: 228/ 2 Вам необходимо снова установить это поле, когда меняется 2K_PPM_DISABLED. ***Значение после сброса:*** 0x280

11.10.6.9 Регистр FILTER_MASK_2_OFF

Описание: Регистр маски фильтра 2. Этот регистр модифицирует RADM фильтрацию и управляет правилами ошибки;

Разрядность: 32 бит;

Смещение: 0x720.

3 – 0
MASK_RADM_2

Таблица 162 – Описание бит регистра FILTER_MASK_2_OFF

Биты	Название	Тип доступа	Описание
31:0	MASK_RADM_2	R/W	Маска фильтра 2. Это поле модифицирует RADM фильтрацию и управляет правилами ошибки. В случае «0» применяются соответствующие правила фильтрации, в противном случае «1» маскируются соответствующие правила фильтрации. [31:8]: Зарезервировано [7]: CX_FLT_MASK_PRS_DROP – 0 – разрешено сообщениям PRS проходить напрямую; – 1 – PRS сообщения отбрасываются без оповещения; – этот бит игнорируется, когда бит CX_FLT_MASK_MSG_DROP в поле MASK_RADM_1 регистра SYMBOL_TIMER_FILTER_1_OFF установлен в единицу. [6]: CX_FLT_UNMASK_TD – 0 – Запрет снятие маски с бита TD если CX_STRIP_ECRC_ENABLE; – 1 – Разрешение снятия маски с бита TD если CX_STRIP_ECRC_ENABLE. [5]: CX_FLT_UNMASK_UR_POIS_TRGT0 – 0 – запрет снятия маски CX_FLT_MASK_UR_POIS с адреса назначения TRGT0; – 1 – разрешение снятия маски CX_FLT_MASK_UR_POIS с адреса назначения TRGT0. [4]: CX_FLT_MASK_LN_VENMSG1_DROP – 0 – разрешено сообщениям LN проходить насквозь; – 1 – LN сообщения отбрасываются без оповещения. [3]: CX_FLT_MASK_HANDLE_FLUSH – 0 – запрет фильтру контроллера обрабатывать запросы очистки; – 1 – разрешение фильтру контроллера обрабатывать запросы очистки. [2]: CX_FLT_MASK_DABORT_4UCPL

Биты	Название	Тип доступа	Описание
			– 0 – разрешение DLLP отмены для непредвиденных completion; – 1 – не разрешены DLLP отмены для непредвиденных completion. [1]: CX_FLT_MASK_VENMSG1_DROP – 0 – сообщение вендора тип 1 отбрасываются без оповещения; – 1 – сообщение вендора тип 1 не отбрасываются. [0]: CX_FLT_MASK_VENMSG0_DROP – 0 – сообщение вендора тип 0 отбрасываются с оповещением об ошибке UR; – 1 – сообщение вендора тип 0 не отбрасываются. ***Значение после сброса:*** 0x0

11.10.6.10 Регистр AMBA_MUL_OB_DECOMP_NP_SUB_REQ_CTRL_OFF

Описание: Регистр управления многочисленными выходными, разделенными NP подзапросами шины AMBA;

Разрядность: 32 бит;

Смещение: 0x724.

31 – 1	0
RSVDP_1	OB_RD_SPLIT_BURST_EN

Таблица 163 – Описание бит регистра AMBA_MUL_OB_DECOMP_NP_SUB_REQ_CTRL_OFF

Биты	Название	Тип доступа	Описание
31 – 1	RSVDP_1	R	Зарезервировано для будущих применений. Значение после сброса: 0x0
0	OB_RD_SPLIT_BURST_EN	R/W	Разрешение многочисленных выходных разделенных NP подзапросов шины AMBA. Когда этот бит установлен в «0» отключается возможность иметь множественные ожидающие выполнения не отложенные запросы, которые были получены разделением выходного AMBA запроса. Вам не нужно очищать этот регистр до тех пор, пока ваше мастер-приложение запршивает число, читаемых даннных больше, чем Max_Read_Request_Size, и удаленное устройство (или коммутатор) переупорядочивает completion, которые имеют разные теги. Значение после сброса: 0x1

11.10.6.11 Регистр PL_DEBUG0_OFF

Описание: Регистр отладки 0;
Разрядность: 32 бит;
Смещение: 0x728.

31 – 0
DEB_REG_0

Таблица 164 – Описание бит регистра PL_DEBUG0_OFF

Биты	Название	Тип доступа	Описание
31 – 0	DEB_REG_0	R	Значение внутренней шины cxpl_debug_info[31:0]. ***Значение после сброса:*** 0x0 ***Контролепригодность*:** неконтролируемый ***Маска сброса*:** 0x0 ***Изменяется на лету*:** Да

11.10.6.12 Регистр PL_DEBUG1_OFF

Описание: Регистр отладки 1;
Разрядность: 32 бит;
Смещение: 0x72c.

31 – 0
DEB_REG_1

Таблица 165 – Описание бит регистра PL_DEBUG1_OFF

Биты	Название	Тип доступа	Описание
31 – 0	DEB_REG_1	R	Значение внутренней шины cxpl_debug_info[63:32]. ***Значение после сброса:*** 0x0 ***Контролепригодность*:** неконтролируемый ***Маска сброса*:** 0x0 ***Изменяется на лету*:** Да

11.10.6.13 Регистр TX_P_FC_CREDIT_STATUS_OFF

Описание: Статус FC кредитов отложенных передач;
Разрядность: 32 бит;
Смещение: 0x730.

31 – 20	19 – 12	11 – 0
RSVDP_20	TX_P_HEADER_FC_CREDIT	TX_P_DATA_FC_CREDIT

Таблица 166 – Описание бит регистра TX_P_FC_CREDIT_STATUS_OFF

Биты	Название	Тип доступа	Описание
31 – 20	RSVDP_20	R	Зарезервировано для будущих применений. ***Значение после сброса:*** 0x0
19 – 12	TX_P_HEADER_FC_CREDIT	R	FC кредиты заголовка отложенных передач. Кредиты заголовка отложенных передач объявляются приемником на другой стороне соединения, обновляются с каждым UpdateFC DLLP. Значение по умолчанию зависит от числа заявленных кредитов для заголовка и данных [12'b0, xtlh_xadm_ph_cdts, xtlh_xadm_pd_cdts]; Когда число заявленных кредитов (для заголовка и данных) бесконечно, тогда значение по умолчанию должно быть [12'b0, 8'hFF, 12'hFFF]. ***Значение после сброса:*** 0x0 ***Контролепригодность*:** неконтролируемый ***Изменяется на лету*:** Да
11 – 0	TX_P_DATA_FC_CREDIT	R	FC кредиты данных отложенных передач. Кредиты данных отложенных передач объявляются приемником на другой стороне соединения, обновляются с каждым UpdateFC DLLP. Значение по умолчанию зависит от числа заявленных кредитов для заголовка и данных [12'b0, xtlh_xadm_ph_cdts, xtlh_xadm_pd_cdts]; Когда число заявленных кредитов (для заголовка и данных) бесконечно, тогда значение по умолчанию должно быть [12'b0, 8'hFF, 12'hFFF]. ***Значение после сброса:*** 0x0 ***Контролепригодность*:** неконтролируемый ***Изменяется на лету*:** Да

11.10.6.14 Регистр TX_NP_FC_CREDIT_STATUS_OFF

Описание: Статус FC кредитов не отложенных передач;
Разрядность: 32 бит;
Смещение: 0x734.

31 – 20	19 – 12	11 – 0
RSVDP_20	TX_NP_HEADER_FC_CREDIT	TX_NP_DATA_FC_CREDIT

Таблица 167 – Описание бит регистра TX_NP_FC_CREDIT_STATUS_OFF

Биты	Название	Тип доступа	Описание
31 – 20	RSVDP_20	R	Зарезервировано для будущих применений. ***Значение после сброса:*** 0x0

Биты	Название	Тип доступа	Описание
19 – 12	TX_NP_HEADER_ FC_CREDIT	R	FC кредиты заголовка не отложенных передач. Кредиты заголовка не отложенных передач объявляются приемником на другой стороне соединения, обновляются с каждым UpdateFC DLLP. Значение по умолчанию зависит от числа заявленных кредитов для заголовка и данных [12'b0, xtlh_xadm_nph_cdts, xtlh_xadm_npd_cdts]; Когда число заявленных кредитов (для заголовка и данных) бесконечно, тогда значение по умолчанию должно быть [12'b0, 8'hFF, 12'hFFF]. ***Значение после сброса:*** 0x0 ***Контролепригодность*:** неконтролируемый ***Изменяется на лету*:** Да
11 – 0	TX_NP_DATA_ FC_CREDIT	R	FC кредиты данных не отложенных передач. Кредиты данных не отложенных передач объявляются приемником на другой стороне соединения, обновляются с каждым UpdateFC DLLP. Значение по умолчанию зависит от числа заявленных кредитов для заголовка и данных [12'b0, xtlh_xadm_nph_cdts, xtlh_xadm_npd_cdts]; Когда число заявленных кредитов (для заголовка и данных) бесконечно, тогда значение по умолчанию должно быть [12'b0, 8'hFF, 12'hFFF]. ***Значение после сброса:*** 0x0 ***Контролепригодность*:** неконтролируемый ***Изменяется на лету*:** Да

11.10.6.15 Регистр TX_CPL_FC_CREDIT_STATUS_OFF

Описание: Статус FC кредитов, передаваемых completion;
Разрядность: 32 бит;
Смещение: 0x738.

31 – 20	19 – 12	11 – 0
RSVDP_20	TX_CPL_HEADER_FC_CREDIT	TX_CPL_DATA_FC_CREDIT

Таблица 168 – Описание бит регистра TX_CPL_FC_CREDIT_STATUS_OFF

Биты	Название	Тип доступа	Описание
31 – 20	RSVDP_20	R	Зарезервировано для будущих применений. ***Значение после сброса:*** 0x0
19 – 12	TX_CPL_HEADER_ FC_CREDIT	R	FC кредиты заголовка передаваемых completion. Кредиты заголовка передаваемых completion объявляются приемником на другой стороне соединения, обновляются с

Биты	Название	Тип доступа	Описание
			каждым UpdateFC DLLP. Значение по умолчанию зависит от числа заявленных кредитов для заголовка и данных [12'b0, xtlh_xadm_cplh_cdts, xtlh_xadm_cpld_cdts]; Когда число заявленных кредитов (для заголовка и данных) бесконечно, тогда значение по умолчанию должно быть [12'b0, 8'hFF, 12'hFFF]. ***Значение после сброса: –*** 0x0 ***Контролепригодность –*** неконтролируемый ***Изменяется на лету –*** Да
11:0	TX_CPL_DATA_ FC_CREDIT	R	FC кредиты данных передаваемых completion. Кредиты данных передаваемых completion объявляются приемником на другой стороне соединения, обновляются с каждым UpdateFC DLLP. Значение по умолчанию зависит от числа заявленных кредитов для заголовка и данных [12'b0, xtlh_xadm_cplh_cdts, xtlh_xadm_cpld_cdts]; Когда число заявленных кредитов (для заголовка и данных) бесконечно, тогда значение по умолчанию должно быть [12'b0, 8'hFF, 12'hFFF]. ***Значение после сброса:*** 0x0 ***Контролепригодность*:** неконтролируемый ***Изменяется на лету*:** Да

11.10.6.16 Регистр QUEUE_STATUS_OFF

Описание: Статус очереди;
Разрядность: 32 бит;
Смещение: 0x73c.

31	30 – 29	28 – 16	15	14	13	12 – 4	3	2	1	0
TIMER_MOD_FLOW _CONTROL_EN	RSVDP_29	TIMER_MOD_FLOW _CONTROL	RX_SERIALIZATION _Q_READ_ERR	RX_SERIALIZATION _Q_WRITE_ERR	RX_SERIALIZATION _Q_NON_EMPTY	RSVDP_4	RX_QUEUE_ OVERFLOW	RX_QUEUE_NON_ EMPTY	TX_RETRY_BUFFER _NE	RX_TLP_FC_CREDIT _NON_RETURN

Таблица 169 – Описание бит регистра QUEUE_STATUS_OFF

Биты	Название	Тип доступа	Описание
31	TIMER_MOD_FLOW_ CONTROL_EN	R/W	Разрешение коррекции таймера FC латентности. Когда этот бит установлен, значение поля «Величина коррекции таймера FC латентности» этого регистра заменяет величину таймера FC латентности, которую контроллер рассчитывает исходя из спецификации PCIe. ***Значение после сброса:*** 0x0 ***Контролепригодность*:** неконтролируемый ***Изменяется на лету*:** Да
30 – 29	RSVDP_29	R	Зарезервировано для будущих применений. ***Значение после сброса:*** 0x0
28 – 16	TIMER_MOD_FLOW_ CONTROL	R/W	Величина коррекции таймера FC латентности. Когда вы устанавливаете бит 31 в этом регистре, значение этого поля заменяет величину таймера FC латентности, которую контроллер рассчитывает исходя из спецификации PCIe. ***Значение после сброса:*** 0x0 ***Контролепригодность*:** неконтролируемый ***Изменяется на лету*:** Да
15	RX_SERIALIZATION_Q_ READ_ERR	R/W	Ошибка чтения при последовательном приеме. Сигнализирует, что последовательная очередь попыталась прочитать некорректно отформатированный TLP. ***Значение после сброса:*** 0x0 ***Контролепригодность*:** неконтролируемый ***Изменяется на лету*:** Да
14	RX_SERIALIZATION_Q_ WRITE_ERR	R/W	Ошибка записи при последовательном приеме. Сигнализирует, что недостаточно доступного пространства буфера для записи в последовательную очередь. ***Значение после сброса:*** 0x0 ***Контролепригодность*:** неконтролируемый ***Изменяется на лету*:** Да
13	RX_SERIALIZATION_Q_ NON_EMPTY	R	Последовательная очередь приема не пуста. Сигнализирует о наличии данных в последовательной очереди. ***Значение после сброса:*** 0x0 ***Контролепригодность*:** неконтролируемый ***Изменяется на лету*:** Да
12 – 4	RSVDP_4	R	Зарезервировано для будущих применений. ***Значение после сброса:*** 0x0

Биты	Название	Тип доступа	Описание
3	RX_QUEUE_OVERFLOW	R/W	Кредитная очередь приема переполнена. Сигнализирует, что недостаточно доступного пространства буфера для записи в P/NP/CPL кредитную очередь. ***Значение после сброса:*** 0x0 ***Контролепригодность*:** неконтролируемый ***Изменяется на лету*:** Да
2	RX_QUEUE_NON_EMPTY	R	Кредитная очередь приема не пуста. Сигнализирует о наличии данных в одном или более буфере приема. ***Значение после сброса:*** 0x0 ***Контролепригодность*:** неконтролируемый ***Изменяется на лету*:** Да
1	TX_RETRY_BUFFER_NE	R	Буфер повтора передачи не пуст. Сигнализирует о наличии данных в буфере повтора передачи. ***Значение после сброса:*** 0x0 ***Контролепригодность*:** неконтролируемый ***Изменяется на лету*:** Да
0	RX_TLP_FC_CREDIT_ NON_RETURN	R	Нет возврата FC кредитов полученного TLP. Сигнализирует, что контроллер передал TLP, но не получил UpdateFC DLLP указывающий что кредиты для этого TLP были восстановлены приемником на другой стороне соединения. ***Значение после сброса:*** 0x0 ***Контролепригодность*:** неконтролируемый ***Изменяется на лету*:** Да

11.10.6.17 Регистр VC_TX_ARBI_1_OFF

Описание: Регистр 1 арбитража виртуального канала передачи;
Разрядность: 32 бит;
Смещение: 0x740.

31 – 24	23 – 16	15 – 8	7 – 0
WRR_WEIGHT_VC_3	WRR_WEIGHT_VC_2	WRR_WEIGHT_VC_1	WRR_WEIGHT_VC_0

Таблица 170 – Описание бит регистра VC_TX_ARBI_1_OFF

Биты	Название	Тип доступа	Описание
31 – 24	WRR_WEIGHT_VC_3	R	Вес весового циклического алгоритма для виртуального канала 3. ***Значение после сброса:*** 0x0

Биты	Название	Тип доступа	Описание
23 – 16	WRR_WEIGHT_VC_2	R	Вес весового циклического алгоритма для виртуального канала 2. ***Значение после сброса:*** 0x0
15 – 8	WRR_WEIGHT_VC_1	R	Вес весового циклического алгоритма для виртуального канала 1. ***Значение после сброса:*** 0x0
7 – 0	WRR_WEIGHT_VC_0	R	Вес весового циклического алгоритма для виртуального канала 0. ***Значение после сброса:*** 0xf

11.10.6.18 Регистр VC_TX_ARBI_2_OFF

Описание: Регистр 2 арбитража виртуального канала передачи;

Разрядность: 32 бит;

Смещение: 0x744.

31 – 24	23 – 16	15 – 8	7 – 0
WRR_WEIGHT_VC_7	WRR_WEIGHT_VC_6	WRR_WEIGHT_VC_5	WRR_WEIGHT_VC_4

Таблица 171 – Описание бит регистра VC_TX_ARBI_2_OFF

Биты	Название	Тип доступа	Описание
31 – 24	WRR_WEIGHT_VC_7	R	Вес весового циклического алгоритма для виртуального канала 7. ***Значение после сброса:*** 0x0
23 – 16	WRR_WEIGHT_VC_6	R	Вес весового циклического алгоритма для виртуального канала 6. ***Значение после сброса:*** 0x0
15 – 8	WRR_WEIGHT_VC_5	R	Вес весового циклического алгоритма для виртуального канала 5. ***Значение после сброса:*** 0x0
7 – 0	WRR_WEIGHT_VC_4	R	Вес весового циклического алгоритма для виртуального канала 4. ***Значение после сброса:*** 0x0

11.10.6.19 Регистр VC0_P_RX_Q_CTRL_OFF

Описание: Управление сегментированным буфером очереди отложенного приема виртуального канала 0;

Разрядность: 32 бит;

Смещение: 0x748.

31	30	29, 28	27, 26	25, 24	23 – 21	20	19 – 12	11 – 0
VC_ORDERING_RX_Q	TLP_TYPE_ORDERING_VC0	RESERVED5	VC0_P_DATA_SCALE	VC0_P_HDR_SCALE	VC0_P_TLP_Q_MODE	RESERVED4	VC0_P_HEADER_CREDIT	VC0_P_DATA_CREDIT

Таблица 172 – Описание бит регистра VC0_P_RX_Q_CTRL_OFF

Биты	Название	Тип доступа	Описание
31	VC_ORDERING_RX_Q	R/W	Расположение виртуального канала в очередях приема. Определяет правила расположения виртуального канала в очередях приема, используется только в конфигурации с сегментированным буфером: – 1 – строгое расположение, старший номер виртуального канала имеет высокий приоритет; – 0 – циклический алгоритм. ***Значение после сброса:*** 0x0
30	TLP_TYPE_ORDERING_VC0	R/W	Упорядочивание по типу TLP для виртуального канала 0. Определяет правила упорядочивания по типу TLP в очередях приема вируального канала 0, используется только в конфигурации с сегментированным буфером: – 1 – правила упорядочивания PCIe (рекомендуется); – 0 – строгое упорядочивание: отложенные, completion, затем не отложенные. ***Значение после сброса:*** 0x1
29, 28	RESERVED5	R/W	Зарезервировано для будущих применений. ***Значение после сброса:*** 0x0
27, 26	VC0_P_DATA_SCALE	R/W	Градация кредитов данных, отложенных транзакций виртуального канала 0. ***Значение после сброса:*** 0x1
25, 24	VC0_P_HDR_SCALE	R/W	Градация кредитов заголовка, отложенных транзакций виртуального канала 0. ***Значение после сброса:*** 0x1
23 – 21	VC0_P_TLP_Q_MODE	R/W	Зарезервировано для будущих применений. ***Значение после сброса:*** 0x1

Биты	Название	Тип доступа	Описание
20	RESERVED4	R/W	Зарезервировано для будущих применений. ***Значение после сброса:*** 0x0
19 – 12	VC0_P_HEADER_CREDIT	R	Кредиты заголовка, отложенных транзакций виртуального канала 0. Стартовое число кредитов заголовка отложенных транзакций виртуального канала 0, используется только в конфигурации с сегментированным буфером. ***Значение после сброса:*** 0x7f
11 – 0	VC0_P_DATA_CREDIT	R	Кредиты данных, отложенных транзакций виртуального канала 0. Стартовое число кредитов данных отложенных транзакций виртуального канала 0, используется только в конфигурации с сегментированным буфером. ***Значение после сброса:*** 0x300

11.10.6.20 Регистр VC0_NP_RX_Q_CTRL_OFF

Описание: Управление сегментированным буфером очереди не отложенного приема виртуального канала 0;

Разрядность: 32 бит;

Смещение: 0x74c.

31 – 28	27, 26	25, 24	23, 21	20	19 – 12	11 – 0
RESERVED7	VC0_NP_DATA_SCALE	VC0_NP_HDR_SCALE	VC0_NP_TLP_Q_MODE	RESERVED6	VC0_NP_HEADER_CREDIT	VC0_NP_DATA_CREDIT

Таблица 173 – Описание бит регистра VC0_NP_RX_Q_CTRL_OFF

Биты	Название	Тип доступа	Описание
31 – 28	RESERVED7	R/W	Зарезервировано для будущих применений. ***Значение после сброса:*** 0x0
27, 26	VC0_NP_DATA_SCALE	R/W	Градация кредитов данных, не отложенных транзакций виртуального канала 0. ***Значение после сброса:*** 0x1
25, 24	VC0_NP_HDR_SCALE	R/W	Градация кредитов заголовка, не отложенных транзакций виртуального канала 0. ***Значение после сброса:*** 0x1
23 – 21	VC0_NP_TLP_Q_MODE	R/W	Зарезервировано для будущих применений. ***Значение после сброса:*** 0x1

Биты	Название	Тип доступа	Описание
20	RESERVED6	R/W	Зарезервировано для будущих применений. ***Значение после сброса:*** 0x0
19 – 12	VC0_NP_HEADER_ CREDIT	R	Кредиты заголовка, не отложенных транзакций виртуального канала 0. Стартовое число кредитов заголовка не отложенных транзакций виртуального канала 0, используется только в конфигурации с сегментированным буфером. ***Значение после сброса:*** 0x7f
11 – 0	VC0_NP_DATA_CREDIT	R	Кредиты данных, не отложенных транзакций виртуального канала 0. Стартовое число кредитов данных не отложенных транзакций виртуального канала 0, используется только в конфигурации с сегментированным буфером. ***Значение после сброса:*** 0x2d

11.10.6.21 Регистр VC0_CPL_RX_Q_CTRL_OFF

Описание: Управление сегментированным буфером очереди приема completion виртуального канала 0;

Разрядность: 32 бит;

Смещение: 0x750.

31 – 28	27, 26	25, 24	23 – 21	20	19 – 12	11 – 0
RESERVED9	VC0_CPL_DATA_S CALE	VC0_CPL_HDR_SC ALE	VC0_CPL_TLP_ Q_MODE	RESERVED8	VC0_CPL_ HEADER_CREDIT	VC0_CPL_DATA_C REDIT

Таблица 174 – Описание бит регистра VC0_CPL_RX_Q_CTRL_OFF

Биты	Название	Тип доступа	Описание
31 – 28	RESERVED9	R/W	Зарезервировано для будущих применений. ***Значение после сброса:*** 0x0
27, 26	VC0_CPL_DATA_SCALE	R/W	Градация кредитов данных CPL виртуального канала 0. ***Значение после сброса:*** 0x1
25, 24	VC0_CPL_HDR_SCALE	R/W	Градация кредитов заголовка CPL виртуального канала 0. ***Значение после сброса:*** 0x1

Биты	Название	Тип доступа	Описание
23 – 21	VC0_CPL_TLP_Q_MODE	R/W	Зарезервировано для будущих применений. ***Значение после сброса:*** 0x4
20	RESERVED8	R/W	Зарезервировано для будущих применений. ***Значение после сброса:*** 0x0
19 – 12	VC0_CPL_ HEADER_CREDIT	R	Кредиты заголовка completion виртуального канала 0. Стартовое число кредитов заголовка completion виртуального канала 0, используется только в конфигурации с сегментированным буфером. ***Значение после сброса:*** 0x0
11 – 0	VC0_CPL_DATA_CREDIT	R	Кредиты данных completion виртуального канала 0. Стартовое число кредитов данных completion виртуального канала 0, используется только в конфигурации с сегментированным буфером. ***Значение после сброса:*** 0x0

11.10.6.22 GEN2_CTRL_OFF

Описание: Регистр управления шириной линка и изменением скорости;
Разрядность: 32 бит;
Смещение: 0x80c.

31 – 22	21	20	19	18	17	16	15 – 13	12 – 8	7 – 0
RSVDP_22	GEN1_EI_INFERENCE	SEL_DEEMPHASIS	CONFIG_TX_ COMP_RX	CONFIG_PHY_TX_ CHANGE	DIRECT_SPEED_ CHANGE	AUTO_LANE_FLIP_ CTRL_EN	PRE_DET_LANE	NUM_OF_LANES	FAST_TRAINING_SEQ

Таблица 175 – Описание бит регистра GEN2_CTRL_OFF

Биты	Название	Тип доступа	Описание
31 – 22	RSVDP_22	R	Зарезервировано для будущих применений. ***Значение после сброса:*** 0x0
21	GEN1_EI_ INFERENCE	R/W	Режим выхода из электрического бездействия на скорости Gen1. Программируемый режим определяет переход из состояния электрического бездействия (EI) в состояние Recovery.Speed или Loopback.Active (как слэйв) для

Биты	Название	Тип доступа	Описание
			скорости Gen1 путем обнаружения значения «1» на RxElecIdle вместо обнаружения «0» на RxValid. Если PHY ошибочно снимает сигнал RxValid в состоянии Recovery.Speed или Loopback.Active (например, из-за испорченного EIOS), тогда EI не может быть успешно завершен контроллеров только детектированием условия RxValid=0. 0 – использовать сигнал RxElecIdle для выхода из электрического бездействия; 1 – использовать сигнал RxValid для выхода из электрического бездействия ***Значение после сброса:*** 0x0
20	SEL_DEEMPHASIS	R/W	Используется для установки уровня коррекции предискажений upstream портов. 0: -6 дБ; 1: -3,5 дБ. Это поле зарезервировано (зафиксировано в '0') для M-PCIe. ***Значение после сброса:*** 0x0
19	CONFIG_TX_ COMP_RX	R/W	Конфигурирует Tx бит соответствия приема. Когда установлен в 1, сигнализирует LTSSM передавть TS упорядоченные наборы с установленным битом соответствия приема (равно «1»). Это поле зарезервировано (зафиксировано в «0») для M-PCIe. ***Значение после сброса:*** 0x0
18	CONFIG_PHY_TX_ CHANGE	R/W	Конфигурирует размах PHY Tx. Управляет уровнем размаха напряжения передатчика PHY. 0 – полный размах; 1 – низкий размах. Это поле зарезервировано (зафиксировано в «0») для M-PCIe. ***Значение после сброса:*** 0x0
17	DIRECT_SPEED_ CHANGE	R/W	Прямое изменение скорости. Запись «1» в это поле указывает LTSSM инициировать изменение скорости на Gen2 или Gen3 после инициализации линка на скорости Gen1. Когда происходит изменение скорости, контроллер очищает содержимое этого поля; и чтение этого поля вашим программным обеспечением будет возвращать «0». Инициирование ручного изменения скорости: – записать LINK_CONTROL2_LINK_STATUS2_ REG. PCIE_CAP_TARGET_LINK_SPEED в локальное устройство; – сбросить это поле; – установить это поле.

Биты	Название	Тип доступа	Описание
			Если необходимо предотвратить автоматическое изменение скорости, то необходимо записать более низкое значение скорости в поле «требуемая скорость линка» регистра Link Control 2 (LINK_CONTROL2_LINK_STATUS2_OFF. PCIE_CAP_TARGET_LINK_SPEED) через интерфейс DBI прежде чем линк будет установлен. Это поле зарезервировано (зафиксировано в «0») для M-PCIe. ***Значение после сброса:*** 0x0 ***Контролепригодность*:** неконтролируемый ***Изменяется на лету*:** Да
16	AUTO_LANE_ FLIP_CTRL_EN	R/W	Разрешение автоматического переключения лэйнов. Это поле зарезервировано (зафиксировано в «0») для M-PCIe. ***Значение после сброса:*** 0x0 ***Контролепригодность*:** неконтролируемый
15 – 13	PRE_DET_LANE	R/W	Предопределение лэйнов для автоматического переключения. Это поле определяет какой физический лэйн подключается к логическому лэйну 0 с помощью операции переключения выполняемой в состоянии Detect. Allowed: 3'b000 – Подключить логический лэйн 0 к физическому лэйну 0 3'b001 – подключить логический лэйн 0 к физическому лэйну 1; 3'b010 – подключить логический лэйн 0 к физическому лэйну 3; 3'b011 – подключить логический лэйн 0 к физическому лэйну 7; 3'b100 – подключить логический лэйн 0 к физическому лэйну 15. Это поле применяется для ограничения процедуры детектирования приемника на определенный лэйн, когда детектирование по умолчанию и выполнение операции опроса для всех лэйнов не может быть успешно выполнены. Показательный пример программирования этого поля величиной отличной от значения по умолчанию, это когда лэйн ассиметрично испорчен, в этом случае, определяется состояние LTSSM детектирования, но не происходит выход из электрического бездействия в состояние LTSSM опроса. Это поле зарезервировано (зафиксировано в «0») для M-PCIe. ***Значение после сброса:*** 0x0 ***Контролепригодность*:** неконтролируемый

Биты	Название	Тип доступа	Описание
12 – 8	NUM_OF_LANES	R/W	Предопределенное число лэйнов. Определяет число лэйнов которые подключены и не дефектны. Применяется эффективная ширина линка чтобы игнорировать "дефектные" или "неиспользуемые" лэйны которые детектирует приемник. Определяет число проверяемых лэйнов для выхода из состояния электрического бездействия в Polling.Active и L2.Idle. Возможно такое что LTSSM может детектировать приемник по дефектному или испорченному лэйну во время подсостояния детектирования. Однако, также возможно, что такие лэйны могут привести к ошибке выхода из электрического бездействия и теоретически препятствовать конфигурированию валидного соединения. Эти значения отсылают к разделу «Predetermined Number of Lanes» секции 4.2.6.2.1 спецификации PCI Express Base 3.0, ревизия 1.0. Кодирование происходит как указано ниже: 0x01 – 1 лэйн; 0x02 – 2 лэйна; 0x03 – 3 лэйна; … Когда у вас в системе есть неиспользуемые лэйны, вы должны изменить значение в этом регистре, чтобы отразить число лэйнов. Вы также должны изменить значение в поле "Разрешение режима линка" регистра PORT_LINK_CTRL_OFF. Значение в этом регистре обыно такое же, как значение, закодированное в регистре PORT_LINK_CTRL_OFF. Если вы обнаружите, что один из ваших лэйнов дефектный, вы должны уменьшить значение в этом регистре. Это поле зарезервировано (зафиксировано в «0») для M-PCIe. ***Значение после сброса:*** 0x1 ***Контролепригодность*:** неконтролируемый
7 – 0	FAST_ TRAINING_ SEQ	R/W	Устанавливает число быстрых последовательностей тренировки (N_FTS), которые контроллер заявляет, как N_FTS во время тренировки линка Gen2 или Gen3. Это значение применяется для информирования абонента по соединению о способности PHY восстанавливать синхронизацию после состояния пониженного потребления. Это число предоставляется вендором PHY. Не устанавливайте N_FTS в ноль; установка в ноль может привести к тому, что LTSSM перейдет в состояние восстановления после выхода из L0s. Это поле зарезервировано (зафиксировано в «0») для M-PCIe. ***Значение после сброса:*** 0x2c

11.10.6.23 Регистр PHY_STATUS_OFF

Описание: Регистр статуса PHY;
Разрядность: 32 бит;
Смещение: 0x810.

31 – 0
PHY_STATUS

Таблица 176 – Описание бит регистра PHY_STATUS_OFF

Биты	Название	Тип доступа	Описание
31 – 0	PHY_STATUS	R	Статус PHY. Данные, полученные напрямую с шины phy_cfg_status. Это GPIO регистр, отражающий значение статических сигналов на входе phy_cfg_status. Его применение полностью оставлено за пользователем и функциональность контроллера не оказывает на него влияние. Это поле зарезервировано (зафиксировано в «0») для M-PCIe. ***Значение после сброса:*** 0x0 ***Контролепригодность*:** неконтролируемый ***Маска сброса*:** 0x0 ***Изменяется на лету*:** Да

11.10.6.24 Регистр PHY_CONTROL_OFF

Описание: Регистр управления PHY;
Разрядность: 32 бит;
Смещение: 0x814.

31 – 0
PHY_CONTROL

Таблица 177 – Описание бит регистра PHY_CONTROL_OFF

Биты	Название	Тип доступа	Описание
31 – 0	PHY_CONTROL	R/W	Управление PHY. Данные передаются напрямую на шину cfg_phy_control. Это GPIO-регистр задает значение выходных статических сигналов cfg_phy_control. Его применение полностью оставлено за пользователем и функциональность контроллера не оказывает на него влияние. Это поле зарезервировано (зафиксировано в «0») для M-PCIe. ***Значение после сброса:*** 0x0

11.10.6.25 Регистр TRGT_MAP_CTRL_OFF

Описание: Регистр управления картой программирования задания;
Разрядность: 32 бит;
Смещение: 0x81c.

31 – 21	20 – 16	15 – 13	12 – 7	6	5 – 0
TARGET_MAP_ RESERVED_21_31	TARGET_MAP_ INDEX	TARGET_MAP_ RESERVED_13_15	Rsvd	TARGET_MAP_ ROM	TARGET_MAP_PF

Таблица 178 – Описание бит регистра TRGT_MAP_CTRL_OFF

Биты	Название	Тип доступа	Описание
31 – 21	TARGET_MAP_ RESERVED_21_31	R	Зарезервировано для будущих применений. ***Значение после сброса:*** 0x0
20 – 16	TARGET_MAP_INDEX	R/W	Число PF функций, на которые устанавливается заданное значение. Этот регистр не поддерживает установку разрешение байта. Любая запись будет влиять на все биты регистра. ***Значение после сброса:*** 0x0 ***Контролепригодность*:** неконтролируемый ***Изменяется на лету*:** Да
15 – 13	TARGET_MAP_ RESERVED_13_15	R	Зарезервировано для будущих применений. ***Значение после сброса:*** 0x0
12 – 7			**Поле зарезервировано.**
6	TARGET_MAP_ROM	R/W	Заданное значение для страницы ROM PF функции, выбранной порядковым номером. Этот регистр не поддерживает установку разрешение байта. Любая запись будет влиять на все биты регистра. ***Значение после сброса:*** 0x1 ***Контролепригодность*:** неконтролируемый ***Изменяется на лету*:** Да
5 – 0	TARGET_MAP_PF	R/W	Заданное значение для каждого BAR PF функции, выбранной порядковым номером. Этот регистр не поддерживает установку разрешение байта. Любая запись будет влиять на все биты регистра. ***Значение после сброса:*** 0x1 ***Контролепригодность*:** неконтролируемый ***Изменяется на лету*:** Да

11.10.6.26 Регистр CLOCK_GATING_CTRL_OFF

Описание: Регистр разрешения частоты RADM. Используя этот регистр можно отключить частоту RADM;

Разрядность: 32 бит;

Смещение: 0x88c.

31 – 1	0
RSVDP_1	RADM_CLK_GATING_EN

Таблица 179 – Описание бит регистра CLOCK_GATING_CTRL_OFF

Биты	Название	Тип доступа	Описание
31 – 1	RSVDP_1	R	Зарезервировано для будущих применений. ***Значение после сброса:*** 0x0
0	RADM_CLK_GATING_EN	R/W	Разрешает функцию гейтирования синхросигнала для модуля Radm. – 0 – запрет; – 1 – разрешение (по умолчанию). ***Значение после сброса:*** 0x1

11.10.6.27 Регистр ORDER_RULE_CTRL_OFF

Описание: Регистр управления порядком правил;

Разрядность: 32 бит;

Смещение: 0x8b4.

31 – 16	15 – 8	7 – 0
RSVDP_16	CPL_PASS_P	NP_PASS_P

Таблица 180 – Описание бит регистра ORDER_RULE_CTRL_OFF

Биты	Название	Тип доступа	Описание
31 – 16	RSVDP_16	R	Зарезервировано для будущих применений. ***Значение после сброса:*** 0x0
15 – 8	CPL_PASS_P	R/W	Управление правилом систематизации прохождения completion. Определяет если CPL может пройти остановленную P очередь. 0 – CPL не может пройти P (рекомендуется); 1 – CPL может пройти P. ***Значение после сброса:*** 0x0

Биты	Название	Тип доступа	Описание
7 – 0	NP_PASS_P	R/W	Управление правилом систематизации прохождения не отложенных транзакций. Определяет если NP может пройти остановленную P очередь. 0 – NP не может пройти P (рекомендуется); 1 – NP может пройти P. ***Значение после сброса:*** 0x0

11.10.6.28 Регистр PIPE_LOOPBACK_CONTROL_OFF

Описание: Регистр управления обратной связью PIPE;
Разрядность: 32 бит;
Смещение: 0x8b8.

31	30 – 27	26 – 24	23, 22	21 – 16	15 – 0
PIPE_ LOOPBACK	RSVDP_27	RXSTATUS_ VALUE	RSVDP_22	RXSTATUS_ LANE	LPBK_RXVALID

Таблица 181 – Описание бит регистра PIPE_LOOPBACK_CONTROL_OFF

Биты	Название	Тип доступа	Описание
31	PIPE_LOOPBACK	R/W	Разрешение обратной связи PIPE. Сигнализирует о RMMI обратной связи в случае M-PCIe. ***Значение после сброса:*** 0x0
30 – 27	RSVDP_27	R	Зарезервировано для будущих применений. ***Значение после сброса:*** 0x0
26 – 24	RXSTATUS_VALUE	W	RXSTATUS_VALUE – это внутреннее зарезервированное поле. Не использовать. ***Значение после сброса:*** 0x0 ***Контролепригодность*:** неконтролируемый ***Маска сброса*:** 0x0 ***Изменяется на лету*:** Да
23, 22	RSVDP_22	R	Зарезервировано для будущих применений. ***Значение после сброса:*** 0x0
21 – 16	RXSTATUS_LANE	R/W	RXSTATUS_LANE это внутреннее зарезервированное поле. Не использовать. ***Значение после сброса:*** 0x0
15 – 0	LPBK_RXVALID	R/W	LPBK_RXVALID это внутреннее зарезервированное поле. Не использовать. ***Значение после сброса:*** 0x1

11.10.6.29 Регистр MISC_CONTROL_1_OFF

Описание: Регистр разрешения DBI только для чтения или записи;
Разрядность: 32 бит;
Смещение: 0x8bc.

31 – 4	3	2	1	0
RSVDP_4	SIMPLIFIED_ REPLAY_TIMER	UR_CA_ MASK_4_TRGT1	DEFAULT_ TARGET	DBI_RO_WR_EN

Таблица 182 – Описание бит регистра MISC_CONTROL_1_OFF

Биты	Название	Тип доступа	Описание
31 – 4	RSVDP_4	R	Зарезервировано для будущих применений. ***Значение после сброса:*** 0x0
3	SIMPLIFIED_ REPLAY_ TIMER	R/W	Разрешает упростить таймер повтора (Gen4). Допустимые значения таймера: – значение от 24.000 до 31.000 времени символа, когда расширенная синхронизация равна нулю; – значение от 80.000 до 100.000 времени символа, когда расширенная синхронизация равна единице. Не должно меняться при использовании линка. ***Значение после сброса:*** 0x0
2	UR_CA_ MASK_4_ TRGT1	R/W	Это поле применяется только для TLP-запросов (со статусом фильтрации UR), которые вы выбрали для переадресации приложению (когда вы устанавливаете DEFAULT_TARGET в этот регистр). – При установке поля в «1» ядро подавляет формирования отчета об ошибках, генерацию сообщений об ошибках и генерацию CPL (для не отложенных запросов). – Необходимо установить это поле, если регистр логики порта Default Target установлен в «1». ***Значение после сброса:*** 0x0
1	DEFAULT_ TARGET	R/W	Переадресация по умолчанию полученных IO или MEM запросов с UR/CA/CRS контроллером. – 0 – контроллер отбрасывает все входящие I/O или MEM запросы (после соответствующего уведомления об ошибке). Ccompletion со статусом UR будет генерироваться для не отложенных запросов. – 1 – контроллер перенаправляет все входящие I/O или MEM запросы со статусом UR/CA/CRS вашему приложению. ***Значение после сброса:*** 0x0

Биты	Название	Тип доступа	Описание
0	DBI_RO_ WR_EN	R/W	Запись в регистры доступные только для чтения используя DBI. Когда вы устанавливаете это поле в "1", некоторые биты доступны только для чтения, и инициализируемые аппаратно становятся доступны для записи через DBI. ***Значение после сброса:*** 0x0

11.10.6.30 Регистр MULTI_LANE_CONTROL_OFF

Описание: Регистр управления мультилэйнами. Используется для увеличения или уменьшения ширины линка;

Разрядность: 32 бит;

Смещение: 0x8c0.

31 – 8	7	6	5 – 0
RSVDP_8	UPCONFIGURE_ SUPPORT	DIRECT_LINK_ WIDTH_CHANGE	TARGET_LINK_WIDTH

Таблица 183 – Описание бит регистра MULTI_LANE_CONTROL_OFF

Биты	Название	Тип доступа	Описание
31 – 8	RSVDP_8	R	Зарезервировано для будущих применений. ***Значение после сброса:*** 0x0
7	UPCONFIGURE_ SUPPORT	R/W	Поддержка конфигурирования сверху. Контроллер передает это значение в упорядоченном наборе конфигурации TS2, как способность конфигурирования линка сверху. Это поле зарезервировано (зафиксировано в ноль) для M-PCIe. ***Значение после сброса:*** 0x0
6	DIRECT_LINK_ WIDTH_CHANGE	R/W	Прямое изменение ширины линка. Контроллер всегда переходит в состоянии конфигурирования через состояние восстановления, если этот бит установлен в «1». – Если переменная upconfigure_*capable* установлена в «1» и бит PCIE_CAP_HW_AUTO_WIDTH_DISABLE в регистре LINK_CONTROL_LINK_STATUS_REG в «0», контроллер начинает конфигурирование сверху или автоматическое уменьшение ширины (в значение TARGET_LINK_WIDTH) в состоянии конфигурирования. – Если значение TARGET_LINK_WIDTH в 0x0, контроллер не выполняет конфигурирование сверху или автоматическое уменьшение ширины в состоянии конфигурирования. Контроллер самостоятельно очищает это поле, когда принимает этот запрос.

Биты	Название	Тип доступа	Описание
			Это поле зарезервировано (зафиксировано в ноль) для M-PCIe. ***Значение после сброса:*** 0x0 ***Контролепригодность*:** неконтролируемый ***Изменяется на лету*:** Да
5 – 0	TARGET_ LINK_ WIDTH	R/W	Действующая ширина линка. Соответствующие значения: – 6'b000000 – контроллер не выполняет конфигурирование сверху или автоматическое уменьшение ширины в состоянии конфигурирования; – 6'b000001 – x1; – 6'b000010 – x2; – 6'b000100 – x4; – 6'b001000 – x8; – 6'b010000 – x16; – 6'b100000 – x32. Это поле зарезервировано (зафиксировано в ноль) для M-PCIe. ***Значение после сброса:*** 0x0

11.10.6.31 Регистр PHY_INTEROP_CTRL_OFF

Описание: Регистр управления функциональной совместимостью PHY. Этот регистр зарезервирован для внутреннего применения;

Разрядность: 32 бит;

Смещение: 0x8c4.

31 – 11	10	9	8	7	6 – 0
RSVDP_11	L1_CLK_SEL	L1_NOWAIT_P1	Rsvd	RSVDP_7	RXSTANDBY_CONTROL

Таблица 184 – Описание бит регистра PHY_INTEROP_CTRL_OFF

Биты	Название	Тип доступа	Описание
31 – 11	RSVDP_11	R	Зарезервировано для будущих применений. ***Значение после сброса:*** 0x0
10	L1_CLK_SEL	R/W	Бит управления синхросигналом L1. – 1 – контроллер не запрашивает переключение на aux_clk и гейтирование core_clk в L1; – 0 – контроллер запрашивает переключение на aux_clk и гейтирование core_clk в L1. ***Значение после сброса:*** 0x0

Биты	Название	Тип доступа	Описание
9	L1_NOWAIT_P1	R/W	Бит управления входом в L1. – 1 – ядро не ожидает подтверждения для PHY перехода в P1 перед входом в L1; – 0 – ядро ожидает подтверждения для PHY перехода в P1 перед входом в L1. ***Значение после сброса:*** 0x0
8			Зарезервировано
7	RSVDP_7	R	Зарезервировано для будущих применений. ***Значение после сброса:*** 0x0
6 – 0	RXSTANDBY_CONTROL	R/W	Управление Rxstandby. Биты 5:0 определяют, если контроллер устанавливает сигнал RxStandby (mac_phy_rxstandby), в представленном ниже условии. Бит 6 разрешает контроллеру выполнять установление соединения RxStandby/RxStandbyStatus. – [0] – Rx EIOS и подпоследовательность T TX-IDLE-MIN; – [1] – изменение скорости; – [2] – неактивный лэйн при upconfigure/downconfigure; – [3] – PowerDown=P1 или P2; – [4] – RxL0s.Idle; – [5] – EI в состоянии L0; – [6] – выполняется установка соединения RxStandby/RxStandbyStatus. Это поле зарезервировано (зафиксировано в ноль) для M-PCIe. ***Значение после сброса:*** 0x44

11.10.6.32 Регистр TRGT_CPL_LUT_DELETE_ENTRY_OFF

Описание: Регистр управления удалением записи TRGT_CPL_LUT. Используя этот регистр можно удалить запись в таблице LUT;

Разрядность: 32 бит;

Смещение: 0x8c8.

31	30 – 0
DELETE_EN	LOOK_UP_ID

Таблица 185 – Описание бит регистра TRGT_CPL_LUT_DELETE_ENTRY_OFF

Биты	Название	Тип доступа	Описание
31	DELETE_EN	R/W	Это разовый бит. Запись единицы в этот бит инициирует удаление записи в таблице цели completion LUT, которая определяется полем LOOK_UP_ID. Поле этого регистра

Биты	Название	Тип доступа	Описание
			самоочищающееся. Чтение поля этого регистра всегда возвращает ноль. ***Значение после сброса:*** 0x0
30 – 0	LOOK_UP_ID	R/W	Этот номер выбирает одну запись для удаления из TRGT_CPL_LUT. ***Значение после сброса:*** 0x0

11.10.6.33 Регистр LINK_FLUSH_CONTROL_OFF

Описание: Регистр управления очисткой запроса на сброс линка;
Разрядность: 32 бит;
Смещение: 0x8cc.

31 – 24	23 – 1	0
RSVD_I_8	RSVDP_1	AUTO_FLUSH_EN

Таблица 186 – Описание бит регистра LINK_FLUSH_CONTROL_OFF

Биты	Название	Тип доступа	Описание
31 – 24	RSVD_I_8	R/W	Это внутреннее зарезервированное поле. Не использовать. ***Значение после сброса:*** 0xff
23 – 1	RSVDP_1	R	Зарезервировано для будущих применений. ***Значение после сброса:*** 0x0
0	AUTO_FLUSH_EN	R/W	Разрешение автоматической очистки или задержки запросов перед отправкой запроса на сброс к логике приложения для сброса PCIe контроллера и AXI моста. Процесс очистки инициируется если происходит одно из следующих условий: – запрос «горячего» сброса. Downstream порт (DSP) может выполнить "горячий” сброс upstream порта (USP) послав два последовательных упорядоченных TS1 набора с установленным битом “горячего” сброса; – «теплый» (программный) запрос сброса. Генерируется при выходе из D3 в D0 и cfg_pm_no_soft_rst=0; – ЗАПРОС на сброс линка. Переход из высокого в низкий уровень на smlh_req_rst_not показывающий, что линк потерян и контроллер запрашивает сброс.

Биты	Название	Тип доступа	Описание
			Если вы запретили автоматическую очистку, ваше приложение ответственно за сброс контроллера PCIe и моста AXI. ***Значение после сброса:*** 0x1

11.10.6.34 Регистр AMBA_ERROR_RESPONSE_DEFAULT_OFF

Описание: Регистр ошибки ответа AXI слэйв моста;
Разрядность: 32 бит;
Смещение: 0x8d0.

31 – 16	15 – 10	9 – 5	4, 3	2	1	0
RSVDP_16	AMBA_ ERROR_ RESPONSE_ MAP	RSVDP_ 5	AMBA_ ERROR_ RESPONSE_ CRS	AMBA_ ERROR_ RESPONSE_ VENDORID	RSVDP_1	AMBA_ ERROR_ RESPONSE_ GLOBAL

Таблица 187 – Описание бит регистра AMBA_ERROR_RESPONSE_ DEFAULT_OFF

Биты	Название	Тип доступа	Описание
31 – 16	RSVDP_16	R	Зарезервировано для будущих применений. ***Значение после сброса:*** 0x0
15 – 10	AMBA_ ERROR_ RESPONSE_ MAP	R/W	Карта ошибки ответа AXI слэйв моста. Позволяет избирательно маппировать полученные ошибки от PCIe completion (для не отложенных запросов) в ответы AXI слэйв, slv_rresp или slv_bresp. Рекомендуется устанавливать SLVERR. CRS всегда маппируется в OKAY. [0]: – 0 – UR (неподдерживаемый запрос) -> DECERR; – 1 – UR (неподдерживаемый запрос) -> SLVERR. [1]: – 0 – CRS (повтор статуса конфигурации) -> DECERR; – 1 – CRS (повтор статуса конфигурации) -> SLVERR. [2]: – 0 – CA (прерывание completer) -> DECERR; – 1 – CA (прерывание completer) -> SLVERR. [3] – Зарезервировано; [4] – Зарезервировано; [5]: – 0 – таймаут Completion-> DECERR; – 1 – таймаут Completion -> SLVERR. Мост AXI внутри отбрасывает (обрабатывается внутри, но не проходит к вашему приложению) completion, которые были

Биты	Название	Тип доступа	Описание
			помечены фильтром Rx filter как UC или MLF, и не передает их статус напрямую вниз к слэйв интерфейсу. Ожидается время таймаута, а затем сигнализируется «Таймаут Completion» слэйв интерфейсу. Контроллер устанавливает шину чтения данных AXI слэйв в 0xFFFF для всех ошибок. ***Значение после сброса:*** 0x27
9 – 5	RSVDP_5	R	Зарезервировано для будущих применений. ***Значение после сброса:*** 0x0
4, 3	AMBA_ ERROR_ RESPONSE_ CRS	R/W	Маппирование ошибки ответа CRS слэйва. Определяет ответ AXI слэйва для CRS completion. **AXI:** – 00 – OKAY; – 01 – OKAY с данными FFFF_FFFF для всех CRS completion; – 10 – OKAY с данными FFFF_0001 для CRS completion в ответ на запрос чтения ID вендора, OKAY с данными FFFF_FFFF для всех других CRS completion; – 11 – SLVERR/DECERR (поле AXI_ERROR_RESPONSE_ MAP определяет маппирование ошибки ответа PCIe на AXI слэйв). ***Значение после сброса:*** 0x0
2	AMBA_ ERROR_ RESPONSE_ VENDORID	R/W	Маппирование ошибки ответа слэйва на несуществующий ID вендора. Определяет ответ AXI слэйва для ошибок при чтении несуществующего регистра ID вендора. **AXI:** – 0 – OKAY (с данными FFFF); – 1 – SLVERR/DECERR (поле AXI_ERROR_ RESPONSE_MAP определяет маппирование ошибки ответа PCIe на AXI слэйв). ***Значение после сброса:*** 0x0
1	RSVDP_1	R	Зарезервировано для будущих применений. ***Значение после сброса:*** 0x0
0	AMBA_ ERROR_ RESPONSE_ GLOBAL	R/W	Маппирование общего ответа на ошибки слэйва. Определяет ответ AXI слэйва для всех сценариев ошибки при неотложенных запросах. **AXI:** – 0 – OKAY (с данными FFFF для неотложенных запросов) – 1 – SLVERR/DECERR (поле AXI_ERROR_ RESPONSE_MAP определяет маппирование ошибки ответа PCIe на AXI слэйв) Маппирование ошибки ответа неприменимо при чтении несуществующего регистра ID вендора. ***Значение после сброса:*** 0x0

11.10.6.35 Регистр AMBA_LINK_TIMEOUT_OFF

Описание: Регистр таймаута AXI слэйв моста при потере линка. Если ваше приложение AXI мастер выдает выходной запрос на AXI слэйв интерфейс прежде, чем PCIe установит линк, контроллер запускает таймер очистки. Значение таймаута таймера устанавливается этим регистром. Через какое-то время после таймаута таймера очищается очередь TX запросов моста. Таймер считает, когда находятся в ожидании выходные запросы AXI слэйв интерфейса (или DMA) и PCIe TX линк не передает любой из этих запросов.

Разрядность: 32 бит;

Смещение: 0x8d4.

31 – 9	8	7 – 0
RSVDP_9	LINK_TIMEOUT_ENABLE_DEFAULT	LINK_TIMEOUT_PERIOD_DEFAULT

Таблица 188 – Описание бит регистра AMBA_LINK_TIMEOUT_OFF

Биты	Название	Тип доступа	Описание
31 – 9	RSVDP_9	R	Зарезервировано для будущих применений. ***Значение после сброса:*** 0x0
8	LINK_TIMEOUT _ENABLE_DEFAULT	R/W	Запрет очистки. Вы можете отключить функцию очистки установкой этого поля в «1». ***Значение после сброса:*** 0x1
7 – 0	LINK_TIMEOUT_ PERIOD_DEFAULT	R/W	Величина таймаута (мс). Через какое-то время после таймаута таймера очищается очередь TX-запросов. Таймер считает, когда находятся в ожидании выходные запросы AXI слэйв интерфейса и PCIe TX линк не передает любой из этих запросов. Таймер тактируется частотой core_clk. Для конфигурации M-PCIe: – единица времени этого поля 4 мс; – предел ошибки для RateA частоты <1 %; – предел ошибки для RateB частоты между 16 и 17 %. ***Значение после сброса:*** 0x32

11.10.6.36 Регистр AMBA_ORDERING_CTRL_OFF

Описание: Контроль упорядочивания AMBA;

Разрядность: 32 бит;

Смещение: 0x8d8.

31 – 5	4, 3	2	1	0
RSVDP_5	AX_MSTR_ORDR_ P_EVENT_SEL	AX_IB_CPL_PASS_P	AX_SNP_EN	AX_MSTR_NP_PASS_P

Таблица 189 – Описание бит регистра AMBA_ORDERING_CTRL_OFF

Биты	Название	Тип доступа	Описание
31 – 5	RSVDP_5	R	Зарезервировано для будущих применений. ***Значение после сброса:*** 0x0
4, 3	AX_MSTR_ORDR_P_EVENT_SEL	R/W	Селектор события упорядочивания отложенных транзакций на шине AXI мастер. Поле выбирает, как мастер интерфейс определяет, что запись P завершилась при выполнении PCIe правила упорядочивания, «NP не должны проходить P» на AXI мастер интерфейсе. AXI протокол не поддерживает упорядочивание между каналами. Следовательно, NP чтения могут проходить P на вашей AXI шине. Результатом этого могут быть нарушения упорядочивания, когда чтение опережает P, которое проходит по тому же адресу. Следовательно, мастер моста не должен выдавать любые NP запросы до тех пор, пока все невыполненные P записи не достигнут их назначения. Это обеспечивается ожиданием всех ответов записи по каналу B. Это может влиять на производительность канала чтения мастера. Для сценария, когда интерконнект располагает AXI мастер каналами «AW», «W» и «AR», вы можете увеличить производительность, уменьшив ожидание завершения отложенных транзакций, фактически переданных слэйв приложению. 00 – Последнее событие B: ожидание всех ответов записи на канале B таким образом убедиться, что вся отложенная транзакция фактически передана слэйв приложению (по умолчанию). 01 – Последнее событие AW: ожидать пока вся отложенная транзакция покинет канал адреса AXI моста мастера. 10 – Последнее событие W: ожидать пока вся отложенная транзакция покинет канал данных AXI моста мастера. 11 – Зарезервировано Примечания 1 Это поле игнорируется, когда вы устанавливаете AX_MSTR_NP_PASS_P в «1». 2 Это установка не оказывает влияния на: – захват MSI прерывания и упорядочивание P данных. В этом случае всегда используется последнее событие B; – автомат DMA чтения упорядоченных TLP. В этом случае всегда используется последнее событие B; – транзакции записи NP всегда чередующиеся с транзакциями записи P. ***Значение после сброса:*** 0x0

Биты	Название	Тип доступа	Описание
2	AX_IB_CPL_PASS_P	R/W	Запрет правила – входные AXI CPL не должны проходить P. Это поле разрешает программному обеспечению ослабить правило упорядочивания PCIe "CPL не должны проходить P" при входном направлении трафика, отключением логики упорядочивания CPL AXI моста. Это улучшает производительность в приложениях, где модель поставщик-потребитель не применяется. Если модель поставщик / потребитель должна быть соблюдена, и также актуальна производительность, ваше приложение может пометить как RO (бит ослабления упорядочивания заголовка CPL) специфичного TLP трафика, который не относится к модели поставщик / потребитель, вместо полного запрета упорядочивания CPL. ***Значение после сброса:*** 0x0
1	AX_SNP_EN	R/W	Разрешение выдавать сериями на AXI не отложенные запросы. Это поле разрешает AXI мосту выдавать сериями не отложенные запросы чтения/записи с одинаковымы ID на шину. Выдача сериями предполагает одно ожидание для NP-транзаций записи или чтения с одинаковыми ID на шине и применяется, чтобы избежать рисков AXI RAR и WAW для удаленного абонента по соединению. ***Значение после сброса:*** 0x0
0	AX_MSTR_NP_PASS_P	R/W	NP AXI мастера могут проходить P. Это поле разрешает программному обеспечению ослабить правило упорядочивания PCIe, NP не должно проходить P на AXI мастер интерфейсе. AXI протокол не поддерживает упорядочивание между каналами. Следовательно, NP чтения могут проходить P на вашей AXI шине. Результатом этого может быть нарушение упорядочивания, когда чтение опережает P, которое проходит по тому же адресу. Следовательно, мастер моста не должен выдавать любые NP запросы до тех пор, пока все невыполненные P записи не достигнут их назначения. Это обеспечивается ожиданием всех ответов записи по каналу B. Это может влиять на производительность канала чтения мастера. Для ослабления этого правила, установите это поле. 0 – удаление из очереди NP запросов на AXI мастер интерфейсе, когда получены ответы на P запросы записи, удаление из очереди перед началом обработки NP запроса. 1 – удаление из очереди NP запросов на AXI мастер интерфейсе немедленно. Нет ожидания для ответов на P запросы записи, удаление из очереди перед NP запросом. Разрешает NP запросам проходить P запросы на AXI шине. ***Значение после сброса:*** 0x0

Регистр COHERENCY_CONTROL_1_OFF
Описание: Регистр управления 1 согласованностью кэша ACE;
Разрядность: 32 бит;
Смещение: 0x8e0.

31 –2	1	0
CFG_MEMTYPE_BOUNDARY_LOW_ADDR	RSVDP_1	CFG_MEMTYPE_VALUE

Таблица 190 – Описание бит регистра COHERENCY_CONTROL_1_OFF

Биты	Название	Тип доступа	Описание
31 – 2	CFG_MEMTYPE_ BOUNDARY_LOW_ ADDR	R/W	Граница нижнего адреса для типа памяти. Биты [31:0] адреса границы типа памяти, выровненного по двойному слову. Два младших разряда адреса LSB равны «00». Адреса до этого значения, но не вкючая его это нижний регион адресного пространства; адреса равные или выше этого значения это верхний регион адресного пространства. ***Значение после сброса:*** 0x0
1	RSVDP_1	R	Зарезервировано для будущих применений. ***Значение после сброса:*** 0x0
0	CFG_MEMTYPE_VALUE	R/W	Устанавливает тип памяти для нижней и верхней части адресного пространства: – 0 – нижняя = периферия; верхняя = память; – 1 – нижняя = память; верхняя = периферия. ***Значение после сброса:*** 0x0

11.10.6.37 Регистр COHERENCY_CONTROL_3_OFF

Описание: Регистр управления 3 согласованностью кэша ACE;
Разрядность: 32 бит;
Смещение: 0x8e8.

31	30 – 27	26 – 23	22 – 19	18 – 15	14 – 11	10 – 7	6 – 3	2 – 0
Rsvd	CFG_MSTR_ AWCACHE_VALUE	Rsvd	CFG_MSTR _ARCACHE_VALUE	Rsvd	CFG_MSTR_ AWCACHE_MODE	Rsvd	CFG_MSTR_ ARCACHE_MODE	Rsvd

Таблица 191 – Описание бит регистра COHERENCY_CONTROL_3_OFF

Биты	Название	Тип доступа	Описание
31	–	–	Зарезервировано
30 – 27	CFG_MSTR_ AWCACHE_VALUE	R/W	Значение сигнала записи кэша мастером. Значение индивидуальных бит в mstr_awcache, когда CFG_MSTR_AWCACHE_MODE в «1». Примечание – не применимо для запросов сообщений; для запросов сообщений значение mstr_awcache всегда «0000» ***Значение после сброса:*** 0x0
26 – 23	–	–	Зарезервировано
22 – 19	CFG_MSTR_ ARCACHE_VALUE	R/W	Значение сигнала чтения кэша мастером. Значение индивидуальных бит в mstr_arcache, когда CFG_MSTR_ARCACHE_MODE в «1». ***Значение после сброса:*** 0x0
18 – 15	–	–	Зарезервировано
14 – 11	CFG_MSTR_ AWCACHE_MODE	R/W	Поведение сигнала записи кэша мастером. Определяет, как контролируются индивидуальные биты в mstr_awcache: – 0 – устанавливаются автоматически AXI мастером; – 1 – устанавливаются значением соответствующих бит поля CFG_MSTR_ AWCACHE_VALUE. Примечание – для запросов сообщений значение mstr_awcache всегда «0000» несмотря на значение этого бита. ***Значение после сброса:*** 0x0
10 – 7	–	–	**Зарезервировано**
6 – 3	CFG_MSTR_ ARCACHE_MODE	R/W	Поведение сигнала чтения кэша мастером. Определяет, как контролируются индивидуальные биты в mstr_arcache: – 0 – устанавливаются автоматически мастером AXI; – 1 – устанавливаются значением соответствующих бит поля CFG_MSTR_ ARCACHE_VALUE. ***Значение после сброса:*** 0x0
2 – 0	–	–	**Зарезервировано**

11.10.6.38 Регистр AXI_MSTR_MSG_ADDR_LOW_OFF

Описание: Младшие 20 бит программируемого адреса AXI, куда маппируются приходящие с шины сообщения. Биты [11:0] регистра установлены в ноль для адреса, выровненного по границе 4k. В предыдущих релизах, третье и четвертое двойное слово

сообщения (Msg/MsgD) заголовка TLP доставлялось по адресной шине AXI мастера (mstr_awaddr). Эти двойные слова теперь доставляются через выход mstr_awmisc_info_hdr_34dw[63:0]; и значение на mstr_awaddr формируется то, которое вы запрограммировали в регистры:

- AXI_MSTR_MSG_ADDR_LOW_OFF;
- AXI_MSTR_MSG_ADDR_HIGH_OFF.

Разрядность: 32 бит;

Смещение: 0x8f0.

31 – 12	11 – 0
CFG_AXIMSTR_MSG_ADDR_LOW	CFG_AXIMSTR_MSG_ADDR_LOW_RESERVED

Таблица 192 – Описание бит регистра AXI_MSTR_MSG_ADDR_LOW_OFF

Биты	Название	Тип доступа	Описание
31 – 12	CFG_AXIMSTR_MSG_ ADDR_LOW	R/W	Младшие 20 бит запрограммированного адреса AXI для сообщений. ***Значение после сброса:*** 0x0
11 – 0	CFG_AXIMSTR_MSG_ ADDR_LOW_RESERVED	R	Зарезервировано для будущих применений. ***Значение после сброса:*** 0x0

11.10.6.39 Регистр AXI_MSTR_MSG_ADDR_HIGH_OFF

Описание: Старшие 32 бита программируемого адреса AXI, куда поступают сообщения из маппированной туда шины PCIe;

Разрядность: 32 бит;

Смещение: 0x8f4.

31 – 0
CFG_AXIMSTR_MSG_ADDR_HIGH

Таблица 193 – Описание бит регистра AXI_MSTR_MSG_ADDR_HIGH_OFF

Биты	Название	Тип доступа	Описание
31 – 0	CFG_AXIMSTR_MSG_ ADDR_HIGH	R/W	Старшие 20 бит запрограммированного адреса AXI для сообщений. ***Значение после сброса:*** 0x0

11.10.6.40 Регистр PCIE_VERSION_NUMBER_OFF

Описание: Номер версии релиза PCIe контроллера. Номер версии представляется в шестнадцатеричном формате. Необходимо конвертировать каждую пару шестнадцатеричных символов в интерпретацию ASCII.

Применение 4.70a (GA), как пример:

– VERSION_NUMBER = 0x3437302a который переводится как 470*

– VERSION_TYPE = 0x67612a2a который переводится как ga**

Применение 4.70a-ea01, как пример:

– VERSION_NUMBER = 0x3437302a который переводится как 470*

– VERSION_TYPE = 0x65613031 который переводится как ea01

Разрядность: 32 бит;

Смещение: 0x8f8.

31 – 0
VERSION_NUMBER

Таблица 194 – Описание бит регистра PCIE_VERSION_NUMBER_OFF

Биты	Название	Тип доступа	Описание
31 – 0	VERSION_NUMBER	R	Номер версии. ***Значение после сброса:*** 0x3438302a

11.10.6.41 Регистр PCIE_VERSION_TYPE_OFF

Описание: Тип версии релиза PCIe контроллера. Тип версии представляется в шестнадцатеричном формате. Вам необходимо конвертировать каждую пару шестнадцатеричных символов в интерпретацию ASCII;

Разрядность: 32 бит;

Смещение: 0x8fc.

31 – 0
VERSION_TYPE

Таблица 195 – Описание бит регистра PCIE_VERSION_TYPE_OFF

Биты	Название	Тип доступа	Описание
31 – 0	VERSION_TYPE	R	Тип версии. ***Значение после сброса:*** 0x67612a2a

11.10.6.42 Регистр AUX_CLK_FREQ_OFF

Описание: Регистр управления частотой вспомогательного синхросигнала;

Разрядность: 32 бит;

Смещение: 0xb40.

31 – 10	9 – 0
RSVDP_10	AUX_CLK_FREQ

Таблица 196 – Описание бит регистра AUX_CLK_FREQ_OFF

Биты	Название	Тип доступа	Описание
31 – 10	RSVDP_10	R	Зарезервировано для будущих применений. ***Значение после сброса:*** 0x0
9 – 0	AUX_CLK_FREQ	R/W	Частота aux_clk в МГц. Это значение используется для обеспечения опоры 1 мкс для подсчета времени во время состояния пониженного потребления с тактированием от aux_clk, когда PHY отключает частоту pipe_clk. Частоты ниже чем 1 МГц возможны, но с потерей точности при подсчете времени. Если реальная частота (f) aux_clk не точно совпадает с запрограммированной частотой (f_prog), тогда ошибка подсчета контроллером времени может быть выражена в процентах как: err% = (f_prog/f-1) · 100. Например, если f = 2.5 МГц и f_prog = 3 МГц, тогда err% = (3/2,5-1) · 100 = 20 %, означает что подсчитанное контроллером время на частоте aux_clk будет на 20 % больше, чем время в мкс, запрограммированное в соответствующем регистре времени (например, T_POWER_ON). ***Значение после сброса:*** 0xa

11.10.7 Регистры блока PF0_ATU_CAP

11.10.7.1 Регистры IATU_REGION_CTRL_1_OFF_OUTBOUND_0 и IATU_REGION_CTRL_1_OFF_OUTBOUND_1

Описание: Регистр управления 1 регионом iATU;
Разрядность: 32 бит;
Смещение: 0x300000.

31 – 23	22 – 20	19 – 14	13	12, 11	10, 9	8	7 – 5	4 – 0
Rsvd	CTRL_1_ FUNC_NUM	Rsvd	INCREASE_ REGION_SIZE	Rsvd	ATTR	TD	TC	TYPE

Таблица 197 – Описание бит регистров IATU_REGION_CTRL_1_OFF_ OUTBOUND_0 и IATU_REGION_CTRL_1_OFF_OUTBOUND_1

Биты	Название	Тип доступа	Описание
31 – 23	–	–	Зарезервировано
22 – 20	CTRL_1_ FUNC_NUM	R/W	Номер функции. – Когда адрес выходного TLP равен этому региону и поле FUNC_BYPASS в регистре «Управления 2 iATU» в «0», тогда номер функции, используемой для генерации

Биты	Название	Тип доступа	Описание
			функциональной части поля ID запроса (RID) TLP берется из этих бит регистра. Значение в этом регистре должно быть 0x0, пока в контроллере не будут разрешены мультифункциональные операции. – В случае применения AXI моста, это поле меняется прежде, чем происходит декомпозиция AXI, чтобы использовались корректные значения «Max_Read_Request_Size» и «Max_Payload_Size». ***Значение после сброса:*** 0x0
19 – 14	–	–	Зарезервировано
13	INCREASE_ REGION_SIZE	R/W	Увеличивает максимальный размер региона ATU. Когда установлен, максимальный размер ATU региона определяется константой CX_ATU_MAX_REGION_SIZE. Когда очищен, максимальный размер региона ATU составляет 4 ГБ (по умолчанию). ***Значение после сброса:*** 0x0
12, 11	–	–	**Зарезервировано**
10, 9	ATTR	R/W	Когда адрес выходного TLP равен этому региону, поле ATTR TLP изменяется на значение этого регистра. ***Значение после сброса:*** 0x0
8	TD	R/W	Когда адрес выходного TLP равен этому региону, поле TD TLP изменяется на значение этого регистра. ***Значение после сброса:*** 0x0
7 – 5	TC	R/W	Когда адрес выходного TLP равен этому региону, поле TC TLP изменяется на значение этого регистра. ***Значение после сброса:*** 0x0
4 – 0	TYPE	R/W	Когда адрес выходного TLP равен этому региону, поле TYPE TLP изменяется на значение этого регистра. ***Значение после сброса:*** 0x0

11.10.7.2 Регистры IATU_REGION_CTRL_2_OFF_OUTBOUND_0 и IATU_REGION_CTRL_2_OFF_OUTBOUND_1

Описание: Регистр управления 2 регионом iATU;

Разрядность: 32 бит;

Смещение: 0x300004.

31	30	29	28	27 – 24	23	22	21	20	19	18, 17	16	15, 8	7 – 0
REGION_EN	Rsvd	INVERT_MODE	CFG_SHIFT_MOD E	Rsvd	HEADER_ SUBSTITUTE_EN	INHIBIT_ PAYLOAD	Rsvd	SNP	FUNC_BYPASS	Rsvd	TAG_ SUBSTITUTE_ EN	TAG	MSG_CODE

Таблица 198 – Описание бит регистров IATU_REGION_CTRL_2_OFF_OUTBOUND_0 и IATU_REGION_CTRL_2_OFF_OUTBOUND_1

Биты	Название	Тип доступа	Описание
31	REGION_EN	R/W	Разрешение региона. Этот бит должен быть установлен в единицу, чтобы осуществлялась трансляция адреса. ***Значение после сброса:*** 0x0
30	–	–	Зарезервировано
29	INVERT_MODE	R/W	Режим инверсии. При установленном бите происходит инверсия сравнения адреса региона. Следовательно, происходит совпадение адреса, когда неоттраслированный адрес находится за пределами границ определенного региона (от базового адреса до предельного адреса). ***Значение после сброса:*** 0x0
28	CFG_SHIFT_MODE	R/W	Режим сдвига CFG. iATU использует биты [27:12] неоттраслированного адреса (на интерфейсе XALI0/1/2 или на интерфейсе адреса AXI слэйв) для формирования номера BDF исходящего CFG TLP. Т.е. поддерживается механизм увеличение маппирования конфигурационного адреса (ECAM) (раздел 7.2.2 спецификации PCI Express 3.1, ревизия 1.0), позволяя все выходные I/O и MEM TLP (которые оттранслированы в CFG) маппировать из пространства памяти в любой 256 МБ регион конфигурационного пространства PCIe. ***Значение после сброса:*** 0x0
27 – 24	–	–	**Зарезервировано**
23	HEADER_ SUBSTITUTE_EN	R/W	Разрешение замены заголовка. Когда разрешен и адрес региона совпадает, iATU полностью заменяет байты 8-11 (для 3-х двойных слов заголовка) или байты 12-15 (для 4-х двойных слов заголовка) заголовка выходного TLP содержимым поля LWR_TARGET_RW в IATU_LWR_TARGET_ADDR_OFF_OUTBOUND_0, IATU_LWR_TARGET_ADDR_OFF_OUTBOUND_1. – 1 – LWR_TARGET_RW в регистре iATU_LWR_TARGET_ADDR_OFF_OUTBOUND_0, iATU_LWR_TARGET_ADDR_OFF_OUTBOUND_1 используется для заполнения байт с 8 по 11 (для 3 двойных слов заголовка) или байт с 12 по 15 (для 4 двойных слов заголовка) транслированного заголовка TLP; – 0 – LWR_TARGET_RW в регистре iATU_LWR_TARGET_ADDR_OFF_OUTBOUND_0

Биты	Название	Тип доступа	Описание
			– IATU_LWR_TARGET_ADDR_OFF_OUTBOUND_1 формирует новый адрес транслируемого региона. ***Значение после сброса:*** 0x0
22	INHIBIT_ PAYLOAD	R/W	Запрет данных полезной нагрузки TLP для TLP в совпавшем регионе; присваивает iATU региону принимать TLP без данных. Когда установлен, и адрес региона совпал, iATU помечает все TLP, как не имеющие полезной нагрузки данных принудительно устанавливая в заголовке TLP бит Fmt[1] = 0, независимо от входов приложения таких как slv_wstrb. – 1 – Fmt[1] = 0 передаются TLP только с типом без данных. Например, будет передано Msg вместо MsgD; – 0 – Fmt[1] = 0/1 могут быть переданы TLP как с данными, так и без. ***Значение после сброса:*** 0x0
21	–	–	Зарезервировано
20	SNP	R/W	Выдавать сериями неотложенные запросы. В этом режиме, когда AXI мост заполнен, неотложенные запросы чтения/записи с одинаковыми AXI ID передаются на шину, если нет дугих незавершенных неотложенных запросов с подобными ID. ***Значение после сброса:*** 0x0
19	FUNC_BYPASS	R/W	Номер функции с обходом трансляции. В этом режиме, номер функции транслируемого TLP берется из интерфейса вашего приложения, а не из поля CTRL_1_FUNC_NUM "Регистра управления 1 iATU" или из поля VF_NUMBER "Регистра управления 3 iATU". ***Значение после сброса:*** 0x0
18, 17	–	–	Зарезервировано
16	TAG_ SUBSTITUTE_ EN	R/W	Разрешение замены TAG. Когда разрешено, и совпал адрес региона, iATU заменяет поле TAG заголовка выходного TLP содержимым поля TAG этого регистра. Ожидаемый сценарий применения – это трансляция AXI MWr в Msg/MsgD, определенное вендором. ***Значение после сброса:*** 0x0
15 – 8	TAG	R/W	TAG. Поле заменяемого TAG (байт 6) в заголовке выходного TLP при установленном бите TAG_SUBSTITUTE_EN. ***Значение после сброса:*** 0x0
7 – 0	MSG_CODE	R/W	MSG TLP (Код сообщения). Когда адрес выходного TLP совпадает с этим регионом, и поле тип транслируемого

Биты	Название	Тип доступа	Описание
			TLP – это Msg или MsgD; тогда поле сообщения TLP заменяется значением этого регистра. Memory TLP: (ST; управление Tag). Когда поле ST выходного TLP совпадает с этим регионом, и тип поля, транслируемого TLP адресован в пространство памяти; тогда поле ST TLP заменяется значением этого регистра. В текущей конфигурации не валиден. ***Значение после сброса:*** 0x0

11.10.7.3 Регистры IATU_LWR_BASE_ADDR_OFF_OUTBOUND_0 и IATU_LWR_BASE_ADDR_OFF_OUTBOUND_1

Описание: Регистр младшей части базового адреса iATU;

Разрядность: 32 бит;

Смещение: 0x300008.

31 – 16	15 – 0
LWR_BASE_RW	LWR_BASE_HW

Таблица 199 – Описание бит регистров IATU_LWR_BASE_ADDR_OFF_ OUTBOUND_0 и IATU_LWR_BASE_ADDR_OFF_OUTBOUND_1

Биты	Название	Тип доступа	Описание
31 – 16	LWR_BASE_RW	R/W	Биты [31:*16*] стартового адреса транслируемого адреса региона. ***Значение после сброса:*** 0x0
15 – 0	LWR_BASE_HW	R	Биты [15:0] стартового адреса транслируемого адреса региона. Статовый адрес должен быть выровнен по границе 64 кБ, поэтому эти биты всегда установлены в 0. Запись в этот регистр игнорируется PCIe контроллером. ***Значение после сброса:*** 0x0

11.10.7.4 Регистры IATU_UPPER_BASE_ADDR_OFF_OUTBOUND_0 и IATU_UPPER_BASE_ADDR_OFF_OUTBOUND_1

Описание: Регистр старшей части базового адреса iATU;

Разрядность: 32 бит;

Смещение: 0x30000c.

31 – 0
UPPER_BASE_RW

Таблица 200 – Описание бит регистров IATU_UPPER_BASE_ADDR_OFF_ OUTBOUND_0 и IATU_UPPER_BASE_ADDR_OFF_OUTBOUND_1

Биты	Название	Типы доступа	Описание
31 – 0	UPPER_BASE_RW	R/W	Биты [63:32] стартового (и конечного) адреса транслируемого адреса региона. В системах с 32-битной адресацией этот регистр не используется и, следовательно, запись в этот регистр не оказывает никакого эффекта. ***Значение после сброса:*** 0x0

11.10.7.5 Регистры IATU_LIMIT_ADDR_OFF_OUTBOUND_0 и IATU_LIMIT_ADDR_OFF_OUTBOUND_1

Описание: Регистр предельного адреса iATU;

Разрядность: 32 бит;

Смещение: 0x300010.

31 – 16	15 – 0
LIMIT_ADDR_RW	LIMIT_ADDR_HW

Таблица 201 – Описание бит регистров IATU_LIMIT_ADDR_OFF_OUTBOUND_0 и IATU_LIMIT_ADDR_OFF_OUTBOUND_1

Биты	Название	Тип доступа	Описание
31 – 16	LIMIT_ADDR_RW	R/W	Старшие биты конечного адреса транслируемого адреса региона. ***Значение после сброса:*** 0x0
15 – 0	LIMIT_ADDR_HW	R	Младшие биты конечного адреса транслируемого адреса региона. Конечный адрес должен быть выровнен по границе 64 кБ, поэтому эти биты всегда в единице. Запись в этот регистр игнорируется контроллером PCIe. ***Значение после сброса:*** 0xffff

11.10.7.6 Регистры IATU_LWR_TARGET_ADDR_OFF_OUTBOUND_0 и IATU_LWR_TARGET_ADDR_OFF_OUTBOUND_1

Описание: Регистр младшей части целевого адреса iATU.

Разрядность: 32 бит

Смещение: 0x300014

31 – 0
LWR_TARGET_RW_OUTBOUND

Таблица 202 – Описание бит регистров IATU_LWR_TARGET_ADDR_OFF_ OUTBOUND_0 IATU_LWR_TARGET_ADDR_OFF_OUTBOUND_1

Биты	Название	Тип доступа	Описание
31 – 0	LWR_TARGET_ RW_OUTBOUND	R/W	Когда поле HEADER_SUBSTITUTE_EN в регистре IATU_REGION_CTRL_2_OFF_OUTBOUND_ в нуле (нормальное функционирование): – LWR_TARGET_RW[31:16] формируют старшие биты младшей части нового целевого адреса транслируемого региона; – LWR_TARGET_RW[15:0] не используются. Стартовый адрес должен быть выровнен по границе 64 кБ, поэтому младшие биты стартового нового адреса транслируемого региона (биты 15:0) всегда в нуле). Когда поле HEADER_SUBSTITUTE_EN в регистре IATU_REGION_CTRL_2_OFF_OUTBOUND_ в единице: – LWR_TARGET_RW[31:0] формирует байты 8-11 (для трех двойных слов заголовка) или байты 12-15 (для четырех двойных слов заголовка) заголовка выходного TLP. Сценарий применения включает передачу сообщений, определенных вендором, в которых контроллер определяет содержимое байт с 12 по 15 TLP заголовка. ***Значение после сброса:*** 0x0

11.10.7.7 Регистры IATU_UPPER_TARGET_ADDR_OFF_OUTBOUND_0 и IATU_UPPER_TARGET_ADDR_OFF_OUTBOUND_1

Описание: Регистр старшей части целевого адреса iATU;

Разрядность: 32 бит;

Смещение: 0x300018.

31 – 0
UPPER_TARGET_RW

Таблица 203 – Описание бит регистров IATU_UPPER_TARGET_ADDR_OFF_ OUTBOUND_0 и IATU_UPPER_TARGET_ADDR_OFF_OUTBOUND_1

Биты	Описание	Тип доступа	Описание
31 – 0	UPPER_TARGET_RW	R/W	Биты [63:32] стартового адреса (старшая часть назначения) нового адреса транслируемого региона. ***Значение после сброса:*** 0x0

11.10.7.8 Регистры IATU_REGION_CTRL_1_OFF_INBOUND_0 и IATU_REGION_CTRL_1_OFF_INBOUND_1

Описание: Регистр управления 1 регионом iATU;

Разрядность: 32 бит;

Смещение: 0x300100.

31 – 23	22 – 20	19 – 14	13	12, 11	10, 9	8	7 – 5	4 – 0
Rsvd	CTRL_1_ FUNC_NUM	Rsvd	INCREASE_ REGION_SIZE	Rsvd	ATTR	TD	TC	TYPE

Таблица 204 – Описание бит регистров IATU_REGION_CTRL_1_OFF_ INBOUND_0 и IATU_REGION_CTRL_1_OFF_INBOUND_1

Биты	Название	Тип доступа	Описание
31 – 23	–	–	Зарезервировано
22 – 20	CTRL_1_ FUNC_NUM	R/W	Номер фукнции. – MEM-I/O – когда логика сравнения адреса и BAR в контроллере указывает, что MEM-I/O транзакция совпадает с BAR в функции, соответствующей этому полю, тогда осуществляется трансляция адреса. Это проверка выполняется только, если бит «Разрешения сравнения номера функции» в «Регистре управления 2 iATU» установлен; – CFG0/CFG1 – когда номер функции назначения, как определено в ID маршрутизации заголовка TLP, совпадает с функцией этого поля, тогда осуществляется трансляция адреса. Это проверка выполняется только, если бит «Разрешения сравнения номера функции» в «Регистре управления 2 iATU» установлен. ***Значение после сброса:*** 0x0
19 – 14	–	–	Зарезервировано
13	INCREASE_ REGION_ SIZE	R/W	Увеличивает максимальный размер ATU региона. Когда установлен, максимальный размер ATU региона определяется константой CX_ATU_MAX_REGION_SIZE. Когда очищен, максимальный размер ATU региона 4 ГБ (по умолчанию). ***Значение после сброса:*** 0x0
12, 11	–	–	Зарезервировано
10, 9	ATTR	R/W	Когда поле ATTR входного TLP совпадает со значением этого поля, тогда выполняется трансляция адреса (когда все другие разрешенные для сравнения поля совпадают). Это проверка выполняется только если бит «Разрешение сравнения ATTR» «Регистра управления 2 iATU» установлен. ***Значение после сброса:*** 0x0

Биты	Название	Тип доступа	Описание
8	TD	R/W	Когда поле TD входного TLP совпадает со значением этого поля, тогда выполняется трансляция адреса (когда все другие разрешенные для сравнения поля совпадают). Это проверка выполняется только если бит «Разрешение сравнения TD» «Регистра управления 2 iATU» установлен. ***Значение после сброса:*** 0x0
7 – 5	TC	R/W	Когда поле TC входного TLP совпадает со значением этого поля, тогда выполняется трансляция адреса (когда все другие разрешенные для сравнения поля совпадают). Это проверка вполняется только если бит «Разрешение сравнения TC» «Регистра управления 2 iATU» установлен. ***Значение после сброса:*** 0x0
4 – 0	TYPE	R/W	Когда поле тип входного TLP совпадает со значением этого поля, тогда выполняется трансляция адреса (когда все другие разрешенные для сравнения поля совпадают). ***Значение после сброса:*** 0x0

11.10.7.9 Регистры IATU_REGION_CTRL_2_OFF_INBOUND_0 и IATU_REGION_CTRL_2_OFF_INBOUND_1

Описание: Регистр управления 2 регионом iATU;
Разрядность: 32 бит;
Смещение: 0x300104.

31	30	29	28	27	26	25, 24	23	22	21	20	19	18, 17	16	15	14	13	12, 11	10 – 8	7 – 0
REGION_EN	MATCH_MODE	INVERT_MODE	CFG_SHIFT_MODE	FUZZY_TYPE_ MATCH_CODE	Rsvd	RESPONSE_CODE	SINGLE_ADDR_ LOC_TRANS_EN	Rsvd	MSG_CODE_MATCH_EN	Rsvd	FUNC_NUM_MATCH_EN	Rsvd	ATTR_MATCH_EN	TD_MATCH_EN	TC_MATCH_EN	MSG_TYPE_MATCH_MODE	Rsvd	BAR_NUM	MSG_CODE

Таблица 205 – Описание бит регистров IATU_REGION_CTRL_2_OFF_INBOUND_0 и IATU_REGION_CTRL_2_OFF_INBOUND_1

Биты	Название	Тип доступа	Описание
31	REGION_EN	R/W	Разрешение региона. Этот бит должен быть установлен в единицу, чтобы осуществлялась трансляция адреса. ***Значение после сброса:*** 0x0
30	MATCH_MODE	R/W	Режим сравнения. Определяет режим сравнения для входных TLP. Режим зависит от типа, полученного TLP, как указано ниже: Для MEM-I/O TLP – это поле интерпретируется как указано ниже: – 0 – режим сравнения адреса. iATU функционирует с применением адресов как в выходном направлении. Регистр базового и предельного адресов должны быть установлены; – 1 – режим сравнения BAR. Применяется сравнение BAR. В этом случае используется поле «Номер BAR». Для CFG0 TLP – это поле интерпретируется как указано ниже: – 0 – режим сравнения ID маршрутизации. iATU интерпретирует ID маршрутизации (байты с 8 по 11 TLP заголовка) как адрес. Это соответствует старшим 16 битам адреса в MEM-I/O транзакциях. ID маршрутизации TLP должен быть в пределах старта и предела iATU региона для выполнения сравнения; – 1 – режим приема. iATU принимает все CFG0 транзакции как совпадающие по адресу. ID маршрутизации в CFG0 TLP игнорируется. Этот режим используется для обработки всех CFG0 TLP, несмотря на номер шины. Для MSG/MSGD TLP – это поле интерпретируется как указано ниже: – 0 – режим сравнения адреса. iATU рассматривает третье и четвертое двойные слова входного MSG/MSGD TLP как адрес, и он снова сравнивается с базовым регистром и регистром предела региона; – 1 – режим сравнения ID вендора. Этот режим справедлив для ID-маршрутизации сообщений, определенных вендором. iATU игнорирует ID маршрутизации (шины, устройства, функции) в битах [31:16] третьего слова заголовка TLP, но вновь сравнивает ID вендора в битах [15:0] третьего двойного слова заголовка TLP. Биты [15:0] старшего базового регистра региона необходимо запрограммировать требуемым ID вендора. Младший базовый регистр и регистр предела необходимо

Биты	Название	Тип доступа	Описание
			запрограммировать для трансляции TLP на основе специфичной информации вендора в четвертом двойном слове TLP заголовка. Если SINGLE_ADDRESS_LOCATION_TRANSLATE_EN = 1 и MSG_TYPE_MATCH_MODE = 1, режим сравнения игнорируется. ***Значение после сброса:*** 0x0
29	INVERT_ MODE	R/W	Режим инверсии. Когда этот бит установлен, происходит инверсия сравнения адреса региона. Следовательно, происходит совпадение адреса, когда неоттранслированный адрес находится за пределами границ определенного региона (от базового адреса до предельного адреса). ***Значение после сброса:*** 0x0
28	CFG_SHIFT_ MODE	R/W	Режим сдвига CFG. Этот режим применяется для CFG транзакций, когда механизм конфигурирования PCIe маппирует биты [27:12] адреса в шину/устройство и номер функции. Это позволяет располагать конфигурационное пространство CFG в любом окне 256 MB пространства памяти вашего приложения, используя фактически 28 бит адреса. Сдвигая биты [31:16] неоттранслированного адреса в биты [27:12] транслированного адреса. ***Значение после сброса:*** 0x0
27	FUZZY_TYPE_ MATCH_CODE	R/W	Режим сравнения нечеткого типа. Когда разрешен, iATU ослабляет сравнение поля типа TLP и, в зависимости от ожидаемого поля, результат будет следующий: – CfgRd0 и CfgRd1 TLP рассматриваются как идентичные. Аналогично CfgWr0 и CfgWr1; – MWr, MRd и MRdLk TLP рассматриваются как идентичные; – Поле маршрутизации Msg/MsgD TLP игнорируется; – FetchAdd, Swap и CAS рассматриваются как идентичные. Например, поле TYPE в «Регистре управления 1 iATU» сравнивается с CfgRd0, CfgRd1, CfgWr0 или CfgWr1 входящего TLP. ***Значение после сброса:*** 0x0
26	–	–	**Зарезервировано**
25 – 24	RESPONSE_ CODE	R/W	Код ответа. Определяет тип ответа, передаваемый при доступе в этот регион. Поле заменяет номальный ответ RADM-фильтра. Эта функция недоступна для некоторых регионов, где разрешена трансляция местоположения единственного адреса. – 00 – используется нормальный ответ RADM фильтра; – 01 – неподдерживаемый запрос (UR);

Биты	Название	Тип доступа	Описание
			– 10 – прерывание Completer (CA); – 11 – не используется / не определено / зарезервировано. ***Значение после сброса:*** 0x0
23	SINGLE_ ADDR_LOC_ TRANS_EN	R/W	Разрешена трансляция местоположения единственного адреса. Когда разрешена, Rx TLP могут быть транслированы в местоположение одного адреса, который определяется регистром целевого адреса iATU региона. Основной сценарий применения трансляция сообщений (таких как определенные вендором или сообщения ATS) в MWr TLP, когда разрешен AXI мост. ***Значение после сброса:*** 0x0
22	–	–	**Зарезервировано**
21	MSG_CODE_ MATCH_EN	R/W	Разрешение сравнения кода сообщений (Msg TLP). Обеспечивает, что успешное сравнение поля кода сообщения в TLP (см. поле кода сообщения в «Регистре управления 2 iATU») вызывает (в MSG транзации) выполнение трансляции адреса. Разрешение сравнения ST (Mem TLP). Обеспечивает, что успешное сравнение ST поля TLP (см. ST поле в «Регистре управления 2») вызывает (в MEM транзакции) выполнение трансляции адреса. Не валидно в текущей конфигурации. ***Значение после сброса:*** 0x0
20	–	–	Зарезервировано
19	FUNC_NUM_ MATCH_EN	R/W	Разрешение сравнения номера функции. Обеспечивает, что успешное сравнение поля номера функции TLP (см. поле номера функции в «Регистре управления 1 iATU») вызывает (в MEM-I/O и CFG0/CFG1 транзакциях) выполнение трансляции адреса. ***Значение после сброса:*** 0x0
18 – 17	–	–	Зарезервировано
16	ATTR_ MATCH_EN	R/W	Разрешение сравнения ATTR. Обеспечивает, что успешное сравнение поля ATTR TLP (см. поле ATTR в «Регистре управления 1 iATU») вызывает выполнение трансляции адреса. ***Значение после сброса:*** 0x0
15	TD_MATCH_EN	R/W	Разрешение сравнения TD. Обеспечивает, что успешное сравнение поля TD TLP (см. поле TD в «Регистре управления 1 iATU») вызывает выполнение трансляции адреса. ***Значение после сброса:*** 0x0
14	TC_MATCH_EN	R/W	Разрешение сравнения TC. Обеспечивает, что успешное сравнение поля TC TLP (см. поле TC в «Регистре

Биты	Название	Тип доступа	Описание
			управления 1 iATU») вызывает выполнение трансляции адреса. ***Значение после сброса:*** 0x0
13	MSG_TYPE_ MATCH_ MODE	R/W	Режим сравнения типа сообщения. Когда разрешен и, если установлен бит разрешения трансляции местоположения единственного адреса, входящие TLP с типом MSG/MSGd, которые совпадают с полем типа регистра IATU_REGION_CTRL_1_OFF_INBOUND (=>TYPE[4:3]=2'b10) будут оттранслированы. Режим сравнения типа сообщения заменяет любое значение поля MATCH_MODE в этом регистре. Сценарий применения – это трансляция сообщений VDM или ATS, когда мост AXI сконфигурирован как клиентский интерфейс. ***Значение после сброса:*** 0x0
12 – 11	–	–	**Зарезервировано**
10 – 8	BAR_NUM	R/W	Номер BAR. Когда номер BAR входящего MEM или IO TLP сравнивается обычным внутренним механизмом сравнения BAR адресов совпадает со значением этого поля, выполняется трансляция адреса (когда все другие разрешенные сравнения полей успешны). Это проверка выполняется, только если бит «Режим сравнения» «Регистра управления 2 iATU» установлен. – 000b – BAR0; – 001b – BAR1; – 010b – BAR2; – 011b – BAR3; – 100b – BAR4; – 101b – BAR5; – 110b – ROM; – 111b – зарезервировано. IO транзакции требуют 00100b или 00101b в типе входящего TLP; Номер BAR установленный в диапазоне 000b – 101b должен конфигурироваться как IO BAR. ***Значение после сброса:*** 0x0
7 – 0	MSG_CODE	R/W	MSG TLP: (Код сообщения). Когда поле типа входящего Msg/MsgD TLP совпадает с этим значением, выполняется трансляция адреса (когда все другие разрешенные сравнения полей успешны). Это проверка выполняется. только если бит «Разрешение сравнения кода сообщений» «Регистра управления 2 iATU» установлен. Memory TLP: (ST; управление Tag). Когда поле ST входящего TLP совпадает с этим значением, выполняется трансляция адреса. Это проверка выполняется только если

Биты	Название	Тип доступа	Описание
			бит «Разрешение сравнения ST» «Регистра управления 2 iATU» установлен. Это настройка не зависит от поля TH. В текущей конфигурации функция не валидна. ***Значение после сброса:*** 0x0

11.10.7.10 Регистры IATU_LWR_BASE_ADDR_OFF_INBOUND_0 и IATU_LWR_BASE_ADDR_OFF_INBOUND_1

Описание: Регистр младшей части базового адреса iATU;

Разрядность: 32 бит;

Смещение: 0x300108.

31 – 16	15 – 0
LWR_BASE_RW	LWR_BASE_HW

Таблица 206 – Описание бит регистров IATU_LWR_BASE_ADDR_ OFF_INBOUND_0 и IATU_LWR_BASE_ADDR_OFF_INBOUND_1

Биты	Название	Тип доступа	Описание
31 – 16	LWR_BASE_RW	R/W	Биты [31:*16*] стартового адреса транслируемого адреса региона. ***Значение после сброса:*** 0x0
15 – 0	LWR_BASE_HW	R	Биты [15:0] стартового адреса транслируемого адреса региона. Статовый адрес должен быть выровнен по границе 64 кБ, поэтому эти биты всегда установлены в 0. Запись в этот регистр игнорируется PCIe контроллером. ***Значение после сброса:*** 0x0

11.10.7.11 Регистры IATU_UPPER_BASE_ADDR_OFF_INBOUND_0 и IATU_UPPER_BASE_ADDR_OFF_INBOUND_1

Описание: Регистр старшей части базового адреса iATU;

Разрядность: 32 бит;

Смещение: 0x30010c.

31 – 0
UPPER_BASE_RW

Таблица 207 – Описание бит регистров IATU_UPPER_BASE_ADDR_OFF_ INBOUND_0 и IATU_UPPER_BASE_ADDR_OFF_INBOUND_1

Биты	Название	Тип доступа	Описание
31 – 0	UPPER_BASE_RW	R/W	Биты [63:32] стартового (и конечного) адреса транслируемого адреса региона. ***Значение после сброса:*** 0x0

11.10.7.12 Регистры IATU_LIMIT_ADDR_OFF_INBOUND_0 и IATU_LIMIT_ADDR_OFF_INBOUND_1

Описание: Регистр предельного адреса iATU;

Разрядность: 32 бит;

Смещение: 0x300110.

31 – 16	15 – 0
LIMIT_ADDR_RW	LIMIT_ADDR_HW

Таблица 208 – Описание бит регистров IATU_LIMIT_ADDR_OFF_INBOUND_0 и IATU_LIMIT_ADDR_OFF_INBOUND_1

Биты	Название	Тип доступа	Описание
31 – 16	LIMIT_ADDR_RW	R/W	Старшие биты конечного адреса транслируемого адреса региона. ***Значение после сброса:*** 0x0
15 – 0	LIMIT_ADDR_HW	R	Младшие биты конечного адреса транслируемого адреса региона. Конечный адрес должен быть выровнен по границе 64 кБ, поэтому эти биты всегда установлены в единицу. Запись в этот регистр игнорируется контроллером PCIe. ***Значение после сброса:*** 0xffff

11.10.7.13 Регистры IATU_LWR_TARGET_ADDR_OFF_INBOUND_0 и IATU_LWR_TARGET_ADDR_OFF_INBOUND_1

Описание: Регистр младшей части целевого адреса iATU;

Разрядность: 32 бит;

Смещение: 0x300114.

31 – 16	15 – 0
LWR_TARGET_RW	LWR_TARGET_HW

Таблица 209 – Описание бит регистров IATU_LWR_TARGET_ADDR_OFF_INBOUND_0 и IATU_LWR_TARGET_ADDR_OFF_INBOUND_1

Биты	Название	Тип доступа	Описание
31 – 16	LWR_TARGET_RW	R/W	Старшие биты младшей части нового целевого адреса транслируемого региона. Разрядность поля 16 бит в режиме сравнения адреса. Разрядность поля 5 бит в режиме сравнения BAR. ***Значение после сброса:*** 0x0
15 – 0	LWR_TARGET_HW	R	Младшие биты младшей части нового целевого адреса транслируемого региона. Стартовый адрес должен быть выровнен по границе 64 кБ (в режиме сравнения адреса); и по границе BAR (в режиме сравнения BAR), поэтому эти биты всегда в нуле. Если BAR меньше, чем размер iATU региона, целевой адреса iATU должен быть выровнен по размеру iATU региона; в противном случае – должен быть выровнен по размеру BAR. Запись в этот регистр игнорируется контроллером PCIe. Разрядность поля 16 бит в режиме сравнения адреса. Разрядность поля 5 бит в режиме сравнения BAR. ***Значение после сброса:*** 0x0

11.11 Доступ на шину AXI в режиме MODE=2

При доступе на шину AXI в режиме MODE = 2 осуществляется обращение к регистрам цифрового контроллера коммутатора Ethernet. Адрес на шине AXI формируется в соответствии с таблицей 210.

Таблица 210 – Формирование адреса на шине AXI

Название блока	Стартовый адрес блока	Конечный адрес блока
BMU1	24'h10_0000	24'h10_FFFF
BMU2	24'h70_0000	24'h70_FFFF
LMEM0	24'h20_0000	24'h23_FFFF
LMEM1	24'h24_0000	24'h27_FFFF
TMU	24'h60_0000	24'h61_FFFF
CLASS_HW1	24'h62_0000	24'h62_FFFF
CLASS_HW2	24'h77_0000	24'h77_FFFF
WSP_GLOBAL_CSR	24'h63_0000	24'h63_FFFF
HIF1	24'h64_0000	24'h64_FFFF
HGPI1	24'h65_0000	24'h65_FFFF
EMAC1	24'h66_0000	24'h66_FFFF
EMAC2	24'h67_0000	24'h67_FFFF
EMAC3	24'h68_0000	24'h68_FFFF
EMAC4	24'h69_0000	24'h69_FFFF

Название блока	Стартовый адрес блока	Конечный адрес блока
EMAC5	24'h6A_0000	24'h6A_FFFF
EMAC6	24'h6B_0000	24'h6B_FFFF
EMAC7	24'h6C_0000	24'h6C_FFFF
EMAC8	24'h6D_0000	24'h6D_FFFF
EMAC9	24'h6E_0000	24'h6E_FFFF
EMAC10	24'h6F_0000	24'h6F_FFFF
EMAC11	24'h76_0000	24'h76_FFFF
EMAC12	24'h71_0000	24'h71_FFFF
EMAC13	24'h72_0000	24'h72_FFFF
EMAC14	24'h73_0000	24'h73_FFFF
EMAC15	24'h74_0000	24'h74_FFFF
EMAC16	24'h75_0000	24'h75_FFFF
EGPI1	24'h78_0000	24'h78_FFFF
EGPI2	24'h79_0000	24'h79_FFFF
EGPI3	24'h7A_0000	24'h7A_FFFF
EGPI4	24'h7B_0000	24'h7B_FFFF
EGPI5	24'h7C_0000	24'h7C_FFFF
EGPI6	24'h7D_0000	24'h7D_FFFF
EGPI7	24'h7E_0000	24'h7E_FFFF
EGPI8	24'h7F_0000	24'h7F_FFFF
EGPI9	24'h80_0000	24'h80_FFFF
EGPI10	24'h81_0000	24'h81_FFFF
EGPI11	24'h82_0000	24'h82_FFFF
EGPI12	24'h83_0000	24'h83_FFFF
EGPI13	24'h84_0000	24'h84_FFFF
EGPI14	24'h85_0000	24'h85_FFFF
EGPI15	24'h86_0000	24'h86_FFFF
EGPI16	24'h87_0000	24'h87_FFFF
ETGPI1	24'h88_0000	24'h88_FFFF
ETGPI2	24'h89_0000	24'h89_FFFF
ETGPI3	24'h8A_0000	24'h8A_FFFF
ETGPI4	24'h8B_0000	24'h8B_FFFF
ETGPI5	24'h8C_0000	24'h8C_FFFF
ETGPI6	24'h8D_0000	24'h8D_FFFF
ETGPI7	24'h8E_0000	24'h8E_FFFF
ETGPI8	24'h8F_0000	24'h8F_FFFF
ETGPI9	24'h90_0000	24'h90_FFFF
ETGPI10	24'h91_0000	24'h91_FFFF
ETGPI11	24'h92_0000	24'h92_FFFF
ETGPI12	24'h93_0000	24'h93_FFFF

Название блока	Стартовый адрес блока	Конечный адрес блока
ETGPI13	24'h94_0000	24'h94_FFFF
ETGPI14	24'h95_0000	24'h95_FFFF
ETGPI15	24'h96_0000	24'h96_FFFF
ETGPI16	24'h97_0000	24'h97_FFFF

11.11.1 Регистры общего назначения WSP

Таблица 211 – Биты регистра WSP_VERSION: (Адрес = 0x00; После сброса = 24'h05_0300)

Биты	Название	Тип доступа	Описание
7 – 0	npu_maintenance_rev	R	Регистр доступен только на чтение и содержит ID, который указывает на ревизию коммутатора. Для каждой следующей ревизии это значение инкрементируется
15 – 8	npu_minor_rev	R	Регистр доступен только на чтение и содержит номер ревизии коммутатора с незначительными исправлениями относительно предыдущей. Для каждой следующей ревизии это значение инкрементируется
23 – 16	npu_major_rev	R	Регистр доступен только на чтение и содержит номер ревизии коммутатора со значительными исправлениями относительно предыдущей. Значение регистра инкрементируется при больших архитектурных изменениях

Таблица 212 – Биты регистра WSP_LMEM_SIZE: (Адрес = 0x0c; После сброса = 32'h200)

Биты	Название	Тип доступа	Описание
31 – 0	lmem_size	R	Размер внутренней памяти коммутатора (LMEM) в килобайтах

Таблица 213 – Биты регистра WSP_TMU_EMAC_PORT_COUNT: (Адрес = 0x10; После сброса = 32'h0011_0010)

Биты	Название	Тип доступа	Описание
15 – 0	emac_port_count	R	Количество EMAC портов в коммутаторе. В текущей конфигурации 16
31 – 16	tmu_phy_count	R	Количество PHY доступных TMU. В текущей конфигурации 17

Таблица 214 – Биты регистра WSP_EGPIS_PHY_NO: (Адрес = 0x14; После сброса = 32'h7654_3210)

Биты	Название	Тип доступа	Описание
3 – 0	egpi1_phy_num_at_tmu	R	Номер PHY TMU подключенного к EGPI1. Значение 4’hF декодируется как не подключенное к TMU. Текущая конфигурация – 0
7 – 4	egpi2_phy_num_at_tmu	R	Номер PHY TMU подключенного к EGPI2. Значение 4’hF декодируется как не подключенное к TMU. Текущая конфигурация – 1
11 – 8	egpi3_phy_num_at_tmu	R	Номер PHY TMU подключенного к EGPI3. Значение 4’hF декодируется как не подключенное к TMU. Текущая конфигурация – 2
15 – 12	egpi4_phy_num_at_tmu	R	Номер PHY TMU подключенного к EGPI4. Значение 4’hF декодируется как не подключенное к TMU. Текущая конфигурация – 3
19 – 16	egpi5_phy_num_at_tmu	R	Номер PHY TMU подключенного к EGPI5. Значение 4’hF декодируется как не подключенное к TMU. Текущая конфигурация – 4
23 – 20	egpi6_phy_num_at_tmu	R	Номер PHY TMU подключенного к EGPI6. Значение 4’hF декодируется как не подключенное к TMU. Текущая конфигурация – 5
27 – 24	egpi7_phy_num_at_tmu	R	Номер PHY TMU подключенного к EGPI7. Значение 4’hF декодируется как не подключенное к TMU. Текущая конфигурация – 6
31 – 28	egpi8_phy_num_at_tmu	R	Номер PHY TMU подключенного к EGPI8. Значение 4’hF декодируется как не подключенное к TMU. Текущая конфигурация – 7

Таблица 215 – Биты регистра WSP_HIF_SUPPORT_PHY_NO: (Адрес = 0x18; После сброса = 12'h111)

Биты	Название	Тип доступа	Описание
3 – 0	hif_support	R	Присутствует поддержка блока HIF
11 – 4	hif_phy_num_at_tmu	R	Номер PHY для HIF на TMU. В текущей конфигурации значение этого поля 8’h11

Таблица 216 – Биты регистра WSP_CLASS_HW_SUPPORT: (Адрес = 0x1c; После сброса = 2'h1)

Биты	Название	Тип доступа	Описание
1 – 0	class_hw_support	R	Присутствует поддержка блока аппаратного классификатора. Этот бит установлен в единицу

Таблица 217 – Биты регистра WSP_SYS_GENERIC_CONTROL: (Адрес = 0x20; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	sys_generic_control	R/W	Биты программируемого регистра управления выводятся на внутренние порты. Бит 31 используется как признак завершение программной конфигурации. Бит 30 используется как программный сброс

Таблица 218 – Биты регистра WSP_SYS_GENERIC_STATUS: (Адрес = 0x24; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
Ревизия 1			
31 – 0	sys_generic_status	R	Регистр отображает остояние внутреннего порта статуса
С ревизии 2			
7 – 0	sys_generic_status	R	Состояние выводов RXD7[0] – RXD0[0]
15 – 8			Состояние выводов RXD7[1] – RXD0[1]
23 – 16			Состояние выводов RXD7[2] – RXD0[2]
31 – 24			Состояние выводов RXD7[3] – RXD0[3]

Таблица 219 – Биты регистра WSP_SYS_GEN_CON0: (Адрес = 0x28; После сброса = 32'h00104000 (ревизия 1), 32'h00000000 (с ревизии 2))

Биты	Название	Тип доступа	Описание
Ревизия 1			
31 – 0	sys_gen_con0	R/W	32-разрядный регистр управления, который выводится на внутренний порт
С ревизии 2			
7 – 0	sys_gen_con0	R/W	Вывод в порт TXD7[0] – TXD0[0]
15 – 8			Вывод в порт TXD7[1] – TXD0[1]
23 – 16			Вывод в порт TXD7[2] – TXD0[2]
31 – 24			Вывод в порт TXD7[3] – TXD0[3]

Таблица 220 – Биты регистра WSP_SYS_GEN_CON1: (Адрес = 0x2c; После сброса = 32'h0017ffff (ревизия 1), 32'h00000000 (с ревизии 2))

Биты	Название	Тип доступа	Описание
Ревизия 1			
31 – 0	sys_gen_con1	R/W	32-разрядный регистр управления, который выводится на внутренний порт

Биты	Название	Тип доступа	Описание
С ревизии 2			
0	sys_gen_con1	R/W	Переопределение функции портов GMII: 1 – RXD0[0] – RXD7[0] – порт ввода GPIO, доступный для чтения в регистре WSP_SYS_GENERIC_STATUS; TXD0[0] – TXD7[0] – порт вывода GPIO, доступный для записи в регистре WSP_SYS_GEN_CON0. 0 – порт GMII
1			Переопределение функции портов GMII: 1 – RXD0[1] – RXD7[1] – порт ввода GPIO, доступный для чтения в регистре WSP_SYS_GENERIC_STATUS; TXD0[1] – TXD7[1] – порт вывода GPIO, доступный для записи в регистре WSP_SYS_GEN_CON0. 0 – порт GMII
2			Переопределение функции портов GMII: 1 – RXD0[2] – RXD7[2] – порт ввода GPIO, доступный для чтения в регистре WSP_SYS_GENERIC_STATUS; TXD0[2] – TXD7[2] – порт вывода GPIO, доступный для записи в регистре WSP_SYS_GEN_CON0. 0 – порт GMII
3			Переопределение функции портов GMII: 1 – RXD0[3] – RXD7[3] – порт ввода GPIO, доступный для чтения в регистре WSP_SYS_GENERIC_STATUS; TXD0[3] – TXD7[3] – порт вывода GPIO, доступный для записи в регистре WSP_SYS_GEN_CON0. 0 – порт GMII

Биты	Название	Тип доступа	Описание
4	sys_gen_con1	R/W	Бит отключения автоматического распознавания скорости и дуплекса портов в неуправляемом режиме: 1 – функция отключена. Необходимо самостоятельно настраивать регистр network_config блока MAC каждого порта; 0 – функция включена. Циклически опрашиваются регистры MAC pcs_an_lp_base (адрес 0x214). При наличии link в бите 15, скорости отличной от 1 Гбит в битах 11 – 10 и другого дуплекса в бите 12 осуществляется сброс бита 10, установка требуемого значения бита 0 в зависимости от скорости 10/100 Мбит/с и бита 1 в зависимости от дуплекса в регистре network_config (адрес 0x004) для конкретного MAC
5			Бит активации порта монитора для принимаемых пакетов с целевого порта: 1 – активирована функция передачи в порт монитора принимаемых пакетов из целевого порта; 0 – функция отключена
6			Бит активации порта монитора для передаваемых пакетов в целевой порт. 1 – активирована функция передачи в порт монитора передаваемых пакетов в целевой порт; 0 – функция отключена
7			Разрешение функции быстрого маршрута по адресу DA при отсутствии SA в таблице MAC: 1 – функция включена. Пакет пересылается на хост и по быстрому маршруту одновременно; 0 – функция отключена. Пакет пересылается на хост для обучения
11 – 8			Номер целевого порта. Допустимые значения от 0 до 15. Не должен совпадать с портом монитора
15 – 12			Номер порта монитора. Допустимые значения от 0 до 15. Не должен совпадать с целевым портом
16			Разрешение функции пересылки IGMP пакетов на хост при задании mcast_miss_action=act_discard: 1 – функция включена; 0 – функция отключена
31 – 17		–	Зарезервировано. Всегда записывать ноль

Таблица 221 – Биты регистра WSP_SYS_GEN_CON3: (Адрес = 0x34; После сброса = 32'h2)

Биты	Название	Тип доступа	Описание
31 – 0	sys_gen_con3	R/W	Биты 1:0 выбирают конфигурацию endian для выходных данных HBUS (64 бита); Бит 0 – меняет местами все 8 байт; Бит 1 – меняет младшие и старшие 32 бита. Биты 3:2 выбирают конфигурацию endian для выходных данных HBUS (32 бита); Бит 2 – меняет местами все 8 байт; Бит 3 – меняет младшие и старшие 32 бита

Таблица 222 – Биты регистра WSP_CLK_FRQ: (Адрес = 0x40; После сброса = 32'h0190_00C8)

Биты	Название	Тип доступа	Описание
15 – 0	wsp_sys_clk_frequency	R	Частота системного синхросигнала. Для текущей конфигурации установлено 200 МГц
31 – 16	wsp_pe_clk_frequency	R	Частота синхросигнала аппаратного классификатора. Для текущей конфигурации установлено 400 МГц

Таблица 223 – Биты регистра WSP_EMAC_CLASS_CONFIG: (Адрес = 0x44; После сброса = 16'hFF00)

Биты	Название	Тип доступа	Описание
15 – 0	emac_class_config	R/W	Каждый бит соответствует соединению emac1-emac16 с классификатором HW1 или HW2. Если значения бита единица, это соответствует соединению с HW2. Если значения бита ноль, это соответствует соединению с HW1

Таблица 224 – Биты регистра WSP_EGPIS_PHY_NO1: (Адрес = 0x48; После сброса = 32'hfedc_ba98)

Биты	Название	Тип доступа	Описание
3 – 0	egpi9_phy_num_at_tmu	R	Номер PHY TMU подключенного к EGPI9. Значение 4’hF декодируется как не подключенное к TMU. Текущая конфигурация – 8
7 – 4	egpi10_phy_num_at_tmu	R	Номер PHY TMU подключенного к EGPI10. Значение 4’hF декодируется как не подключенное к TMU. Текущая конфигурация – 9

Биты	Название	Тип доступа	Описание
11 – 8	egpi11_phy_num_at_tmu	R	Номер PHY TMU подключенного к EGPI11. Значение 4’hF декодируется как не подключенное к TMU. Текущая конфигурация – 10
15 – 12	egpi12_phy_num_at_tmu	R	Номер PHY TMU подключенного к EGPI12. Значение 4’hF декодируется как не подключенное к TMU. Текущая конфигурация – 11
19 – 16	egpi13_phy_num_at_tmu	R	Номер PHY TMU подключенного к EGPI13; Значение 4’hF декодируется как не подключенное к TMU. Текущая конфигурация – 12
23 – 20	egpi14_phy_num_at_tmu	R	Номер PHY TMU подключенного к EGPI14. Значение 4’hF декодируется как не подключенное к TMU. Текущая конфигурация – 13
27 – 24	egpi15_phy_num_at_tmu	R	Номер PHY TMU подключенного к EGPI15. Значение 4’hF декодируется как не подключенное к TMU. Текущая конфигурация – 14
31 – 28	egpi16_phy_num_at_tmu	R	Номер PHY TMU подключенного к EGPI16. Значение 4’hF декодируется как не подключенное к TMU. Текущая конфигурация – 15

11.11.2 Регистры блока GPI

Таблица 225 – Биты регистра *GPI_VERSION: (Адрес = 0x00;* После сброса = *32'h0)*

Биты	Название	Тип доступа	Описание
15 – 0	gpi_id	R	Регистр доступен только на чтение и содержит ID блока
23 – 16	gpi_version	R	Регистр доступен только на чтение и указывает на версию блока
31 – 24	gpi_revision	R	Регистр доступен только на чтение и указывает на ревизию блока

Таблица 226 – Биты регистра *GPI_CTRL: (Адрес = 0x04;* После сброса = *2'b01)*

Биты	Название	Тип доступа	Описание
0	csr_gpi_en	R/W	Разрешение GPI. Необходимо установить в единицу, чтобы разрешить работу gpi модуля
1	csr_gpi_swrst	R/W	Сброс GPI. Используется для инициирования программного сброса gpi. Это самоочищающийся бит. Программному обеспечению необходимо только установить этот регистр и не пытаться очистить его

Таблица 227 – Биты регистра *GPI_RX_CONFIG: (Адрес = 0x08;* После сброса = *26'h200_0001)*

Биты	Название	Тип доступа	Описание
0	csr_lmem_buf_en	R/W	Разрешение буфера LMEM. Если этот бит установлен, аппаратное обеспечение выбирает данные из LMEM для первого буфера. Если не разрешен буфер DDR, данные будут выбираться только из LMEM для первого и последующих буферов. В теущей конфигурации для всех буферов LMEM разрешен
1	-	-	-
25 – 16	csr_alloc_retry_cycles	R/W	Этот регистр содержит число тактов системного клока, необходимое автомату состояний для ожидания перед повторной проверкой буферов менеджера буферов на заполненность

Таблица 228 – Биты регистра GPI_HDR_SIZE: (Адрес = 0x0c; После сброса = 26'h100_0030)

Биты	Название	Тип доступа	Описание
7 – 0	csr_lmem_hdr_size	R/W	Размер заголовка LMEM. Данные в LMEM записываются с этим смещением. Первая позиция в LMEM записывается значением адреса следующего буфера, если таковой имеется. Это позиция выровнена по 32-разрядному адресу
25 – 16	-	-	-

Таблица 229 – Биты регистра GPI_BUF_SIZE: (Адрес = 0x10; После сброса = 32'h800_0080)

Биты	Название	Тип доступа	Описание
15 – 0	csr_lmem_bufsize	R/W	Размер LMEM буфера
31 –16	-	-	-

Таблица 230 – Биты регистра GPI_LMEM_ALLOC_ADDR: (Адрес = 0x14; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	csr_lmem_bm_alloc_addr	R/W	Позиция адреса внутри BMU выбираемого буфера LMEM

Таблица 231 – Биты регистра GPI_LMEM_FREE_ADDR: (Адрес = 0x18; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	csr_lmem_bm_free_addr	R/W	Позиция адреса внутри BMU освобождаемого буфера LMEM

Таблица 232 – Биты регистра GPI_CLASS_ADDR: (Адрес = 0x24; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	csr_class_addr	R/W	Адрес местоположения в классификаторе куда пересылается пакет от периферии

Таблица 233 – Биты регистра *GPI_DRX_FIFO: (Адрес = 0x28; После сброса = 16'd128)*

Биты	Название	Тип доступа	Описание
15 – 0	csr_drx_FIFOrd_thres	R/W	Порог FIFO приема. Приемник начинает передавать пакеты от внутреннего FIFO на шину по любому из следующих событий: – пришел полный пакет; – получено пороговое значение числа байт в FIFO

Таблица 234 – Биты регистра GPI_TRX_FIFO: (Адрес = 0x2C; После сброса = 16'd128)

Биты	Название	Тип доступа	Описание
15 – 0	csr_inq_pktfetch_thres	R/W	В любой момент при достижении порогового значения свободного места в передатчике передатчик начинает устанавливать соединение с блоком QoS/TM, указывая на возможность приема нового пакета

Таблица 235 – Биты регистра *GPI_INQ_PKTPTR: (Адрес = 0x30; После сброса = 32'h0)*

Биты	Название	Тип доступа	Описание
31 – 0	csr_inq_pktptr	R/W	Указатель на следующий пересылаемый пакет. Передается блоком QoS/TM

Таблица 236 – Биты регистра *GPI_TMLF_TX: (Адрес = 0x4C; После сброса = 16'h178)*

Биты	Название	Тип доступа	Описание
15 – 0	csr_gpi_tmlf_txthres	R/W	Пороговое значение слов TMLF (разрядность 64 бита), размещаемых в TMLF FIFO перед стартом передачи

Таблица 237 – Биты регистра *GPI_DTX_ASEQ: (Адрес = 0x50; После сброса = 8'h50)*

Биты	Название	Тип доступа	Описание
7 – 0	csr_gpi_dtx_aseq_len	R/W	Длина последовательности действий

Таблица 238 – Биты регистра *GPI_FIFO_DEBUG: (Адрес = 0x58; После сброса = 28'h0)*

Биты	Название	Тип доступа	Описание
5 – 0	txf_pkt_cnt	R	Число пакетов FIFO передачи
11 – 6	rxf_pkt_cnt	R	Число пакетов GPI FIFO приема
19 – 12	txf_FIFO_cnt	R	Число заполненных позиций в FIFO передачи
27 – 20	rxf_FIFO_cnt	R	Число заполненных позиций в FIFO приема

Таблица 239 – Биты регистра GPI_TX_PAUSE_TIME: (Адрес = 0x5c; После сброса = 16'hffff)

Биты	Название	Тип доступа	Описание
15 – 0	csr_gpi_tx_pause_time	R/W	Время паузы передачи, используется в случае генерации фрейма паузы. Это значение аналогично времени паузы в регистре EMAC

Таблица 240 – Биты регистра GPI_LMEM_SEC_BUF_DATA_OFFSET: (Адрес = 0x60; После сброса = 16'h10)

Биты	Название	Тип доступа	Описание
15 – 0	csr_lmem_sec_buf_ data_offset	R/W	Смещение буфера, используемое для второго и последующих буферов LMEM

Таблица 241 – Биты регистра *GPI_FIFO_STATUS: (Адрес = 0x54; После сброса = 1'b0)*

Биты	Название	Тип доступа	Описание
0	tx_under_stick	R/W	Статус FIFO GPI (условие незаполненности tx)

Таблица 242 – Биты регистра GPI_CSR_TOE_CHKSUM_EN: (Адрес = 0x68; После сброса = 1'b0)

Биты	Название	Тип доступа	Описание
0	csr_gpi_toe_chksum_en	R/W	При установке бита аппаратный модуль в gpi_dtx_aseq рассчитывает ip/tcp/udp, проверяет и обновляет пакет

Таблица 243 – Биты регистра GPI_CSR_OVERRUN_DROPCNT: (Адрес = 0x6C; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	csr_gpi_overrun_dropcnt	R	Счетчик сбросов по переполнению. Очищается чтением счетчика

Таблица 244 – Биты регистра GPI_BMU1_PHY_LOW_WATERMARK: (Адрес = 0x104; После сброса = 16'h0)

Биты	Название	Тип доступа	Описание
15 – 0	bmu1_phy_low_watermark	R/W	Нижняя граница счтетчика PHY BMU1

Таблица 245 – Биты регистра GPI_BMU1_PHY_HIGH_WATERMARK: (Адрес = 0x108; После сброса = 16'h0)

Биты	Название	Тип доступа	Описание
15 – 0	bmu1_phy_high_watermark	R/W	Верхняя граница счтетчика PHY BMU1

Таблица 246 – Биты регистра GPI_BMU2_PHY_LOW_WATERMARK: (Адрес = 0x10c; После сброса = 16'h0)

Биты	Название	Тип доступа	Описание
15 – 0	bmu2_phy_low_watermark	R/W	Нижняя граница счетчика PHY BMU2

Таблица 247 – Биты регистра GPI_BMU2_PHY_HIGH_WATERMARK: (Адрес = 0x110; После сброса = 16'h0)

Биты	Название	Тип доступа	Описание
15 – 0	bmu2_phy_high_watermark	R/W	Верхняя граница счетчика PHY BMU2

Таблица 248 – Биты регистра GPI_FW_CONTROL: (Адрес = 0x114; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	csr_fw_control	R/W	Регистр разрешения управления потоками данных

Таблица 249 – Биты регистра GPI_USE_CLASS_INQ_AFULL: (Адрес = 0x118; После сброса = 1'b1)

Биты	Название	Тип доступа	Описание
0	csr_use_class_inq_afull	R/W	Разрешает применение модулем GPI сигнала о почти полной заполненности INQ FIFO классификатора. Если INQ FIFO почти заполнено, GPI модуль не записывает в него пакеты, пока не освободится достаточно места

Таблица 250 – Биты регистра GPI_FW_CONTROL1: (Адрес = 0x130; После сброса = 8'h0)

Биты	Название	Тип доступа	Описание
7 – 0	csr_fw_control1	R/W	Регистр 1 разрешения управления потоками данных. Бит 0 – разрешения приостановления счетчика паузы rxf FIFO; Бит 1– разрешение возобновления работы счетчика паузы rxf FIFO; Бит 2 – инверсия приостановления счетчика паузы rxf FIFO; Бит 3 – инверсия возобновления работы счетчика паузы rxf FIFO

Таблица 251 – Биты регистра GPI_RXF_FIFO_LOW_WATERMARK: (Адрес = 0x134; После сброса = 16'h0)

Биты	Название	Тип доступа	Описание
15 – 0	rxf_FIFO_low_watermark	R/W	Нижняя граница rxf FIFO включения управления потоком для поддержки режима паузы

Таблица 252 – Биты регистра GPI_RXF_FIFO_HIGH_WATERMARK: (Адрес = 0x138; После сброса = 16'h0)

Биты	Название	Тип доступа	Описание
15 – 0	rxf_FIFO_high_watermark	R/W	Верхняя граница rxf FIFO выключения управления потоком для поддержки режима паузы

Таблица 253 – Биты регистра GPI_EMAC_1588_TIMESTAMP_EN: (Адрес = 0x13C; После сброса = 1'b0)

Биты	Название	Тип доступа	Описание
0	csr_emac_1588_ timestamp_en	R/W	Если установлен, дополнительные два бита статуса записываются в gpi FIFO. Это необходимо для временных меток 1588

Таблица 254 – Биты регистра GPI_LMEM2_FREE_ADDR: (Адрес = 0x148; После сброса = 32'hC0700034)

Биты	Название	Тип доступа	Описание
31 – 0	csr_lmem2_bm_free_addr	R/W	Позиция адреса внутри BMU освобождаемого буфера LMEM2

11.11.3 Регистры блока BMU

Таблица 255 – Биты регистра *BMU_VERSION: (Адрес = 0x00; После сброса = 32'h0)*

Биты	Название	Тип доступа	Описание
15 – 0	bmu_id	R	Регистр доступен только на чтение и содержит ID блока
23 – 16	bmu_version	R	Регистр доступен только на чтение и указывает на версию блока
31 – 24	bmu_revision	R	Регистр доступен только на чтение и указывает на ревизию блока

Таблица 256 – Биты регистра *BMU_CTRL: (Адрес = 0x04; После сброса = 2'b01)*

Биты	Название	Тип доступа	Описание
0	csr_bmu_en	R/W	Разрешение BMU. Этот бит необходимо установить в единицу, чтобы разрешить блок BMU

Биты	Название	Тип доступа	Описание
1	csr_bmu_sw_rst	R/W	Сброс BMU. Этот бит применяется для инициирования сброса BMU. Это самоочищающийся бит. Программному обеспечению необходимо только установить этот бит и не пытаться очистить его. Программный сброс обязателен, чтобы очистить при сбросе внутреннюю битовую карту памяти

Таблица 257 – Биты регистра BMU_UCAST_CONFIG: (Адрес = 0x08; После сброса = 16'h800)

Биты	Название	Тип доступа	Описание
15 – 0	csr_bmu_max_buf_cnt	R/W	Максимальное число буферов, которое может быть использовано. Это число должно быть менее, чем может поддерживать аппаратное обеспечение

Таблица 258 – Биты регистра BMU_UCAST_BASEADDR: (Адрес = 0x0c; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
15 – 0	csr_bmu_base_addr	R/W	Базовый адрес для адресов буфера памяти. Младшие значащие биты до размера буфера недействительны. Базовый адрес необходимо выровнять по границе max_buf_cnt * buf_size

Таблица 259 – Биты регистра *BMU_BUF_SIZE: (Адрес = 0x10; После сброса = 16'h7)*

Биты	Название	Тип доступа	Описание
15 – 0	csr_bmu_buf_size	R/W	Биты определяют размер буфера каждого из буферов, размещаемых и освобождаемых

Таблица 260 – Биты регистра *BMU_BUF_CNT: (Адрес = 0x14; После сброса = 32'h0)*

Биты	Название	Тип доступа	Описание
15 – 0	bmu_active_buf_cnt	R	Счетчик числа занятых буферов
31 – 16	bmu_active_buf_err_free_cnt	R	Счетчик ошибок освобождения BMU. Счетчик фиксирует каждую ошибку освобождения буфера (освобождение буфера который не был занят)

Таблица 261 – Биты регистра BMU_THRES: (Адрес = 0x18; После сброса = 32'h0800_0800)

Биты	Название	Тип доступа	Описание
15 – 0	csr_bmu_ucast_thres	R/W	Порог числа unicast буферов для генерации прерывания
31 – 16	-	-	-

Таблица 262 – Биты регистра BMU_LOW_WATERMARK: (Адрес = 0x50; После сброса = 16'h0)

Биты	Название	Тип доступа	Описание
15 – 0	csr_bmu_low_watermark	R/W	Нижняя граница регистров BMU

Таблица 263 – Биты регистра BMU_HIGH_WATERMARK: (Адрес = 0x54; После сброса = 16'hFFFF)

Биты	Название	Тип доступа	Описание
15 – 0	csr_bmu_high_watermark	R/W	Верхняя граница регистров BMU

Таблица 264 – Биты регистра BMU_REM_BUF_CNT: (Адрес = 0x48; После сброса = 16'h800)

Биты	Название	Тип доступа	Описание
15 – 0	bmu_rem_buf_cnt	R	Оставшееся число буферов в BMU для размещения. После систменого сброса и программного сброса BMU, регистр содержит значение 16’h800

Таблица 265 – Биты регистра *BMU_INT_SRC: (Адрес = 0x20; После сброса = 9'h0)*

Биты	Название	Тип доступа	Описание
0	bmu_int	R	Общий статус прерывания BMU
1	bmu_empty_int	R	Прерывания по опустошению буфера BMU. В начале будет генерироваться прерывание опустошения BMU, в случае, если бит разрешения прерывания установлен, этот бит будет в состоянии единицы после сброса
2	bmu_full_int	R	Прерывания заполненности буфера BMU
3	bmu_thres_int	R	Прерывание по достижению порога буфера BMU
4	bmu_free_err_int	R	Прерывание возникает при попытке освобожедния уже освобожденного буфера
5 – 8	-	-	-

Таблица 266 – Биты регистра *BMU_INT_ENABLE: (Адрес = 0x24; После сброса = 9'h0)*

Биты	Название	Тип доступа	Описание
0	bmu_int _en	R/W	Общиее разрешение прерывания BMU
1	bmu_empty_int_en	R/W	Разрешение прерывания по опустошению буфера BMU для одиночной рассылки
2	bmu_full_int_en	R/W	Разрешение прерывания заполненности буфера BMU для одиночной рассылки
3	bmu_thres_int_eb	R/W	Разрешение прерывания по достижению порога буфера BMU для одиночной рассылки
4	bmu_free_err_int_en	R/W	Разрешение прерывания при попытке освобожедния уже освобожденного буфера для одиночной рассылки
5 – 8	-	-	-

Таблица 267 – Биты регистра BMU_ALLOC_CTRL: (Адрес = 0x30; После сброса = 32'h0000_0380)

Биты	Название	Тип доступа	Описание
31 – 0	ucast_alloc_addr	R	Этот регистр применяется для размещения буферов. Чтение по этому адресу размещает буфер.Читаемые данные – это буфер, который размещается. Записи в этот регистр необходимо избегать. После системного сброса этот регистр содержит значение 32’h0000_0380, после программного сброса BMU содержит значение 32’h0010_0380

Таблица 268 – Биты регистра BMU_FREE_CTRL: (Адрес = 0x34; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	ucast_free_addr	R/W	Этот регистр служит для освобождения буфера. Запись в этот регистр освобождает буфер. Освобождаемая позиция указывается в записываемых данных. Необходимо избегать чтения из этого регистра

Таблица 269 – Биты регистра BMU_MCAST_ALLOC_CTRL: (Адрес = 0x44; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	mcast_alloc_addr	R/W	Запись в этот регистр будет кооректировать число буферов, которые были размещены. Записываемые данные указывают адрес размещения и количество ссылок для увеличения. Записываемое значение

Биты	Название	Тип доступа	Описание
			младших значащих бит указывает количество ссылок. Например, addr[4:0] для MCAST_LG2 = 5 опционально. По умолчнию младшие значащие биты в нуле для минимального размера буфера 64 байта

Таблица 270 – Биты регистра BMU_FREE_ERROR_ADDR: (Адрес = 0x38; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	bmu_free_err_addr	R	Адрес буфера, котрый освобождался большее число раз, чем размещался. Регистр используется одновременно для mcast и unicast

Таблица 271 – Биты регистра BMU_CURR_BUF_CNT: (Адрес = 0x3c; После сброса = 16'h0)

Биты	Название	Тип доступа	Описание
15 – 0	bmu_curr_buf_cnt	R	Определяет число буферов, размещенных на текущий момент

Таблица 272 – Биты регистра BMU_MAS0_BUF_CNT: (Адрес = 0x60; После сброса = 16'h0)

Биты	Название	Тип доступа	Описание
15 – 0	bmu_mas0_buf_cnt	R	Определяет число буферов, занятых мастером 0

Таблица 273 – Биты регистра BMU_MAS1_BUF_CNT: (Адрес = 0x64; После сброса = 16'h0)

Биты	Название	Тип доступа	Описание
15 – 0	bmu_mas1_buf_cnt	R	Определяет число буферов, занятых мастером 1

Таблица 274 – Биты регистра BMU_MAS2_BUF_CNT: (Адрес = 0x68; После сброса = 16'h0)

Биты	Название	Тип доступа	Описание
15 – 0	bmu_mas2_buf_cnt	R	Определяет число буферов, занятых мастером 2

Таблица 275 – Биты регистра BMU_MAS3_BUF_CNT: (Адрес = 0x6C; После сброса = 16'h0)

Биты	Название	Тип доступа	Описание
15 – 0	bmu_mas3_buf_cnt	R	Определяет число буферов, занятых мастером 3

Таблица 276 – Биты регистра BMU_MAS4_BUF_CNT: (Адрес = 0x70; После сброса = 16'h0)

Биты	Название	Тип доступа	Описание
15 – 0	bmu_mas4_buf_cnt	R	Определяет число буферов, занятых мастером 4

Таблица 277 – Биты регистра BMU_MAS5_BUF_CNT: (Адрес = 0x74; После сброса = 16'h0)

Биты	Название	Тип доступа	Описание
15 – 0	bmu_mas5_buf_cnt	R	Определяет число буферов, занятых мастером 5

Таблица 278 – Биты регистра BMU_MAS6_BUF_CNT: (Адрес = 0x78; После сброса = 16'h0)

Биты	Название	Тип доступа	Описание
15 – 0	bmu_mas0_buf_cnt	R	Определяет число буферов, занятых мастером 6

Таблица 279 – Биты регистра BMU_MAS7_BUF_CNT: (Адрес = 0x7C; После сброса = 16'h0)

Биты	Название	Тип доступа	Описание
15 – 0	bmu_mas7_buf_cnt	R	Определяет число буферов, занятых мастером 7

Таблица 280 – Биты регистра BMU_MAS8_BUF_CNT: (Адрес = 0x80; После сброса = 16'h0)

Биты	Название	Тип доступа	Описание
15 – 0	bmu_mas8_buf_cnt	R	Определяет число буферов, занятых мастером 8

Таблица 281 – Биты регистра BMU_MAS9_BUF_CNT: (Адрес = 0x84; После сброса = 16'h0)

Биты	Название	Тип доступа	Описание
15 – 0	bmu_mas9_buf_cnt	R	Определяет число буферов, занятых мастером 9

Таблица 282 – Биты регистра BMU_MAS10_BUF_CNT: (Адрес = 0x88; После сброса = 16'h0)

Биты	Название	Тип доступа	Описание
15 – 0	bmu_mas10_buf_cnt	R	Определяет число буферов, занятых мастером 10

Таблица 283 – Биты регистра BMU_MAS11_BUF_CNT: (Адрес = 0x8C; После сброса = 16'h0)

Биты	Название	Тип доступа	Описание
15 – 0	bmu_mas11_buf_cnt	R	Определяет число буферов, занятых мастером 11

Таблица 284 – Биты регистра BMU_MAS12_BUF_CNT: (Адрес = 0x90; После сброса = 16'h0)

Биты	Название	Тип доступа	Описание
15 – 0	bmu_mas12_buf_cnt	R	Определяет число буферов, занятых мастером 12

Таблица 285 – Биты регистра BMU_MAS13_BUF_CNT: (Адрес = 0x94; После сброса = 16'h0)

Биты	**Название**	**Тип доступа**	**Описание**
15 – 0	bmu_mas13_buf_cnt	R	Определяет число буферов, занятых мастером 13

Таблица 286 – Биты регистра BMU_MAS14_BUF_CNT: (Адрес = 0x98; После сброса = 16'h0)

Биты	Название	Тип доступа	Описание
15 – 0	bmu_mas14_buf_cnt	R	Определяет число буферов, занятых мастером 14

Таблица 287 – Биты регистра BMU_MAS15_BUF_CNT: (Адрес = 0x9C; После сброса = 16'h0)

Биты	Название	Тип доступа	Описание
15 – 0	bmu_mas15_buf_cnt	R	Определяет число буферов, занятых мастером 15

Таблица 288 – Биты регистра BMU_MAS16_BUF_CNT: (Адрес = 0xA0; После сброса = 16'h0)

Биты	Название	Тип доступа	Описание
15 – 0	bmu_mas16_buf_cnt	R	Определяет число буферов, занятых мастером 16

Таблица 289 – Биты регистра BMU_MAS17_BUF_CNT: (Адрес = 0xA4; После сброса = 16'h0)

Биты	Название	Тип доступа	Описание
15 – 0	bmu_mas17_buf_cnt	R	Определяет число буферов, занятых мастером 17

Таблица 290 – Биты регистра BMU_MAS18_BUF_CNT: (Адрес = 0xA8; После сброса = 16'h0)

Биты	Название	Тип доступа	Описание
15 – 0	bmu_mas18_buf_cnt	R	Определяет число буферов, занятых мастером 18

Таблица 291 – Биты регистра BMU_MAS19_BUF_CNT: (Адрес = 0xAC; После сброса = 16'h0)

Биты	Название	Тип доступа	Описание
15 – 0	bmu_mas19_buf_cnt	R	Определяет число буферов, занятых мастером 19

Таблица 292 – Биты регистра BMU_MAS20_BUF_CNT: (Адрес = 0xB0; После сброса = 16'h0)

Биты	Название	Тип доступа	Описание
15 – 0	bmu_mas20_buf_cnt	R	Определяет число буферов, занятых мастером 20

Таблица 293 – Биты регистра BMU_MAS21_BUF_CNT: (Адрес = 0xB4; После сброса = 16'h0)

Биты	Название	Тип доступа	Описание
15 – 0	bmu_mas21_buf_cnt	R	Определяет число буферов, занятых мастером 21

Таблица 294 – Биты регистра BMU_MAS22_BUF_CNT: (Адрес = 0xB8; После сброса = 16'h0)

Биты	Название	Тип доступа	Описание
15 – 0	bmu_mas22_buf_cnt	R	Определяет число буферов, занятых мастером 22

Таблица 295 – Биты регистра BMU_MAS23_BUF_CNT: (Адрес = 0xBC; После сброса = 16'h0)

Биты	Название	Тип доступа	Описание
15 – 0	bmu_mas23_buf_cnt	R	Определяет число буферов, занятых мастером 23

Таблица 296 – Биты регистра BMU_MAS24_BUF_CNT: (Адрес = 0xC0; После сброса = 16'h0)

Биты	Название	Тип доступа	Описание
15 – 0	bmu_mas24_buf_cnt	R	Определяет число буферов, занятых мастером 24

Таблица 297 – Биты регистра BMU_MAS25_BUF_CNT: (Адрес = 0xC4; После сброса = 16'h0)

Биты	Название	Тип доступа	Описание
15 – 0	bmu_mas25_buf_cnt	R	Определяет число буферов, занятых мастером 25

Таблица 298 – Биты регистра BMU_MAS26_BUF_CNT: (Адрес = 0xC8; После сброса = 16'h0)

Биты	Название	Тип доступа	Описание
15 – 0	bmu_mas26_buf_cnt	R	Определяет число буферов, занятых мастером 26

Таблица 299 – Биты регистра BMU_MAS27_BUF_CNT: (Адрес = 0xCC; После сброса = 16'h0)

Биты	Название	Тип доступа	Описание
15 – 0	bmu_mas27_buf_cnt	R	Определяет число буферов, занятых мастером 27

Таблица 300 – Биты регистра BMU_MAS28_BUF_CNT: (Адрес = 0xD0; После сброса = 16'h0)

Биты	Название	Тип доступа	Описание
15 – 0	bmu_mas28_buf_cnt	R	Определяет число буферов, занятых мастером 28

Таблица 301 – Биты регистра BMU_MAS29_BUF_CNT: (Адрес = 0xD4; После сброса = 16'h0)

Биты	Название	Тип доступа	Описание
15 – 0	bmu_mas29_buf_cnt	R	Определяет число буферов, занятых мастером 29

Таблица 302 – Биты регистра BMU_MAS30_BUF_CNT: (Адрес = 0xD8; После сброса = 16'h0)

Биты	Название	Тип доступа	Описание
15 – 0	bmu_mas30_buf_cnt	R	Определяет число буферов, занятых мастером 30

Таблица 303 – Биты регистра BMU_MAS31_BUF_CNT: (Адрес = 0xDC; После сброса = 16'h0)

Биты	Название	Тип доступа	Описание
15 – 0	bmu_mas31_buf_cnt	R	Определяет число буферов, занятых мастером 31

Таблица 304 – Биты регистра BMU_INT_MEM_ACCESS: (Адрес = 0x100; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	ucast_int_mem	R/W	Обеспечивает доступ к внутренней памяти. Используется только в отладочных целях. Данные памяти [31:0]

Таблица 305 – Биты регистра BMU_INT_MEM_ACCESS2: (Адрес = 0x104; После сброса = 8'h0)

Биты	Название	Тип доступа	Описание
7 – 0	ucast_int_mem2	R/W	Обеспечивает доступ к внутренней памяти. Используется только в отладочных целях. Данные памяти [39:32]

11.11.4 Регистры блока TMU

Таблица 306 – Биты регистра TMU_VERSION: (Адрес = 0x00; После сброса = 32'h10011)

Биты	Название	Тип доступа	Описание
15 – 0	tmu_id	R	Регистр доступен только на чтение и содержит ID блока
23 – 16	tmu_version	R	Регистр доступен только на чтение и указывает на версию блока
31 – 24	tmu_revision	R	Регистр доступен только на чтение и указывает на ревизию блока

Таблица 307 – Биты регистра TMU_INQ_WATERMARK: (Адрес = 0x04; После сброса = 10'h3ff (ревизия 1), 10'h040 (с ревизии 2))

Биты	Название	Тип доступа	Описание
9 – 0	csr_inq_watermark	R/W	Пороговое значение выше которого INQ FIFO считается полным

Таблица 308 – Биты регистра TMU_PHY_INQ_PKTPTR: (Адрес = 0x08; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	csr_phy_inq_pktptr	R/W	Классификатор (или хост) записывает указатель пакета по этому адресу. Возникнет блокирующий запрос, если очередь полна. Однако правила очереди позволят очистить буферы и освободить их

Таблица 309 – Биты регистра TMU_PHY_INQ_PKTINFO: (Адрес = 0x0c; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	csr_phy_inq_pktinfo	R/W	Классификатор (или хост) записывает длину пакета по этому адресу. Возникнет блокирующий запрос, если очередь полна. Однако правила очереди позволят очистить буферы и освободить их. Необходимо, чтобы мастер обеспечил транзакцию записи INCR (2) в этот регистр и предыдущий. Это необходимо, чтобы заблокировать доступ на запись. Все мастера при доступе в эти регистры должны выполнять доступ INCR(2)

Таблица 310 – Биты регистра *TMU_PHY_INQ_STAT: (Адрес = 0x10; После сброса = 32'h0)*

Биты	Название	Тип доступа	Описание
31 – 0	tmu_phy_inq_stat	R	Показывает число INQ FIFO и адрес чтения/записи; {tmu_inq_FIFO_cnt, inq_rd_ptr(8), inq_wr_ptr(8)}

Таблица 311 – Биты регистра *TMU_CTRL: (Адрес = 0xe0; После сброса = 32'b0)*

Биты	Название	Тип доступа	Описание
31 – 0	csr_tmu_ctrl	R/W	Управляет сбросом нескольких блоков. Запись нуля сбрасывает модуль TMU

Таблица 312 – Биты регистра TMU_BMU_INQ_ADDR: (Адрес = 0x100; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
31 – 0	csr_bmu_inq_addr	R/W	Адрес BMU, где необходимо освободить буфер в случае отбрасывания

Таблица 313 – Биты регистра *TMU_TEQ_CTRL: (Адрес = 0x14C; После сброса = 2'b1)*

Биты	Название	Тип доступа	Описание
0	csr_llm_en	R/W	Разрешение всех llm в модуле teq
1	csr_drop_eFIFO_full	R/W	Результом установки этого бита будет отбрасывание пакетов в TEQ, если llm переполниться

Таблица 314 – Биты регистра TMU_LMEM_BUF_SIZE: (Адрес = 0x170; После сброса = 16'h80)

Биты	Название	Тип доступа	Описание
15 – 0	csr_lmem_buf_size	R/W	Размер буфера LMEM

Таблица 315 – Биты регистра TMU_LMEM_DATA_OFFSET: (Адрес = 0x174; После сброса = 9'h10)

Биты	Название	Тип доступа	Описание
8 – 0	csr_lmem_data_offset	R/W	Смещение данных в структуре буфера

Таблица 316 – Биты регистра TMU_PHY0_INQ_ADDR: (Адрес = 0x200; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
31 – 0	csr_phy0_inq_addr	R/W	Адрес INQ выходного порта 0

Таблица 317 – Биты регистра TMU_PHY1_INQ_ADDR: (Адрес = 0x204; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
31 – 0	csr_phy1_inq_addr	R/W	Адрес INQ выходного порта 1

Таблица 318 – Биты регистра TMU_PHY2_INQ_ADDR: (Адрес = 0x208; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
31 – 0	csr_phy2_inq_addr	R/W	Адрес INQ выходного порта 2

Таблица 319 – Биты регистра TMU_PHY3_INQ_ADDR: (Адрес = 0x20C; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
31 – 0	csr_phy3_inq_addr	R/W	Адрес INQ выходного порта 3

Таблица 320 – Биты регистра TMU_PHY4_INQ_ADDR: (Адрес = 0x210; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
31 – 0	csr_phy4_inq_addr	R/W	Адрес INQ выходного порта 4

Таблица 321 – Биты регистра TMU_PHY5_INQ_ADDR: (Адрес = 0x214; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
31 – 0	csr_phy5_inq_addr	R/W	Адрес INQ выходного порта 5

Таблица 322 – Биты регистра TMU_PHY6_INQ_ADDR: (Адрес = 0x218; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
31 – 0	csr_phy6_inq_addr	R/W	Адрес INQ выходного порта 6

Таблица 323 – Биты регистра TMU_PHY7_INQ_ADDR: (Адрес = 0x21C; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
31 – 0	csr_phy7_inq_addr	R/W	Адрес INQ выходного порта 7

Таблица 324 – Биты регистра TMU_PHY8_INQ_ADDR: (Адрес = 0x220; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
31 – 0	csr_phy8_inq_addr	R/W	Адрес INQ выходного порта 8

Таблица 325 – Биты регистра TMU_PHY9_INQ_ADDR: (Адрес = 0x224; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
31 – 0	csr_phy9_inq_addr	R/W	Адрес INQ выходного порта 9

Таблица 326 – Биты регистра TMU_PHY10_INQ_ADDR: (Адрес = 0x228; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
31 – 0	csr_phy10_inq_addr	R/W	Адрес INQ выходного порта 10

Таблица 327 – Биты регистра TMU_PHY11_INQ_ADDR: (Адрес = 0x22C; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
31 – 0	csr_phy11_inq_addr	R/W	Адрес INQ выходного порта 11

Таблица 328 – Биты регистра TMU_PHY12_INQ_ADDR: (Адрес = 0x230; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
31 – 0	csr_phy12_inq_addr	R/W	Адрес INQ выходного порта 12

Таблица 329 – Биты регистра TMU_PHY13_INQ_ADDR: (Адрес = 0x234; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
31 – 0	csr_phy13_inq_addr	R/W	Адрес INQ выходного порта 13

Таблица 330 – Биты регистра TMU_PHY14_INQ_ADDR: (Адрес = 0x238; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
31 – 0	csr_phy14_inq_addr	R/W	Адрес INQ выходного порта 14

Таблица 331 – Биты регистра TMU_PHY15_INQ_ADDR: (Адрес = 0x23C; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
31 – 0	csr_phy15_inq_addr	R/W	Адрес INQ выходного порта 15

Таблица 332 – Биты регистра TMU_PHY16_INQ_ADDR: (Адрес = 0x240; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
31 – 0	csr_phy16_inq_addr	R/W	Адрес INQ выходного порта 16

Таблица 333 – Биты регистра TMU_PHY0_TDQ_IIFG_CFG: (Адрес = 0x250; После сброса = 8'b0)

Биты	Название	Тип доступа	Описание
7 – 0	csr_phy0_tdq_iifg_cfg	R/W	Значение IFG выходного порта 0

Таблица 334 – Биты регистра TMU_PHY1_TDQ_IIFG_CFG: (Адрес = 0x254; После сброса = 8'b0)

Биты	Название	Тип доступа	Описание
7 – 0	csr_phy1_tdq_iifg_cfg	R/W	Значение IFG выходного порта 1

Таблица 335 – Биты регистра TMU_PHY2_TDQ_IIFG_CFG: (Адрес = 0x258; После сброса = 8'b0)

Биты	Название	Тип доступа	Описание
7 – 0	csr_phy2_tdq_iifg_cfg	R/W	Значение IFG выходного порта 2

Таблица 336 – Биты регистра TMU_PHY3_TDQ_IIFG_CFG: (Адрес = 0x25C; После сброса = 8'b0)

Биты	Название	Тип доступа	Описание
7 – 0	csr_phy3_tdq_iifg_cfg	R/W	Значение IFG выходного порта 3

Таблица 337 – Биты регистра TMU_PHY4_TDQ_IIFG_CFG: (Адрес = 0x260; После сброса = 8'b0)

Биты	Название	Тип доступа	Описание
7 – 0	csr_phy4_tdq_iifg_cfg	R/W	Значение IFG выходного порта 4

Таблица 338 – Биты регистра TMU_PHY5_TDQ_IIFG_CFG: (Адрес = 0x264; После сброса = 8'b0)

Биты	Название	Тип доступа	Описание
7 – 0	csr_phy5_tdq_iifg_cfg	R/W	Значение IFG выходного порта 5

Таблица 339 – Биты регистра TMU_PHY6_TDQ_IIFG_CFG: (Адрес = 0x268; После сброса = 8'b0)

Биты	Название	Тип доступа	Описание
7 – 0	csr_phy6_tdq_iifg_cfg	R/W	Значение IFG выходного порта 6

Таблица 340 – Биты регистра TMU_PHY7_TDQ_IIFG_CFG: (Адрес = 0x26C; После сброса = 8'b0)

Биты	Название	Тип доступа	Описание
7 – 0	csr_phy7_tdq_iifg_cfg	R/W	Значение IFG выходного порта 7

Таблица 341 – Биты регистра TMU_PHY8_TDQ_IIFG_CFG: (Адрес = 0x270; После сброса = 8'b0)

Биты	Название	Тип доступа	Описание
7 – 0	csr_phy8_tdq_iifg_cfg	R/W	Значение IFG выходного порта 8

Таблица 342 – Биты регистра TMU_PHY9_TDQ_IIFG_CFG: (Адрес = 0x274; После сброса = 8'b0)

Биты	Название	Тип доступа	Описание
7 – 0	csr_phy9_tdq_iifg_cfg	R/W	Значение IFG выходного порта 9

Таблица 343 – Биты регистра TMU_PHY10_TDQ_IIFG_CFG: (Адрес = 0x278; После сброса = 8'b0)

Биты	Название	Тип доступа	Описание
7 – 0	csr_phy10_tdq_iifg_cfg	R/W	Значение IFG выходного порта 10

Таблица 344 – Биты регистра TMU_PHY11_TDQ_IIFG_CFG: (Адрес = 0x27C; После сброса = 8'b0)

Биты	Название	Тип доступа	Описание
7 – 0	csr_phy11_tdq_iifg_cfg	R/W	Значение IFG выходного порта 11

Таблица 345 – Биты регистра TMU_PHY12_TDQ_IIFG_CFG: (Адрес = 0x280; После сброса = 8'b0)

Биты	Название	Тип доступа	Описание
7 – 0	csr_phy12_tdq_iifg_cfg	R/W	Значение IFG выходного порта 12

Таблица 346 – Биты регистра TMU_PHY13_TDQ_IIFG_CFG: (Адрес = 0x284; После сброса = 8'b0)

Биты	Название	Тип доступа	Описание
7 – 0	csr_phy13_tdq_iifg_cfg	R/W	Значение IFG выходного порта 13

Таблица 347 – Биты регистра TMU_PHY14_TDQ_IIFG_CFG: (Адрес = 0x288; После сброса = 8'b0)

Биты	Название	Тип доступа	Описание
7 – 0	csr_phy14_tdq_iifg_cfg	R/W	Значение IFG выходного порта 14

Таблица 348 – Биты регистра TMU_PHY15_TDQ_IIFG_CFG: (Адрес = 0x28C; После сброса = 8'b0)

Биты	Название	Тип доступа	Описание
7 – 0	csr_phy15_tdq_iifg_cfg	R/W	Значение IFG выходного порта 15

Таблица 349 – Биты регистра TMU_PHY16_TDQ_IIFG_CFG: (Адрес = 0x290; После сброса = 8'b0)

Биты	Название	Тип доступа	Описание
7 – 0	csr_phy16_tdq_iifg_cfg	R/W	Значение IFG выходного порта 16

Таблица 350 – Биты регистра TMU_PHY0_TDQ_CTRL: (Адрес = 0x2A0; После сброса = 32'hF)

Биты	Название	Тип доступа	Описание
31 – 0	csr_phy0_tdq_ctrl	R/W	Бит 0 – shp_clk_cntrl_en; Бит 1 – hw_en for tdq_sch_shaper; Биты 3, 2 – для разрешения планировщиков; Бит 4 – allw_tdq_prog (только чтение)

Таблица 351 – Биты регистра TMU_PHY1_TDQ_CTRL: (Адрес = 0x2A4; После сброса = 32'hF)

Биты	Название	Тип доступа	Описание
31 – 0	csr_phy1_tdq_ctrl	R/W	Бит 0 – shp_clk_cntrl_en; Бит 1 – hw_en for tdq_sch_shaper; Биты 3, 2 – для разрешения планировщиков; Бит 4 – allw_tdq_prog (только чтение)

Таблица 352 – Биты регистра TMU_PHY2_TDQ_CTRL: (Адрес = 0x2A8; После сброса = 32'hF)

Биты	Название	Тип доступа	Описание
31 – 0	csr_phy2_tdq_ctrl	R/W	Бит 0 – shp_clk_cntrl_en; Бит 1 – hw_en for tdq_sch_shaper; Биты 3, 2 – для разрешения планировщиков; Бит 4 – allw_tdq_prog (только чтение)

Таблица 353 – Биты регистра TMU_PHY3_TDQ_CTRL: (Адрес = 0x2AC; После сброса = 32'hF)

Биты	Название	Тип доступа	Описание
31– 0	csr_phy3_tdq_ctrl	R/W	Бит 0 – shp_clk_cntrl_en; Бит 1 – hw_en for tdq_sch_shaper; Биты 3, 2 – для разрешения планировщиков; Бит 4 – allw_tdq_prog (только чтение)

Таблица 354 – Биты регистра TMU_PHY4_TDQ_CTRL: (Адрес = 0x2B0; После сброса = 32'hF)

Биты	Название	Тип доступа	Описание
31 – 0	csr_phy4_tdq_ctrl	R/W	Бит 0 – shp_clk_cntrl_en; Бит 1 – hw_en for tdq_sch_shaper;

Биты	Название	Тип доступа	Описание
			Биты 3, 2 – для разрешения планировщиков; Бит 4 – allw_tdq_prog (только чтение)

Таблица 355 – Биты регистра TMU_PHY5_TDQ_CTRL: (Адрес = 0x2B4; После сброса = 32'hF)

Биты	Название	Тип доступа	Описание
31 – 0	csr_phy5_tdq_ctrl	R/W	Бит 0 – shp_clk_cntrl_en; Бит 1 – hw_en for tdq_sch_shaper; Биты 3, 2 – для разрешения планировщиков; Бит 4 – allw_tdq_prog (только чтение)

Таблица 356 – Биты регистра TMU_PHY6_TDQ_CTRL: (Адрес = 0x2B8; После сброса = 32'hF)

Биты	Название	Тип доступа	Описание
31 – 0	csr_phy6_tdq_ctrl	R/W	Бит 0 – shp_clk_cntrl_en; Бит 1 – hw_en for tdq_sch_shaper; Биты 3, 2 – для разрешения планировщиков; Бит 4 – allw_tdq_prog (только чтение)

Таблица 357 – Биты регистра TMU_PHY7_TDQ_CTRL: (Адрес = 0x2BC; После сброса = 32'hF)

Биты	Название	Тип доступа	Описание
31 – 0	csr_phy7_tdq_ctrl	R/W	Бит 0 – shp_clk_cntrl_en; Бит 1 – hw_en for tdq_sch_shaper; Биты 3, 2 – для разрешения планировщиков; Бит 4 – allw_tdq_prog (только чтение)

Таблица 358 – Биты регистра TMU_PHY8_TDQ_CTRL: (Адрес = 0x2C0; После сброса = 32'hF)

Биты	Название	Тип доступа	Описание
31 – 0	csr_phy8_tdq_ctrl	R/W	Бит 0 – shp_clk_cntrl_en; Бит 1 – hw_en for tdq_sch_shaper; Биты 3, 2 – для разрешения планировщиков; Бит 4 – allw_tdq_prog (только чтение)

Таблица 359 – Биты регистра TMU_PHY9_TDQ_CTRL: (Адрес = 0x2C4; После сброса = 32'hF)

Биты	Название	Тип доступа	Описание
31 – 0	csr_phy9_tdq_ctrl	R/W	Бит 0 – shp_clk_cntrl_en; Бит 1 – hw_en for tdq_sch_shaper; Биты 3, 2 – для разрешения планировщиков; Бит 4 – allw_tdq_prog (только чтение)

Таблица 360 – Биты регистра TMU_PHY10_TDQ_CTRL: (Адрес = 0x2C8; После сброса = 32'hF)

Биты	Название	Тип доступа	Описание
31 – 0	csr_phy10_tdq_ctrl	R/W	Бит 0 – shp_clk_cntrl_en; Бит 1 – hw_en for tdq_sch_shaper; Биты 3, 2 – для разрешения планировщиков; Бит 4 - allw_tdq_prog (только чтение)

Таблица 361 – Биты регистра TMU_PHY11_TDQ_CTRL: (Адрес = 0x2CC; После сброса = 32'hF)

Биты	Название	Тип доступа	Описание
31 – 0	csr_phy11_tdq_ctrl	R/W	Бит 0 – shp_clk_cntrl_en. Бит 1 – hw_en for tdq_sch_shaper. Биты 3, 2 – для разрешения планировщиков; Бит 4 – allw_tdq_prog (только чтение)

Таблица 362 – Биты регистра TMU_PHY12_TDQ_CTRL: (Адрес = 0x2D0; После сброса = 32'hF)

Биты	Название	Тип доступа	Описание
31 – 0	csr_phy12_tdq_ctrl	R/W	Бит 0 – shp_clk_cntrl_en; Бит 1 – hw_en for tdq_sch_shaper; Биты 3, 2 – для разрешения планировщиков; Бит 4 – allw_tdq_prog (только чтение)

Таблица 363 – Биты регистра TMU_PHY13_TDQ_CTRL: (Адрес = 0x2D4; После сброса = 32'hF)

Биты	Название	Тип доступа	Описание
31 – 0	csr_phy13_tdq_ctrl	R/W	Бит 0 – shp_clk_cntrl_en; Бит 1 – hw_en for tdq_sch_shaper; Биты 3, 2 – для разрешения планировщиков; Бит 4 – allw_tdq_prog (только чтение)

Таблица 364 – Биты регистра TMU_PHY14_TDQ_CTRL: (Адрес = 0x2D8; После сброса = 32'hF)

Биты	Название	Тип доступа	Описание
31 – 0	csr_phy14_tdq_ctrl	R/W	Бит 0 – shp_clk_cntrl_en; Бит 1 – hw_en for tdq_sch_shaper; Биты 3, 2 – для разрешения планировщиков; Бит 4 – allw_tdq_prog (только чтение)

Таблица 365 – Биты регистра TMU_PHY15_TDQ_CTRL: (Адрес = 0x2DC; После сброса = 32'hF)

Биты	Название	Тип доступа	Описание
31 – 0	csr_phy0_tdq_ctrl	R/W	Бит 0 – shp_clk_cntrl_en; Бит 1 – hw_en for tdq_sch_shaper; Биты 3, 2 – для разрешения планировщиков; Бит 4 – allw_tdq_prog (только чтение)

Таблица 366 – Биты регистра TMU_PHY16_TDQ_CTRL: (Адрес = 0x2E0; После сброса = 32'hF)

Биты	Название	Тип доступа	Описание
31 – 0	csr_phy16_tdq_ctrl	R/W	Бит 0 – shp_clk_cntrl_en; Бит 1 – hw_en for tdq_sch_shaper; Биты 3, 2 – для разрешения планировщиков; Бит 4 – allw_tdq_prog (только чтение).

Таблица 367 – Биты регистра TMU_CNTX_ACCESS_CTRL: (Адрес = 0x2F0; После сброса = 1'b0)

Биты	Название	Тип доступа	Описание
0	csr_cntx_access_ctrl	R/W	Управляет прямым/непрямым доступом в контекстную память: – 0 – не прямой доступ; – 1 – прямой доступ. Программное обеспечение использует только не прямой доступ

Таблица 368 – Биты регистра TMU_CNTX_ADDR: (Адрес = 0x2F4; После сброса = 20'b0)

Биты	Название	Тип доступа	Описание
15 – 0	csr_cntx_ind_addr	R/W	В этот регистр записывается адрес контекстной памяти. Для каждого PHY контекстная память имеет 64 поля которые разделены по 8 регистров на очередь. Очередь Q0 занимает поля с 0-7, очередь Q7 занимает поля 56-63. Каждая очередь имеет следующие регистры: 0 – {curQ_head_ptr, curQ_tail_ptr}; 1 – curQ_pkt_cnt; 2 – curQ_drop_cnt; 3 – curQ_trans_cnt; 4 – {curQ_Qmax, curQ_Qmin, curQ_cfg}; 5 – curQ_hw_prob_cfg_tbl0; 6 – curQ_hw_prob_cfg_tbl1; 7 – curQ_dbg
20 – 16	csr_cntx_ind_phy_no	R/W	Поле номера PHY

Таблица 369 – Биты регистра TMU_CNTX_DATA: (Адрес = 0x2F8; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
31 – 0	csr_cntx_ind_data	R/W	Содержит данные чтения/записи в зависимости от команды

Таблица 370 – Биты регистра TMU_CNTX_CMD: (Адрес = 0x2FC; После сброса = 3'b0)

Биты	Название	Тип доступа	Описание
0	csr_cntx_ind_cmd	R/W	0 – для чтения; 1 – для записи
1	csr_cntx_ind_start	R/W	Записать единицу для начала контекстного доступа
2	csr_cntx_ind_done	R	Бит окончания операции контекстного доступа; опросом бита определяется завершение доступа

Таблица 371 – Биты регистра TMU_SCH_SHP_RANGE: (Адрес = 0x1000:0x11fff; После сброса = NA)

Биты	Название	Тип доступа	Описание
31– 0	csr_tmu_sch_shp_range_reg	R/W	Диапазон для TDQ (планировщик/формирователь) регистров внутри PHY. Все регистры внутри tlite_tdq_pp_csr повторяются для каждого PHY. Каждый PHY получает по 0x1000 регистров. PHY0 начинается с 0x1000. Для текущей конфигурации 17 PHY, поэтому достоверное значение диапазона от 0x01000 до 0x11FFF

11.11.5 Регистры аппаратного классификатора

Таблица 372 – Биты регистра CLASS_VERSION: (Адрес = 0x00; После сброса = 32'h10031)

Биты	Название	Тип доступа	Описание
15 – 0	class_id	R	Регистр доступен только для чтения и содержит ID блока
23 – 16	class_version	R	Регистр доступен только для чтения и указывает на версию блока
31 – 24	class_revision	R	Регистр доступен только для чтения и указывает на ревизию блока

Таблица 373 – Биты регистра CLASS_TX_CTRL: (Адрес = 0x04; После сброса = 2'b01)

Биты	Название	Тип доступа	Описание
0	csr_class_en	R/W	Бит разрешения классификатора
1	csr_class_hw_swrst	R/W	Программный сброс классификатора

Таблица 374 – Биты регистра CLASS_INQ_PKTPTR: (Адрес = 0x10; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	csr_inq_pktptr	R/W	PHY порты (Ethernet) записывают указатель пакета по этому адресу. Возникнет блокирующий запрос, если очередь полна. Однако правила очереди позволят очистить буферы и освободить их

Таблица 375 – Биты регистра CLASS_HDR_SIZE: (Адрес = 0x14; После сброса = 8'h30)

Биты	Название	Тип доступа	Описание
7 – 0	csr_lmem_hdr_size	R/W	Размер заголовка LMEM. Данные в LMEM записываются с этим смещением. Однако в первую позицию LMEM записывается адрес следующего буфера. Позиция выровнена по границе 32-разрядного адреса. Если требуется смещение два байта, регистр в EMAC программируется для добавления двух байт

Таблица 376 – Биты регистра CLASS_QOS_PORT01_TC_SEL: (Адрес = 0x18; Поле сброса = 32'h0)

Биты	Название	Тип доступа	Описание
15 – 0	csr_qos_port0_tc_sel	R/W	TC SEL порта 0
31 – 16	csr_qos_port1_tc_sel	R/W	TC SEL порта 1

Таблица 377 – Биты регистра CLASS_QOS_PORT23_TC_SEL: (Адрес = 0x1C; Поле сброса = 32'h0)

Биты	Название	Тип доступа	Описание
15 – 0	csr_qos_port2_tc_sel	R/W	TC SEL порта 2
31–16	csr_qos_port3_tc_sel	R/W	TC SEL порта 3

Таблица 378 – Биты регистра CLASS_QOS_PORT45_TC_SEL: (Адрес = 0x20; Поле сброса = 32'h0)

Биты	Название	Тип доступа	Описание
15 – 0	csr_qos_port4_tc_sel	R/W	TC SEL порта 4
31 – 16	csr_qos_port5_tc_sel	R/W	TC SEL порта 5

Таблица 379 – Биты регистра CLASS_QOS_PORT67_TC_SEL: (Адрес = 0x24; Поле сброса = 32'h0)

Биты	Название	Тип доступа	Описание
15 – 0	csr_qos_port6_tc_sel	R/W	TC SEL порта 6
31 – 16	csr_qos_port7_tc_sel	R/W	TC SEL порта 7

Таблица 380 – Биты регистра CLASS_QOS_GLOBAL_DSCP2TC_MAP0: (Адрес = 0x28; После сброса = 30'h0)

Биты	Название	Тип доступа	Описание
29 – 0	csr_qos_global_ dscp2tc_map0	R/W	Маппирование DSCP2TC для каждого значения 16 TOS, 3 бита значения TC

Таблица 381 – Биты регистра CLASS_QOS_GLOBAL_DSCP2TC_MAP1: (Адрес = 0x2c; После сброса = 30'h0)

Биты	Название	Тип доступа	Описание
29 – 0	csr_qos_global_ dscp2tc_map1	R/W	Маппирование DSCP2TC для каждого значения 16 TOS, 3 бита значения TC

Таблица 382 – Биты регистра CLASS_QOS_GLOBAL_DSCP2TC_MAP2: (Адрес = 0x30; После сброса = 30'h0)

Биты	Название	Тип доступа	Описание
29 – 0	csr_qos_global_ dscp2tc_map2	R/W	Маппирование DSCP2TC для каждого значения 16 TOS, 3 бита значения TC

Таблица 383 – Биты регистра CLASS_QOS_GLOBAL_DSCP2TC_MAP3: (Адрес = 0x34; После сброса = 30'h0)

Биты	Название	Тип доступа	Описание
29 – 0	csr_qos_global_ dscp2tc_map3	R/W	Маппирование DSCP2TC, для каждого значения 16 TOS, 3 бита значения TC

Таблица 384 – Биты регистра CLASS_QOS_GLOBAL_DSCP2TC_MAP4: (Адрес = 0x38; После сброса = 30'h0)

Биты	Название	Тип доступа	Описание
29 – 0	csr_qos_global_ dscp2tc_map4	R/W	Маппирование DSCP2TC для каждого значения 16 TOS, 3 бита значения TC

Таблица 385 – Биты регистра CLASS_QOS_GLOBAL_DSCP2TC_MAP5: (Адрес = 0x3c; После сброса = 30'h0)

Биты	Название	Тип доступа	Описание
29 – 0	csr_qos_global_ dscp2tc_map5	R/W	Маппирование DSCP2TC для каждого значения 16 TOS, 3 бита значения TC

Таблица 386 – Биты регистра CLASS_QOS_GLOBAL_DSCP2TC_MAP6: (Адрес = 0x40; После сброса = 12'h0)

Биты	Название	Тип доступа	Описание
11 – 0	csr_qos_global_ dscp2tc_map6	R/W	Маппирование DSCP2TC для каждого значения 16 TOS, 3 бита значения TC

Таблица 387 – Биты регистра CLASS_QOS_PORT0_PCP2TC_MAP: (Адрес = 0x44; После сброса = 24'h0)

Биты	Название	Тип доступа	Описание
23 – 0	csr_qos_port0_ pcp2tc_map	R/W	Порт 0, маппирование PCP в TC. Биты 2 – 0 для PCP 0; Биты 5 – 3 для PCP1; Биты 8 – 6 для PCP2; Биты 11 – 9 для PCP3; Биты 14 – 12 для PCP4; Биты 17 – 15 для PCP5; Биты 20 – 18 для PCP6; Биты 23 – 21 для PCP7

Таблица 388 – Биты регистра CLASS_QOS_PORT1_PCP2TC_MAP: (Адрес = 0x48; После сброса = 24'h0)

Биты	Название	Тип доступа	Описание
23 – 0	csr_qos_port1_ pcp2tc_map	R/W	Порт 1, маппирование PCP в TC. Биты 2 – 0 для PCP 0; Биты 5 – 3 для PCP1; Биты 8 – 6 для PCP2; Биты 11 – 9 для PCP3; Биты 14 – 12 для PCP4; Биты 17 – 15 для PCP5; Биты 20 – 18 для PCP6; Биты 23 – 21 для PCP7

Таблица 389 – Биты регистра CLASS_QOS_PORT2_PCP2TC_MAP: (Адрес = 0x4C; После сброса = 24'h0)

Биты	Название	Тип доступа	Описание
23 – 0	csr_qos_port2_ pcp2tc_map	R/W	Порт 2, маппирование PCP в TC. Биты 2 – 0 для PCP 0; Биты 5 – 3 для PCP1; Биты 8 – 6 для PCP2; Биты 11 – 9 для PCP3; Биты 14 – 12 для PCP4; Биты 17 – 15 для PCP5; Биты 20 – 18 для PCP6; Биты 23 – 21 для PCP7

Таблица 390 – Биты регистра CLASS_QOS_PORT3_PCP2TC_MAP: (Адрес = 0x50; После сброса = 24'h0)

Биты	Название	Тип доступа	Описание
23 – 0	csr_qos_port3_pcp2tc_ map	R/W	Порт 3, маппирование PCP в TC. Биты 2 – 0 для PCP 0; Биты 5 – 3 для PCP1; Биты 8 – 6 для PCP2; Биты 11 – 9 для PCP3; Биты 14 – 12 для PCP4; Биты 17 – 15 для PCP5; Биты 20 – 18 для PCP6; Биты 23 – 21 для PCP7

Таблица 391 – Биты регистра CLASS_QOS_PORT4_PCP2TC_MAP: (Адрес = 0x54; После сброса = 24'h0)

Биты	Название	Тип доступа	Описание
23 – 0	csr_qos_port4_pcp2tc_ map	R/W	Порт 4, маппирование PCP в TC. Биты 2 – 0 для PCP 0; Биты 5 – 3 для PCP1; Биты 8 – 6 для PCP2; Биты 11 – 9 для PCP3; Биты 14 – 12 для PCP4; Биты 17 – 15 для PCP5; Биты 20 – 18 для PCP6; Биты 23 – 21 для PCP7

Таблица 392 – Биты регистра CLASS_QOS_PORT5_PCP2TC_MAP: (Адрес = 0x58; После сброса = 24'h0)

Биты	Название	Тип доступа	Описание
23 – 0	csr_qos_port5_ pcp2tc_map	R/W	Порт 5, маппирование PCP в TC. Биты 2 – 0 для PCP 0; Биты 5 – 3 для PCP1; Биты 8 – 6 для PCP2; Биты 11 – 9 для PCP3; Биты 14 – 12 для PCP4; Биты 17 – 15 для PCP5; Биты 20 – 18 для PCP6; Биты 23 – 21 для PCP7

Таблица 393 – Биты регистра CLASS_QOS_PORT6_PCP2TC_MAP: (Адрес = 0x5C; После сброса = 24'h0)

Биты	Название	Тип доступа	Описание
23 – 0	csr_qos_port6_pcp2tc_map	R/W	Порт 6, маппирование PCP в TC. Биты 2 – 0 для PCP 0; Биты 5 – 3 для PCP1; Биты 8 – 6 для PCP2; Биты 11 – 9 для PCP3; Биты 14 – 12 для PCP4; Биты 17 – 15 для PCP5; Биты 20 – 18 для PCP6; Биты 23 – 21 для PCP7

Таблица 394 – Биты регистра CLASS_QOS_PORT7_PCP2TC_MAP: (Адрес = 0x60; После сброса = 24'h0)

Биты	Название	Тип доступа	Описание
23 – 0	csr_qos_port7_pcp2tc_map	R/W	Порт 7, маппирование PCP в TC. Биты 2 – 0 для PCP 0; Биты 5 – 3 для PCP1; Биты 8 – 6 для PCP2; Биты 11 – 9 для PCP3; Биты 14 – 12 для PCP4; Биты 17 – 15 для PCP5; Биты 20 – 18 для PCP6; Биты 23 – 21 для PCP7

Таблица 395 – Биты регистра CLASS_QOS_PORT_PID2TC_MAP: (Адрес = 0x64; После сброса = 30'h0)

Биты	Название	Тип доступа	Описание
2 – 0	csr_qos_port0_pid2tc_map	R/W	Маппирование порта 0 в TC
5 – 3	csr_qos_port1_pid2tc_map	R/W	маппирование порта 1 в TC
8 – 6	csr_qos_port2_pid2tc_map	R/W	Маппирование порта 2 в TC
11 – 9	csr_qos_port3_pid2tc_map	R/W	Маппирование порта 3 в TC
14 – 12	csr_qos_port4_pid2tc_map	R/W	Маппирование порта 4 в TC
17 – 15	csr_qos_port5_pid2tc_map	R/W	Маппирование порта 5 в TC
20 – 18	csr_qos_port6_pid2tc_map	R/W	Маппирование порта 6 в TC
23 – 21	csr_qos_port7_pid2tc_map	R/W	Маппирование порта 7 в TC
26 – 24	csr_qos_port8_pid2tc_map	R/W	Маппирование порта 8 в TC
29 – 27	csr_qos_port9_pid2tc_map	R/W	Маппирование порта 9 в TC

Таблица 396 – Биты регистра CLASS_QOS_PORT0_TC2COS_MAP: (Адрес = 0x68; После сброса = 24'hfac688)

Биты	Название	Тип доступа	Описание
23 – 0	class_qos_port0_tc2cos_map	R/W	Маппирование TC в COS. Биты 2 – 0 для TC 0; Биты 5 – 3 для TC 1; Биты 8 – 6 для TC 2; Биты 11 – 9 для TC 3; Биты 14 – 12 для TC 4; Биты 17 – 15 для TC 5; Биты 20 – 18 для TC 6; Биты 23 – 21 для TC 7

Таблица 397 – Биты регистра CLASS_QOS_PORT1_TC2COS_MAP: (Адрес = 0x6C; После сброса = 24'hfac688)

Биты	Название	Тип доступа	Описание
23 – 0	class_qos_port1_tc2cos_map	R/W	Маппирование TC в COS. Биты 2 – 0 для TC 0; Биты 5 – 3 для TC 1; Биты 8 – 6 для TC 2; Биты 11 – 9 для TC 3; Биты 14 – 12 для TC 4; Биты 17 – 15 для TC 5; Биты 20 – 18 для TC 6; Биты 23 – 21 для TC 7

Таблица 398 – Биты регистра CLASS_QOS_PORT2_TC2COS_MAP: (Адрес = 0x70; После сброса = 24'hfac688)

Биты	Название	Тип доступа	Описание
23 – 0	class_qos_port2_tc2cos_map	R/W	Маппирование TC в COS. Биты 2 – 0 для TC 0; Биты 5 – 3 для TC 1; Биты 8 – 6 для TC 2; Биты 11 – 9 для TC 3; Биты 14 – 12 для TC 4; Биты 17 – 15 для TC 5; Биты 20 – 18 для TC 6; Биты 23 – 21 для TC 7

Таблица 399 – Биты регистра CLASS_QOS_PORT3_TC2COS_MAP: (Адрес = 0x74; После сброса = 24'hfac688)

Биты	Название	Тип доступа	Описание
23 – 0	class_qos_port3_tc2cos_map	R/W	Маппирование TC в COS. Биты 2 – 0 для TC 0; Биты 5 – 3 для TC 1; Биты 8 – 6 для TC 2; Биты 11 – 9 для TC 3; Биты 14 – 12 для TC 4; Биты 17 – 15 для TC 5; Биты 20 – 18 для TC 6; Биты 23 – 21 для TC 7

Таблица 400 – Биты регистра CLASS_QOS_PORT4_TC2COS_MAP: (Адрес = 0x78; После сброса = 24'hfac688)

Биты	Название	Тип доступа	Описание
23 – 0	class_qos_port4_tc2cos_map	R/W	Маппирование TC в COS. Биты 2 – 0 для TC 0; Биты 5 – 3 для TC 1; Биты 8 – 6 для TC 2; Биты 11 – 9 для TC 3; Биты 14 – 12 для TC 4; Биты 17 – 15 для TC 5; Биты 20 – 18 для TC 6; Биты 23 – 21 для TC 7

Таблица 401 – Биты регистра CLASS_QOS_PORT5_TC2COS_MAP: (Адрес = 0x7C; После сброса = 24'hfac688)

Биты	Название	Тип доступа	Описание
23 – 0	class_qos_port5_tc2cos_map	R/W	Маппирование TC в COS. Биты 2 – 0 для TC 0; Биты 5 – 3 для TC 1; Биты 8 – 6 для TC 2; Биты 11 – 9 для TC 3; Биты 14 – 12 для TC 4; Биты 17 – 15 для TC 5; Биты 20 – 18 для TC 6; Биты 23 – 21 для TC 7

Таблица 402 – Биты регистра CLASS_QOS_PORT6_TC2COS_MAP: (Адрес = 0x80; После сброса = 24'hfac688)

Биты	Название	Тип доступа	Описание
23 – 0	class_qos_port6_tc2cos_map	R/W	Маппирование TC в COS. Биты 2 – 0 для TC 0; Биты 5 – 3 для TC 1; Биты 8 – 6 для TC 2; Биты 11 – 9 для TC 3; Биты 14 – 12 для TC 4; Биты 17 – 15 для TC 5; Биты 20 – 18 для TC 6; Биты 23 – 21 для TC 7

Таблица 403 – Биты регистра CLASS_QOS_PORT7_TC2COS_MAP: (Адрес = 0x84; После сброса = 24'hfac688)

Биты	Название	Тип доступа	Описание
23 – 0	class_qos_port7_tc2cos_map	R/W	Маппирование TC в COS. Биты 2 – 0 для TC 0; Биты 5 – 3 для TC 1; Биты 8 – 6 для TC 2; Биты 11 – 9 для TC 3; Биты 14 – 12 для TC 4; Биты 17 – 15 для TC 5; Биты 20 – 18 для TC 6; Биты 23 – 21 для TC 7

Таблица 404 – Биты регистра CLASS_SNOOP_SPL_ETYPE_REG01: (Адрес = 0x88; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
15 – 0	csr_snoop_spl_etype0	R/W	Отслеживание Ethernet тип 0. Если запрограммирован и разрешен, отслеживается этот тип Ethernet
31 – 16	csr_snoop_spl_etype1	R/W	Отслеживание Ethernet тип 1. Если запрограммирован и разрешен, отслеживается этот тип Ethernet

Таблица 405 – Биты регистра CLASS_SNOOP_SPL_ETYPE_REG23: (Адрес = 0x8c; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
15 – 0	csr_snoop_spl_etype2	R/W	Отслеживание Ethernet тип 2. Если запрограммирован и разрешен, отслеживается этот тип Ethernet
31 – 16	csr_snoop_spl_etype3	R/W	Отслеживание Ethernet тип 3. Если запрограммирован и разрешен, отслеживается этот тип Ethernet

Таблица 406 – Биты регистра CLASS_SNOOP_CONTROL: (Адрес = 0x90; После сброса = 16'h0)

Биты	Название	Тип доступа	Описание
15 – 0	csr_snoop_cntrl	R/W	Регистр управление слежением. Бит 4 – разрешение отслеживания igmp; Бит 5 – разрешение отслеживания mldv2; Бит 8 – разрешение отслеживания etype0; Бит 9 – разрешение отслеживания etype1; Бит 10 – разрешение отслеживания etype2; Бит 11 – разрешение отслеживания etype3; Бит 12 - разрешение отслеживания etype_arp; Бит 13 – разрешение отслеживания etype_rarp; Бит 14 – разрешение отслеживания hopopts

Таблица 407 – Биты регистра CLASS_MEM_ACCESS_ADDR: (Адрес = 0x100; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
23 – 0	csr_pe_mem_addr	R/W	Адрес внутренней памяти. Для непрямого доступа чтения/записи хоста. Биты [23 – 0] указывают процессору адрес для записи данных
27 – 24	csr_pe_mem_wren	R/W	Разрешение байтового доступа во внутреннюю память
31	csr_pe_mem_cmd	R/W	Команда доступа к памяти. 0 – чтение внутренней памяти; 1 – запись внутренней памяти. 16-ый бит должен быть установлен в единицу, для осуществления доступа в память

Таблица 408 – Биты регистра CLASS_MEM_ACCESS_WDATA: (Адрес = 0x104; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	csr_pe_mem_wdata	R/W	Записываемые данные при доступе во внутреннюю память

Таблица 409 – Биты регистра CLASS_MEM_ACCESS_RDATA: (Адрес = 0x108; После сброса = NA)

Биты	Название	Тип доступа	Описание
31 – 0	csr_mem_access_ rdata	R/W	Читаемые данные при доступе во внутреннюю память

Таблица 410 – Биты регистра CLASS_TM_INQ_ADDR: (Адрес = 0x114; После сброса = 32'hC0310008)

Биты	Название	Тип доступа	Описание
31 – 0	csr_tm_inq_addr	R/W	Адрес входной очереди менеджера трафика

Таблица 411 – Биты регистра CLASS_PHY1_RX_PKTS: (Адрес = 0x11c; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy1_rx_pkts	R	Счетчик числа пакетов, полученных через порт phy1

Таблица 412 – Биты регистра CLASS_PHY1_L3_FAIL_PKTS: (Адрес = 0x130; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy1_l3_ fail_pkts	R	Счетчик поврежденных пакетов уровня 3 порта phy1

Таблица 413 – Биты регистра CLASS_PHY1_V4_PKTS: (Адрес = 0x134; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy1_l4_pkts	R	Счетчик пакетов IPV4 порта phy1

Таблица 414 – Биты регистра CLASS_PHY1_V6_PKTS: (Адрес = 0x138; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy1_l6_pkts	R	Счетчик пакетов IPV6 порта phy1

Таблица 415 – Биты регистра CLASS_PHY1_CHKSUM_ERR_PKTS: (Адрес = 0x13c; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy1_chksum_ err_pkts	R	Счетчик пакетов с ошибкой контрольной суммы порта phy1

Таблица 416 – Биты регистра CLASS_PHY1_TTL_ERR_PKTS: (Адрес = 0x140; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy1_ttl_err_pkts	R	Счетчик пакетов с ошибкой TTL порта phy1

Таблица 417 – Биты регистра CLASS_PHY2_RX_PKTS: (Адрес = 0x144; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy2_rx_pkts	R	Счетчик числа пакетов, полученных через порт phy2

Таблица 418 – Биты регистра CLASS_PHY2_L3_FAIL_PKTS: (Адрес = 0x158; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy2_l3_fail_pkts	R	Счетчик поврежденных пакетов уровня 3 порта phy2

Таблица 419 – Биты регистра CLASS_PHY2_V4_PKTS: (Адрес = 0x15C; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy2_l4_pkts	R	Счетчик пакетов IPV4 порта phy2

Таблица 420 – Биты регистра CLASS_PHY2_V6_PKTS: (Адрес = 0x160; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy2_l6_pkts	R	Счетчик пакетов IPV6 порта phy2

Таблица 421 – Биты регистра CLASS_PHY2_CHKSUM_ERR_PKTS: (Адрес = 0x164; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy2_chksum_ err_pkts	R	Счетчик пакетов с ошибкой контрольной суммы порта phy2

Таблица 422 – Биты регистра CLASS_PHY2_TTL_ERR_PKTS: (Адрес = 0x168; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy2_ttl_err_pkts	R	Счетчик пакетов с ошибкой TTL порта phy2

Таблица 423 – Биты регистра CLASS_PHY3_RX_PKTS: (Адрес = 0x16C; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy3_rx_pkts	R	Счетчик числа пакетов, полученных через порт phy3

Таблица 424 – Биты регистра CLASS_PHY3_L3_FAIL_PKTS: (Адрес = 0x180; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy3_l3_fail_pkts	R	Счетчик поврежденных пакетов уровня 3 порта phy3

Таблица 425 – Биты регистра CLASS_PHY3_V4_PKTS: (Адрес = 0x184; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy3_l4_pkts	R	Счетчик пакетов IPV4 порта phy3

Таблица 426 – Биты регистра CLASS_PHY3_V6_PKTS: (Адрес = 0x188; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy3_l6_pkts	R	Счетчик пакетов IPV6 порта phy3

Таблица 427 – Биты регистра CLASS_PHY3_CHKSUM_ERR_PKTS: (Адрес = 0x18C; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy3_chksum_ err_pkts	R	Счетчик пакетов с ошибкой контрольной суммы порта phy3

Таблица 428 – Биты регистра CLASS_PHY3_TTL_ERR_PKTS: (Адрес = 0x190; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy3_ttl_err_pkts	R	Счетчик пакетов с ошибкой TTL порта phy3

Таблица 429 – Биты регистра CLASS_PHY1_ICMP_PKTS: (Адрес = 0x194; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy1_icmp_pkts	R	Счетчик числа ICMP пакетов, полученных через порт phy1

Таблица 430 – Биты регистра CLASS_PHY1_IGMP_PKTS: (Адрес = 0x198; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy1_igmp_pkts	R	Счетчик числа IGMP пакетов, полученных через порт phy1

Таблица 431 – Биты регистра CLASS_PHY1_TCP_PKTS: (Адрес = 0x19c; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy1_tcp_pkts	R	Счетчик числа TCP пакетов, полученных через порт phy1

Таблица 432 – Биты регистра CLASS_PHY1_UDP_PKTS: (Адрес = 0x1a0; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy1_udp_pkts	R	Счетчик числа UDP пакетов, полученных через порт phy1

Таблица 433 – Биты регистра CLASS_PHY2_ICMP_PKTS: (Адрес = 0x1a4; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy2_icmp_pkts	R	Счетчик числа ICMP пакетов, полученных через порт phy2

Таблица 434 – Биты регистра CLASS_PHY2_IGMP_PKTS: (Адрес = 0x1a8; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy2_igmp_pkts	R	Счетчик числа IGMP пакетов, полученных через порт phy2

Таблица 435 – Биты регистра CLASS_PHY2_TCP_PKTS: (Адрес = 0x1ac; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy2_tcp_pkts	R	Счетчик числа TCP пакетов, полученных через порт phy2

Таблица 436 – Биты регистра CLASS_PHY2_UDP_PKTS: (Адрес = 0x1b0; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy2_udp_pkts	R	Счетчик числа UDP пакетов, полученных через порт phy2

Таблица 437 – Биты регистра CLASS_PHY3_ICMP_PKTS: (Адрес = 0x1b4; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy3_icmp_pkts	R	Счетчик числа ICMP пакетов, полученных через порт phy3

Таблица 438 – Биты регистра CLASS_PHY3_IGMP_PKTS: (Адрес = 0x1b8; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy3_igmp_pkts	R	Счетчик числа IGMP пакетов, полученных через порт phy3

Таблица 439 – Биты регистра CLASS_PHY3_TCP_PKTS: (Адрес = 0x1bc; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy3_tcp_pkts	R	Счетчик числа TCP пакетов, полученных через порт phy3

Таблица 440 – Биты регистра CLASS_PHY3_UDP_PKTS: (Адрес = 0x1c0; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy3_udp_pkts	R	Счетчик числа UDP пакетов, полученных через порт phy3

Таблица 441 – Биты регистра CLASS_PHY4_ICMP_PKTS: (Адрес = 0x1c4; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy4_icmp_pkts	R	Счетчик числа ICMP пакетов, полученных через порт phy4

Таблица 442 – Биты регистра CLASS_PHY4_IGMP_PKTS: (Адрес = 0x1c8; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy4_igmp_pkts	R	Счетчик числа IGMP пакетов, полученных через порт phy4

Таблица 443 – Биты регистра CLASS_PHY4_TCP_PKTS: (Адрес = 0x1cc; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy4_tcp_pkts	R	Счетчик числа TCP пакетов, полученных через порт phy4

Таблица 444 – Биты регистра CLASS_PHY4_UDP_PKTS: (Адрес = 0x1d0; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy4_udp_pkts	R	Счетчик числа UDP пакетов, полученных через порт phy4

Таблица 445 – Биты регистра CLASS_PHY4_RX_PKTS: (Адрес = 0x1d4; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy4_rx_pkts	R	Счетчик числа пакетов, полученных через порт phy4

Таблица 446 – Биты регистра CLASS_PHY4_L3_FAIL_PKTS: (Адрес = 0x1e8; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy4_l3_fail_pkts	R	Счетчик поврежденных пакетов уровня 3 порта phy4

Таблица 447 – Биты регистра CLASS_PHY4_V4_PKTS: (Адрес = 0x1ec; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy4_l4_pkts	R	Счетчик пакетов IPV4 порта phy4

Таблица 448 – Биты регистра CLASS_PHY4_V6_PKTS: (Адрес = 0x1f0; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy4_l6_pkts	R	Счетчик пакетов IPV6 порта phy4

Таблица 449 – Биты регистра CLASS_PHY4_CHKSUM_ERR_PKTS: (Адрес = 0x1f4; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy4_chksum_ err_pkts	R	Счетчик пакетов с ошибкой контрольной суммы порта phy4

Таблица 450 – Биты регистра CLASS_PHY4_TTL_ERR_PKTS: (Адрес = 0x1f8; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy4_ttl_err_pkts	R	Счетчик пакетов с ошибкой TTL порта phy4

Таблица 451 – Биты регистра CLASS_GLOBAL_MGMT_REG: (Адрес = 0x200; После сброса = 24'h0)

Биты	Название	Тип доступа	Описание
15 – 0	csr_glb_mgmt_etype	R/W	Общее управление типом Ethernet
23 – 16	csr_glb_mgmt_port	R/W	Общее управление портом

Таблица 452 – Биты регистра CLASS_BUS_ACCESS_ADDR: (Адрес = 0x228; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
23 – 0	csr_pe_bus_addr	R/W	Периферия PE-AHB доступная хосту через блок мастера PIB. Это регистр адреса непрямого доступа
27 – 24	csr_pe_bus_wren	R/W	Разрешение байта
31	csr_pe_bus_cmd	R/W	Команда доступа на шину. 0 – чтение; 1 – запись

Таблица 453 – Биты регистра CLASS_BUS_ACCESS_WDATA: (Адрес = 0x22c; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	csr_pe_bus_wdata	R/W	Записываемые данные

Таблица 454 – Биты регистра CLASS_BUS_ACCESS_RDATA: (Адрес = 0x230; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	csr_bus_access_rdata	R	Читаемые данные

Таблица 455 – Биты регистра CLASS_SMEM_OFFSET: (Адрес = 0x240; После сброса = 27'h220080)

Биты	Название	Тип доступа	Описание
8 – 0	csr_smem_data_offset	R/W	Смещение данных промежуточной памяти. Подстраивается под адреса. Значение по умолчанию: 0x80
17 – 9	csr_smem_rte_offset	R/W	Смещение маршрутизации промежуточной памяти. Подстраивается под адреса. Значение по умолчанию: 0x100
26 – 18	csr_smem_hdr_offset	R/W	Смещение заголовка промежуточной памяти. Подстраивается под адреса. Значение по умолчанию: 0x8

Таблица 456 – Биты регистра CLASS_LMEM_BUF_SIZE: (Адрес = 0x244; После сброса = 16'h80)

Биты	Название	Тип доступа	Описание
15 – 0	csr_lmem_buf_size	R/W	Размер буфера LMEM

Таблица 457 – Биты регистра CLASS_BMU1_BUF_FREE: (Адрес = 0x24c; После сброса = 32'h00240034)

Биты	Название	Тип доступа	Описание
31 – 0	csr_bmu1_buf_free	R/W	Адрес свободного буфера LMEM

Таблица 458 – Биты регистра CLASS_USE_TMU_INQ: (Адрес = 0x250; После сброса = 1'h0 (ревизия 1), 1'h1 (с ревизии 2))

Биты	Название	Тип доступа	Описание
0	csr_use_tmu_inq_afull	R/W	Установка в единицу приведет к использованию tmu inq full

Таблица 459 – Биты регистра CLASS_TPID0_TPID1: (Адрес = 0x268; После сброса = 32'h81008100)

Биты	Название	Тип доступа	Описание
15 – 0	csr_tpid0	R/W	Vlan протокол для порта 0
31 – 16	csr_tpid1	R/W	Vlan протокол для порта 1

Таблица 460 – Биты регистра CLASS_TPID2: (Адрес = 0x26C; После сброса = 16'h8100)

Биты	Название	Тип доступа	Описание
15 – 0	csr_tpid2	R/W	Vlan протокол для порта 2

Таблица 461 – Биты регистра CLASS_L4_CHKSUM: (Адрес = 0x270; После сброса = 10'h250)

Биты	Название	Тип доступа	Описание
0	csr_tcp_chksum_drop	R/W	Отбрасывать контрольную сумму tcp
1	csr_udp_chksum_drop	R/W	Отбрасывать контрольную сумму udp
8 – 2	csr_short_pkt_thres	R/W	Порог для короткого пакета
9	csr_ipv4_chksum_drop	R/W	Отбрасывать контрольную сумму IPV4

Таблица 462 – Биты регистра CLASS_STATE: (Адрес = 0x274; После сброса = NA)

Биты	Название	Тип доступа	Описание
3 – 0	qinq_cstate	R	Состояние модуля qinq
6 – 4	rtfet_cstate	R	Состояние маршрута fet
10 – 7	qfet_cstate	R	Состояние qfet
14 – 11	dmi_cstate	R	Состояние dmi
19 – 15	ro_cstate	R	Состояние ro
23 – 20	pesm_cstate	R	Состояние pesm
27 – 24	tsq_state	R	Состояние tsq

Таблица 463 – Биты регистра CLASS_QB_BUF_AVAIL: (Адрес = 0x278; После сброса = 24'h0)

Биты	Название	Тип доступа	Описание
23 – 0	pe_qb_buf_avail	R	Количество доступных буферов qb

Таблица 464 – Биты регистра CLASS_RO_BUF_AVAIL: (Адрес = 0x27c; После сброса = 24'h0)

Биты	Название	Тип доступа	Описание
23 – 0	pe_ro_buf_avail	R	Количество доступных буферов ro

Таблица 465 – Биты регистра CLASS_DOS_CONTRL1: (Адрес = 0x280; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	csr_dos_cntrl1	R/W	Регистр управления dos. Бит 0 – разрешение dos; Биты 3 – 1 – действие dos; Биты 7 – 4 – резрешение комбинации признаков tcp. Остальные биты зарезервированы

Таблица 466 – Биты регистра CLASS_DOS_CONTRL2: (Адрес = 0x284; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	csr_dos_cntrl2	R/W	Регистр управления dos. Бит 0 – ipv4_sip_eq_dip_en; Бит 1 – ipv4_icmp_frag_en; Бит 2 – ipv4_icmp_ping_too_big_en; Бит 3 – ipv4_udp_sp_eq_dp_en; Бит 4 – ipv4 tcp_flag chk; Бит 5 – ipv4 tcp sp eq dp; Бит 6 – ipv4 tcp frag_off1; Бит 7 – ipv4 tcp_syn_err; Бит 8 – ipv4 tcp_xmas; Бит 9 – ipv4 tcp_null; Биты 15 – 10 – зарезервированы; Бит 16 – ipv6_sip_eq_dip_en; Бит 17 – ipv6_icmp_frag_en; Бит 18 – ipv6_icmp_ping_too_big_en; Бит 19 – ipv6_udp_sp_eq_dp_en; Бит 20 – ipv6 tcp_flag chk; Бит 21 – ipv6 tcp sp eq dp; Бит 22 – ipv6 tcp frag_off1; Бит 23 – ipv6 tcp_syn_err; Бит 24 –ipv6 tcp_xmas; Бит 25 – ipv6 tcp_null; Биты 31 – 26 – зарезервированы

Таблица 467 – Биты регистра CLASS_DOS_TCP_FLAGCHK_COMB_VALUE1: (Адрес = 0x288; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	csr_dos_tcp_flagchk_ comb_value1	R/W	Значение комбинации признаков TCP. Шесть бит для каждой комбинации. Этот регистр содержит комбинации с 6 по 8

Таблица 468 – Биты регистра CLASS_DOS_ICMPV4_MAX_PKTLEN: (Адрес = 0x28c; После сброса = 32'h4000)

Биты	Название	Тип доступа	Описание
31 – 0	csr_dos_icmpv4_ max_pktlen	R/W	Максимальная длина пакета ICMP, инициализируется 16k. Может быть увеличено до 64k

Таблица 469 – Биты регистра CLASS_ING_AFULL_THRES: (Адрес = 0x290; После сброса = 16'h3f6 (ревизия1), 16'h040 (с ревизии 2))

Биты	Название	Тип доступа	Описание
15 – 0	csr_inq_afull_thres	R/W	Порог почти полного FIFO class inq

Таблица 470 – Биты регистра CLASS_DMEM_BRS_OFFSET: (Адрес = 0x294; После сброса = 9'h028)

Биты	Название	Тип доступа	Описание
8 – 0	csr_dmem_brs_offset	R/W	Смещение результата моста в структуре dmem. Для 20-битного результата – это может быть 40, для 32-битного результата – это может быть 48

Таблица 471 – Биты регистра CLASS_PHY5_RX_PKTS: (Адрес = 0x298; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy5_rx_pkts	R	Счетчик числа пакетов, полученных через порт phy5

Таблица 472 – Биты регистра CLASS_PHY5_L3_FAIL_PKTS: (Адрес = 0x2ac; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy5_l3_fail_pkts	R	Счетчик поврежденных пакетов уровня 3 порта phy5

Таблица 473 – Биты регистра CLASS_PHY5_V4_PKTS: (Адрес = 0x2b0; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy5_l4_pkts	R	Счетчик пакетов IPV4 порта phy5

Таблица 474 – Биты регистра CLASS_PHY5_V6_PKTS: (Адрес = 0x2b4; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy5_l6_pkts	R	Счетчик пакетов IPV6 порта phy5

Таблица 475 – Биты регистра CLASS_PHY5_CHKSUM_ERR_PKTS: (Адрес = 0x2b8; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy5_chksum_err_pkts	R	Счетчик пакетов с ошибкой контрольной суммы порта phy5

Таблица 476 – Биты регистра CLASS_PHY5_TTL_ERR_PKTS: (Адрес = 0x2bc; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy5_ttl_err_pkts	R	Счетчик пакетов с ошибкой TTL порта phy5

Таблица 477 – Биты регистра CLASS_PHY5_ICMP_PKTS: (Адрес = 0x2c0; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy5_icmp_pkts	R	Счетчик числа ICMP пакетов, полученных через порт phy5

Таблица 478 – Биты регистра CLASS_PHY5_IGMP_PKTS: (Адрес = 0x2c4; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy5_igmp_pkts	R	Счетчик числа IGMP пакетов, полученных через порт phy5

Таблица 479 – Биты регистра CLASS_PHY5_TCP_PKTS: (Адрес = 0x2c8; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy5_tcp_pkts	R	Счетчик числа TCP пакетов, полученных через порт phy5

Таблица 480 – Биты регистра CLASS_PHY5_UDP_PKTS: (Адрес = 0x2cc; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy5_udp_pkts	R	Счетчик числа UDP пакетов, полученных через порт phy5

Таблица 481 – Биты регистра CLASS_PHY6_RX_PKTS: (Адрес = 0x2d0; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy6_rx_pkts	R	Счетчик числа пакетов, полученных через порт phy6

Таблица 482 – Биты регистра CLASS_PHY6_L3_FAIL_PKTS: (Адрес = 0x2e4; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy6_l3_fail_pkts	R	Счетчик поврежденных пакетов уровня 3 порта phy6

Таблица 483 – Биты регистра CLASS_PHY6_V4_PKTS: (Адрес = 0x2e8; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy6_l4_pkts	R	Счетчик пакетов IPV4 порта phy6

Таблица 484 – Биты регистра CLASS_PHY6_V6_PKTS: (Адрес = 0x2ec; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy6_l6_pkts	R	Счетчик пакетов IPV6 порта phy6

Таблица 485 – Биты регистра CLASS_PHY6_CHKSUM_ERR_PKTS: (Адрес = 0x2f0; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy6_chksum_err_pkts	R	Счетчик пакетов с ошибкой контрольной суммы порта phy6

Таблица 486 – Биты регистра CLASS_PHY6_TTL_ERR_PKTS: (Адрес = 0x2f4; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy6_ttl_err_pkts	R	Счетчик пакетов с ошибкой TTL порта phy6

Таблица 487 – Биты регистра CLASS_PHY6_ICMP_PKTS: (Адрес = 0x2f8; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy6_icmp_pkts	R	Счетчик числа ICMP пакетов, полученных через порт phy6

Таблица 488 – Биты регистра CLASS_PHY6_IGMP_PKTS: (Адрес = 0x2fc; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy6_igmp_pkts	R	Счетчик числа IGMP пакетов, полученных через порт phy6

Таблица 489 – Биты регистра CLASS_PHY6_TCP_PKTS: (Адрес = 0x300; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy6_tcp_pkts	R	Счетчик числа TCP пакетов, полученных через порт phy6

Таблица 490 – Биты регистра CLASS_PHY6_UDP_PKTS: (Адрес = 0x304; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy6_udp_pkts	R	Счетчик числа UDP пакетов, полученных через порт phy6

Таблица 491 – Биты регистра CLASS_PHY7_RX_PKTS: (Адрес = 0x308; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy7_rx_pkts	R	Счетчик числа пакетов, полученных через порт phy7

Таблица 492 – Биты регистра CLASS_PHY7_L3_FAIL_PKTS: (Адрес = 0x31c; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy7_l3_fail_pkts	R	Счетчик поврежденных пакетов уровня 3 порта phy7

Таблица 493 – Биты регистра CLASS_PHY7_V4_PKTS: (Адрес = 0x4e8; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy7_l4_pkts	R	Счетчик пакетов IPV4 порта phy7

Таблица 494 – Биты регистра CLASS_PHY7_V6_PKTS: (Адрес = 0x4ec; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy7_l6_pkts	R	Счетчик пакетов IPV6 порта phy7

Таблица 495 – Биты регистра CLASS_PHY7_CHKSUM_ERR_PKTS: (Адрес = 0x4f0; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy7_chksum_ err_pkts	R	Счетчик пакетов с ошибкой контрольной суммы порта phy7

Таблица 496 – Биты регистра CLASS_PHY7_TTL_ERR_PKTS: (Адрес = 0x4f4; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy7_ttl_err_pkts	R	Счетчик пакетов с ошибкой TTL порта phy7

Таблица 497 – Биты регистра CLASS_PHY7_ICMP_PKTS: (Адрес = 0x320; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy7_icmp_pkts	R	Счетчик числа ICMP пакетов, полученных через порт phy7

Таблица 498 – Биты регистра CLASS_PHY7_IGMP_PKTS: (Адрес = 0x324; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy7_igmp_pkts	R	Счетчик числа IGMP пакетов, полученных через порт phy7

Таблица 499 – Биты регистра CLASS_PHY7_TCP_PKTS: (Адрес = 0x328; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy7_tcp_pkts	R	Счетчик числа TCP пакетов, полученных через порт phy7

Таблица 500 – Биты регистра CLASS_PHY7_UDP_PKTS: (Адрес = 0x32c; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy7_udp_pkts	R	Счетчик числа UDP пакетов, полученных через порт phy7

Таблица 501 – Биты регистра CLASS_PHY8_RX_PKTS: (Адрес = 0x330; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy8_rx_pkts	R	Счетчик числа пакетов, полученных через порт phy8

Таблица 502 – Биты регистра CLASS_PHY8_L3_FAIL_PKTS: (Адрес = 0x344; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy8_l3_fail_pkts	R	Счетчик поврежденных пакетов уровня 3 порта phy8

Таблица 503 – Биты регистра CLASS_PHY8_V4_PKTS: (Адрес = 0x348; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy8_l4_pkts	R	Счетчик пакетов IPV4 порта phy8

Таблица 504 – Биты регистра CLASS_PHY8_V6_PKTS: (Адрес = 0x34c; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy8_l6_pkts	R	Счетчик пакетов IPV6 порта phy8

Таблица 505 – Биты регистра CLASS_PHY8_CHKSUM_ERR_PKTS: (Адрес = 0x350; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy8_chksum_ err_pkts	R	Счетчик пакетов с ошибкой контрольной суммы порта phy8

Таблица 506 – Биты регистра CLASS_PHY8_TTL_ERR_PKTS: (Адрес = 0x354; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy8_ttl_err_pkts	R	Счетчик пакетов с ошибкой TTL порта phy8

Таблица 507 – Биты регистра CLASS_PHY8_ICMP_PKTS: (Адрес = 0x358; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy8_icmp_pkts	R	Счетчик числа ICMP пакетов, полученных через порт phy8

Таблица 508 – Биты регистра CLASS_PHY8_IGMP_PKTS: (Адрес = 0x35c; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy8_igmp_pkts	R	Счетчик числа IGMP пакетов, полученных через порт phy8

Таблица 509 – Биты регистра CLASS_PHY8_TCP_PKTS: (Адрес = 0x360; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy8_tcp_pkts	R	Счетчик числа TCP пакетов, полученных через порт phy8

Таблица 510 – Биты регистра CLASS_PHY8_UDP_PKTS: (Адрес = 0x364; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy8_udp_pkts	R	Счетчик числа UDP пакетов, полученных через порт phy8

Таблица 511 – Биты регистра CLASS_SNOOP_SPL_MCAST_ADDR1_LSB: (Адрес = 0x368; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	csr_snoop_spl_mcast_addr1_lsb	R/W	Младшие 32 бита адреса 1 мультикаст SPL

Таблица 512 – Биты регистра CLASS_SNOOP_SPL_MCAST_ADDR1_MSB: (Адрес = 0x36C; После сброса = 16'h0)

Биты	Название	Тип доступа	Описание
15 – 0	csr_snoop_spl_mcast_addr1_msb	R/W	Оставшиеся старшие 16 бит адреса 1 мультикаст SPL

Таблица 513 – Биты регистра CLASS_SNOOP_SPL_MCAST_ADDR2_LSB: (Адрес = 0x370; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	csr_snoop_spl_mcast_addr2_lsb	R/W	Младшие 32 бита адреса 2 мультикаст SPL

Таблица 514 – Биты регистра CLASS_SNOOP_SPL_MCAST_ADDR2_MSB: (Адрес = 0x374; После сброса = 16'h0)

Биты	Название	Тип доступа	Описание
15 – 0	csr_snoop_spl_mcast_addr2_msb	R/W	Оставшиеся старшие 16 бит адреса 2 мультикаст SPL

Таблица 515 – Биты регистра CLASS_SNOOP_SPL_MCAST_MASK1_LSB: (Адрес = 0x378; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	csr_snoop_spl_mcast_mask1_lsb	R/W	Младшие 32 бита маски 1 мультикаст SPL

Таблица 516 – Биты регистра CLASS_SNOOP_SPL_MCAST_MASK1_MSB: (Адрес = 0x37C; После сброса = 16'h0)

Биты	Название	Тип доступа	Описание
15 – 0	csr_snoop_spl_mcast_mask1_msb	R/W	Оставшиеся старшие 16 бит маски 1 мультикаст SPL

Таблица 517 – Биты регистра CLASS_SNOOP_SPL_MCAST_MASK2_LSB: (Адрес = 0x380; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	csr_snoop_spl_mcast_mask2_lsb	R/W	Младшие 32 бита маски 2 мультикаст SPL

Таблица 518 – Биты регистра CLASS_SNOOP_SPL_MCAST_MASK2_MSB: (Адрес = 0x384; После сброса = 16'h0)

Биты	Название	Тип доступа	Описание
15 – 0	csr_snoop_spl_mcast_mask2_msb	R/W	Оставшиеся старшие 16 бит маски 2 мультикаст SPL

Таблица 519 – Биты регистра CLASS_LMEM_DATA_OFFSET: (Адрес = 0x388; После сброса = 9'h10)

Биты	Название	Тип доступа	Описание
8 – 0	csr_lmem_data_offset	R/W	Смещение данных LMEM

Таблица 520 – Биты регистра CLASS_DAMACHASH_HOST_CMD_REG: (Адрес = 0x390; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	damachash_host_cmd_reg	R/W	Прямой доступ. Хэш-регистр команды хоста для доступа в таблицу MAC

Таблица 521 – Биты регистра CLASS_DAMACHASH_HOST_MAC_ADDR1_REG: (Адрес = 0x394; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	damachash_host_mac_addr1	R/W	Прямой доступ. Хэш-регистр адреса хоста для доступа в таблицу MAC

Таблица 522 – Биты регистра CLASS_DAMACHASH_HOST_MAC_ADDR2_REG: (Адрес = 0x398; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	damachash_host_mac_ addr2	R/W	Прямой доступ. Хэш-регистр адреса хоста для доступа в таблицу MAC

Таблица 523 – Биты регистра CLASS_DAMACHASH_HOST_MAC_ADDR3_REG: (Адрес = 0x39C; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	damachash_host_mac_ addr3	R/W	Прямой доступ. Хэш-регистр адреса хоста для доступа в таблицу MAC

Таблица 524 – Биты регистра CLASS_DAMACHASH_HOST_MAC_ADDR4_REG: (Адрес = 0x3a0; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	damachash_host_mac_ addr4	R/W	Прямой доступ. Хэш-регистр адреса хоста для доступа в таблицу MAC

Таблица 525 – Биты регистра CLASS_DAMACHASH_HOST_MAC_ADDR5_REG: (Адрес = 0x3a4; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	damachash_host_mac_ addr5	R/W	Прямой доступ. Хэш-регистр адреса хоста для доступа в таблицу MAC

Таблица 526 – Биты регистра CLASS_DAMACHASH_HOST_ENTRY_REG: (Адрес = 0x3a8; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	damachash_host_entry_reg	R/W	Прямой доступ. Хэш-регистр записи хоста для доступа в таблицу MAC

Таблица 527 – Биты регистра CLASS_DAMACHASH_HOST_STATUS_REG: (Адрес = 0x3aC; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	damachash_host_entry_reg	R/W	Прямой доступ. Хэш-регистр статуса хоста для доступа в таблицу MAC

Таблица 528 – Биты регистра CLASS_DAMACHASH_HOST_DIRECT: (Адрес = 0x3b0; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	damachash_host_direct	R/W	Хэш-регистр прямого доступа в память таблицы MAC хостом

Таблица 529 – Биты регистра CLASS_DAMACHASH_FREELIST_ENTRIES: (Адрес = 0x3d8; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	damachash_freelist_entries	R/W	Прямой доступ. Регистр списка свободных указателей таблицы MAC

Таблица 530 – Биты регистра CLASS_DAMACHASH_FREELIST_HEAD_PTR: (Адрес = 0x3dc; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	damachash_freelist_head_ptr	R/W	Прямой доступ. Регистр указателя на начало списка свободных указателей таблицы MAC

Таблица 531 – Биты регистра CLASS_DAMACHASH_FREELIST_TAIL_PTR: (Адрес = 0x3e0; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	damachash_freelist_tail_ptr	R/W	Прямой доступ. Регистр указателя на конец списка свободных указателей таблицы MAC

Таблица 532 – Биты регистра CLASS_DAVLANHASH_HOST_CMD_REG: (Адрес = 0x3e4; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	davlanhash_host_cmd_reg	R/W	Прямой доступ. Хэш-регистр команды хоста для доступа в таблицу VLAN

Таблица 533 – Биты регистра CLASS_DAVLANHASH_HOST_MAC_ADDR1_REG: (Адрес = 0x3e8; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	davlanhash_host_mac_addr1	R/W	Прямой доступ. Хэш-регистр адреса хоста для доступа в таблицу VLAN

Таблица 534 – Биты регистра CLASS_DAVLANHASH_HOST_MAC_ADDR2_REG: (Адрес = 0x3ec; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	davlanhash_host_mac_ addr2	R/W	Прямой доступ. Хэш-регистр адреса хоста для доступа в таблицу VLAN

Таблица 535 – Биты регистра CLASS_DAVLANHASH_HOST_MAC_ADDR3_REG: (Адрес = 0x3f0; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	davlanhash_host_mac_ addr3	R/W	Прямой доступ. Хэш-регистр адреса хоста для доступа в таблицу VLAN

Таблица 536 – Биты регистра CLASS_DAVLANHASH_HOST_MAC_ADDR4_REG: (Адрес = 0x3f4; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	davlanhash_host_mac_ addr4	R/W	Прямой доступ. Хэш-регистр адреса хоста для доступа в таблицу VLAN

Таблица 537 – Биты регистра CLASS_DAVLANHASH_HOST_MAC_ADDR5_REG: (Адрес = 0x3f8; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	davlanhash_host_mac_ addr5	R/W	Прямой доступ. Хэш-регистр адреса хоста для доступа в таблицу VLAN

Таблица 538 – Биты регистра CLASS_DAVLANHASH_HOST_ENTRY_REG: (Адрес = 0x3fc; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	davlanhash_host_entry_reg	R/W	Прямой доступ. Хэш-регистр записи хоста для доступа в таблицу VLAN

Таблица 539 – Биты регистра CLASS_DAVLANHASH_HOST_STATUS_REG: (Адрес = 0x400; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	davlanhash_host_ status_reg	R/W	Прямой доступ. Хэш-регистр статуса хоста для доступа в таблицу VLAN

Таблица 540 – Биты регистра CLASS_DAVLANHASH_HOST_DIRECT: (Адрес = 0x404; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	davlanhash_host_direct	R/W	Хэш-регистр прямого доступа в таблицу VLAN хостом

Таблица 541 – Биты регистра CLASS_DAVLANHASH_FREELIST_ENTRIES: (Адрес = 0x42c; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	davlanhash_freelist_entries	R/W	Прямой доступ. Регистр списка свободных указателей таблицы VLAN

Таблица 542 – Биты регистра CLASS_DAVLANHASH_FREELIST_HEAD_PTR: (Адрес = 0x430; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	davlanhash_freelist_ head_ptr	R/W	Прямой доступ. Регистр указателя на начало списка свободных указателей таблицы VLAN

Таблица 543 – Биты регистра CLASS_DAVLANHASH_FREELIST_TAIL_PTR: (Адрес = 0x434; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	davlanhash_freelist_tail_ptr	R/W	Прямой доступ. Регистр указателя на конец списка свободных указателей таблицы VLAN

Таблица 544 – Биты регистра CLASS_PORT0_STRUC1: (Адрес = 0x46c; После сброса = 29'h0)

Биты	Название	Тип доступа	Описание
15 – 0	csr_port0_tpid	R/W	TPID порта 0
28 – 16	csr_port0_fallback_bd_id	R/W	ID буфера fallback дескриптора порта 0

Таблица 545 – Биты регистра CLASS_PORT0_STRUC2: (Адрес = 0x470; После сброса = 22'h0)

Биты	Название	Тип доступа	Описание
0	csr_port0_shutdown	R/W	Всегда записывать ноль
7 – 4	csr_port0_aft	R/W	0 – любое тэгирование; 1 – только с тэгированием; 2 – без тэгирования

Биты	Название	Тип доступа	Описание
11 – 8	csr_port0_blockstate	R/W	0 – перенаправление; 2 – только обучение; 4 – отбрасывание пакетов (drop). Примечание – Остальные комбинации бит не использовать. Младший бит этого поля должен быть сброшен в ноль при записи нового значения в это поле
12	csr_port0_def_cfi	R/W	Значение CFI
15 – 13	csr_port0_def_pri	R/W	Значение поля prio
18 – 16	csr_port0_def_tc	R/W	Значение поля tc
19	csr_port0_trusted	R/W	Указывает на достоверность порта
20	csr_port0_vid_prefix	R/W	Префикс vid порта 0
21	csr_port0_untag_from_btable	R/W	Разрешение порта 0 без тэга в таблице

Таблица 546 – Биты регистра CLASS_PORT1_STRUC1: (Адрес = 0x474; После сброса = 29'h0)

Биты	Название	Тип доступа	Описание
15 – 0	csr_port1_tpid	R/W	TPID порта 1
28 – 16	csr_port1_fallback_bd_id	R/W	ID буфера fallback дескриптора порта 1

Таблица 547 – Биты регистра CLASS_PORT1_STRUC2: (Адрес = 0x478; После сброса = 22'h0)

Биты	Название	Тип доступа	Описание
0	csr_port1_shutdown	R/W	Всегда записывать ноль
7 – 4	csr_port1_aft	R/W	0 – любое тэгирование; 1 – только с тэгированием; 2 – без тэгирования
11 – 8	csr_port1_blockstate	R/W	0 – перенаправление; 2 – только обучение; 4 – отбрасывание пакетов (drop). Примечание – Остальные комбинации бит не использовать. Младший бит этого поля должен быть сброшен в ноль при записи нового значения в это поле
12	csr_port1_def_cfi	R/W	Значение CFI
15 – 13	csr_port1_def_pri	R/W	Значение поля prio
18 – 16	csr_port1_def_tc	R/W	Значение поля tc
19	csr_port1_trusted	R/W	Указывает на достоверность порта
20	csr_port1_vid_prefix	R/W	Префикс vid порта 1
21	csr_port1_untag_from_btable	R/W	Разрешение порта 1 без тэга в таблице

Таблица 548 – Биты регистра CLASS_PORT2_STRUC1: (Адрес = 0x47c; После сброса = 29'h0)

Биты	Название	Тип доступа	Описание
15 – 0	csr_port2_tpid	R/W	TPID порта 2
28 – 16	csr_port2_fallback_bd_id	R/W	ID буфера fallback дескриптора порта 2

Таблица 549 – Биты регистра CLASS_PORT2_STRUC2: (Адрес = 0x480; После сброса = 22'h0)

Биты	Название	Тип доступа	Описание
0	csr_port2_shutdown	R/W	Всегда записывать ноль
7 – 4	csr_port2_aft	R/W	0 – любое тэгирование; 1 – только с тэгированием; 2 – без тэгирования
11 – 8	csr_port2_blockstate	R/W	0 – перенаправление; 2 – только обучение; 4 – отбрасывание пакетов (drop). Примечание – Остальные комбинации бит не использовать. Младший бит этого поля должен быть сброшен в ноль при записи нового значения в это поле
12	csr_port2_def_cfi	R/W	Значение CFI
15 – 13	csr_port2_def_pri	R/W	Значение поля prio
18 – 16	csr_port2_def_tc	R/W	Значение поля tc
19	csr_port2_trusted	R/W	Указывает на достоверность порта
20	csr_port2_vid_prefix	R/W	Префикс vid порта 2
21	csr_port2_untag_from_btable	R/W	Разрешение порта 2 без тэга в таблице

Таблица 550 – Биты регистра CLASS_PORT3_STRUC1: (Адрес = 0x484; После сброса = 29'h0)

Биты	Название	Тип доступа	Описание
15 – 0	csr_port3_tpid	R/W	TPID порта 3
28 – 16	csr_port3_fallback_bd_id	R/W	ID буфера fallback дескриптора порта 3

Таблица 551 – Биты регистра CLASS_PORT3_STRUC2: (Адрес = 0x488; После сброса = 22'h0)

Биты	Название	Тип доступа	Описание
0	csr_port3_shutdown	R/W	Всегда записывать ноль
7 – 4	csr_port3_aft	R/W	0 – любое тэгирование; 1 – только с тэгированием; 2 – без тэгирования

Биты	Название	Тип доступа	Описание
11 – 8	csr_port3_blockstate	R/W	0 – перенаправление; 2 – только обучение; 4 – отбрасывание пакетов (drop). Примечание – Остальные комбинации бит не использовать. Младший бит этого поля должен быть сброшен в ноль при записи нового значения в это поле
12	csr_port3_def_cfi	R/W	Значение CFI
15 – 13	csr_port3_def_pri	R/W	Значение поля prio
18 – 16	csr_port3_def_tc	R/W	Значение поля tc
19	csr_port3_trusted	R/W	Указывает на достоверность порта
20	csr_port3_vid_prefix	R/W	Префикс vid порта 3
21	csr_port3_untag_from_btable	R/W	Разрешение порта 3 без тэга в таблице

Таблица 552 – Биты регистра CLASS_PORT4_STRUC1: (Адрес = 0x48c; После сброса = 29'h0)

Биты	Название	Тип доступа	Описание
15 – 0	csr_port4_tpid	R/W	TPID порта 4
28 – 16	csr_port4_fallback_bd_id	R/W	ID буфера fallback дескриптора порта 4

Таблица 553 – Биты регистра CLASS_PORT4_STRUC2: (Адрес = 0x490; После сброса = 22'h0)

Биты	Название	Тип доступа	Описание
0	csr_port4_shutdown	R/W	Всегда записывать ноль
7 – 4	csr_port4_aft	R/W	0 – любое тэгирование; 1 – только с тэгированием; 2 – без тэгирования
11 – 8	csr_port4_blockstate	R/W	0 – перенаправление; 2 – только обучение; 4 – отбрасывание пакетов (drop). Примечание – Остальные комбинации бит не использовать. Младший бит этого поля должен быть сброшен в ноль при записи нового значения в это поле
12	csr_port4_def_cfi	R/W	Значение CFI
15 – 13	csr_port4_def_pri	R/W	Значение поля prio
18 – 16	csr_port4_def_tc	R/W	Значение поля tc
19	csr_port4_trusted	R/W	Указывает на достоверность порта
20	csr_port4_vid_prefix	R/W	Префикс vid порта 4
21	csr_port4_untag_from_btable	R/W	Разрешение порта 4 без тэга в таблице

Таблица 554 – Биты регистра CLASS_PORT5_STRUC1: (Адрес = 0x494; После сброса = 29'h0)

Биты	Название	Тип доступа	Описание
15 – 0	csr_port5_tpid	R/W	TPID порта 5
28 – 16	csr_port5_fallback_bd_id	R/W	ID буфера fallback дескриптора порта 5

Таблица 555 – Биты регистра CLASS_PORT5_STRUC2: (Адрес = 0x498; После сброса = 22'h0)

Биты	Название	Тип доступа	Описание
0	csr_port5_shutdown	R/W	Всегда записывать ноль
7 – 4	csr_port5_aft	R/W	0 – любое тэгирование; 1 – только с тэгированием; 2 – без тэгирования
11 – 8	csr_port5_blockstate	R/W	0 – перенаправление; 2 – только обучение; 4 – отбрасывание пакетов (drop). Примечание – Остальные комбинации бит не использовать. Младший бит этого поля должен быть сброшен в ноль при записи нового значения в это поле
12	csr_port5_def_cfi	R/W	Значение CFI
15 – 13	csr_port5_def_pri	R/W	Значение поля prio
18 – 16	csr_port5_def_tc	R/W	Значение поля tc
19	csr_port5_trusted	R/W	Указывает на достоверность порта
20	csr_port5_vid_prefix	R/W	Префикс vid порта 5
21	csr_port5_untag_from_btable	R/W	Разрешение порта 5 без тэга в таблице

Таблица 556 – Биты регистра CLASS_PORT6_STRUC1: (Адрес = 0x49c; После сброса = 29'h0)

Биты	Название	Тип доступа	Описание
15 – 0	csr_port6_tpid	R/W	TPID порта 6
28 – 16	csr_port6_fallback_bd_id	R/W	ID буфера fallback дескриптора порта 6

Таблица 557 – Биты регистра CLASS_PORT6_STRUC2: (Адрес = 0x4a0; После сброса = 22'h0)

Биты	Название	Тип доступа	Описание
0	csr_port6_shutdown	R/W	Всегда записывать ноль
7 – 4	csr_port6_aft	R/W	0 – любое тэгирование; 1 – только с тэгированием; 2 – без тэгирования

Биты	Название	Тип доступа	Описание
11 – 8	csr_port6_blockstate	R/W	0 – перенаправление; 2 – только обучение; 4 – отбрасывание пакетов (drop). Примечание – Остальные комбинации бит не использовать. Младший бит этого поля должен быть сброшен в ноль при записи нового значения в это поле
12	csr_port6_def_cfi	R/W	Значение CFI
15 – 13	csr_port6_def_pri	R/W	Значение поля prio
18 – 16	csr_port6_def_tc	R/W	Значение поля tc
19	csr_port6_trusted	R/W	Указывает на достоверность порта
20	csr_port6_vid_prefix	R/W	Префикс vid порта 6
21	csr_port6_untag_from_btable	R/W	Разрешение порта 6 без тэга в таблице

Таблица 558 – Биты регистра CLASS_PORT7_STRUC1: (Адрес = 0x4a4; После сброса = 29'h0)

Биты	Название	Тип доступа	Описание
15 – 0	csr_port7_tpid	R/W	TPID порта 7
28 – 16	csr_port7_fallback_bd_id	R/W	ID буфера fallback дескриптора порта 7

Таблица 559 – Биты регистра CLASS_PORT7_STRUC2: (Адрес = 0x4a8; После сброса = 22'h0)

Биты	Название	Тип доступа	Описание
0	csr_port7_shutdown	R/W	Всегда записывать ноль
7 – 4	csr_port7_aft	R/W	0 – любое тэгирование; 1 – только с тэгированием; 2 – без тэгирования
11 – 8	csr_port7_blockstate	R/W	0 – перенаправление; 2 – только обучение; 4 – отбрасывание пакетов (drop). Примечание – Остальные комбинации бит не использовать. Младший бит этого поля должен быть сброшен в ноль при записи нового значения в это поле
12	csr_port7_def_cfi	R/W	Значение CFI
15 – 13	csr_port7_def_pri	R/W	Значение поля prio
18 – 16	csr_port7_def_tc	R/W	Значение поля tc
19	csr_port7_trusted	R/W	Указывает на достоверность порта
20	csr_port7_vid_prefix	R/W	Префикс vid порта 7
21	csr_port7_untag_from_btable	R/W	Разрешение порта 7 без тэга в таблице

Таблица 560 – Биты регистра CLASS_GLOBAL_CFG: (Адрес = 0x4ac; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
0	csr_glb_l2_special_ punt_enable	R/W	Особая обработка l2 для всех портов
31 – 1	csr_glb_fallback_bd_entry	R/W	Общая запись fallback десриптора, 16 бит список переадресации для записи BD (таблица VLAN)

Таблица 561 – Биты регистра CLASS_GLOBAL_CUTTHRU_REG (Адрес = 0x4b0; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
15 – 0	csr_glb_cutthru_list	R/W	Общий список сквозного прохождения
31 – 16	csr_glb_cutthru_etype	R/W	Общий Ethernet тип сквозного прохождения

Таблица 562 – Биты регистра CLASS_DEF_PTPID: (Адрес = 0x4b8; После сброса = 16'h8100)

Биты	Название	Тип доступа	Описание
31 – 0	csr_def_ptpid	R/W	Значение сраниваемое с tpid. Применяется для декодирования PTAG тэгированных фреймов

Таблица 563 – Биты регистра CLASS_PARSE_INCOMPLETE_ACTION: (Адрес = 0x4bc; После сброса = 2'h0)

Биты	Название	Тип доступа	Описание
1 – 0	csr_parse_incomplete_action	R/W	00 – отбрасывать; 01 – обработка; 10 – перенаправление

Таблица 564 – Биты регистра CLASS_PUNT_COS: (Адрес = 0x4c0; После сброса = 28'h6543210)

Биты	Название	Тип доступа	Описание
3 – 0	csr_punt_mgmt_cos	R/W	Значение COS для операции обработки управляющих пакетов
7 – 4	csr_punt_sa_l2_spl_cos	R/W	Значение COS для операции обработки особых L2
11 – 8	csr_punt_sa_miss_cos	R/W	Значение COS для операции обработки несовпавшего адреса источника (SA)

Биты	Название	Тип доступа	Описание
15 – 12	csr_punt_sa_relearn_cos	R/W	Значение COS для операции обработки повторно обученного адреса источника (SA)
19 – 16	csr_punt_sa_is_actv_cos	R/W	Значение COS для операции обработки активного адреса источника (SA)
23 – 20	csr_punt_snp_upr_cos	R/W	Значение COS для операции обработки отслеживания более высокого уровня (SNOOP)
27 – 24	csr_punt_req_cos	R/W	Значение COS для операции обработки запросов на обработку

Таблица 565 – Биты регистра CLASS_PORT_TCP_CHKSUM_OFFLOAD: (Адрес = 0x4c4; После сброса = 20'h0)

Биты	Название	Тип доступа	Описание
19 – 0	csr_port_tcp_chksum_offload	R/W	Бит отключения контрольной суммы tcp. Каждый бит соответствует каждому порту

Таблица 566 – Биты регистра CLASS_DOS_ICMPV6_MAX_PKTLEN: (Адрес = 0x4cc; После сброса = 32'h4000)

Биты	Название	Тип доступа	Описание
31 – 0	csr_dos_icmpv6_max_pktlen	R/W	Максимальная длина пакета ICMP V6, инициализируется в 16к. Можно установить до 64k

Таблица 567 – Биты регистра CLASS_TCP_OFFLOAD_PKTLEN_THRESH: (Адрес = 0x4f8; После сброса = 16'h5dc)

Биты	Название	Тип доступа	Описание
15 – 0	csr_tcp_offload_pktlen_thresh	R/W	Если длина фрейма меньше этого порогового значения, и разрешена выгрузка tcp, будет осуществляться только выгрузка tcp в gpi передачи

Таблица 568 – Биты регистра CLASS_NPU_CTRL: (Адрес = 0x4fc; После сброса = 32'h11000)

Биты	Название	Тип доступа	Описание
7 – 0	csr_punt_port_map	R/W	Маппирование порта для обработки, только один бит должен быть установлен
10 – 8	csr_bcast_q_no	R/W	Не используется

Биты	Название	Тип доступа	Описание
12	csr_qos_mode	R/W	Номер Q из значения TC или cos
13	csr_glbl_punt_dis	–	Зарезервировано
19 – 16	csr_egts_cos	R/W	Номер Q для выходного рапорта временных меток
31 – 24	csr_discard_cos_n	R/W	Подавление flood. Установка этого бита предполагает соответсвующее значение cos для flood при Action = ACT_COS_DISCARD. Если бит в нуле, и action = ACT_COS_DISCARD, пакет будет отброшен

Таблица 569 – Биты регистра CLASS_UNMANAGED_PORTMAP: (Адрес = 0x500; После сброса = 24'h03)

Биты	Название	Тип доступа	Описание
19 – 0	csr_unmanaged_portmap	R/W	Определение маппирования портов для неуправляемого режима
23 – 20	csr_unmanaged_cos	R/W	Число Q для неуправляемого режима

Таблица 570 – Биты регистра CLASS_PORT0_STRUC3: (Адрес = 0x504; После сброса = 24'hfac688)

Биты	Название	Тип доступа	Описание
23 – 0	csr_port0_pcp	R/W	cos (pcp) таблица обновления для порта 0. Первые три бита соответствуют заменяемому значению cos (pcp) во входном пакете при cos равном нулю. Если входной cos = 0, выходной cos = биты 2 – 0. Если входной cos = 1, выходной cos = биты 5 – 3. Если входной cos = 2, выходной cos = биты 8 – 6. Если входной cos = 3, выходной cos = биты 11 – 9. Если входной cos = 4, выходной cos = биты 15 – 12. Если входной cos = 5, выходной cos = биты 17 – 15. Если входной cos = 6, выходной cos = биты 20 – 18. Если входной cos = 7, выходной cos=биты 23 – 21

Таблица 571 – Биты регистра CLASS_PORT1_STRUC3: (Адрес = 0x508; После сброса = 24'hfac688)

Биты	Название	Тип доступа	Описание
23 – 0	csr_port1_pcp	R/W	cos (pcp) таблица обновления для порта1. Первые три бита соответствуют заменяемому значению cos (pcp) во входном пакете при cos равном нулю.

Биты	Название	Тип доступа	Описание
			Если входной cos = 0, выходной cos = биты 2 – 0. Если входной cos = 1, то выходной cos = биты 5 – 3. Если входной cos = 2, выходной cos = биты 8 – 6. Если входной cos = 3, выходной cos = биты 11 – 9. Если входной cos = 4, выходной cos = биты 15 – 12. Если входной cos = 5, выходной cos = биты 17 – 15. Если входной cos = 6, выходной cos = биты 20 – 18. Если входной cos = 7, выходной cos = биты 23 – 21

Таблица 572 – Биты регистра CLASS_PORT2_STRUC3: (Адрес = 0x50c; После сброса = 24'hfac688)

Биты	Название	Тип доступа	Описание
23 – 0	csr_port2_pcp	R/W	cos (pcp) таблица обновления для порта 2. Первые три бита соответствуют заменяемому значению cos (pcp) во входном пакете при cos равном нулю. Если входной cos = 0, выходной cos = биты 2 – 0. Если входной cos = 1, выходной cos = биты 5 – 3. Если входной cos = 2, выходной cos = биты 8 – 6. Если входной cos = 3, выходной cos = биты 11 – 9. Если входной cos = 4, выходной cos = биты 15 – 12. Если входной cos = 5, выходной cos = биты 17 – 15. Если входной cos = 6, выходной cos = биты 20 – 18. Если входной cos = 7, выходной cos = биты 23 – 21

Таблица 573 – Биты регистра CLASS_PORT3_STRUC3: (Адрес = 0x510; После сброса = 24'hfac688)

Биты	Название	Тип доступа	Описание
23 – 0	csr_port3_pcp	R/W	cos (pcp) таблица обновления для порта 3. Первые три бита соответствуют заменяемому значению cos (pcp) во входном пакете при cos равном нулю. Если входной cos = 0, то выходной cos = биты 2 – 0. Если входной cos = 1, выходной cos = биты 5 – 3. Если входной cos = 2, выходной cos = биты 8 – 6. Если входной cos = 3, выходной cos = биты 11 – 9. Если входной cos = 4, выходной cos = биты 15 – 12. Если входной cos = 5, выходной cos = биты 17 – 15. Если входной cos = 6, выходной cos = биты 20 – 18. Если входной cos = 7, выходной cos = биты 23 – 21.

Таблица 574 – Биты регистра CLASS_PORT4_STRUC3: (Адрес = 0x514; После сброса = 24'hfac688)

Биты	Название	Тип доступа	Описание
23 – 0	csr_port4_pcp	R/W	cos (pcp) таблица обновления для порта 4. Первые три бита соответствуют заменяемому значению cos (pcp) во входном пакете при cos равном нулю. Если входной cos = 0, выходной cos = биты 2 – 0. Если входной cos = 1, выходной cos = биты 5 – 3. Если входной cos = 2, выходной cos = биты 8 – 6. Если входной cos = 3, выходной cos = биты 11 – 9. Если входной cos = 4, выходной cos = биты 15 – 12. Если входной cos = 5, выходной cos = биты 17 – 15. Если входной cos = 6, выходной cos = биты 20 – 18. Если входной cos = 7, выходной cos = биты 23 – 21

Таблица 575 – Биты регистра CLASS_PORT5_STRUC3: (Адрес = 0x518; После сброса = 24'hfac688)

Биты	Название	Тип доступа	Описание
23 – 0	csr_port5_pcp	R/W	cos (pcp) таблица обновления для порта 5. Первые три бита соответствуют заменяемому значению cos (pcp) во входном пакете при cos равном нулю. Если входной cos = 0, выходной cos = биты 2 – 0. Если входной cos = 1, выходной cos = биты 5 – 3. Если входной cos = 2, выходной cos = биты 8 – 6. Если входной cos = 3, выходной cos = биты 11 – 9. Если входной cos = 4, выходной cos = биты 15 – 12. Если входной cos = 5, выходной cos = биты 17 – 15. Если входной cos = 6, выходной cos = биты 20 – 18. Если входной cos = 7, выходной cos = биты 23 – 21

Таблица 576 – Биты регистра CLASS_PORT6_STRUC3: (Адрес = 0x51c; После сброса = 24'hfac688)

Биты	Название	Тип доступа	Описание
23 – 0	csr_port6_pcp	R/W	cos (pcp) таблица обновления для порта 6. Первые три бита соответствуют заменяемому значению cos (pcp) во входном пакете при cos равном нулю. Если входной cos = 0, выходной cos = биты 2 – 0. Если входной cos = 1, выходной cos = биты 5 – 3. Если входной cos = 2, выходной cos = биты 8 – 6. Если входной cos = 3, выходной cos = биты 11 – 9. Если входной cos = 4, выходной cos = биты 15 – 12. Если входной cos = 5, выходной cos = биты 17 – 15. Если входной cos = 6, выходной cos = биты 20 – 18. Если входной cos = 7, выходной cos = биты 23 – 21

Таблица 577 – Биты регистра CLASS_PORT7_STRUC3: (Адрес = 0x520; После сброса = 24'hfac688)

Биты	Название	Тип доступа	Описание
23 – 0	csr_port7_pcp	R/W	cos (pcp) таблица обновления для порта 7. Первые три бита соответствуют заменяемому значению cos (pcp) во входном пакете при cos равном нулю. Если входной cos = 0, выходной cos = биты 2 – 0. Если входной cos = 1, выходной cos = биты 5 – 3. Если входной cos = 2, выходной cos = биты 8 – 6. Если входной cos = 3, выходной cos = биты 11 – 9. Если входной cos = 4, выходной cos = биты 15 – 12. Если входной cos = 5, выходной cos = биты 17 – 15. Если входной cos = 6, выходной cos = биты 20 – 18. Если входной cos = 7, выходной cos = биты 23 – 21

Таблица 578 – Биты регистра CLASS_PORT8_STRUC3: (Адрес = 0x524; После сброса = 24'hfac688)

Биты	Название	Тип доступа	Описание
23 – 0	csr_port8_pcp	R/W	cos (pcp) таблица обновления для порта 8. Первые три бита соответствуют заменяемому значению cos (pcp) во входном пакете при cos равном нулю. Если входной cos = 0, выходной cos = биты 2 – 0. Если входной cos = 1, выходной cos = биты 5 – 3. Если входной cos = 2, выходной cos = биты 8 – 6. Если входной cos = 3, выходной cos = биты 11 – 9. Если входной cos = 4, выходной cos = биты 15 – 12. Если входной cos = 5, выходной cos = биты 17 – 15. Если входной cos = 6, выходной cos = биты 20 – 18. Если входной cos = 7, выходной cos = биты 23 – 21

Таблица 579 – Биты регистра CLASS_PORT9_STRUC3: (Адрес = 0x528; После сброса = 24'hfac688)

Биты	Название	Тип доступа	Описание
23 – 0	csr_port9_pcp	R/W	cos (pcp) таблица обновления для порта 9. Первые три бита соответствуют заменяемому значению cos (pcp) во входном пакете при cos равном нулю. Если входной cos = 0, выходной cos = биты 2 – 0. Если входной cos = 1, выходной cos = биты 5 – 3. Если входной cos = 2, выходной cos = биты 8 – 6. Если входной cos = 3, выходной cos = биты 11 – 9. Если входной cos = 4, выходной cos = биты 15 – 12. Если входной cos = 5, выходной cos = биты 17 – 15. Если входной cos = 6, выходной cos = биты 20 – 18. Если входной cos = 7, выходной cos = биты 23 – 21

Таблица 580 – Биты регистра CLASS_PORT10_STRUC3: (Адрес = 0x52c; После сброса = 24'hfac688)

Биты	Название	Тип доступа	Описание
23 – 0	csr_port10_pcp	R/W	cos (pcp) таблица обновления для порта 10. Первые три бита соответствуют заменяемому значению cos (pcp) во входном пакете при cos равном нулю. Если входной cos = 0, выходной cos = биты 2 – 0. Если входной cos = 1, выходной cos = биты 5 – 3. Если входной cos = 2, выходной cos = биты 8 – 6. Если входной cos = 3, выходной cos = биты 11 – 9. Если входной cos = 4, выходной cos = биты 15 – 12. Если входной cos = 5, выходной cos = биты 17 – 15. Если входной cos = 6, выходной cos = биты 20 – 18. Если входной cos = 7, выходной cos = биты 23 – 21

Таблица 581 – Биты регистра CLASS_PORT11_STRUC3: (Адрес = 0x530; После сброса = 24'hfac688)

Биты	Название	Тип доступа	Описание
23 – 0	csr_port11_pcp	R/W	cos (pcp) таблица обновления для порта 11. Первые три бита соответствуют заменяемому значению cos (pcp) во входном пакете при cos равном нулю. Если входной cos = 0, выходной cos = биты 2 – 0. Если входной cos = 1, выходной cos = биты 5 – 3. Если входной cos = 2, выходной cos = биты 8 – 6. Если входной cos = 3, выходной cos = биты 11 – 9. Если входной cos = 4, выходной cos = биты 15 – 12. Если входной cos = 5, выходной cos = биты 17 – 15. Если входной cos = 6, выходной cos = биты 20 – 18. Если входной cos = 7, выходной cos = биты 23 – 21

Таблица 582 – Биты регистра CLASS_PORT12_STRUC3: (Адрес = 0x534; После сброса = 24'hfac688)

Биты	Название	Тип доступа	Описание
23 – 0	csr_port12_pcp	R/W	cos (pcp) таблица обновления для порта 12. Первые три бита соответствуют заменяемому значению cos (pcp) во входном пакете при cos равном нулю. Если входной cos = 0, выходной cos = биты 2 – 0. Если входной cos = 1, выходной cos = биты 5 – 3. Если входной cos = 2, выходной cos = биты 8 – 6. Если входной cos = 3, выходной cos = биты 11 – 9. Если входной cos = 4, выходной cos = биты 15 – 12. Если входной cos = 5, выходной cos = биты 17 – 15. Если входной cos = 6, выходной cos = биты 20 – 18. Если входной cos = 7, выходной cos = биты 23 – 21

Таблица 583 – Биты регистра CLASS_PORT13_STRUC3: (Адрес = 0x538; После сброса = 24'hfac688)

Биты	Название	Тип доступа	Описание
23 – 0	csr_port13_pcp	R/W	cos (pcp) таблица обновления для порта 13. Первые три бита соответствуют заменяемому значению cos (pcp) во входном пакете при cos равном нулю. Если входной cos = 0, выходной cos = биты 2 – 0. Если входной cos = 1, выходной cos = биты 5 – 3. Если входной cos = 2, выходной cos = биты 8 – 6. Если входной cos = 3, выходной cos = биты 11 – 9. Если входной cos = 4, выходной cos = биты 15 – 12. Если входной cos = 5, выходной cos = биты 17 – 15. Если входной cos = 6, выходной cos = биты 20 – 18. Если входной cos = 7, выходной cos = биты 23 – 21

Таблица 584 – Биты регистра CLASS_PORT14_STRUC3: (Адрес = 0x53c; После сброса = 24'hfac688)

Биты	Название	Тип доступа	Описание
23 – 0	csr_port14_pcp	R/W	cos (pcp) таблица обновления для порта 14. Первые три бита соответствуют заменяемому значению cos (pcp) во входном пакете при cos равном нулю. Если входной cos = 0, выходной cos = биты 2 – 0. Если входной cos = 1, выходной cos = биты 5 – 3. Если входной cos = 2, выходной cos = биты 8 – 6. Если входной cos = 3, выходной cos = биты 11 – 9. Если входной cos = 4, выходной cos = биты 15 – 12. Если входной cos = 5, выходной cos = биты 17 – 15. Если входной cos = 6, выходной cos = биты 20 – 18. Если входной cos = 7, выходной cos = биты 23 – 21

Таблица 585 – Биты регистра CLASS_PORT15_STRUC3: (Адрес = 0x540; После сброса = 24'hfac688)

Биты	Название	Тип доступа	Описание
23 – 0	csr_port15_pcp	R/W	cos (pcp) таблица обновления для порта 15. Первые три бита соответствуют заменяемому значению cos (pcp) во входном пакете при cos равном нулю. Если входной cos = 0, выходной cos = биты 2 – 0. Если входной cos = 1, выходной cos = биты 5 – 3. Если входной cos = 2, выходной cos = биты 8 – 6. Если входной cos = 3, выходной cos = биты 11 – 9. Если входной cos = 4, выходной cos = биты 15 – 12. Если входной cos = 5, выходной cos = биты 17 – 15. Если входной cos = 6, выходной cos = биты 20 – 18. Если входной cos = 7, выходной cos = биты 23 – 21

Таблица 586 – Биты регистра CLASS_PORT16_STRUC3: (Адрес = 0x544; После сброса = 24'hfac688)

Биты	Название	Тип доступа	Описание
23 – 0	csr_port16_pcp	R/W	cos (pcp) таблица обновления для порта 16. Первые три бита соответствуют заменяемому значению cos (pcp) во входном пакете при cos равном нулю. Если входной cos = 0, выходной cos = биты 2 – 0. Если входной cos = 1, выходной cos = биты 5 – 3. Если входной cos = 2, выходной cos = биты 8 – 6. Если входной cos = 3, выходной cos = биты 11 – 9. Если входной cos = 4, выходной cos = биты 15 – 12. Если входной cos = 5, выходной cos = биты 17 – 15. Если входной cos = 6, выходной cos = биты 20 – 18. Если входной cos = 7, выходной cos = биты 23 – 21

Таблица 587 – Биты регистра CLASS_PORT8_STRUC1: (Адрес = 0x548; После сброса = 29'h0)

Биты	Название	Тип доступа	Описание
15 – 0	csr_port8_tpid	R/W	TPID порта 8
28 – 16	csr_port8_fallback_bd_id	R/W	ID буфера fallback дескриптора порта 8

Таблица 588 – Биты регистра CLASS_PORT8_STRUC2: (Адрес = 0x54c; После сброса = 22'h0)

Биты	Название	Тип доступа	Описание
0	csr_port8_shutdown	R/W	Всегда записывать ноль
7 – 4	csr_port8_aft	R/W	0 – любое тэгирование; 1 – только с тэгированием; 2 – без тэгирования
11 – 8	csr_port8_blockstate	R/W	0 – перенаправление; 2 – только обучение; 4 – отбрасывание пакетов (drop). Примечание – Остальные комбинации бит не использовать. Младший бит этого поля должен быть сброшен в ноль при записи нового значения в это поле
12	csr_port8_def_cfi	R/W	Значение CFI
15 – 13	csr_port8_def_pri	R/W	Значение поля prio
18 – 16	csr_port8_def_tc	R/W	Значение поля tc
19	csr_port8_trusted	R/W	Указывает на достоверность порта
20	csr_port8_vid_prefix	R/W	Префикс vid порта 8
21	csr_port8_untag_from_btable	R/W	Разрешение порта 8 без тэга в таблице

Таблица 589 – Биты регистра CLASS_PORT9_STRUC1: (Адрес = 0x550; После сброса = 29'h0)

Биты	Название	Тип доступа	Описание
15 – 0	csr_port9_tpid	R/W	TPID порта 9
28 – 16	csr_port9_fallback_bd_id	R/W	ID буфера fallback дескриптора порта 9

Таблица 590 – Биты регистра CLASS_PORT9_STRUC2: (Адрес = 0x554; После сброса = 22'h0)

Биты	Название	Тип доступа	Описание
0	csr_port9_shutdown	R/W	Всегда записывать ноль
7 – 4	csr_port9_aft	R/W	0 – любое тэгирование; 1 – только с тэгированием; 2 – без тэгирования
11 – 8	csr_port9_blockstate	R/W	0 – перенаправление; 2 – только обучение; 4 – отбрасывание пакетов (drop). Примечание – Остальные комбинации бит не использовать. Младший бит этого поля должен быть сброшен в ноль при записи нового значения в это поле
12	csr_port9_def_cfi	R/W	Значение CFI
15 – 13	csr_port9_def_pri	R/W	Значение поля prio
18 – 16	csr_port9_def_tc	R/W	Значение поля tc
19	csr_port9_trusted	R/W	Указывает на достоверность порта
20	csr_port9_vid_prefix	R/W	Префикс vid порта 9
21	csr_port9_untag_from_btable	R/W	Разрешение порта 9 без тэга в таблице

Таблица 591 – Биты регистра CLASS_PORT10_STRUC1: (Адрес = 0x558; После сброса = 29'h0)

Биты	Название	Тип доступа	Описание
15 – 0	csr_port10_tpid	R/W	TPID порта 10
28 – 16	csr_port10_fallback_bd_id	R/W	ID буфера fallback дескриптора порта 10

Таблица 592 – Биты регистра CLASS_PORT10_STRUC2: (Адрес = 0x55c; После сброса = 22'h0)

Биты	Название	Тип доступа	Описание
0	csr_port10_shutdown	R/W	Всегда записывать ноль
7 – 4	csr_port10_aft	R/W	0 – любое тэгирование; 1 – только с тэгированием; 2 – без тэгирования

Биты	Название	Тип доступа	Описание
11 – 8	csr_port10_blockstate	R/W	0 – перенаправление; 2 – только обучение; 4 – отбрасывание пакетов (drop). Примечание – Остальные комбинации бит не использовать. Младший бит этого поля должен быть сброшен в ноль при записи нового значения в это поле
12	csr_port10_def_cfi	R/W	Значение CFI
15 – 13	csr_port10_def_pri	R/W	Значение поля prio
18 – 16	csr_port10_def_tc	R/W	Значение поля tc
19	csr_port10_trusted	R/W	Указывает на достоверность порта
20	csr_port10_vid_prefix	R/W	Префикс vid порта 10
21	csr_port10_untag_from_btable	R/W	Разрешение порта 10 без тэга в таблице

Таблица 593 – Биты регистра CLASS_PORT11_STRUC1: (Адрес = 0x560; После сброса = 29'h0)

Биты	Название	Тип доступа	Описание
15 – 0	csr_port11_tpid	R/W	TPID порта 11
28 – 16	csr_port11_fallback_bd_id	R/W	ID буфера fallback дескриптора порта 11

Таблица 594 – Биты регистра *CLASS_PORT11_STRUC2: (Адрес = 0x564; После сброса = 22'h0)*

Биты	Название	Тип доступа	Описание
0	csr_port11_shutdown	R/W	Всегда записывать ноль
7 – 4	csr_port11_aft	R/W	0 – любое тэгирование; 1 – только с тэгированием; 2 – без тэгирования
11 – 8	csr_port11_blockstate	R/W	0 – перенаправление; 2 – только обучение; 4 – отбрасывание пакетов (drop). Примечание – Остальные комбинации бит не использовать. Младший бит этого поля должен быть сброшен в ноль при записи нового значения в это поле
12	csr_port11_def_cfi	R/W	Значение CFI
15 – 13	csr_port11_def_pri	R/W	Значение поля prio
18 – 16	csr_port11_def_tc	R/W	Значение поля tc
19	csr_port11_trusted	R/W	Указывает на достоверность порта
20	csr_port11_vid_prefix	R/W	Префикс vid порта 11
21	csr_port11_untag_from_btable	R/W	Разрешение порта 11 без тэга в таблице

Таблица 595 – Биты регистра CLASS_PORT12_STRUC1: (Адрес = 0x568; После сброса = 29'h0)

Биты	Название	Тип доступа	Описание
15 – 0	csr_port12_tpid	R/W	TPID порта 12
28 – 16	csr_port12_fallback_bd_id	R/W	ID буфера fallback дескриптора порта 12

Таблица 596 – Биты регистра CLASS_PORT12_STRUC2: (Адрес = 0x56c; После сброса = 22'h0)

Биты	Название	Тип доступа	Описание
0	csr_port12_shutdown	R/W	Всегда записывать ноль
7 – 4	csr_port12_aft	R/W	0 – любое тэгирование; 1 – только с тэгированием; 2 – без тэгирования
11 – 8	csr_port12_blockstate	R/W	0 – перенаправление; 2 – только обучение; 4 – отбрасывание пакетов (drop). Примечание – Остальные комбинации бит не использовать. Младший бит этого поля должен быть сброшен в ноль при записи нового значения в это поле
12	csr_port12_def_cfi	R/W	Значение CFI
15 – 13	csr_port12_def_pri	R/W	Значение поля prio
18 – 16	csr_port12_def_tc	R/W	Значение поля tc
19	csr_port12_trusted	R/W	Указывает на достоверность порта
20	csr_port12_vid_prefix	R/W	Префикс vid порта 12
21	csr_port12_untag_from_btable	R/W	Разрешение порта 12 без тэга в таблице

Таблица 597 – Биты регистра CLASS_PORT13_STRUC1: (Адрес = 0x570; После сброса = 29'h0)

Биты	Название	Тип доступа	Описание
15 – 0	csr_port13_tpid	R/W	TPID порта 13
28 – 16	csr_port13_fallback_bd_id	R/W	ID буфера fallback дескриптора порта 13

Таблица 598 – Биты регистра CLASS_PORT13_STRUC2: (Адрес = 0x574; После сброса = 22'h0)

Биты	Название	Тип доступа	Описание
0	csr_port13_shutdown	R/W	Всегда записывать ноль
7 – 4	csr_port13_aft	R/W	0 – любое тэгирование; 1 – только с тэгированием; 2 – без тэгирования

Биты	Название	Тип доступа	Описание
11 – 8	csr_port13_blockstate	R/W	0 – перенаправление; 2 – только обучение; 4 – отбрасывание пакетов (drop). Примечание – Остальные комбинации бит не использовать. Младший бит этого поля должен быть сброшен в ноль при записи нового значения в это поле
12	csr_port13_def_cfi	R/W	Значение CFI
15 – 13	csr_port13_def_pri	R/W	Значение поля prio
18 – 16	csr_port13_def_tc	R/W	Значение поля tc
19	csr_port13_trusted	R/W	Указывает на достоверность порта
20	csr_port13_vid_prefix	R/W	Префикс vid порта 13
21	csr_port13_untag_from_btable	R/W	Разрешение порта 13 без тэга в таблице

Таблица 599 – Биты регистра CLASS_PORT14_STRUC1: (Адрес = 0x578; После сброса = 29'h0)

Биты	Название	Тип доступа	Описание
15 – 0	csr_port14_tpid	R/W	TPID порта 14
28 – 16	csr_port14_fallback_bd_id	R/W	ID буфера fallback дескриптора порта 14

Таблица 600 – Биты регистра CLASS_PORT14_STRUC2: (Адрес = 0x57c; После сброса = 22'h0)

Биты	Название	Тип доступа	Описание
0	csr_port14_shutdown	R/W	Всегда записывать ноль
7 – 4	csr_port14_aft	R/W	0 – любое тэгирование; 1 – только с тэгированием; 2 – без тэгирования
11 – 8	csr_port14_blockstate	R/W	0 – перенаправление; 2 – только обучение; 4 – отбрасывание пакетов (drop). Примечание – Остальные комбинации бит не использовать. Младший бит этого поля должен быть сброшен в ноль при записи нового значения в это поле
12	csr_port14_def_cfi	R/W	Значение CFI
15 – 13	csr_port14_def_pri	R/W	Значение поля prio
18 – 16	csr_port14_def_tc	R/W	Значение поля tc
19	csr_port14_trusted	R/W	Указывает на достоверность порта
20	csr_port14_vid_prefix	R/W	Префикс vid порта 14
21	csr_port14_untag_from_btable	R/W	Разрешение порта 14 без тэга в таблице

Таблица 601 – Биты регистра CLASS_PORT15_STRUC1: (Адрес = 0x580; После сброса = 29'h0)

Биты	Название	Тип доступа	Описание
15 – 0	csr_port15_tpid	R/W	TPID порта 15
28 – 16	csr_port15_fallback_bd_id	R/W	ID буфера fallback дескриптора порта 15

Таблица 602 – Биты регистра CLASS_PORT15_STRUC2: (Адрес = 0x584; После сброса = 22'h0)

Биты	Название	Тип доступа	Описание
0	csr_port15_shutdown	R/W	Всегда записывать ноль
7 – 4	csr_port15_aft	R/W	0 – любое тэгирование; 1 – только с тэгированием; 2 – без тэгирования
11 – 8	csr_port15_blockstate	R/W	0 – перенаправление; 2 – только обучение; 4 – отбрасывание пакетов (drop). Примечание – Остальные комбинации бит не использовать. Младший бит этого поля должен быть сброшен в ноль при записи нового значения в это поле
12	csr_port15_def_cfi	R/W	Значение CFI
15 – 13	csr_port15_def_pri	R/W	Значение поля prio
18 – 16	csr_port15_def_tc	R/W	Значение поля tc
19	csr_port15_trusted	R/W	Указывает на достоверность порта
20	csr_port15_vid_prefix	R/W	Префикс vid порта 15
21	csr_port15_untag_from_btable	R/W	Разрешение порта 15 без тэга в таблице

Таблица 603 – Биты регистра CLASS_PORT16_STRUC1: (Адрес = 0x588; После сброса = 29'h0)

Биты	Название	Тип доступа	Описание
15 – 0	csr_port16_tpid	R/W	TPID порта 16
28 – 16	csr_port16_fallback_bd_id	R/W	ID буфера fallback дескриптора порта 16

Таблица 604 – Биты регистра CLASS_PORT16_STRUC2: (Адрес = 0x58c; После сброса = 22'h0)

Биты	Название	Тип доступа	Описание
0	csr_port16_shutdown	R/W	Всегда записывать ноль
7 – 4	csr_port16_aft	R/W	0 – любое тэгирование; 1 – только с тэгированием; 2 – без тэгирования

Биты	Название	Тип доступа	Описание
11 – 8	csr_port16_blockstate	R/W	0 – перенаправление; 2 – только обучение; 4 – отбрасывание пакетов (drop). Примечание – Остальные комбинации бит не использовать. Младший бит этого поля должен быть сброшен в ноль при записи нового значения в это поле
12	csr_port16_def_cfi	R/W	Значение CFI
15 – 13	csr_port16_def_pri	R/W	Значение поля prio
18 – 16	csr_port16_def_tc	R/W	Значение поля tc
19	csr_port16_trusted	R/W	Указывает на достоверность порта
20	csr_port16_vid_prefix	R/W	Префикс vid порта 16
21	csr_port16_untag_from_btable	R/W	Разрешение порта 16 без тэга в таблице

Таблица 605 – Биты регистра CLASS_QOS_PORT8_TC2COS_MAP: (Адрес = 0x590; После сброса = 24'hfac688)

Биты	Название	Тип доступа	Описание
23 – 0	class_qos_port8_tc2cos_map	R/W	Маппирование TC в COS. Биты 2 – 0 для TC 0. Биты 5 – 3 для TC 1. Биты 8 – 6 для TC 2. Биты 11 – 9 для TC 3. Биты 14 – 12 для TC 4. Биты 17 – 15 для TC 5. Биты 20 – 18 для TC 6. Биты 23 – 21 для TC 7

Таблица 606 – Биты регистра CLASS_QOS_PORT9_TC2COS_MAP: (Адрес = 0x594; После сброса = 24'hfac688)

Биты	Название	Тип доступа	Описание
23 – 0	class_qos_port9_tc2cos_map	R/W	Маппирование TC в COS. Биты 2 – 0 для TC 0. Биты 5 – 3 для TC 1. Биты 8 – 6 для TC 2. Биты 11 – 9 для TC 3. Биты 14 – 12 для TC 4. Биты 17 – 15 для TC 5. Биты 20 – 18 для TC 6. Биты 23 – 21 для TC 7

Таблица 607 – Биты регистра CLASS_QOS_PORT10_TC2COS_MAP: (Адрес = 0x598; После сброса = 24'hfac688)

Биты	Название	Тип доступа	Описание
23 – 0	class_qos_port10_tc2cos_map	R/W	Маппирование TC в COS. Биты 2 – 0 для TC 0. Биты 5 – 3 для TC 1. Биты 8 – 6 для TC 2. Биты 11 – 9 для TC 3. Биты 14 – 12 для TC 4. Биты 17 – 15 для TC 5. Биты 20 – 18 для TC 6. Биты 23 – 21 для TC 7

Таблица 608 – Биты регистра CLASS_QOS_PORT11_TC2COS_MAP: (Адрес = 0x59c; После сброса = 24'hfac688)

Биты	Название	Тип доступа	Описание
23 – 0	class_qos_port11_tc2cos_map	R/W	Маппирование TC в COS. Биты 2 – 0 для TC 0. Биты 5 – 3 для TC 1. Биты 8 – 6 для TC 2. Биты 11 – 9 для TC 3. Биты 14 – 12 для TC 4. Биты 17 – 15 для TC 5. Биты 20 – 18 для TC 6. Биты 23 – 21 для TC 7

Таблица 609 – Биты регистра CLASS_QOS_PORT12_TC2COS_MAP: (Адрес = 0x5a0; После сброса = 24'hfac688)

Биты	Название	Тип доступа	Описание
23 – 0	class_qos_port12_tc2cos_map	R/W	Маппирование TC в COS. Биты 2 – 0 для TC 0. Биты 5 – 3 для TC 1. Биты 8 – 6 для TC 2. Биты 11 – 9 для TC 3. Биты 14 – 12 для TC 4. Биты 17 – 15 для TC 5. Биты 20 – 18 для TC 6. Биты 23 – 21 для TC 7

Таблица 610 – Биты регистра CLASS_QOS_PORT13_TC2COS_MAP: (Адрес = 0x5a4; После сброса = 24'hfac688)

Биты	Название	Тип доступа	Описание
23 – 0	class_qos_port13_tc2cos_map	R/W	Маппирование TC в COS. Биты 2 – 0 для TC 0. Биты 5 – 3 для TC 1. Биты 8 – 6 для TC 2. Биты 11 – 9 для TC 3. Биты 14 – 12 для TC 4. Биты 17 – 15 для TC 5. Биты 20 – 18 для TC 6. Биты 23 – 21 для TC 7

Таблица 611 – Биты регистра CLASS_QOS_PORT14_TC2COS_MAP: (Адрес = 0x5a8; После сброса = 24'hfac688)

Биты	Название	Тип доступа	Описание
23 – 0	class_qos_port14_tc2cos_map	R/W	Маппирование TC в COS. Биты 2 – 0 для TC 0. Биты 5 – 3 для TC 1. Биты 8 – 6 для TC 2. Биты 11 – 9 для TC 3. Биты 14 – 12 для TC 4. Биты 17 – 15 для TC 5. Биты 20 – 18 для TC 6. Биты 23 – 21 для TC 7

Таблица 612 – Биты регистра CLASS_QOS_PORT15_TC2COS_MAP: (Адрес = 0x5ac; После сброса = 24'hfac688)

Биты	Название	Тип доступа	Описание
23 – 0	class_qos_port15_tc2cos_map	R/W	Маппирование TC в COS. Биты 2 – 0 для TC 0. Биты 5 – 3 для TC 1. Биты 8 – 6 для TC 2. Биты 11 – 9 для TC 3. Биты 14 – 12 для TC 4. Биты 17 – 15 для TC 5. Биты 20 – 18 для TC 6. Биты 23 – 21 для TC 7

Таблица 613 – Биты регистра CLASS_QOS_PORT16_TC2COS_MAP: (Адрес = 0x5b0; После сброса = 24'hfac688)

Биты	Название	Тип доступа	Описание
23 – 0	class_qos_port16_tc2cos_map	R/W	Маппирование TC в COS. Биты 2 – 0 для TC 0. Биты 5 – 3 для TC 1. Биты 8 – 6 для TC 2. Биты 11 – 9 для TC 3. Биты 14 – 12 для TC 4. Биты 17 – 15 для TC 5. Биты 20 – 18 для TC 6. Биты 23 – 21 для TC 7

Таблица 614 – Биты регистра CLASS_QOS_PORT8_PCP2TC_MAP: (Адрес = 0x5b4; После сброса = 24'h0)

Биты	Название	Тип доступа	Описание
23 – 0	csr_qos_port8_pcp2tc_map	R/W	Порт 8, маппирование PCP в TC. Биты 2 – 0 для PCP 0. Биты 5 – 3 для PCP1. Биты 8 – 6 для PCP2. Биты 11 – 9 для PCP3. Биты 14 – 12 для PCP4. Биты 17 – 15 для PCP5. Биты 20 – 18 для PCP6. Биты 23 – 21 для PCP7

Таблица 615 – Биты регистра CLASS_QOS_PORT9_PCP2TC_MAP: (Адрес = 0x5b8; После сброса = 24'h0)

Биты	Название	Тип доступа	Описание
23 – 0	csr_qos_port9_pcp2tc_map	R/W	Порт 9, маппирование PCP в TC. Биты 2 – 0 для PCP 0. Биты 5 – 3 для PCP1. Биты 8 – 6 для PCP2. Биты 11 – 9 для PCP3. Биты 14 – 12 для PCP4. Биты 17 – 15 для PCP5. Биты 20 – 18 для PCP6. Биты 23 – 21 для PCP7.

Таблица 616 – Биты регистра CLASS_QOS_PORT10_PCP2TC_MAP: (Адрес = 0x5bc; После сброса = 24'h0)

Биты	Название	Тип доступа	Описание
23 – 0	csr_qos_port10_pcp2tc_map	R/W	Порт 10, маппирование PCP в TC. Биты 2 – 0 для PCP 0. Биты 5 – 3 для PCP1. Биты 8 – 6 для PCP2. Биты 11 – 9 для PCP3. Биты 14 – 12 для PCP4. Биты 17 – 15 для PCP5. Биты 20 – 18 для PCP6. Биты 23 – 21 для PCP7

Таблица 617 – Биты регистра CLASS_QOS_PORT11_PCP2TC_MAP: (Адрес = 0x5c0; После сброса = 24'h0)

Биты	Название	Тип доступа	Описание
23 – 0	csr_qos_port11_pcp2tc_map	R/W	Порт 11, маппирование PCP в TC. Биты 2 – 0 для PCP 0. Биты 5 – 3 для PCP1. Биты 8 – 6 для PCP2. Биты 11 – 9 для PCP3. Биты 14 – 12 для PCP4. Биты 17 – 15 для PCP5. Биты 20 – 18 для PCP6. Биты 23 – 21 для PCP7

Таблица 618 – Биты регистра CLASS_QOS_PORT12_PCP2TC_MAP: (Адрес = 0x5c4; После сброса = 24'h0)

Биты	Название	Тип доступа	Описание
23 – 0	csr_qos_port12_pcp2tc_map	R/W	Порт 12, маппирование PCP в TC. Биты 2 – 0 для PCP 0. Биты 5 – 3 для PCP1. Биты 8 – 6 для PCP2. Биты 11 – 9 для PCP3. Биты 14 – 12 для PCP4. Биты 17 – 15 для PCP5. Биты 20 – 18 для PCP6. Биты 23 – 21 для PCP7

Таблица 619 – Биты регистра CLASS_QOS_PORT13_PCP2TC_MAP: (Адрес = 0x5c8; После сброса = 24'h0)

Биты	Название	Тип доступа	Описание
23 – 0	csr_qos_port13_pcp2tc_map	R/W	Порт 13, маппирование PCP в TC. Биты 2 – 0 для PCP 0. Биты 5 – 3 для PCP1. Биты 8 – 6 для PCP2. Биты 11 – 9 для PCP3. Биты 14 – 12 для PCP4. Биты 17 – 15 для PCP5. Биты 20 – 18 для PCP6. Биты 23 – 21 для PCP7

Таблица 620 – Биты регистра CLASS_QOS_PORT14_PCP2TC_MAP: (Адрес = 0x5cc; После сброса = 24'h0)

Биты	Название	Тип доступа	Описание
23 – 0	csr_qos_port14_pcp2tc_map	R/W	Порт 14, маппирование PCP в TC. Биты 2 – 0 для PCP 0. Биты 5 – 3 для PCP1. Биты 8 – 6 для PCP2. Биты 11 – 9 для PCP3. Биты 14 – 12 для PCP4. Биты 17 – 15 для PCP5. Биты 20 – 18 для PCP6. Биты 23 – 21 для PCP7

Таблица 621 – Биты регистра CLASS_QOS_PORT15_PCP2TC_MAP: (Адрес = 0x5d0; После сброса = 24'h0)

Биты	Название	Тип доступа	Описание
23 – 0	csr_qos_port15_pcp2tc_map	R/W	Порт 15, маппирование PCP в TC. Биты 2 – 0 для PCP 0. Биты 5 – 3 для PCP1. Биты 8 – 6 для PCP2. Биты 11 – 9 для PCP3. Биты 14 – 12 для PCP4. Биты 17 – 15 для PCP5. Биты 20 – 18 для PCP6. Биты 23 – 21 для PCP7

Таблица 622 – Биты регистра CLASS_QOS_PORT16_PCP2TC_MAP: (Адрес = 0x5d4; После сброса = 24'h0)

Биты	Название	Тип доступа	Описание
23 – 0	csr_qos_port16_pcp2tc_map	R/W	Порт 16, маппирование PCP в TC. Биты 2 – 0 для PCP 0. Биты 5 – 3 для PCP1. Биты 8 – 6 для PCP2. Биты 11 – 9 для PCP3. Биты 14 – 12 для PCP4. Биты 17 – 15 для PCP5. Биты 20 – 18 для PCP6. Биты 23 – 21 для PCP7

Таблица 623 – Биты регистра CLASS_QOS_PORT89_TC_SEL: (Адрес = 0x5d8; Поле сброса = 32'h0)

Биты	Название	Тип доступа	Описание
15 – 0	csr_qos_port8_tc_sel	R/W	TC SEL порта 8
31 – 16	csr_qos_port9_tc_sel	R/W	TC SEL порта 9

Таблица 624 – Биты регистра CLASS_QOS_PORT1011_TC_SEL: (Адрес = 0x5dc; Поле сброса = 32'h0)

Биты	Название	Тип доступа	Описание
15 – 0	csr_qos_port10_tc_sel	R/W	TC SEL порта 10
31 – 16	csr_qos_port11_tc_sel	R/W	TC SEL порта 11

Таблица 625 – Биты регистра CLASS_QOS_PORT1213_TC_SEL: (Адрес = 0x5e0; Поле сброса = 32'h0)

Биты	Название	Тип доступа	Описание
15 – 0	csr_qos_port12_tc_sel	R/W	TC SEL порта 12
31 – 16	csr_qos_port13_tc_sel	R/W	TC SEL порта 13

Таблица 626 – Биты регистра CLASS_QOS_PORT1415_TC_SEL: (Адрес = 0x5e4; Поле сброса = 32'h0)

Биты	Название	Тип доступа	Описание
15 – 0	csr_qos_port14_tc_sel	R/W	TC SEL порта 14
31 – 16	csr_qos_port15_tc_sel	R/W	TC SEL порта 15

Таблица 627 – Биты регистра CLASS_QOS_PORT1617_TC_SEL: (Адрес = 0x5e8; Поле сброса = 32'h0)

Биты	Название	Тип доступа	Описание
15 – 0	csr_qos_port16_tc_sel	R/W	TC SEL порта 16
31 – 16	csr_qos_port17_tc_sel	R/W	TC SEL порта 17

Таблица 628 – Биты регистра CLASS_QOS_PORT1_PID2TC_MAP: (Адрес = 0x5ec; После сброса = 30'h0)

Биты	Название	Тип доступа	Описание
2 – 0	csr_qos_port10_pid2tc_map	R/W	Маппирование порта 10 в tc
5 – 3	csr_qos_port11_pid2tc_map	R/W	Маппирование порта 11 в tc
8 – 6	csr_qos_port12_pid2tc_map	R/W	Маппирование порта 12 в tc
11 – 9	csr_qos_port13_pid2tc_map	R/W	Маппирование порта 13 в tc
14 – 12	csr_qos_port14_pid2tc_map	R/W	Маппирование порта 14 в tc
17 – 15	csr_qos_port15_pid2tc_map	R/W	Маппирование порта 15 в tc
20 – 18	csr_qos_port16_pid2tc_map	R/W	Маппирование порта 16 в tc

Таблица 629 – Биты регистра CLASS_PHY9_RX_PKTS: (Адрес = 0x5f0; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy9_rx_pkts	R	Счетчик числа пакетов, полученных через порт phy9

Таблица 630 – Биты регистра CLASS_PHY9_L3_FAIL_PKTS: (Адрес = 0x604; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy9_l3_fail_pkts	R	Счетчик поврежденных пакетов уровня 3 порта phy9

Таблица 631 – Биты регистра CLASS_PHY9_V4_PKTS: (Адрес = 0x608; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy9_l4_pkts	R	Счетчик пакетов IPV4 порта phy9

Таблица 632 – Биты регистра CLASS_PHY9_V6_PKTS: (Адрес = 0x60c; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy9_l6_pkts	R	Счетчик пакетов IPV6 порта phy9

Таблица 633 – Биты регистра CLASS_PHY9_CHKSUM_ERR_PKTS: (Адрес = 0x610; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy9_chksum_err_pkts	R	Счетчик пакетов с ошибкой контрольной суммы порта phy9

Таблица 634 – Биты регистра CLASS_PHY9_TTL_ERR_PKTS: (Адрес = 0x614; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy9_ttl_err_pkts	R	Счетчик пакетов с ошибкой TTL порта phy9

Таблица 635 – Биты регистра CLASS_PHY10_RX_PKTS: (Адрес = 0x618; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy10_rx_pkts	R	Счетчик числа пакетов, полученных через порт phy10

Таблица 636 – Биты регистра CLASS_PHY10_L3_FAIL_PKTS: (Адрес = 0x62c; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy10_l3_fail_pkts	R	Счетчик поврежденных пакетов уровня 3 порта phy10

Таблица 637 – Биты регистра CLASS_PHY10_V4_PKTS: (Адрес = 0x630; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy10_l4_pkts	R	Счетчик пакетов IPV4 порта phy10

Таблица 638 – Биты регистра CLASS_PHY10_V6_PKTS: (Адрес = 0x634; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy10_l6_pkts	R	Счетчик пакетов IPV6 порта phy10

Таблица 639 – Биты регистра CLASS_PHY10_CHKSUM_ERR_PKTS: (Адрес = 0x638; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy10_chksum_err_pkts	R	Счетчик пакетов с ошибкой контрольной суммы порта phy10

Таблица 640 – Биты регистра CLASS_PHY10_TTL_ERR_PKTS: (Адрес = 0x63c; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy10_ttl_err_pkts	R	Счетчик пакетов с ошибкой TTL порта phy10

Таблица 641 – Биты регистра CLASS_PHY11_RX_PKTS: (Адрес = 0x640; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy11_rx_pkts	R	Счетчик числа пакетов, полученных через порт phy11

Таблица 642 – Биты регистра CLASS_PHY11_L3_FAIL_PKTS: (Адрес = 0x654; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy11_l3_fail_pkts	R	Счетчик поврежденных пакетов уровня 3 порта phy11

Таблица 643 – Биты регистра CLASS_PHY11_V4_PKTS: (Адрес = 0x658; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy11_l4_pkts	R	Счетчик пакетов IPV4 порта phy11

Таблица 644 – Биты регистра CLASS_PHY10_V6_PKTS: (Адрес = 0x65c; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy11_l6_pkts	R	Счетчик пакетов IPV6 порта phy11

Таблица 645 – Биты регистра CLASS_PHY11_CHKSUM_ERR_PKTS: (Адрес = 0x660; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy11_chksum_err_pkts	R	Счетчик пакетов с ошибкой контрольной суммы порта phy11

Таблица 646 – Биты регистра CLASS_PHY11_TTL_ERR_PKTS: (Адрес = 0x664; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy11_ttl_err_pkts	R	Счетчик пакетов с ошибкой TTL порта phy11

Таблица 647 – Биты регистра CLASS_PHY12_RX_PKTS: (Адрес = 0x668; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy12_rx_pkts	R	Счетчик числа пакетов, полученных через порт phy12

Таблица 648 – Биты регистра CLASS_PHY12_L3_FAIL_PKTS: (Адрес = 0x67c; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy12_l3_fail_pkts	R	Счетчик поврежденных пакетов уровня 3 порта phy12

Таблица 649 – Биты регистра CLASS_PHY12_V4_PKTS: (Адрес = 0x680; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy12_l4_pkts	R	Счетчик пакетов IPV4 порта phy12

Таблица 650 – Биты регистра CLASS_PHY12_V6_PKTS: (Адрес = 0x684; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy12_l6_pkts	R	Счетчик пакетов IPV6 порта phy12

Таблица 651 – Биты регистра CLASS_PHY12_CHKSUM_ERR_PKTS: (Адрес = 0x688; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy12_chksum_err_pkts	R	Счетчик пакетов с ошибкой контрольной суммы порта phy12

Таблица 652 – Биты регистра CLASS_PHY12_TTL_ERR_PKTS: (Адрес = 0x68c; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy12_ttl_err_pkts	R	Счетчик пакетов с ошибкой TTL порта phy12

Таблица 653 – Биты регистра CLASS_PHY13_RX_PKTS: (Адрес = 0x690; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy13_rx_pkts	R	Счетчик числа пакетов, полученных через порт phy13

Таблица 654 – Биты регистра CLASS_PHY13_L3_FAIL_PKTS: (Адрес = 0x6a4; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy13_l3_fail_pkts	R	Счетчик поврежденных пакетов уровня 3 порта phy13

Таблица 655 – Биты регистра CLASS_PHY13_V4_PKTS: (Адрес = 0x6a8; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy13_l4_pkts	R	Счетчик пакетов IPV4 порта phy13

Таблица 656 – Биты регистра CLASS_PHY13_V6_PKTS: (Адрес = 0x6ac; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy13_l6_pkts	R	Счетчик пакетов IPV6 порта phy13

Таблица 657 – Биты регистра CLASS_PHY13_CHKSUM_ERR_PKTS: (Адрес = 0x6b0; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy13_chksum_err_pkts	R	Счетчик пакетов с ошибкой контрольной суммы порта phy13

Таблица 658 – Биты регистра CLASS_PHY13_TTL_ERR_PKTS: (Адрес = 0x6b4; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy13_ttl_err_pkts	R	Счетчик пакетов с ошибкой TTL порта phy13

Таблица 659 – Биты регистра CLASS_PHY14_RX_PKTS: (Адрес = 0x6b8; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy14_rx_pkts	R	Счетчик числа пакетов, полученных через порт phy14

Таблица 660 – Биты регистра CLASS_PHY14_L3_FAIL_PKTS: (Адрес = 0x6cc; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy14_l3_fail_pkts	R	Счетчик поврежденных пакетов уровня 3 порта phy14

Таблица 661 – Биты регистра CLASS_PHY14_V4_PKTS: (Адрес = 0x6d0; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy14_l4_pkts	R	Счетчик пакетов IPV4 порта phy14

Таблица 662 – Биты регистра CLASS_PHY14_V6_PKTS: (Адрес = 0x6d4; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy14_l6_pkts	R	Счетчик пакетов IPV6 порта phy14

Таблица 663 – Биты регистра CLASS_PHY14_CHKSUM_ERR_PKTS: (Адрес = 0x6d8; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy14_chksum_err_pkts	R	Счетчик пакетов с ошибкой контрольной суммы порта phy14

Таблица 664 – Биты регистра CLASS_PHY14_TTL_ERR_PKTS: (Адрес = 0x6dc; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy14_ttl_err_pkts	R	Счетчик пакетов с ошибкой TTL порта phy14

Таблица 665 – Биты регистра CLASS_PHY15_RX_PKTS: (Адрес = 0x6e0; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy15_rx_pkts	R	Счетчик числа пакетов, полученных через порт phy15

Таблица 666 – Биты регистра CLASS_PHY15_INTF_MATCH_PKTS: (Адрес = 0x6f0; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy15_intf_match_pkts	R	Счетчик пакетов с корректным содержимым порта phy15. Для будущих применений

Таблица 667 – Биты регистра CLASS_PHY15_L3_FAIL_PKTS: (Адрес = 0x6f4; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy15_l3_fail_pkts	R	Счетчик поврежденных пакетов уровня 3 порта phy15

Таблица 668 – Биты регистра CLASS_PHY15_V4_PKTS: (Адрес = 0x6f8; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy15_l4_pkts	R	Счетчик пакетов IPV4 порта phy15

Таблица 669 – Биты регистра CLASS_PHY15_V6_PKTS: (Адрес = 0x6fc; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy15_l6_pkts	R	Счетчик пакетов IPV6 порта phy15

Таблица 670 – Биты регистра CLASS_PHY15_CHKSUM_ERR_PKTS: (Адрес = 0x700; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy15_chksum_err_pkts	R	Счетчик пакетов с ошибкой контрольной суммы порта phy15

Таблица 671 – Биты регистра CLASS_PHY15_TTL_ERR_PKTS: (Адрес = 0x704; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy15_ttl_err_pkts	R	Счетчик пакетов с ошибкой TTL порта phy15

Таблица 672 – Биты регистра CLASS_PHY16_RX_PKTS: (Адрес = 0x708; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy16_rx_pkts	R	Счетчик числа пакетов, полученных через порт phy16

Таблица 673 – Биты регистра CLASS_PHY16_L3_FAIL_PKTS: (Адрес = 0x71c; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy16_l3_fail_pkts	R	Счетчик поврежденных пакетов уровня 3 порта phy16

Таблица 674 – Биты регистра CLASS_PHY16_V4_PKTS: (Адрес = 0x720; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy16_l4_pkts	R	Счетчик пакетов IPV4 порта phy16

Таблица 675 – Биты регистра CLASS_PHY16_V6_PKTS: (Адрес = 0x724; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy16_l6_pkts	R	Счетчик пакетов IPV6 порта phy16

Таблица 676 – Биты регистра CLASS_PHY16_CHKSUM_ERR_PKTS: (Адрес = 0x728; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy16_chksum_err_pkts	R	Счетчик пакетов с ошибкой контрольной суммы порта phy16

Таблица 677 – Биты регистра CLASS_PHY16_TTL_ERR_PKTS: (Адрес = 0x72c; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy16_ttl_err_pkts	R	Счетчик пакетов с ошибкой TTL порта phy16

Таблица 678 – Биты регистра CLASS_PHY17_RX_PKTS: (Адрес = 0x730; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy17_rx_pkts	R	Счетчик числа пакетов, полученных через порт phy17

Таблица 679 – Биты регистра CLASS_PHY17_L3_FAIL_PKTS: (Адрес = 0x744; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy17_l3_fail_pkts	R	Счетчик поврежденных пакетов уровня 3 порта phy17

Таблица 680 – Биты регистра CLASS_PHY17_V4_PKTS: (Адрес = 0x748; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy17_l4_pkts	R	Счетчик пакетов IPV4 порта phy17

Таблица 681 – Биты регистра CLASS_PHY17_V6_PKTS: (Адрес = 0x74c; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy17_l6_pkts	R	Счетчик пакетов IPV6 порта phy17

Таблица 682 – Биты регистра CLASS_PHY17_CHKSUM_ERR_PKTS: (Адрес = 0x750; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy17_chksum_err_pkts	R	Счетчик пакетов с ошибкой контрольной суммы порта phy17

Таблица 683 – Биты регистра CLASS_PHY17_TTL_ERR_PKTS: (Адрес = 0x754; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy17_ttl_err_pkts	R	Счетчик пакетов с ошибкой TTL порта phy17

Таблица 684 – Биты регистра CLASS_PHY9_ICMP_PKTS: (Адрес = 0x758; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy9_icmp_pkts	R	Счетчик числа пакетов ICMP, полученных через порт phy9

Таблица 685 – Биты регистра CLASS_PHY9_IGMP_PKTS: (Адрес = 0x75c; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy9_igmp_pkts	R	Счетчик числа пакетов IGMP, полученных через порт phy9

Таблица 686 – Биты регистра CLASS_PHY9_TCP_PKTS: (Адрес = 0x760; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy9_tcp_pkts	R	Счетчик числа пакетов TCP, полученных через порт phy9

Таблица 687 – Биты регистра CLASS_PHY9_UDP_PKTS: (Адрес = 0x764; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy9_udp_pkts	R	Счетчик числа пакетов UDP, полученных через порт phy9

Таблица 688 – Биты регистра CLASS_PHY10_ICMP_PKTS: (Адрес = 0x768; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy10_icmp_pkts	R	Счетчик числа пакетов ICMP, полученных через порт phy10

Таблица 689 – Биты регистра CLASS_PHY10_IGMP_PKTS: (Адрес = 0x76c; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy10_igmp_pkts	R	Счетчик числа пакетов IGMP, полученных через порт phy10

Таблица 690 – Биты регистра CLASS_PHY10_TCP_PKTS: (Адрес = 0x770; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy10_tcp_pkts	R	Счетчик числа пакетов TCP, полученных через порт phy10

Таблица 691 – Биты регистра CLASS_PHY10_UDP_PKTS: (Адрес = 0x774; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy10_udp_pkts	R	Счетчик числа пакетов UDP, полученных через порт phy10

Таблица 692 – Биты регистра CLASS_PHY11_ICMP_PKTS: (Адрес = 0x778; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy11_icmp_pkts	R	Счетчик числа пакетов ICMP, полученных через порт phy11

Таблица 693 – Биты регистра CLASS_PHY11_IGMP_PKTS: (Адрес = 0x77c; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy11_igmp_pkts	R	Счетчик числа пакетов IGMP, полученных через порт phy11

Таблица 694 – Биты регистра CLASS_PHY11_TCP_PKTS: (Адрес = 0x780; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy11_tcp_pkts	R	Счетчик числа пакетов TCP, полученных через порт phy11

Таблица 695 – Биты регистра CLASS_PHY11_UDP_PKTS: (Адрес = 0x784; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy11_udp_pkts	R	Счетчик числа пакетов UDP, полученных через порт phy11

Таблица 696 – Биты регистра CLASS_PHY12_ICMP_PKTS: (Адрес = 0x788; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy12_icmp_pkts	R	Счетчик числа пакетов ICMP, полученных через порт phy12

Таблица 697 – Биты регистра CLASS_PHY12_IGMP_PKTS: (Адрес = 0x78c; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy12_igmp_pkts	R	Счетчик числа пакетов IGMP, полученных через порт phy12

Таблица 698 – Биты регистра CLASS_PHY12_TCP_PKTS: (Адрес = 0x790; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy12_tcp_pkts	R	Счетчик числа пакетов TCP, полученных через порт phy12

Таблица 699 – Биты регистра CLASS_PHY12_UDP_PKTS: (Адрес = 0x794; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy12_udp_pkts	R	Счетчик числа пакетов UDP, полученных через порт рыhy12

Таблица 700 – Биты регистра CLASS_PHY13_ICMP_PKTS: (Адрес = 0x798; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy13_icmp_pkts	R	Счетчик числа пакетов ICMP, полученных через порт phy13

Таблица 701 – Биты регистра CLASS_PHY13_IGMP_PKTS: (Адрес = 0x79c; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy13_igmp_pkts	R	Счетчик числа пакетов IGMP, полученных через порт phy13

Таблица 702 – Биты регистра CLASS_PHY13_TCP_PKTS: (Адрес = 0x7a0; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy13_tcp_pkts	R	Счетчик числа пакетов TCP, полученных через порт phy13

Таблица 703 – Биты регистра CLASS_PHY13_UDP_PKTS: (Адрес = 0x7a4; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy13_udp_pkts	R	Счетчик числа пакетов UDP, полученных через порт phy13

Таблица 704 – Биты регистра CLASS_PHY14_ICMP_PKTS: (Адрес = 0x7a8; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy14_icmp_pkts	R	Счетчик числа пакетов ICMP, полученных через порт phy14

Таблица 705 – Биты регистра CLASS_PHY14_IGMP_PKTS: (Адрес = 0x7ac; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy14_igmp_pkts	R	Счетчик числа пакетов IGMP, полученных через порт phy14

Таблица 706 – Биты регистра CLASS_PHY14_TCP_PKTS: (Адрес = 0x7b0; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy14_tcp_pkts	R	Счетчик числа пакетов TCP, полученных через порт phy14

Таблица 707 – Биты регистра CLASS_PHY14_UDP_PKTS: (Адрес = 0x7b4; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy14_udp_pkts	R	Счетчик числа пакетов UDP, полученных через порт phy14

Таблица 708 – Биты регистра CLASS_PHY15_ICMP_PKTS: (Адрес = 0x7b8; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy15_icmp_pkts	R	Счетчик числа пакетов ICMP, полученных через порт phy15

Таблица 709 – Биты регистра CLASS_PHY15_IGMP_PKTS: (Адрес = 0x7bc; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy15_igmp_pkts	R	Счетчик числа пакетов IGMP, полученных через порт phy15

Таблица 710 – Биты регистра CLASS_PHY15_TCP_PKTS: (Адрес = 0x7c0; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy15_tcp_pkts	R	Счетчик числа пакетов TCP, полученных через порт phy15

Таблица 711 – Биты регистра CLASS_PHY15_UDP_PKTS: (Адрес = 0x7c4; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy15_udp_pkts	R	Счетчик числа пакетов UDP, полученных через порт phy15

Таблица 712 – Биты регистра CLASS_PHY16_ICMP_PKTS: (Адрес = 0x7c8; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy16_icmp_pkts	R	Счетчик числа пакетов ICMP, полученных через порт phy16

Таблица 713 – Биты регистра CLASS_PHY16_IGMP_PKTS: (Адрес = 0x7cc; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy16_igmp_pkts	R	Счетчик числа пакетов IGMP, полученных через порт phy16

Таблица 714 – Биты регистра CLASS_PHY16_TCP_PKTS: (Адрес = 0x7d0; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy16_tcp_pkts	R	Счетчик числа пакетов TCP, полученных через порт phy16

Таблица 715 – Биты регистра CLASS_PHY16_UDP_PKTS: (Адрес = 0x7d4; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy16_udp_pkts	R	Счетчик числа пакетов UDP, полученных через порт phy16

Таблица 716 – Биты регистра CLASS_PHY17_ICMP_PKTS: (Адрес = 0x7d8; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy17_icmp_pkts	R	Счетчик числа пакетов ICMP, полученных через порт phy17

Таблица 717 – Биты регистра CLASS_PHY17_IGMP_PKTS: (Адрес = 0x7dc; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy17_igmp_pkts	R	Счетчик числа пакетов IGMP, полученных через порт phy17

Таблица 718 – Биты регистра CLASS_PHY17_TCP_PKTS: (Адрес = 0x7e0; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy17_tcp_pkts	R	Счетчик числа пакетов TCP, полученных через порт phy17

Таблица 719 – Биты регистра CLASS_PHY17_UDP_PKTS: (Адрес = 0x7e4; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	class_phy17_udp_pkts	R	Счетчик числа пакетов UDP, полученных через порт phy17

Таблица 720 – Биты регистра CLASS_GLOBAL_CFG1: (Адрес = 0x7e8; После сброса = 24'h0)

Биты	Название	Тип доступа	Описание
23 – 0	csr_glb_fallback_bd_entry1	R/W	Общее значение старшей части записи буфера fallback дескриптора. Первые 31 бит хранятся в регистре CLASS_GLOBAL_CFG. Этот регистр содержит оставшиеся биты, необходимые для конфигурирования поля операции записи VLAN

Таблица 721 – Биты регистра CLASS_PORT_IP_CHKSUM_OFFLOAD: (Адрес = 0x7ec; После сброса = 20'h0)

Биты	Название	Тип доступа	Описание
19 – 0	csr_port_ip_chksum_offload	R/W	Бит отключения контрольной суммы ip. Каждый бит соответствует каждому порту

Таблица 722 – Биты регистра CLASS_NPU_CTRL1: (Адрес = 0x7f0; После сброса = 12'h200)

Биты	Название	Тип доступа	Описание
11 – 0	csr_punt_port_map_msb	R/W	Маппирование порта для обработки. Необходимо установить только один бит. Это старшие 12 бит маппирования порта

11.11.6 Регистры блока HIF

Таблица 723 – Биты регистра HIF_VERSION: (Адрес = 0x00; После сброса = 32'h00000010)

Биты	Название	Тип доступа	Описание
15 – 0	hif_id	R	Регистр доступен только для чтения и содержит ID блока
23 – 16	hif_version	R	Регистр доступен только для чтения и указывает на версию блока
31 – 24	hif_revision	R	Регистр доступен только для чтения и указывает на ревизию блока

Таблица 724 – Биты регистра HIF_TX_POLL_CTRL: (Адрес = 0x04; После сброса = 32'h00ff00ff)

Биты	Название	Тип доступа	Описание
15 – 0	csr_tx_bdp_poll_cntr1	R/W	Количество циклов, которые необходимо подождать блоку HIF TX BDP, прежде чем осуществить повторную выборку управляющего слова дескриптора, если предыдущий выбранный дескриптор непригоден
31 – 16	csr_tx_bdp_poll_cntr2	R/W	Количество циклов, которые необходимо подождать блоку HIF TX BDP, прежде чем записать обновленный BD обратно в системную память, если количество BD менее порогового значения

Таблица 725 – Биты регистра HIF_RX_POLL_CTRL: (Адрес = 0x08; После сброса = 32'h00ff00ff)

Биты	Название	Тип доступа	Описание
15 – 0	csr_rx_bdp_poll_cntr1	R/W	Количество циклов, которые необходимо подождать блоку HIF RX BDP, прежде чем осуществить повторную выборку управляющего слова дескриптора, если предыдущий выбранный дескриптор непригоден
31 – 16	csr_rx_bdp_poll_cntr2	R/W	Количество циклов, которые необходимо подождать блоку HIF RX BDP, прежде чем записать обновленный BD обратно в системную память, если количество BD менее порогового значения

Таблица 726 – Биты регистра HIF_MISC: (Адрес = 0x0c; После сброса = 32'h1)

Биты	Название	Тип доступа	Описание
0	csr_seq_num_ check_en	R/W	Разрешение/запрет проверки порядкового номера. 1 – разрешена проверка порядкового номера, выбираемого BD; 0 – запрещена проверка порядкового номера, выбираемого BD
1	csr_bdprd_axi_ write_done	R/W	Если бит установлен в единицу, подтверждение не будет передаваться для нового запроса, пока старый запрос не будет записан наружу. Если бит сброшен в ноль, запрос будет приниматься, в то время как данные, записываемые во внутреннее FIFO, не будут передаваться наружу для чтения буфера дескриптора
2	csr_bdpwr_axi_ write_done	R/W	Если бит установлен в единицу, подтверждение не будет передаваться для нового запроса, пока старый запрос не будет записан наружу. Если бит сброшен в ноль, запрос будет приниматься, в то время как данные, записываемые во внутреннее FIFO, не будут передаваться наружу для записи буфера дескриптора
3	csr_rxdxr_axi_ write_done	R/W	Если бит установлен в единицу, подтверждение не будет передаваться для нового запроса, пока старый запрос не будет записан наружу. Если бит сброшен в ноль, запрос будет приниматься, в то время как данные, записываемые во внутреннее FIFO, не будут передаваться наружу для чтения данных

Биты	Название	Тип доступа	Описание
4	csr_txdxr_axi_write_done	R/W	Если бит установлен в единицу, подтверждение не будет передаваться для нового запроса, пока старый запрос не будет записан наружу. Если бит сброшен в ноль, запрос будет приниматься, в то время как данные, записываемые во внутреннее FIFO, не будут передаваться наружу для записи данных
5	csr_hif_timeout_en	R/W	Разрешение таймаута HIF при выборке/обновлении BD или чтении/записи данных
31 – 6	csr_bd_start_seq_num	R/W	Поле содержит стартовый порядковый номер BD. Все каналы получают этот стартовый порядковый. Общий для всех каналов

Таблица 727 – Биты регистра HIF_TIMEOUT_REG: (Адрес = 0x10; После сброса = 32'hffffffff)

Биты	Название	Тип доступа	Описание
31 – 0	csr_hif_timeout_val	R/W	Необходимо запрограммировать максимальное значение таймаута для HIF, если установлен бит разрешения таймаута

Таблица 728 – Биты регистра HIF_SOFT_RESET: (Адрес = 0x14; После сброса = 4'h0)

Биты	Название	Тип доступа	Описание
0	sys_sw_reset_rx_path	R/W	Программный сброс для пути RX. Не применимо для режима BD_ONE_RD_ONE_WR
1	sys_sw_reset_tx_path	R/W	Программный сброс для пути TX. Не применимо для режима BD_ONE_RD_ONE_WR
2	sys_sw_reset_tx_rx_path	R/W	Программный сброс
3	csr_sw_reset	R/W	Программный сброс для регистров

Таблица 729 – Биты регистра HIF_INT_SRC: (Адрес = 0x40; После сброса = 19'h0)

Биты	Название	Тип доступа	Описание
0	hif_ch0_int	R	Бит статуса прерывания канала 0
1	hif_ch1_int	R	Бит статуса прерывания канала 1
2	hif_ch2_int	R	Бит статуса прерывания канала 2
3	hif_ch3_int	R	Бит статуса прерывания канала 3
16	hif_err_int	R	Бит статуса прерывания ошибки HIF
17	hif_tx_FIFO_err_int	R	Бит статуса прерывания ошибки FIFO Tx
18	hif_rx_FIFO_err_int	R	Бит статуса прерывания ошибки FIFO Rx

Таблица 730 – Биты регистра HIF_ERR_INT_SRC: (Адрес = 0x68; После сброса = 15'h0)

Биты	Название	Тип доступа	Описание
0	hif_err_int	R	Значение единица указывает на то, что прерывание от блока HIF в состоянии ожидания. Это значение формируется по «ИЛИ» от всех источников ошибки в блоке HIF
1 – 8	-	-	-
9	bdp_csr_tx_rd_axi_err_int	R	Ошибка AXI HIF BDP TX RD. Возникает, когда блок чтения tx bdp посылает запрос на шину axi с нулевым количеством данных
10	bdp_csr_tx_wr_axi_err_int	R	Ошибка AXI HIF BDP TX WR. Возникает, когда блок записи tx bdp посылает запрос на шину axi с нулевым количеством данных
11	bdp_csr_rx_rd_axi_err_int	R	Ошибка AXI HIF BDP RX RD. Возникает, когда блок чтения rx bdp посылает запрос на шину axi с нулевым количеством данных
12	bdp_csr_rx_wr_axi_err_int	R	Ошибка AXI HIF BDP RX WR. Возникает, когда блок записи rx bdp посылает запрос на шину axi с нулевым количеством данных
13	dxr_csr_tx_axi_err_int	R	Ошибка HIF DXR TX. Возникает, когда блок tx dxr посылает запрос на шину axi с нулевым количеством данных
14	dxr_csr_rx_axi_err_int	R	Ошибка HIF DXR RX. Возникает, когда блок dxr rx посылает запрос на шину axi с нулевым количеством данных

Таблица 731 – Биты регистра HIF_ERR_INT_EN: (Адрес = 0x6c; После сброса = 15'h0)

Биты	Название	Тип доступа	Описание
0	hif_err_int_en	R/W	Общее разрешение прерывания по ошибке HIF
1 – 8	-	-	-
9	bdp_csr_tx_rd_axi_err_int_en	R/W	Разрешение прерывания ошибки чтения TX BDP по axi
10	bdp_csr_tx_wr_axi_err_int_en	R/W	Разрешение прерывания ошибки записи TX BDP по axi
11	bdp_csr_rx_rd_axi_err_int_en	R/W	Разрешение прерывания ошибки чтения RX BDP по axi
12	bdp_csr_rx_wr_axi_err_int_en	R/W	Разрешение прерывания ошибки записи RX BDP по axi
13	dxr_csr_tx_axi_err_int_en	R/W	Разрешение прерывания ошибки TX DXR по axi
14	dxr_csr_rx_axi_err_int_en	R/W	Разрешение прерывания ошибки RX DXR по axi

Таблица 732 – Биты регистра HIF_TX_FIFO_ERR_INT_SRC: (Адрес = 0x70; После сброса = 19'h0)

Биты	Название	Тип доступа	Описание
0	hif_tx_FIFO_err_int	R	Значение единицы указывает на то, что прерывание от HIF блока в состоянии ожидания. Это значение формируется по «ИЛИ» от всех источников ошибки tx FIFO блока HIF
1	bdp_csr_tx_rd_FIFO_overrun_int	R	Переполнение FIFO tx bd чтения
2	bdp_csr_tx_wr_FIFO_overrun_int	R	Переполнение FIFO tx bd записи
3	dxr_csr_tx_FIFO_overrun_int	R	Переполнение tx FIFO данных
4	dxr_csr_tx_lbuf_overrun_int	R	Переполнение tx lbuf FIFO данных
5	dxr_csr_tx_sof_ctrl_word_FIFO_ overrun_int	R	Переполнение tx FIFO управляющего слова начала фрейма
6	bdp_dxr_csr_tx_bd_ctrl_FIFO_ overrun_int	R	Переполнение FIFO управления tx bd
7	-	-	-
8	bdp_csr_tx_bvalid_FIFO_ overrun_int	R	Переполнение tx bvalid FIFO
9	hif_axi_bdp_csr_tx_bvalid_ FIFO_overrun_int	R	Переполнение tx hif axi bvalid FIFO
10	bdp_csr_tx_rd_FIFO_underrun_int	R	Опустошение FIFO чтения tx bd
11	bdp_csr_tx_wr_FIFO_underrun_int	R	Опустошение FIFO tx bd записи
12	dxr_csr_tx_FIFO_underrun_int	R	Опустошение tx FIFO данных
13	dxr_csr_tx_lbuf_underrun_int	R	Опустошение tx lbuf FIFO данных
14	dxr_csr_tx_sof_ctrl_word_FIFO_ underrun_int	R	Опустошение tx FIFO управляющего слова начала фрейма
15	bdp_dxr_csr_tx_bd_ctrl_FIFO_ underrun_int	R	Опустошение FIFO управления tx bd
16	-	-	-
17	bdp_csr_tx_bvalid_FIFO_ underrun_int	R	Опустошение tx bvalid FIFO
18	hif_axi_bdp_csr_tx_bvalid_ FIFO_underrun_int	R	Опустошение tx hif axi bvalid FIFO

Таблица 733 – Биты регистра HIF_TX_FIFO_ERR_INT_EN: (Адрес = 0x74; После сброса = 19'h0)

Биты	Название	Тип доступа	Описание
0	hif_tx_FIFO_err_int_en	R/W	Общее разрешение прерывания ошибок tx FIFO блока HIF
1	bdp_csr_tx_rd_FIFO_overrun_int_en	R/W	Разрешение прерывания по переполнению FIFO tx bd чтения

Биты	Название	Тип доступа	Описание
2	bdp_csr_tx_wr_FIFO_overrun_int_en	R/W	Разрешение прерывания по переполнению FIFO tx bd записи
3	dxr_csr_tx_FIFO_overrun_int_en	R/W	Разрешение прерывания по переполнению tx FIFO данных
4	dxr_csr_tx_lbuf_overrun_int_en	R/W	Разрешение прерывания по переполнению tx lbuf FIFO данных
5	dxr_csr_tx_sof_ctrl_word_FIFO_ overrun_int_en	R/W	Разрешение прерывания по переполнению tx FIFO управляющего слова начала фрейма
6	bdp_dxr_csr_tx_bd_ctrl_FIFO_ overrun_int_en	R/W	Разрешение прерывания по переполнению FIFO управления tx bd
7	-	-	-
8	bdp_csr_tx_bvalid_FIFO_overrun_ int_en	R/W	Разрешение прерывания по переполнению tx bvalid FIFO
9	hif_axi_bdp_csr_tx_bvalid_FIFO_ overrun_int_en	R/W	Разрешение прерывания по переполнению tx hif axi bvalid FIFO
10	bdp_csr_tx_rd_FIFO_underrun_ int_en	R/W	Разрешение прерывания при опустошении FIFO чтения tx bd
11	bdp_csr_tx_wr_FIFO_underrun_ int_en	R/W	Разрешение прерывания при опустошении FIFO tx bd записи
12	dxr_csr_tx_FIFO_underrun_int_en	R/W	Разрешение прерывания при опустошении tx FIFO данных
13	dxr_csr_tx_lbuf_underrun_int_en	R/W	Разрешение прерывания при опустошении tx lbuf FIFO данных
14	dxr_csr_tx_sof_ctrl_word_FIFO_ underrun_int_en	R/W	Разрешение прерывания при опустошении tx FIFO управляющего слова начала фрейма
15	bdp_dxr_csr_tx_bd_ctrl_FIFO_ underrun_int_en	R/W	Разрешение прерывания при опустошении FIFO управления tx bd
16	-	-	-
17	bdp_csr_tx_bvalid_FIFO_ underrun_int_en	R/W	Разрешение прерывания при опустошении tx bvalid FIFO
18	hif_axi_bdp_csr_tx_bvalid_FIFO_ underrun_int_en	R/W	Разрешение прерывания при опустошении tx hif axi bvalid FIFO

Таблица 734 – Биты регистра HIF_RX_FIFO_ERR_INT_SRC: (Адрес = 0x78; После сброса = 21'h0)

Биты	Название	Тип доступа	Описание
0	hif_rx_FIFO_err_int	R	Значение единицы указывает на то, что прерывание от HIF блока в состоянии ожидания. Это значение формируется по «ИЛИ» от всех источников ошибки rx FIFO блока HIF

Биты	Название	Тип доступа	Описание
1	bdp_csr_rx_rd_FIFO_overrun_int	R	Переполнение FIFO rx bd чтения
2	bdp_csr_rx_wr_FIFO_overrun_int	R	Переполнение FIFO rx bd записи
3	dxr_csr_rx_FIFO_overrun_int	R	Переполнение rx FIFO данных
4	dxr_csr_rx_lbuf_overrun_int	R	Переполнение rx lbuf FIFO данных
5	dxr_csr_rx_sof_ctrl_word_FIFO_ overrun_int	R	Переполнение rx FIFO управляющего слова начала фрейма
6	-	-	-
7	bdp_csr_rx_bvalid_FIFO_ overrun_int	R	Переполнение rx bvalid FIFO обновляемых bd
8	hif_axi_bdp_csr_rx_bvalid_FIFO_ overrun_int	R	Переполнение rx hif axi bvalid FIFO обновляемых bd
9	dxr_csr_rx_bvalid_FIFO_overrun_ int	R	Переполнение rx bvalid FIFO данных
10	hif_axi_dxr_csr_rx_bvalid_FIFO_ overrun_int	R	Переполнение rx hif axi bvalid FIFO данных
11	bdp_csr_rx_rd_FIFO_underrun_int	R	Опустошение FIFO чтения rx bd
12	bdp_csr_rx_wr_FIFO_underrun_int	R	Опустошение FIFO записи rx bd
13	dxr_csr_rx_FIFO_underrun_int	R	Опустошение rx FIFO данных
14	dxr_csr_rx_lbuf_underrun_int	R	Опустошение rx lbuf FIFO данных
15	dxr_csr_rx_sof_ctrl_word_FIFO_ underrun_int	R	Опустошение tx FIFO управляющего слова начала фрейма
16	-	-	-
17	bdp_csr_rx_bvalid_FIFO_underrun _int	R	Опустошение rx bvalid FIFO обновляемых bdp
18	hif_axi_bdp_csr_rx_bvalid_FIFO_ underrun_int	R	Опустошение rx hif axi bvalid FIFO обновляемых bdp
19	dxr_csr_rx_bvalid_FIFO_underrun _int	R	Опустошение rx bvalid FIFO
20	hif_axi_bdp_csr_rx_bvalid_FIFO_ underrun_int	R	Опустошение rx hif axi bvalid FIFO

Таблица 735 – Биты регистра HIF_RX_FIFO_ERR_INT_EN: (Адрес = 0x7c; После сброса = 21'h0)

Биты	Название	Тип доступа	Описание
0	hif_rx_FIFO_err_int_en	R/W	Общее разрешение прерывания ошибок rx FIFO блока HIF
1	bdp_csr_rx_rd_FIFO_overrun_int_e n	R/W	Разрешение прерывания по переполнению FIFO rx bd чтения
2	bdp_csr_rx_wr_FIFO_overrun_int_ en	R/W	Разрешение прерывания по переполнению FIFO rx bd записи
3	dxr_csr_rx_FIFO_overrun_int_en	R/W	Разрешение прерывания по переполнению rx FIFO данных

Биты	Название	Тип доступа	Описание
4	dxr_csr_rx_lbuf_overrun_int_en	R/W	Разрешение прерывания по переполнению rx lbuf FIFO данных
5	dxr_csr_rx_sof_ctrl_word_FIFO_ overrun_int_en	R/W	Разрешение прерывания по переполнению rx FIFO управляющего слова начала фрейма
6	-	-	-
7	bdp_csr_rx_bvalid_FIFO_ overrun_int_en	R/W	Разрешение прерывания по переполнению rx bvalid FIFO обновляемых bd
8	hif_axi_bdp_csr_rx_bvalid_FIFO_ overrun_int_en	R/W	Разрешение прерывания по переполнению rx hif axi bvalid FIFO обновляемых bd
9	dxr_csr_rx_bvalid_FIFO_ overrun_int_en	R/W	Разрешение прерывания по переполнению rx bvalid FIFO данных
10	hif_axi_dxr_csr_rx_bvalid_FIFO_ overrun_int_en	R/W	Разрешение прерывания по переполнению rx hif axi bvalid FIFO данных
11	bdp_csr_rx_rd_FIFO_ underrun_int_en	R/W	Разрешение прерывания при опустошении FIFO чтения rx bd
12	bdp_csr_rx_wr_FIFO_ underrun_int_en	R/W	Разрешение прерывания при опустошении FIFO записи rx bd
13	dxr_csr_rx_FIFO_underrun_int_en	R/W	Разрешение прерывания при опустошении rx FIFO данных
14	dxr_csr_rx_lbuf_underrun_int_en	R/W	Разрешение прерывания при опустошении rx lbuf FIFO данных
15	dxr_csr_rx_sof_ctrl_word_FIFO_ underrun_int_en	R/W	Разрешение прерывания при опустошении tx FIFO управляющего слова начала фрейма
16	-	-	-
17	bdp_csr_rx_bvalid_FIFO_ underrun_int_en	R/W	Разрешение прерывания при опустошении rx bvalid FIFO обновляемых bdp
18	hif_axi_bdp_csr_rx_bvalid_FIFO_ underrun_int_en	R/W	Разрешение прерывания при опустошении rx hif axi bvalid FIFO обновляемых bdp
19	dxr_csr_rx_bvalid_FIFO_ underrun_int_en	R/W	Разрешение прерывания при опустошении rx bvalid FIFO
20	hif_axi_bdp_csr_rx_bvalid_FIFO_ underrun_int_en	R/W	Разрешение прерывания при опустошении rx hif axi bvalid FIFO

Таблица 736 – Биты регистра HIF_TX_STATE: (Адрес = 0x80; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
15 – 0	dxr_csr_tx_state	R	Tx состояние передачи данных
31 – 16	bdp_csr_tx_state	R	Tx состояние передачи bdp

Таблица 737 – Биты регистра HIF_TX_ACTV: (Адрес = 0x84; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
15 – 0	dxr_csr_tx_actv	R	Это поле указывает, что dxr активно или нет для tx.
31 – 16	bdp_csr_tx_actv	R	Это поле указывает какое bdp активно или нет для tx

Таблица 738 – Биты регистра HIF_TX_CURR_CH_NO: (Адрес = 0x88; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
15 – 0	dxr_csr_tx_curr_ch_no	R	Это поле соответствует номеру текущего активного dxr канала на стороне tx
31 – 16	bdp_csr_tx_curr_ch_no	R	Это поле соответствует номеру текущего активного bdp канала на стороне tx

Таблица 739 – Биты регистра HIF_DXR_TX_FIFO_CNT: (Адрес = 0x8c; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	dxr_csr_tx_FIFO_cnt	R	Это поле соотетствует количеству tx FIFO данных

Таблица 740 – Биты регистра HIF_TX_CTRL_WORD_FIFO_CNT1: (Адрес = 0x90; После сброса = 16'h0)

Биты	Название	Тип доступа	Описание
15 – 0	dxr_csr_tx_sof_ctrl_word_FIFO_cnt	R	Это поле соотетствует количеству tx FIFO управляющих слов начала фрейма

Таблица 741 – Биты регистра HIF_TX_CTRL_WORD_FIFO_CNT2: (Адрес = 0x94; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
15 – 0	bdp_dxr_csr_tx_bd_ctrl_FIFO_cnt	R	Это поле соотетствует количеству FIFO управления tx bd
31 – 16	-	-	-

Таблица 742 – Биты регистра HIF_TX_BVALID_FIFO_CNT: (Адрес = 0x98; После сброса = 16'h0)

Биты	Название	Тип доступа	Описание
7 – 0	bdp_csr_tx_bvalid_FIFO_cnt	R	Количество bdp_wr bvalid FIFO (обновляется всякий раз при записи данных типа burst в системную память со стороны hif). Зарезервировано в режиме BD_ONE_RD_ONE_WR
15 – 8	hif_axi_bdp_csr_tx_bvalid_FIFO_cnt	R	Количество bdp_wr bvalid FIFO со стороны axi (обновляется всякий раз, когда hif получает ответ bvalid от axi для записи bd наружу). Зарезервировано в режиме BD_ONE_RD_ONE_WR

Таблица 743 – Биты регистра HIF_TX_PKT_CNT1: (Адрес = 0x9c; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	hif2app_csr_tx_pkt_cnt	R	Это поле соответствует количеству пакетов, выходящих наружу от hif к приложению

Таблица 744 – Биты регистра HIF_TX_PKT_CNT2: (Адрес = 0xa0; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	axi2hif_csr_tx_pkt_cnt	R	Это поле соответствует количеству пакетов, приходящих на hif из системной памяти через шину axi

Таблица 745 – Биты регистра HIF_RX_STATE: (Адрес = 0xa4; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
15 – 0	dxr_csr_rx_state	R	Rx состояние передачи данных

Биты	Название	Тип доступа	Описание
31 – 16	bdp_csr_rx_state	R	Rx состояние передачи bdp

Таблица 746 – Биты регистра HIF_RX_ACTV: (Адрес = 0xa8; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
15 – 0	dxr_csr_rx_actv	R	Это поле указывает на то, что dxr активно или нет для rx
31 – 16	bdp_csr_rx_actv	R	Это поле указывает на то, какое bdp активно или нет для rx

Таблица 747 – Биты регистра HIF_RX_CURR_CH_NO: (Адрес = 0xac; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
15 – 0	dxr_csr_rx_curr_ch_no	R	Это поле соответствует номеру текущего активного dxr канала на стороне rx
31 – 16	bdp_csr_rx_curr_ch_no	R	Это поле соответствует номеру текущего активного bdp канала на стороне rx

Таблица 748 – Биты регистра HIF_DXR_RX_FIFO_CNT: (Адрес = 0xb0; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	dxr_csr_rx_FIFO_cnt	R	Это поле соотетствует количеству rx FIFO данных

Таблица 749 – Биты регистра HIF_RX_CTRL_WORD_FIFO_CNT1: (Адрес = 0xb4; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
15 – 0	dxr_csr_rx_sof_ctrl_word_FIFO_cnt	R	Это поле соотетствует количеству rx FIFO управляющих слов начала фрейма
31 – 16	-	-	-

Таблица 750 – Биты регистра HIF_RX_BVALID_FIFO_CNT: (Адрес = 0xb8; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
7 – 0	bdp_csr_rx_bvalid_FIFO_cnt	R	Количество bdp_wr bvalid FIFO. Обновляется всякий раз при записи данных типа burst в системную память со стороны hif
15 – 8	hif_axi_bdp_csr_rx_bvalid_FIFO_cnt	R	Количество bdp_wr bvalid FIFO со стороны axi для rx. Обновляется всякий раз, когда hif получает ответ bvalid от axi для записи bd наружу
23 – 16	dxr_csr_rx_bvalid_FIFO_cnt	R	Количество data_wr bvalid FIFO. Обновляется всякий раз при записи данных типа burst в системную память со стороны hif
31 – 24	hif_axi_dxr_csr_rx_bvalid_FIFO_cnt	R	Количество data_wr bvalid FIFO со стороны axi. Обновляется всякий раз, когда hif получает ответ bvalid от axi для записи данных наружу

Таблица 751 – Биты регистра HIF_RX_PKT_CNT1: (Адрес = 0xbc; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	hif2app_csr_rx_pkt_cnt	R	Это поле соответствует количеству пакетов, выходящих наружу от hif к приложению

Таблица 752 – Биты регистра HIF_RX_PKT_CNT2: (Адрес = 0xc0; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	axi2hif_csr_rx_pkt_cnt	R	Это поле соответствует количеству пакетов, приходящих на hif из системной памяти через шину axi

Таблица 753 – Биты регистра HIF_DMA_BASE_ADDR: (Адрес = 0xc4; После сброса = 32'hFFFF_FFFF)

Биты	Название	Тип доступа	Описание
31 – 0	hif_dma_base_addr	R/W	Старшие [63:32] биты базового адреса DMA HIF. Этот адрес объединяется с адресом буфера дескриптора (BD) или адресом буфера данных. Поэтому ширина DMA адреса 64 бита

Таблица 754 – Биты регистра HIF_DMA_BURST_SIZE_ADDR: (Адрес = 0xc8; После сброса = 3'h1)

Биты	Название	Тип доступа	Описание
2 – 0	hif_dma_burst_size	R/W	Программируемый размер burst DMA HIF. 00 – 128 байт; 01 – 256 байт; 10 – 512 байт; 11 – не поддерживается

Таблица 755 – Биты регистра HIF_RX_QUEUE_MAP_CH_NO_ADDR: (Адрес = 0xcc; После сброса = 32'h76543210)

Биты	Название	Тип доступа	Описание
31 – 0	csr_hif_rx_queue_ map_ch_no	R/W	Маппирование очереди TMU в канал приема HIF. [3:0] – указывает номер RX канала, маппируемого в очередь 0 TMU; [7:4] – указывает номер канала, маппируемого в очередь 1 TMU; [11:8] – указывает номер канала, маппируемого в очередь 2 TMU; [15:12] – указывает номер канала, маппируемого в очередь 3 TMU; [19:16] – указывает номер канала, маппируемого в очередь 4 TMU; [23:20] – указывает номер канала, маппируемого в очередь 5 TMU; [27:24] – указывает номер канала, маппируемого в очередь 6 TMU; [31:28] – указывает номер канала; маппируемого в очередь 7 TMU

Таблица 756 – Биты регистра HIF_CTRL_CH0: (Адрес = 0x100; После сброса = 18'h0)

Биты	Название	Тип доступа	Описание
0	csr_tx_dma_en_ch0_out	R/W	Бит разрешения TX DMA. 1 – разрешено; 0 – запрещено
1	csr_tx_bdp_poll_cntr_en_ ch0_out	R/W	Установка этого бита является основанием для процессора TX буфера дескриптора (BDP) опрашивать бит достоверности дескриптора до его установки в единицу

Биты	Название	Тип доступа	Описание
16	csr_rx_dma_en_ch0_out	R/W	Бит разрешения RX DMA. 1 – разрешено; 0 – запрещено. Этот бит зарезервирован в режиме BD_ONE_RD_ONE_WR
17	csr_rx_bdp_poll_cntr_en_ ch0_out	R/W	Установка этого бита является основанием для процессора RX буфера дескриптора (BDP) опрашивать бит достоверности дескриптора до его установки в единицу. Этот бит зарезервирован в режиме BD_ONE_RD_ONE_WR

Таблица 757 – Биты регистра HIF_RX_BDP_WR_LOW_ADDR_CH0: (Адрес = 0x104; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
31 – 0	csr_rx_bdp_wr_bd_low_ addr_ch0_out	R/W	Этот регистр содержит младшую часть базового адреса приемных регионов DMA. Этот регистр должен обновляться, только когда DMA в состоянии IDLE

Таблица 758 – Биты регистра HIF_RX_BDP_RD_LOW_ADDR_CH0: (Адрес = 0x10c; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
31 – 0	csr_rx_bdp_rd_ bd_low_addr_ ch0_out	R/W	Этот регистр содержит младшую часть базового адреса приемных регионов DMA. Этот регистр должен обновляться, только когда DMA в состоянии IDLE. Это поле зарезервировано в режиме BD_ONE_RD_ONE_WR

Таблица 759 – Биты регистра HIF_TX_BDP_WR_LOW_ADDR_CH0: (Адрес = 0x114; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
31 – 0	csr_tx_bdp_wr_ bd_low_addr_ ch0_out	R/W	Этот регистр содержит младшую часть базового адреса передающих регионов DMA. Этот регистр должен обновляться, только когда DMA в состоянии IDLE. Это поле зарезервировано в режиме BD_ONE_RD_ONE_WR

Таблица 760 – Биты регистра HIF_TX_BDP_RD_LOW_ADDR_CH0: (Адрес = 0x11c; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
31 – 0	csr_tx_bdp_rd_bd_low_ addr_ch0_out	R/W	Этот регистр содержит младшую часть базового адреса передающих регионов DMA. Этот регистр должен обновляться, только когда DMA в состоянии IDLE

Таблица 761 – Биты регистра HIF_RX_WRBK_BD_CH0_BUFFER_SIZE: (Адрес = 0x124; После сброса = 16'h28)

Биты	Название	Тип доступа	Описание
15 – 0	csr_rx_wr_bck_bd_ch0_ buffer_size	R/W	Размер RX BD буфера обратной записи. По умолчанию пространство содержит 40 двойных слов

Таблица 762 – Биты регистра HIF_RX_CH0_START: (Адрес = 0x128; После сброса = 1'b0)

Биты	Название	Тип доступа	Описание
0	csr_rx_bdp_ch0_start_out	R/W	Установка этого бита в единицу запускает Rx BDP (процессор буфера дескриптора) выбирать дескрипторы. Поэтому этот бит должен быть разрешен, только когда все DMA дескрипторы запрограммированы. Этот бит зарезервирован в режиме BD_ONE_RD_ONE_WR

Таблица 763 – Биты регистра HIF_TX_WRBK_BD_CH0_BUFFER_SIZE: (Адрес = 0x12c; После сброса = 16'h28)

Биты	Название	Тип доступа	Описание
15 – 0	csr_tx_wr_bck_bd_ch0_ buffer_size	R/W	Размер TX BD буфера обратной записи. По умолчанию пространство содержит 40 двойных слов. Это поле зарезервировано в режиме BD_ONE_RD_ONE_WR

Таблица 764 – Биты регистра HIF_TX_CH0_START: (Адрес = 0x130; После сброса = 1'b0)

Биты	Название	Тип доступа	Описание
0	csr_tx_bdp_ch0_start_out	R/W	Установка этого бита в единицу запускает Tx BDP (процессор буфера дескриптора) выбирать дескрипторы. Поэтому этот бит должен быть разрешен, только когда все DMA дескрипторы запрограммированы

Таблица 765 – Биты регистра HIF_CH0_INT_SRC: (Адрес = 0x160; После сброса = 11'b0)

Биты	Название	Тип доступа	Описание
0	hif_ch0_int	R	Значение единицы указывает на то, что прерывание от HIF блока в состоянии ожидания. Это значение формируется по “или” от всех источников прерываний в блоке HIF
1	bdp_csr_rx_cbd_ch0_int	R	Устанавливается в единицу,если любой из cbd_int_en в BD установлен в единицу во время burst-транзакции записи буферов дескрипторов наружу
2	bdp_csr_rx_pkt_ch0_int	R	Устанавливается в единицу, если любой из pkt_int_en в BD установлен в единицу во время burst-транзакции записи буферов дескрипторов наружу
3	bdp_csr_tx_cbd_ch0_int	R	Устанавливается в единицу, если любой из cbd_int_en в BD установлен в единицу во время burst-транзакции записи буферов дескрипторов наружу. Зарезервирован в режиме BD_ONE_RD_ONE_WR
4	bdp_csr_tx_pkt_ch0_int	R	Устанавливается в единицу, если любой из pkt_int_en в BD установлен в единицу во время burst-транзакции записи буферов дескрипторов наружу. Зарезервирован в режиме BD_ONE_RD_ONE_WR
5	bdp_rd_csr_rx_timeout_ch0_int	R	Таймаут чтения HIF Rx BD
6	bdp_wr_csr_rx_timeout_ch0_int	R	Таймаут записи HIF Rx BD
7	bdp_rd_csr_tx_timeout_ch0_int	R	Таймаут чтения HIF Tx BD
8	bdp_wr_csr_tx_timeout_ch0_int	R	Таймаут записи HIF Tx BD Зарезервирован в режиме BD_ONE_RD_ONE_WR
9	dxr_csr_rx_timeout_ch0_int	R	Таймаут HIF DXR RX
10	dxr_csr_tx_timeout_ch0_int	R	Таймаут HIF DXR TX

Таблица 766 – Биты регистра HIF_CH0_INT_EN: (Адрес = 0x164; После сброса = 11'b0)

Биты	Название	Тип доступа	Описание
0	hif_ch0_int_en	R/W	Бит общего разрешения прерываний HIF
1	bdp_csr_rx_cbd_ch0_int_en	R/W	Бит разрешения прерывания HIF RX BDP
2	bdp_csr_rx_pkt_ch0_int_en	R/W	Бит разрешения прерывания завершения пакета HIF RX
3	bdp_csr_tx_cbd_ch0_int_en	R/W	Бит разрешения прерывания HIF TX BDP
4	bdp_csr_tx_pkt_ch0_int_en	R/W	Бит разрешения прерывания завершения пакета HIF TX
5	bdp_rd_csr_rx_timeout_ch0_ int_en	R/W	Бит разрешения прерывания таймаут чтения HIF RX BDP
6	bdp_wr_csr_rx_timeout_ch0_ int_en	R/W	Бит разрешения прерывания таймаут записи HIF RX BDP
7	bdp_rd_csr_tx_timeout_ch0_ int_en	R/W	Бит разрешения прерывания таймаут чтения HIF TX BDP
8	bdp_wr_csr_tx_timeout_ch0_ int_en	R/W	Бит разрешения прерывания таймаут записи HIF TX BDP
9	dxr_csr_rx_timeout_ch0_int_en	R/W	Бит разрешения прерывания таймаут DXR RX
10	dxr_csr_tx_timeout_ch0_int_en	R/W	Бит разрешения прерывания таймаут DXR TX

Таблица 767 – Биты регистра HIF_TX_RD_CURR_BD_LOW_ADDR_CH0: (Адрес = 0x180; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	bdp_rd_curr_tx_ bd_low_addr_ ch0_in	R	Это поле регистра содержит младшую часть адреса текущего дескриптора, обрабатываемого процессором буфера дескриптора (BDP)

Таблица 768 – Биты регистра HIF_TX_WR_CURR_BD_LOW_ADDR_CH0: (Адрес = 0x188; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	bdp_wr_curr_tx_ bd_low_addr_ ch0_in	R	Это поле регистра содержит младшую часть адреса текущего дескриптора, обрабатываемого процессором буфера дескриптора (BDP). Зарезервировано в режиме BD_ONE_RD_ONE_WR

Таблица 769 – Биты регистра HIF_BDP_CH0_TX_FIFO_CNT: (Адрес = 0x190; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
15 – 0	bdp_csr_tx_rd_ch0_FIFO_cnt_in	R	Это поле соотетствует количеству FIFO чтения на стороне tx
31 – 16	bdp_csr_tx_wr_ch0_FIFO_cnt_in	R	Это поле соотетствует количеству FIFO записи на стороне tx

Таблица 770 – Биты регистра HIF_TX_DMA_STATUS_0_CH0: (Адрес = 0x194; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
15 – 0	dxr_csr_tx_curr_buflen_ch0_in	R	Это поле возвращает длину текущего буфера или длину передачи
31 – 16	dxr_csr_tx_lbuf_bytecnt_ch0_in	R	Это поле предоставляет информацию о пространстве внутреннего FIFO

Таблица 771 – Биты регистра HIF_TX_STATUS_0_CH0: (Адрес = 0x198; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	bdp_csr_tx_bd_word0_ch0_in	R	Это поле содержит управляющее слово текущего TX дескриптора на различных стадиях передачи данных от хоста в HIF

Таблица 772 – Биты регистра HIF_TX_STATUS_1_CH0: (Адрес = 0x19c; После сброса = 32'h2000_0000)

Биты	Название	Тип доступа	Описание
31 – 0	dxr_csr_tx_bd_word0_ch0_in	R	Это поле содержит управляющее слова текущего TX дескриптора, данные которого читаются из блока DXR

Таблица 773 – Биты регистра HIF_TX_PKT_CNT0_CH0: (Адрес = 0x1a0; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	dxr_csr_tx_req_pkt_cnt_ch0	R	Это поле регистра содержит число пакетов данных, запрашиваемых из системной памяти

Таблица 774 – Биты регистра HIF_TX_PKT_CNT1_CH0: (Адрес = 0x1a4; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	dxr_csr_tx_bus_data_pkt_ cnt_ch0	R	Это поле регистра содержит число пакетов данных, полученных из системной памяти

Таблица 775 – Биты регистра HIF_TX_PKT_CNT2_CH0: (Адрес = 0x1a8; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	dxr_csr_tx_app_data_pkt_ cnt_ch0	R	Это поле регистра содержит число пакетов данных, записанных приложению

Таблица 776 – Биты регистра HIF_RX_RD_CURR_BD_LOW_ADDR_CH0: (Адрес = 0x1c0; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	bdp_rd_curr_rx_bd_low_ addr_ch0_in	R	Это поле регистра содержит младшую часть базового адреса принимающих регионов DMA. Это поле зарезервировано в режиме BD_ONE_RD_ONE_WR

Таблица 777 – Биты регистра HIF_RX_WR_CURR_BD_LOW_ADDR_CH0: (Адрес = 0x1c8; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	bdp_wr_curr_rx_bd_low_ addr_ch0_in	R	Это поле регистра содержит младшую часть базового адреса принимающих регионов DMA

Таблица 778 – Биты регистра HIF_BDP_CH0_RX_FIFO_CNT: (Адрес = 0x1d0; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
15 – 0	bdp_csr_rx_rd_ch0_FIFO_cnt_in	R	Это поле соотетствует количеству FIFO чтения на стороне rx
31 – 16	bdp_csr_rx_wr_ch0_FIFO_cnt_in	R	Это поле соотетствует количеству FIFO записи на стороне rx

Таблица 779 – Биты регистра HIF_RX_DMA_STATUS_0_CH0: (Адрес = 0x1d4; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
15 – 0	dxr_csr_rx_curr_buflen_ch0_in	R	Это поле возвращает длину текущего буфера или длину приема
31 – 16	dxr_csr_rx_lbuf_bytecnt_ch0_in	R	Это поле предоставляет информацию о пространстве внутреннего FIFO

Таблица 780 – Биты регистра HIF_RX_STATUS_0_CH0: (Адрес = 0x1d8; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	bdp_csr_rx_bd_word0_ch0_in	R	Это поле регистра содержит RX дескриптор управляющего слова

Таблица 781 – Биты регистра HIF_RX_PKT_CNT0_CH0: (Адрес = 0x1dc; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	dxr_csr_rx_bus_data_pkt_ cnt_ch0	R	Это поле регистра содержит число пакетов данных, записанных в системную память для rx

Таблица 782 – Биты регистра HIF_RX_PKT_CNT1_CH0: (Адрес = 0x1e0; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	dxr_csr_rx_app_data_pkt_ cnt_ch0	R	Это поле регистра содержит число пакетов данных, полученных от приложения для rx

Таблица 783 – Биты регистра HIF_LTC_MAX_PKT_CH0_ADDR: (Адрес = 0x1e4; После сброса = 8'h4)

Биты	Название	Тип доступа	Описание
7 – 0	csr_hif_tx_ltc_max_pkt_ cnt_ch0	R/W	Максимальное число пакетов, принятых HIF TX для этого канала, когда разрешен бит обработки пакетов с помощью LTC

Таблица 784 – Биты регистра HIF_CTRL_CH1: (Адрес = 0x200; После сброса = 18'h0)

Биты	Название	Тип доступа	Описание
0	csr_tx_dma_en_ch1_out	R/W	Бит разрешения TX DMA. 1 – разрешено; 0 – запрещено
1	csr_tx_bdp_poll_cntr_en_ ch1_out	R/W	Установка этого бита является основанием для процессора TX буфера дескриптора (BDP) опрашивать бит достоверности дескриптора до его установки в единицу
16	csr_rx_dma_en_ch1_out	R/W	Бит разрешения RX DMA. 1 – разрешено; 0 – запрещено. Этот бит зарезервирован в режиме BD_ONE_RD_ONE_WR
17	csr_rx_bdp_poll_cntr_en_ ch1_out	R/W	Установка этого бита является основанием для процессора RX буфера дескриптора (BDP) опрашивать бит достоверности дескриптора до его установки в единицу. Этот бит зарезервирован в режиме BD_ONE_RD_ONE_WR

Таблица 785 – Биты регистра HIF_RX_BDP_WR_LOW_ADDR_CH1: (Адрес = 0x204; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
31 – 0	csr_rx_bdp_wr_bd_low_ addr_ch1_out	R/W	Этот регистр содержит младшую часть базового адреса приемных регионов DMA. Этот регистр должен обновляться, только когда DMA в состоянии IDLE

Таблица 786 – Биты регистра HIF_RX_BDP_RD_LOW_ADDR_CH1: (Адрес = 0x20c; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
31 – 0	csr_rx_bdp_rd_ bd_low_addr_ ch1_out	R/W	Этот регистр содержит младшую часть базового адреса приемных регионов DMA. Этот регистр должен обновляться, только когда DMA в состоянии IDLE. Это поле зарезервировано в режиме BD_ONE_RD_ONE_WR

Таблица 787 – Биты регистра HIF_TX_BDP_WR_LOW_ADDR_CH1: (Адрес = 0x214; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
31 – 0	csr_tx_bdp_wr_bd_ low_addr_ch1_ out	R/W	Этот регистр содержит младшую часть базового адреса передающих регионов DMA. Этот регистр должен обновляться, только когда DMA в состоянии IDLE. Это поле зарезервировано в режиме BD_ONE_RD_ONE_WR

Таблица 788 – Биты регистра HIF_TX_BDP_RD_LOW_ADDR_CH1: (Адрес = 0x21c; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
31 – 0	csr_tx_bdp_rd_bd_low_ addr_ch1_out	R/W	Этот регистр содержит младшую часть базового адреса передающих регионов DMA. Этот регистр должен обновляться, только когда DMA в состоянии IDLE

Таблица 789 – Биты регистра HIF_RX_WRBK_BD_CH1_BUFFER_SIZE: (Адрес = 0x224; После сброса = 16'h28)

Биты	Название	Тип доступа	Описание
15 – 0	csr_rx_wr_bck_bd_ch1_ buffer_size	R/W	Размер RX BD буфера обратной записи. По умолчанию пространство содержит 40 двойных слов

Таблица 790 – Биты регистра HIF_RX_CH1_START: (Адрес = 0x228; После сброса = 1'b0)

Биты	Название	Тип доступа	Описание
0	csr_rx_bdp_ch1_start_out	R/W	Установка этого бита в единицу запускает Rx BDP (процессор буфера дескриптора) выбирать дескрипторы. Поэтому этот бит должен быть разрешен, только когда все DMA дескрипторы запрограммированы. Этот бит зарезервирован в режиме BD_ONE_RD_ONE_WR

Таблица 791 – Биты регистра HIF_TX_WRBK_BD_CH1_BUFFER_SIZE: (Адрес = 0x22c; После сброса = 16'h28)

Биты	Название	Тип доступа	Описание
15 – 0	csr_tx_wr_bck_bd_ch1_ buffer_size	R/W	Размер TX BD буфера обратной записи. По умолчанию пространство содержит 40 двойных слов. Это поле зарезервировано в режиме BD_ONE_RD_ONE_WR

Таблица 792 – Биты регистра HIF_TX_CH1_START: (Адрес = 0x230; После сброса = 1'b0)

Биты	Название	Тип доступа	Описание
0	csr_tx_bdp_ch1_start_out	R/W	Установка этого бита в единицу запускает Tx BDP (процессор буфера дескриптора) выбирать дескрипторы. Поэтому этот бит должен быть разрешен, только когда все DMA дескрипторы запрограммированы

Таблица 793 – Биты регистра HIF_CH1_INT_SRC: (Адрес = 0x260; После сброса = 11'b0)

Биты	Название	Тип доступа	Описание
0	hif_ch1_int	R	Значение единицы указывает на то, что прерывание от HIF блока в состоянии ожидания. Это значение формируется по «ИЛИ» от всех источников прерываний в блоке HIF
1	bdp_csr_rx_cbd_ch1_int	R	Устанавливается в единицу, если любой из cbd_int_en в BD установлен в единицу во время burst-транзакции записи буферов дескрипторов наружу
2	bdp_csr_rx_pkt_ch1_int	R	Устанавливается в единицу, если любой из pkt_int_en в BD установлен в единицу во время burst-транзакции записи буферов дескрипторов наружу
3	bdp_csr_tx_cbd_ch1_int	R	Устанавливается в единицу, если любой из cbd_int_en в BD установлен в единицу во время burst-транзакции записи буферов дескрипторов наружу. Зарезервирован в режиме BD_ONE_RD_ONE_WR
4	bdp_csr_tx_pkt_ch1_int	R	Устанавливается в единицу, если любой из pkt_int_en в BD установлен в единицу во время burst-транзакции записи буферов дескрипторов наружу. Зарезервирован в режиме BD_ONE_RD_ONE_WR

Биты	Название	Тип доступа	Описание
5	bdp_rd_csr_rx_timeout_ch1_int	R	Таймаут чтения HIF Rx BD
6	bdp_wr_csr_rx_timeout_ch1_int	R	Таймаут записи HIF Rx BD
7	bdp_rd_csr_tx_timeout_ch1_int	R	Таймаут чтения HIF Tx BD
8	bdp_wr_csr_tx_timeout_ch1_int	R	Таймаут записи HIF Tx BD. Зарезервирован в режиме BD_ONE_RD_ONE_WR
9	dxr_csr_rx_timeout_ch1_int	R	Таймаут HIF DXR RX
10	dxr_csr_tx_timeout_ch1_int	R	Таймаут HIF DXR TX

Таблица 794 – Биты регистра HIF_CH1_INT_EN: (Адрес = 0x264; После сброса = 11'b0)

Биты	Название	Тип доступа	Описание
0	hif_ch1_int_en	R/W	Бит общего разрешения прерываний HIF
1	bdp_csr_rx_cbd_ch1_int_en	R/W	Бит разрешения прерывания HIF RX BDP
2	bdp_csr_rx_pkt_ch1_int_en	R/W	Бит разрешения прерывания завершения пакета HIF RX
3	bdp_csr_tx_cbd_ch1_int_en	R/W	Бит разрешения прерывания HIF TX BDP
4	bdp_csr_tx_pkt_ch1_int_en	R/W	Бит разрешения прерывания завершения пакета HIF TX
5	bdp_rd_csr_rx_timeout_ch1_int_en	R/W	Бит разрешения прерывания таймаут чтения HIF RX BDP
6	bdp_wr_csr_rx_timeout_ch1_int_en	R/W	Бит разрешения прерывания таймаут записи HIF RX BDP
7	bdp_rd_csr_tx_timeout_ch1_int_en	R/W	Бит разрешения прерывания таймаут чтения HIF TX BDP
8	bdp_wr_csr_tx_timeout_ch1_int_en	R/W	Бит разрешения прерывания таймаут записи HIF TX BDP
9	dxr_csr_rx_timeout_ch1_int_en	R/W	Бит разрешения прерывания таймаут DXR RX
10	dxr_csr_tx_timeout_ch1_int_en	R/W	Бит разрешения прерывания таймаут DXR TX

Таблица 795 – Биты регистра HIF_TX_RD_CURR_BD_LOW_ADDR_CH1: (Адрес = 0x280; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	bdp_rd_curr_tx_bd_low_ addr_ch1_in	R	Это поле регистра содержит младшую часть адреса текущего дескриптора, обрабатываемого процессором буфера дескриптора (BDP)

Таблица 796 – Биты регистра HIF_TX_WR_CURR_BD_LOW_ADDR_CH1: (Адрес = 0x288; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	bdp_wr_curr_tx_bd_low_ addr_ch1_in	R	Это поле регистра содержит младшую часть адреса текущего дескриптора, обрабатываемого процессором буфера дескриптора (BDP). Зарезервировано в режиме BD_ONE_RD_ONE_WR

Таблица 797 – Биты регистра HIF_BDP_CH1_TX_FIFO_CNT: (Адрес = 0x290; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
15 – 0	bdp_csr_tx_rd_ch1_FIFO_cnt_in	R	Это поле соотетствует количеству FIFO чтения на стороне tx
31 – 16	bdp_csr_tx_wr_ch1_FIFO_cnt_in	R	Это поле соотетствует количеству FIFO записи на стороне tx

Таблица 798 – Биты регистра HIF_TX_DMA_STATUS_0_CH1: (Адрес = 0x294; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
15 – 0	dxr_csr_tx_curr_buflen_ch1_in	R	Это поле возвращает длину текущего буфера или длину передачи
31 – 16	dxr_csr_tx_lbuf_bytecnt_ch1_in	R	Это поле предоставляет информацию о пространстве внутреннего FIFO

Таблица 799 – Биты регистра HIF_TX_STATUS_0_CH1: (Адрес = 0x298; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	bdp_csr_tx_bd_word0_ch1_in	R	Это поле содержит текущий TX дескриптор управляющего слова

Таблица 800 – Биты регистра HIF_TX_STATUS_1_CH1: (Адрес = 0x29c; После сброса = 32'h2000_0000)

Биты	Название	Тип доступа	Описание
31 – 0	dxr_csr_tx_bd_word0_ch1_in	R	Это поле содержит текущий TX дескриптор управляющего слова, данные которого были прочитаны

Таблица 801 – Биты регистра HIF_TX_PKT_CNT0_CH1: (Адрес = 0x2a0; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	dxr_csr_tx_req_pkt_cnt_ch1	R	Это поле регистра содержит число пакетов данных запрашиваемых из системной памяти

Таблица 802 – Биты регистра HIF_TX_PKT_CNT1_CH1: (Адрес = 0x2a4; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	dxr_csr_tx_bus_data_pkt_cnt_ch1	R	Это поле регистра содержит число пакетов данных, полученных из системной памяти

Таблица 803 – Биты регистра HIF_TX_PKT_CNT2_CH1: (Адрес = 0x2a8; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	dxr_csr_tx_app_data_pkt_cnt_ch1	R	Это поле регистра содержит число пакетов данных, записанных приложению

Таблица 804 – Биты регистра HIF_RX_RD_CURR_BD_LOW_ADDR_CH1: (Адрес = 0x2c0; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	bdp_rd_curr_rx_bd_low_ addr_ch1_in	R	Это поле регистра содержит младшую часть базового адреса принимающих регионов DMA. Это поле зарезервировано в режиме BD_ONE_RD_ONE_WR

Таблица 805 – Биты регистра HIF_RX_WR_CURR_BD_LOW_ADDR_CH1: (Адрес = 0x2c8; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	bdp_wr_curr_rx_bd_low_ addr_ch1_in	R	Это поле регистра содержит младшую часть базового адреса принимающих регионов DMA

Таблица 806 – Биты регистра HIF_BDP_CH1_RX_FIFO_CNT: (Адрес = 0x2d0; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
15 – 0	bdp_csr_rx_rd_ch1_FIFO_cnt_in	R	Это поле соотетствует количеству FIFO чтения на стороне rx
31 – 16	bdp_csr_rx_wr_ch1_FIFO_cnt_in	R	Это поле соотетствует количеству FIFO записи на стороне rx

Таблица 807 – Биты регистра HIF_RX_DMA_STATUS_0_CH1: (Адрес = 0x2d4; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
15 – 0	dxr_csr_rx_curr_buflen_ch1_in	R	Это поле возвращает длину текущего буфера или длину приема
31 – 16	dxr_csr_rx_lbuf_bytecnt_ch1_in	R	Это поле предоставляет информацию о пространстве внутреннего FIFO

Таблица 808 – Биты регистра HIF_RX_STATUS_0_CH1: (Адрес = 0x2d8; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	bdp_csr_rx_bd_word0_ch1_in	R	Это поле регистра содержит RX дескриптор управляющего слова

Таблица 809 – Биты регистра HIF_RX_PKT_CNT0_CH1: (Адрес = 0x2dc; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	dxr_csr_rx_bus_data_pkt_cnt_ch1	R	Это поле регистра содержит число пакетов данных, записанных в системную память для rx

Таблица 810 – Биты регистра HIF_RX_PKT_CNT1_CH1: (Адрес = 0x2e0; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	dxr_csr_rx_app_data_pkt_cnt_ch1	R	Это поле регистра содержит число пакетов данных, полученных от приложения для rx

Таблица 811 – Биты регистра HIF_LTC_MAX_PKT_CH1_ADDR: (Адрес = 0x2e4; После сброса = 8'h4)

Биты	Название	Тип доступа	Описание
7 – 0	csr_hif_tx_ltc_max_pkt_cnt_ch1	R/W	Максимальное число пакетов, принятых HIF TX для этого канала, когда разрешен бит обработки пакетов с помощью LTC

Таблица 812 – Биты регистра HIF_CTRL_CH2: (Адрес = 0x300; После сброса = 18'h0)

Биты	Название	Тип доступа	Описание
0	csr_tx_dma_ en_ch2_out	R/W	Бит разрешения TX DMA. 1 – разрешено; 0 – запрещено
1	csr_tx_bdp_ poll_cntr_en_ ch2_out	R/W	Установка этого бита является основанием для процессора TX буфера дескриптора (BDP), чтобы опрашивать бит достоверности дескриптора до его установки в единицу
16	csr_rx_dma_ en_ch2_out	R/W	Бит разрешения RX DMA. 1 – разрешено; 0 – запрещено. Этот бит зарезервирован в режиме BD_ONE_RD_ONE_WR
17	csr_rx_bdp_ poll_cntr_en_ ch2_out	R/W	Установка этого бита является основанием для процессора RX буфера дескриптора (BDP), чтобы опрашивать бит достоверности дескриптора до его установки в единицу. Этот бит зарезервирован в режиме BD_ONE_RD_ONE_WR

Таблица 813 – Биты регистра HIF_RX_BDP_WR_LOW_ADDR_CH2: (Адрес = 0x304; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
31 – 0	csr_rx_bdp_wr_bd_low_ addr_ch2_out	R/W	Этот регистр содержит младшую часть базового адреса приемных регионов DMA. Этот регистр должен обновляться, только когда DMA в состоянии IDLE

Таблица 814 – Биты регистра HIF_RX_BDP_RD_LOW_ADDR_CH2: (Адрес = 0x30c; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
31 – 0	csr_rx_bdp_rd_bd_ low_addr_ch2_out	R/W	Этот регистр содержит младшую часть базового адреса приемных регионов DMA. Этот регистр должен обновляться, только когда DMA в состоянии IDLE. Это поле зарезервировано в режиме BD_ONE_RD_ONE_WR

Таблица 815 – Биты регистра HIF_TX_BDP_WR_LOW_ADDR_CH2: (Адрес = 0x314; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
31 – 0	csr_tx_bdp_wr_bd_ low_addr_ch2_out	R/W	Этот регистр содержит младшую часть базового адреса передающих регионов DMA. Этот регистр должен обновляться, только когда DMA в состоянии IDLE. Это поле зарезервировано в режиме BD_ONE_RD_ONE_WR

Таблица 816 – Биты регистра HIF_TX_BDP_RD_LOW_ADDR_CH2: (Адрес = 0x31c; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
31 – 0	csr_tx_bdp_rd_bd_low_ addr_ch2_out	R/W	Этот регистр содержит младшую часть базового адреса передающих регионов DMA. Этот регистр должен обновляться, только когда DMA в состоянии IDLE

Таблица 817 – Биты регистра HIF_RX_WRBK_BD_CH2_BUFFER_SIZE: (Адрес = 0x324; После сброса = 16'h28)

Биты	Название	Тип доступа	Описание
15 – 0	csr_rx_wr_bck_bd_ch2_ buffer_size	R/W	Размер RX BD буфера обратной записи. По умолчанию пространство содержит 40 двойных слов

Таблица 818 – Биты регистра HIF_RX_CH2_START: (Адрес = 0x328; После сброса = 1'b0)

Биты	Название	Тип доступа	Описание
0	csr_rx_bdp_ch2_start_out	R/W	Установка этого бита в единицу запускает Rx BDP (процессор буфера дескриптора)

Биты	Название	Тип доступа	Описание
			выбирать дескрипторы. Поэтому этот бит должен быть разрешен, только когда все DMA дескрипторы запрограммированы. Этот бит зарезервирован в режиме BD_ONE_RD_ONE_WR

Таблица 819 – Биты регистра HIF_TX_WRBK_BD_CH2_BUFFER_SIZE: (Адрес = 0x32c; После сброса = 16'h28)

Биты	Название	Тип доступа	Описание
15 – 0	csr_tx_wr_bck_bd_ ch2_buffer_size	R/W	Размер TX BD буфера обратной записи. По умолчанию пространство содержит 40 двойных слов. Это поле зарезервировано в режиме BD_ONE_RD_ONE_WR

Таблица 820 – Биты регистра HIF_TX_CH2_START: (Адрес = 0x330; После сброса = 1'b0)

Биты	Название	Тип доступа	Описание
0	csr_tx_bdp_ch2_start_out	R/W	Установка этого бита в единицу запускает Tx BDP (процессор буфера дескриптора) выбирать дескрипторы. Поэтому этот бит должен быть разрешен, только когда все DMA дескрипторы запрограммированы

Таблица 821 – Биты регистра HIF_CH2_INT_SRC: (Адрес = 0x360; После сброса = 11'b0)

Биты	Название	Тип доступа	Описание
0	hif_ch2_int	R	Значение единицы указывает на то, что прерывание от HIF блока в состоянии ожидания. Это значение формируется по «ИЛИ» от всех источников прерываний в блоке HIF
1	bdp_csr_rx_cbd_ch2_int	R	Устанавливается в единицу, если любой из cbd_int_en в BD установлен в единицу во время burst-транзакции записи буферов дескрипторов наружу
2	bdp_csr_rx_pkt_ch2_int	R	Устанавливается в единицу, если любой из pkt_int_en в BD установлен в единицу во время burst-транзакции записи буферов дескрипторов наружу

Биты	Название	Тип доступа	Описание
3	bdp_csr_tx_cbd_ch2_int	R	Устанавливается в единицу, если любой из cbd_int_en в BD установлен в единицу во время burst-транзакции записи буферов дескрипторов наружу. Зарезервирован в режиме BD_ONE_RD_ONE_WR
4	bdp_csr_tx_pkt_ch2_int	R	Устанавливается в единицу, если любой из pkt_int_en в BD установлен в единицу во время burst-транзакции записи буферов дескрипторов наружу. Зарезервирован в режиме BD_ONE_RD_ONE_WR
5	bdp_rd_csr_rx_timeout_ch2_int	R	Таймаут чтения HIF Rx BD
6	bdp_wr_csr_rx_timeout_ch2_int	R	Таймаут записи HIF Rx BD
7	bdp_rd_csr_tx_timeout_ch2_int	R	Таймаут чтения HIF Tx BD
8	bdp_wr_csr_tx_timeout_ch2_int	R	Таймаут записи HIF Tx BD. Зарезервирован в режиме BD_ONE_RD_ONE_WR
9	dxr_csr_rx_timeout_ch2_int	R	Таймаут HIF DXR RX
10	dxr_csr_tx_timeout_ch2_int	R	Таймаут HIF DXR TX

Таблица 822 – Биты регистра HIF_CH2_INT_EN: (Адрес = 0x364; После сброса = 11'b0)

Биты	Название	Тип доступа	Описание
0	hif_ch2_int_en	R/W	Бит общего разрешения прерываний HIF
1	bdp_csr_rx_cbd_ch2_int_en	R/W	Бит разрешения прерывания HIF RX BDP
2	bdp_csr_rx_pkt_ch2_int_en	R/W	Бит разрешения прерывания завершения пакета HIF RX
3	bdp_csr_tx_cbd_ch2_int_en	R/W	Бит разрешения прерывания HIF TX BDP
4	bdp_csr_tx_pkt_ch2_int_en	R/W	Бит разрешения прерывания завершения пакета HIF TX
5	bdp_rd_csr_rx_timeout_ch2_int_en	R/W	Бит разрешения прерывания таймаут чтения HIF RX BDP
6	bdp_wr_csr_rx_timeout_ch2_int_en	R/W	Бит разрешения прерывания таймаут записи HIF RX BDP
7	bdp_rd_csr_tx_timeout_ch2_int_en	R/W	Бит разрешения прерывания таймаут чтения HIF TX BDP
8	bdp_wr_csr_tx_timeout_ch2_int_en	R/W	Бит разрешения прерывания таймаут записи HIF TX BDP
9	dxr_csr_rx_timeout_ch2_int_en	R/W	Бит разрешения прерывания таймаут DXR RX
10	dxr_csr_tx_timeout_ch2_int_en	R/W	Бит разрешения прерывания таймаут DXR TX

Таблица 823 – Биты регистра HIF_TX_RD_CURR_BD_LOW_ADDR_CH2: (Адрес = 0x380; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	bdp_rd_curr_tx_bd_low_addr_ch2_in	R	Это поле регистра содержит младшую часть адреса текущего дескриптора, обрабатываемого процессором буфера дескриптора (BDP)

Таблица 824 – Биты регистра HIF_TX_WR_CURR_BD_LOW_ADDR_CH2: (Адрес = 0x388; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	bdp_wr_curr_tx_bd_low_addr_ch2_in	R	Это поле регистра содержит младшую часть адреса текущего дескриптора, обрабатываемого процессором буфера дескриптора (BDP). Зарезервировано в режиме BD_ONE_RD_ONE_WR

Таблица 825 – Биты регистра HIF_BDP_CH2_TX_FIFO_CNT: (Адрес = 0x390; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
15 – 0	bdp_csr_tx_rd_ch2_FIFO_cnt_in	R	Это поле соотетствует количеству FIFO чтения на стороне tx
31 – 16	bdp_csr_tx_wr_ch2_FIFO_cnt_in	R	Это поле соотетствует количеству FIFO записи на стороне tx

Таблица 826 – Биты регистра HIF_TX_DMA_STATUS_0_CH2: (Адрес = 0x394; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
15 – 0	dxr_csr_tx_curr_buflen_ch2_in	R	Это поле возвращает длину текущего буфера или длину передачи
31 – 16	dxr_csr_tx_lbuf_bytecnt_ch2_in	R	Это поле предоставляет информацию о пространстве внутреннего FIFO

Таблица 827 – Биты регистра HIF_TX_STATUS_0_CH2: (Адрес = 0x398; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	bdp_csr_tx_bd_word0_ch2_in	R	Это поле содержит текущий TX дескриптор управляющего слова

Таблица 828 – Биты регистра HIF_TX_STATUS_1_CH2: (Адрес = 0x39c; После сброса = 32'h2000_0000)

Биты	Название	Тип доступа	Описание
31 – 0	dxr_csr_tx_bd_word0_ch2_in	R	Это поле содержит текущий TX дескриптор управляющего слова, данные которого были прочитаны

Таблица 829 – Биты регистра HIF_TX_PKT_CNT0_CH2: (Адрес = 0x3a0; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	dxr_csr_tx_req_pkt_cnt_ch2	R	Это поле регистра содержит число пакетов данных, запрашиваемых из системной памяти

Таблица 830 – Биты регистра HIF_TX_PKT_CNT1_CH2: (Адрес = 0x3a4; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	dxr_csr_tx_bus_data_pkt_cnt_ch2	R	Это поле регистра содержит число пакетов данных полученных из системной памяти

Таблица 831 – Биты регистра HIF_TX_PKT_CNT2_CH2: (Адрес = 0x3a8; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	dxr_csr_tx_app_data_pkt_cnt_ch2	R	Это поле регистра содержит число пакетов данных, записанных приложению

Таблица 832 – Биты регистра HIF_RX_RD_CURR_BD_LOW_ADDR_CH2: (Адрес = 0x3c0; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	bdp_rd_curr_rx_bd_ low_addr_ch2_in	R	Это поле регистра содержит младшую часть базового адреса принимающих регионов DMA. Это поле зарезервировано в режиме BD_ONE_RD_ONE_WR

Таблица 833 – Биты регистра HIF_RX_WR_CURR_BD_LOW_ADDR_CH2: (Адрес = 0x3c8; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	bdp_wr_curr_rx_bd_low_ addr_ch2_in	R	Это поле регистра содержит младшую часть базового адреса принимающих регионов DMA

Таблица 834 – Биты регистра HIF_RX_WR_CURR_BD_HIGH_ADDR_CH2: (Адрес = 0x3cc; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	bdp_wr_curr_rx_bd_high_ addr_ch2_in	R	Это поле регистра содержит старшую часть базового адреса принимающих регионов DMA. Не используется в текущей конфигурации

Таблица 835 – Биты регистра HIF_BDP_CH2_RX_FIFO_CNT: (Адрес = 0x3d0; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
15 – 0	bdp_csr_rx_rd_ch2_FIFO_cnt_in	R	Это поле соотетствует количеству FIFO чтения на стороне rx
31 – 16	bdp_csr_rx_wr_ch2_FIFO_cnt_in	R	Это поле соотетствует количеству FIFO записи на стороне rx

Таблица 836 – Биты регистра HIF_RX_DMA_STATUS_0_CH2: (Адрес = 0x3d4; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
15 – 0	dxr_csr_rx_curr_buflen_ch2_in	R	Это поле возвращает длину текущего буфера или длину приема
31 – 16	dxr_csr_rx_lbuf_bytecnt_ch2_in	R	Это поле предоставляет информацию о пространстве внутреннего FIFO

Таблица 837 – Биты регистра HIF_RX_STATUS_0_CH2: (Адрес = 0x3d8; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	bdp_csr_rx_bd_word0_ch2_in	R	Это поле регистра содержит RX дескриптор управляющего слова

Таблица 838 – Биты регистра HIF_RX_PKT_CNT0_CH2: (Адрес = 0x3dc; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	dxr_csr_rx_bus_data_pkt_cnt_ch2	R	Это поле регистра содержит число пакетов данных, записанных в системную память для rx

Таблица 839 – Биты регистра HIF_RX_PKT_CNT1_CH2: (Адрес = 0x3e0; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	dxr_csr_rx_app_data_pkt_cnt_ch2	R	Это поле регистра содержит число пакетов данных, полученных от приложения для rx

Таблица 840 – Биты регистра HIF_CTRL_CH3: (Адрес = 0x400; После сброса = 18'h0)

Биты	Название	Тип доступа	Описание
0	csr_tx_dma_en_ch3_out	R/W	Бит разрешения TX DMA. 1 – разрешено; 0 – запрещено.
1	csr_tx_bdp_poll_ cntr_en_ch3_out	R/W	Установка этого бита является основанием для процессора TX буфера дескриптора (BDP) опрашивать бит достоверности дескриптора до его установки в единицу
16	csr_rx_dma_en_ch3_out	R/W	Бит разрешения RX DMA. 1 – разрешено; 0 – запрещено. Этот бит зарезервирован в режиме BD_ONE_RD_ONE_WR
17	csr_rx_bdp_poll_ cntr_en_ch3_out	R/W	Установка этого бита является основанием для процессора RX буфера дескриптора (BDP) опрашивать бит достоверности дескриптора до его установки в единицу. Этот бит зарезервирован в режиме BD_ONE_RD_ONE_WR

Таблица 841 – Биты регистра HIF_RX_BDP_WR_LOW_ADDR_CH3: (Адрес = 0x404; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
31 – 0	csr_rx_bdp_wr_bd_low_ addr_ch2_out	R/W	Этот регистр содержит младшую часть базового адреса приемных регионов DMA. Этот регистр должен обновляться, только когда DMA в состоянии IDLE

Таблица 842 – Биты регистра HIF_RX_BDP_WR_HIGH_ADDR_CH3: (Адрес = 0x408; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
31 – 0	csr_rx_bdp_wr_bd_ high_addr_ch3_out	R/W	Этот регистр содержит старшую часть базового адреса приемных регионов DMA. Этот регистр должен обновляться, только когда DMA в состоянии IDLE. Это поле зарезервировано для размера BD 16 байт и не используется в текущей конфигурации

Таблица 843 – Биты регистра HIF_RX_BDP_RD_LOW_ADDR_CH3: (Адрес = 0x40c; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
31 – 0	csr_rx_bdp_rd_bd_ low_addr_ch3_out	R/W	Этот регистр содержит младшую часть базового адреса приемных регионов DMA. Этот регистр должен обновляться, только когда DMA в состоянии IDLE. Это поле зарезервировано в режиме BD_ONE_RD_ONE_WR

Таблица 844 – Биты регистра HIF_TX_BDP_WR_LOW_ADDR_CH3: (Адрес = 0x414; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
31 – 0	csr_tx_bdp_wr_bd_low_ addr_ch3_out	R/W	Этот регистр содержит младшую часть базового адреса передающих регионов DMA. Этот регистр должен обновляться, только когда DMA в состоянии IDLE. Это поле зарезервировано в режиме BD_ONE_RD_ONE_WR

Таблица 845 – Биты регистра HIF_TX_BDP_RD_LOW_ADDR_CH3: (Адрес = 0x41c; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
31 – 0	csr_tx_bdp_rd_bd_low_ addr_ch3_out	R/W	Этот регистр содержит младшую часть базового адреса передающих регионов DMA. Этот регистр должен обновляться, только когда DMA в состоянии IDLE

Таблица 846 – Биты регистра HIF_RX_WRBK_BD_CH3_BUFFER_SIZE: (Адрес = 0x424; После сброса = 16'h28)

Биты	Название	Тип доступа	Описание
15 – 0	csr_rx_wr_bck_bd_ch3_ buffer_size	R/W	Размер RX BD буфера обратной записи. По умолчанию пространство содержит 40 двойных слов

Таблица 847 – Биты регистра HIF_RX_CH3_START: (Адрес = 0x428; После сброса = 1'b0)

Биты	Название	Тип доступа	Описание
0	csr_rx_bdp_ch3_ start_out	R/W	Установка этого бита в единицу запускает Rx BDP (процессор буфера дескриптора) выбирать дескрипторы. Поэтому этот бит должен быть разрешен, только когда все DMA дескрипторы запрограммированы. Этот бит зарезервирован в режиме BD_ONE_RD_ONE_WR

Таблица 848 – Биты регистра HIF_TX_WRBK_BD_CH3_BUFFER_SIZE: (Адрес = 0x42c; После сброса = 16'h28)

Биты	Название	Тип доступа	Описание
15 – 0	csr_tx_wr_bck_bd_ ch3_buffer_size	R/W	Размер TX BD буфера обратной записи. По умолчанию пространство содержит 40 двойных слов. Это поле зарезервировано в режиме BD_ONE_RD_ONE_WR

Таблица 849 – Биты регистра HIF_TX_CH3_START: (Адрес = 0x430; После сброса = 1'b0)

Биты	Название	Тип доступа	Описание
0	csr_tx_bdp_ch3_start_out	R/W	Установка этого бита в единицу запускает Tx BDP (процессор буфера дескриптора) выбирать дескрипторы. Поэтому этот бит должен быть разрешен, только когда все DMA дескрипторы запрограммированы

Таблица 850 – Биты регистра HIF_CH3_INT_SRC: (Адрес = 0x460; После сброса = 11'b0)

Биты	Название	Тип доступа	**Описание**
0	hif_ch3_int	R	Значение единицы указывает на то, что прерывание от блока HIF в состоянии ожидания. Это значение формируется по «ИЛИ» от всех источников прерываний в блоке HIF
1	bdp_csr_rx_cbd_ch3_int	R	Устанавливается в единицу, если любой из cbd_int_en в BD установлен в единицу во время burst-транзакции записи буферов дескрипторов наружу
2	bdp_csr_rx_pkt_ch3_int	R	Устанавливается в единицу, если любой из pkt_int_en в BD установлен в единицу во время burst-транзакции записи буферов дескрипторов наружу
3	bdp_csr_tx_cbd_ch3_int	R	Устанавливается в единицу, если любой из cbd_int_en в BD установлен в единицу во время burst-транзакции записи буферов дескрипторов наружу. Зарезервирован в режиме BD_ONE_RD_ONE_WR
4	bdp_csr_tx_pkt_ch3_int	R	Устанавливается в единицу, если любой из pkt_int_en в BD установлен в единицу во время burst-транзакции записи буферов дескрипторов наружу. Зарезервирован в режиме BD_ONE_RD_ONE_WR
5	bdp_rd_csr_rx_timeout_ch3_int	R	Таймаут чтения HIF Rx BD
6	bdp_wr_csr_rx_timeout_ch3_int	R	Таймаут записи HIF Rx BD
7	bdp_rd_csr_tx_timeout_ch3_int	R	Таймаут чтения HIF Tx BD
8	bdp_wr_csr_tx_timeout_ch3_int	R	Таймаут записи HIF Tx BD. Зарезервирован в режиме BD_ONE_RD_ONE_WR
9	dxr_csr_rx_timeout_ch3_int	R	Таймаут HIF DXR RX
10	dxr_csr_tx_timeout_ch3_int	R	Таймаут HIF DXR TX

Таблица 851 – Биты регистра HIF_CH3_INT_EN: (Адрес = 0x464; После сброса = 11'b0)

Биты	Название	Тип доступа	Описание
0	hif_ch3_int_en	R/W	Бит общего разрешения прерываний HIF
1	bdp_csr_rx_cbd_ch3_int_en	R/W	Бит разрешения прерывания HIF RX BDP
2	bdp_csr_rx_pkt_ch3_int_en	R/W	Бит разрешения прерывания завершения пакета HIF RX

Биты	Название	Тип доступа	Описание
3	bdp_csr_tx_cbd_ch3_int_en	R/W	Бит разрешения прерывания HIF TX BDP
4	bdp_csr_tx_pkt_ch3_int_en	R/W	Бит разрешения прерывания завершения пакета HIF TX
5	bdp_rd_csr_rx_timeout_ch3_int_en	R/W	Бит разрешения прерывания таймаут чтения HIF RX BDP
6	bdp_wr_csr_rx_timeout_ch3_int_en	R/W	Бит разрешения прерывания таймаут записи HIF RX BDP
7	bdp_rd_csr_tx_timeout_ch3_int_en	R/W	Бит разрешения прерывания таймаут чтения HIF TX BDP
8	bdp_wr_csr_tx_timeout_ch3_int_en	R/W	Бит разрешения прерывания таймаут записи HIF TX BDP
9	dxr_csr_rx_timeout_ch3_int_en	R/W	Бит разрешения прерывания таймаут DXR RX
10	dxr_csr_tx_timeout_ch3_int_en	R/W	Бит разрешения прерывания таймаут DXR TX

Таблица 852 – Биты регистра HIF_TX_RD_CURR_BD_LOW_ADDR_CH3: (Адрес = 0x480; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	bdp_rd_curr_tx_bd_low_ addr_ch3_in	R	Это поле регистра содержит младшую часть адреса текущего дескриптора, обрабатываемого процессором буфера дескриптора (BDP)

Таблица 853 – Биты регистра HIF_TX_WR_CURR_BD_LOW_ADDR_CH3: (Адрес = 0x488; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	bdp_wr_curr_tx_bd_ low_addr_ch3_in	R	Это поле регистра содержит младшую часть адреса текущего дескриптора, обрабатываемого процессором буфера дескриптора (BDP). Зарезервировано в режиме BD_ONE_RD_ONE_WR

Таблица 854 – Биты регистра HIF_BDP_CH3_TX_FIFO_CNT: (Адрес = 0x490; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
15 – 0	bdp_csr_tx_rd_ch3_FIFO_cnt_in	R	Это поле соотетствует количеству FIFO чтения на стороне tx
31 – 16	bdp_csr_tx_wr_ch3_FIFO_cnt_in	R	Это поле соотетствует количеству FIFO записи на стороне tx

Таблица 855 – Биты регистра HIF_TX_DMA_STATUS_0_CH3: (Адрес = 0x494; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
15 – 0	dxr_csr_tx_curr_buflen_ch3_in	R	Это поле возвращает длину текущего буфера или длину передачи
31 – 16	dxr_csr_tx_lbuf_bytecnt_ch3_in	R	Это поле предоставляет информацию о пространстве внутреннего FIFO

Таблица 856 – Биты регистра HIF_TX_STATUS_0_CH3: (Адрес = 0x498; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	bdp_csr_tx_bd_word0_ch3_in	R	Это поле содержит текущий TX дескриптор управляющего слова

Таблица 857 – Биты регистра HIF_TX_STATUS_1_CH3: (Адрес = 0x49c; После сброса = 32'h2000_0000)

Биты	Название	Тип доступа	Описание
31 – 0	dxr_csr_tx_bd_word0_ch3_in	R	Это поле содержит текущий TX дескриптор управляющего слова данные которого были прочитаны

Таблица 858 – Биты регистра HIF_TX_PKT_CNT0_CH3: (Адрес = 0x4a0; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	dxr_csr_tx_req_pkt_cnt_ch3	R	Это поле регистра содержит число пакетов данных запрашиваемых из системной памяти

Таблица 859 – Биты регистра HIF_TX_PKT_CNT1_CH3: (Адрес = 0x4a4; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	dxr_csr_tx_bus_data_pkt_cnt_ch3	R	Это поле регистра содержит число пакетов данных, полученных из системной памяти

Таблица 860 – Биты регистра HIF_TX_PKT_CNT2_CH3: (Адрес = 0x4a8; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	dxr_csr_tx_app_ data_pkt_cnt_ch3	R	Это поле регистра содержит число пакетов данных, записанных приложению

Таблица 861 – Биты регистра HIF_RX_RD_CURR_BD_LOW_ADDR_CH3: (Адрес = 0x4c0; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	bdp_rd_curr_rx_bd_ low_addr_ch3_in	R	Это поле регистра содержит младшую часть базового адреса принимающих регионов DMA. Это поле зарезервировано в режиме BD_ONE_RD_ONE_WR

Таблица 862 – Биты регистра HIF_RX_WR_CURR_BD_LOW_ADDR_CH3: (Адрес = 0x4c8; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	bdp_wr_curr_rx_bd_low_ addr_ch3_in	R	Это поле регистра содержит младшую часть базового адреса принимающих регионов DMA

Таблица 863 – Биты регистра HIF_BDP_CH3_RX_FIFO_CNT: (Адрес = 0x4d0; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
15 – 0	bdp_csr_rx_rd_ch3_FIFO_cnt_in	R	Это поле соотетствует количеству FIFO чтения на стороне rx
31 – 16	bdp_csr_rx_wr_ch3_FIFO_cnt_in	R	Это поле соотетствует количеству FIFO записи на стороне rx

Таблица 864 – Биты регистра HIF_RX_DMA_STATUS_0_CH3: (Адрес = 0x4d4; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
15 – 0	dxr_csr_rx_curr_buflen_ch3_in	R	Это поле возвращает длину текущего буфера или длину приема
31 – 16	dxr_csr_rx_lbuf_bytecnt_ch3_in	R	Это поле предоставляет информацию о пространстве внутреннего FIFO

Таблица 865 – Биты регистра HIF_RX_STATUS_0_CH3: (Адрес = 0x4d8; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	bdp_csr_rx_bd_word0_ch3_in	R	Это поле регистра содержит RX дескриптор управляющего слова

Таблица 866 – Биты регистра HIF_RX_PKT_CNT0_CH3: (Адрес = 0x4dc; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	dxr_csr_rx_bus_data_pkt_cnt_ch3	R	Это поле регистра содержит число пакетов данных, записанных в системную память для rx

Таблица 867 – Биты регистра HIF_RX_PKT_CNT1_CH3: (Адрес = 0x4e0; После сброса = 32'h0)

Биты	Название	Тип доступа	Описание
31 – 0	dxr_csr_rx_app_data_pkt_cnt_ch3	R	Это поле регистра содержит число пакетов данных, полученных от приложения для rx

11.11.7 Регистры EMAC

Конфигурационные регистры EMAC – это регистры модуля GEM GXL. Более детальное описание регистров представлено в спецификации User Guide GEM GXL (высылается по запросу, отправленному на support@milandr.ru).

Регистр управления EMAC – это дополнительный регистр, добавленный в пространство регистров EMAC (0x08A0 – регистр управления EMAC), внешний по отношению к регистрам, используемым GEM.

Таблица 868 – Биты регистра EMAC Control Register: (Адрес = 0x08A0; После сброса = 8'hB0)

Биты	Название	Тип доступа	Описание
3 – 0	Зарезервировано	R	Зарезервировано
5 – 4	tsu_incr_ctrl	R/W	Значение по умолчанию 2’b11. В случае, если установлен бит pps_mode и, всякий раз, когда возникает импульс на входе emac1_pps, биты tsu_incr_ctrl GEM GXL переводятся в ноль
6	tsu_ms	R/W	Значение по умолчанию ноль. Порт tsu_ms EMAC подключен к биту этого регистра

Биты	Название	Тип доступа	Описание
7	pps_mode	R/W	Значение по умолчанию единица. *В случае, если бит pps_mode установлен.* Всякий раз, при возникновении импульса на входе emac1_pps, биты tsu_incr_ctrl GEM GXL переводятся в ноль. Кроме того, они управляются битами [5:4] этого регистра. Вход emac1_pps синхронизирован с частотой tsu_clk = 50 МГЦ, от который генерируется импульс. PPS IN необходимо установить не менее, чем на один цикл частоты tsu_clk. *В случае, если бит pps_mode не установлен.* Биты tsu_incr_ctrl регистра tsu_control_reg будут подключены к битам emac1_tsu_incr_ctrl

11.11.8 Контекстная память TMU

11.11.8.1 Введение

В контекстной памяти хранится статистика, относящаяся к очередям и некоторая информация об алгоритмах планирования. Для каждой очереди восемь местоположений, распределенных для каждого PHY. Для каждого PHY свои восемь очередей. Общее число местоположений для PHY $8 \cdot 8 = 64$. И ширина каждого местоположения 32 бита. Очередь Q0 занимает местоположение 0-7, и Q7 занимает местоположение 56-63.

Таблица 869 – Описание очередей

Местоположение очереди/адрес	Название	Описание
0	CurQ_head ptr[8:0], curQ_tail_ptr[8:0]	Применяется для внутренней функциональности блока TMU
1	CurQ_pkt_cnt[31:0]	Сообщает о текущем пакете в очереди
2	curQ_drop_cnt[31:0]	Количество пакетов, отброшенных для этой очереди
3	curQ_trans_cnt[31:0]	Сообщает о накопленном количестве пакетов, переданных для этой очереди
4	curQ_Qmax[8:0], curQ_Qmin[8:0],curQ_cfg[1:0]	Если curQ_cfg = 2'b01, конец очереди отбрасывается. В случае отбрасывания конца очереди, если curQ_pkt_cnt> = curQ_Qmax, пакеты будут отбрасываться. Если curQ_cfg = 2'b10, отбрасывание по алгоритму WRED. В случае WRED, если число пакетов больше или равно curQ_Qmax или curQ_pkt_cnt>

Местоположение очереди/адрес	Название	Описание
		curQ_min, с вероятностью пакеты будут отброшены
5	curQ_hw_prob_cfg_tbl0[31:0]	Вероятность отбрасывания пакетов при WRED отбрасывании
6	curQ_hw_prob_cfg_tb1[31:0]	
7	Зарезервировано	Зарезервировано

11.11.8.2 Конфигурационные регистры контекстной памяти TMU

Регистры, перечисленные ниже, используются для непрямого доступа к контекстной памяти TMU.

Таблица 870 – Биты регистра TMU_CNTX_ACCESS_CTRL: (Адрес = 0x2F0; После сброса = 1'b0)

Биты	Название	Тип доступа	Описание
0	csr_cntx_access_ctrl	R/W	Управляет прямым/непрямым доступом в контекстную память: 0 – непрямой доступ; 1 – прямой доступ. Программное обеспечение использует только не прямой доступ

Таблица 871 – Биты регистра *TMU_CNTX_ADDR: (Адрес = 0x2F4; После сброса = 20'b0)*

Биты	Название	Тип доступа	Описание
15 – 0	csr_cntx_ind_addr	R/W	В этот регистр записывается адрес контекстной памяти. Для каждого PHY контекстная память имеет 64 поля, которые разделены по 8 регистров на очередь. Очередь Q0 занимает поля с 0-7, очередь Q7 занимает поля 56-63. Каждая очередь имеет следующие регистры: 0:{curQ_head_ptr, curQ_tail_ptr} 1:curQ_pkt_cnt 2:curQ_drop_cnt 3:curQ_trans_cnt 4:{curQ_Qmax, curQ_Qmin, curQ_cfg} 5:curQ_hw_prob_cfg_tbl0 6:curQ_hw_prob_cfg_tbl1 7:curQ_dbg
20 – 16	csr_cntx_ind_phy_no	R/W	Поле номера PHY

Таблица 872 – Биты регистра *TMU_CNTX_DATA: (Адрес = 0x2F8; После сброса = 32'b0)*

Биты	Название	Тип доступа	Описание
31 – 0	csr_cntx_ind_data	R/W	Содержит данные чтения/записи в зависимости от команды

Таблица 873 – Биты регистра *TMU_CNTX_CMD: (Адрес = 0x2FC; После сброса = 3'b0)*

Биты	Название	Тип доступа	Описание
0	csr_cntx_ind_cmd	R/W	0 – для чтения; 1 – для записи
1	csr_cntx_ind_start	R/W	Записать единицу для начала контекстного доступа
2	csr_cntx_ind_done	R	Бит окончания операции контекстного доступа; опросом бита определяется завершение доступа

11.11.8.3 Чтение контекстной памяти

1 Запрограммировать TMU_CNTX_ACCESS_CTRL значением ноль (непрямой доступ).

2 Запрограммировать TMU_CNTX_ADDR*:*

а) в позициях 15:0 – местоположение доступа. Диапазон значений от 0 до 63. Для каждого PHY имеем 64 местоположения;

б) в позициях 20:16 – номер PHY, диапазон значений от 0 до 17.

3 Запрограммировать TMU_CNTX_CMD:

а) бит 0 значением ноль;

б) бит 1 значением один для старта команды.

4 Ожидание завершение команды с помощью csr_cntx_ind_done (бит 2 регистра TMU_CNTX_CMD).

5 Чтение данных из регистра TMU_CNTX_DATA.

11.11.8.4 Запись контекстной памяти

1 Запрограммировать TMU_CNTX_ACCESS_CTRL значением ноль (непрямой доступ).

2 Запрограммировать TMU_CNTX_ADDR:

а) в позициях 15:0 – местоположение доступа. Диапазон значений от 0 до 63. Для каждого PHY имеем 64 местоположения;

б) в позициях 20:16 – номер PHY, диапазон значений от 0 до 17.

3 Записать данные, которые должны быть записаны в контекстную память в регистр TMU_CNTX_DATA.

4 Запрограммировать TMU_CNTX_CMD*:*

а) бит 0 – значением один;

б) бит 1 – значением один для старта команды.

5 Ожидание завершение команды с помощью csr_cntx_ind_done (бит 2 регистра TMU_CNTX_CMD).

11.11.9 Конфигурация TMU TDQ (планировщик/формирователь)

11.11.9.1 Конфигурационные регистры планировщика

Таблица 874 – Биты регистра *TMU_SCH0_CTRL: (Адрес = 0x000; После сброса = 32'b0)*

Биты	Название	Тип доступа	Описание
3 – 0	csr_sch0_algo	R/W	Тип алгоритма планировщика: 0 – по приоритету очереди; 2 – DWRR; 3 – циклический алгоритм; 4 – WRR

Таблица 875 – Биты регистра TMU_SCH0_Q0_WGHT: (Адрес = 0x020; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
31 – 0	csr_sch0_q0_wght	R/W	Вес планировщика Q0

Таблица 876 – Биты регистра TMU_SCH0_Q1_WGHT: (Адрес = 0x024; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
31 – 0	csr_sch0_q1_wght	R/W	Вес планировщика Q1

Таблица 877 – Биты регистра TMU_SCH0_Q2_WGHT: (Адрес = 0x028; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
31 – 0	csr_sch0_q2_wght	R/W	Вес планировщика Q2

Таблица 878 – Биты регистра TMU_SCH0_Q3_WGHT: (Адрес = 0x02C; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
31 – 0	csr_sch0_q3_wght	R/W	Вес планировщика Q3

Таблица 879 – Биты регистра TMU_SCH0_Q4_WGHT: (Адрес = 0x030; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
31 – 0	csr_sch0_q4_wght	R/W	Вес планировщика Q4

Таблица 880 – Биты регистра TMU_SCH0_Q5_WGHT: (Адрес = 0x034; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
31 – 0	csr_sch0_q5_wght	R/W	Вес планировщика Q5

Таблица 881 – Биты регистра TMU_SCH0_Q6_WGHT: (Адрес = 0x038; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
31 – 0	csr_sch0_q6_wght	R/W	Вес планировщика Q6

Таблица 882 – Биты регистра TMU_SCH0_Q7_WGHT: (Адрес = 0x03C; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
31 – 0	csr_sch0_q7_wght	R/W	Вес планировщика Q7

Таблица 883 – Биты регистра TMU_SCH0_Q_ALLOC0: (Адрес = 0x040; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
4 – 0	sch0_q_no_0	R/W	Номер очереди, запрограммированной в очередь-0 планировщика
12 – 8	sch0_q_no_1	R/W	Номер очереди, запрограммированной в очередь-1 планировщика
20 – 16	sch0_q_no_2	R/W	Номер очереди, запрограммированной в очередь-2 планировщика
28 – 24	sch0_q_no_3	R/W	Номер очереди, запрограммированной в очередь-3 планировщика
7 – 5, 15 – 13, 23 – 21, 31 – 29	Зарезервировано	R	Зарезервировано

Таблица 884 – Биты регистра TMU_SCH0_Q_ALLOC1: (Адрес = 0x044; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
4 – 0	sch0_q_no_4	R/W	Номер очереди, запрограммированной в очередь-4 планировщика
12 – 8	sch0_q_no_5	R/W	Номер очереди, запрограммированной в очередь-5 планировщика

Биты	Название	Тип доступа	Описание
20 – 16	sch0_q_no_6	R/W	Номер очереди, запрограммированной в очередь-6 планировщика
28 – 24	sch0_q_no_7	R/W	Номер очереди, запрограммированной в очередь-7 планировщика
7 – 5, 15 – 13, 23 – 21, 31 – 29	Зарезервировано	R	Зарезервировано

Таблица 885 – Биты регистра TMU_SCH0_BIT_RATE: (Адрес = 0x048; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
4 – 0	csr_sch0_bit_rate	R/W	0 – скорость данных; 1 – скорость пакетов

Таблица 886 – Биты регистра TMU_SCH0_POS: (Адрес = 0x054; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
3 – 0	csr_sch0_pos	R/W	Номер очереди планировщика 1, в которую маппируется планировщик 0

Таблица 887 – Биты регистра TMU_SCH1_CTRL: (Адрес = 0x300; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
3 – 0	csr_sch1_algo	R/W	Тип алгоритма планировщика: 0 – по приоритету очереди; 2 – DWRR; 3 – циклический алгоритм; 4 – WRR

Таблица 888 – Биты регистра TMU_SCH1_Q0_WGHT: (Адрес = 0x320; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
31 – 0	csr_sch1_q0_wght	R/W	Вес планировщика Q0

Таблица 889 – Биты регистра TMU_SCH1_Q1_WGHT: (Адрес = 0x324; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
31 – 0	csr_sch1_q1_wght	R/W	Вес планировщика Q1

Таблица 890 – Биты регистра TMU_SCH1_Q2_WGHT: (Адрес = 0x328; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
31 – 0	csr_sch1_q2_wght	R/W	Вес планировщика Q2

Таблица 891 – Биты регистра TMU_SCH1_Q3_WGHT: (Адрес = 0x32C; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
31 – 0	csr_sch1_q3_wght	R/W	Вес планировщика Q3

Таблица 892 – Биты регистра TMU_SCH1_Q4_WGHT: (Адрес = 0x330; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
31 – 0	csr_sch1_q4_wght	R/W	Вес планировщика Q4

Таблица 893 – Биты регистра TMU_SCH1_Q5_WGHT: (Адрес = 0x334; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
31 – 0	csr_sch1_q5_wght	R/W	Вес планировщика Q5

Таблица 894 – Биты регистра TMU_SCH1_Q6_WGHT: (Адрес = 0x338; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
31 – 0	csr_sch1_q6_wght	R/W	Вес планировщика Q6

Таблица 895 – Биты регистра TMU_SCH1_Q7_WGHT: (Адрес = 0x33C; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
31 – 0	csr_sch1_q7_wght	R/W	Вес планировщика Q7

Таблица 896 – Биты регистра TMU_SCH1_Q_ALLOC0: (Адрес = 0x340; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
4 – 0	sch1_q_no_0	R/W	Номер очереди, запрограммированной в очередь-0 планировщика

Биты	Название	Тип доступа	Описание
12 – 8	sch1_q_no_1	R/W	Номер очереди, запрограммированной в очередь-1 планировщика
20 – 16	sch1_q_no_2	R/W	Номер очереди, запрограммированной в очередь-2 планировщика
28 – 24	sch1_q_no_3	R/W	Номер очереди, запрограммированной в очередь-3 планировщика
7 – 5, 15 – 13, 23 – 21, 31 – 29	Зарезервировано	R	Зарезервировано

Таблица 897 – Биты регистра TMU_SCH1_Q_ALLOC1: (Адрес = 0x344; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
4 – 0	sch1_q_no_4	R/W	Номер очереди, запрограммированной в очередь-4 планировщика
12 – 8	sch1_q_no_5	R/W	Номер очереди, запрограммированной в очередь-5 планировщика
20 – 16	sch1_q_no_6	R/W	Номер очереди, запрограммированной в очередь-6 планировщика
28 – 24	sch1_q_no_7	R/W	Номер очереди, запрограммированной в очередь-7 планировщика
7 – 5, 15 – 13, 23 – 21, 31 – 29	Зарезервировано	R	Зарезервировано

Таблица 898 – Биты регистра TMU_SCH1_BIT_RATE: (Адрес = 0x348; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
4 – 0	csr_sch1_bit_rate	R/W	0 – скорость данных; 1 – скорость пакетов

11.11.9.2 Конфигурационные регистры формирователя

Таблица 899 – Биты регистра TMU_SHP0_CTRL: (Адрес = 0x800; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
0	csr_shp0_en	R/W	1 – формирователь 0 разрешен
31 – 1	csr_shp0_clk_div	R/W	Значение делителя частоты для формирователя 0

Таблица 900 – Биты регистра TMU_SHP0_WGHT: (Адрес = 0x804; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
31 – 0	csr_shp0_wght	R/W	11:0 – значение дробной части веса; 19:12 – значение целой части веса

Таблица 901 – Биты регистра TMU_SHP0_MAX_CREDIT: (Адрес = 0x808; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
31 – 0	csr_shp0_max_credit	R/W	9:0 – 0; 31:10 – максимальное значение кредита, которе может быть накоплено

Таблица 902 – Биты регистра TMU_SHP0_CTRL2: (Адрес = 0x80C; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
0	csr_shp0_bit_rate	R/W	0 – скорость данных; 1 – скорость пакета
5 – 1	csr_shp0_pos	R/W	Позиция очереди, с которой ассоциируется формирователь 0
6	csr_shp0_mode	R/W	1 – формирователь на основе кредита; 0 – обычный формирователь

Таблица 903 – Биты регистра TMU_SHP0_MIN_CREDIT: (Адрес = 0x810; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
21 – 0	csr_shp0_min_credit	R/W	Минимальное значение кредита

Таблица 904 – Биты регистра TMU_SHP0_STATUS: (Адрес = 0x814; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
23 – 0	csr_shp0_status	R	

Таблица 905 – Биты регистра TMU_SHP1_CTRL: (Адрес = 0x900; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
0	csr_shp1_en	R/W	1 – формирователь 1 разрешен
31 – 1	csr_shp1_clk_div	R/W	Значение делителя частоты для формирователя 1

Таблица 906 – Биты регистра TMU_SHP1_WGHT: (Адрес = 0x904; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
31 – 0	csr_shp1_wght	R/W	11:0 – значение дробной части веса; 19:12 – значение целой части веса

Таблица 907 – Биты регистра TMU_SHP1_MAX_CREDIT: (Адрес = 0x908; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
31 – 0	csr_shp1_max_credit	R/W	9:0 – 0; 31:10 – максимальное значение кредита, которе может быть накоплено

Таблица 908 – Биты регистра TMU_SHP1_CTRL2: (Адрес = 0x90C; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
0	csr_shp1_bit_rate	R/W	0 – скорость данных; 1 – скорость пакета
5 – 1	csr_shp1_pos	R/W	Позиция очереди, с которой ассоциируется формирователь 1
6	csr_shp1_mode	R/W	1 – формирователь на основе кредита; 0 – обычный формирователь

Таблица 909 – Биты регистра TMU_SHP1_MIN_CREDIT: (Адрес = 0x910; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
21 – 0	csr_shp1_min_credit	R/W	Минимальное значение кредита

Таблица 910 – Биты регистра TMU_SHP1_STATUS: (Адрес = 0x914; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
23 – 0	csr_shp1_status	R	

Таблица 911 – Биты регистра TMU_SHP2_CTRL: (Адрес = 0xA00; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
0	csr_shp2_en	R/W	1 – формирователь 2 разрешен
31 – 1	csr_shp2_clk_div	R/W	Значение делителя частоты для формирователя 2

Таблица 912 – Биты регистра TMU_SHP2_WGHT: (Адрес = 0xA04; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
31 – 0	csr_shp2_wght	R/W	11:0 – значение дробной части веса; 19:12 – значение целой части веса

Таблица 913 – Биты регистра TMU_SHP2_MAX_CREDIT: (Адрес = 0xA08; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
31 – 0	csr_shp2_max_credit	R/W	9:0 – 0; 31:10 – максимальное значение кредита, которе может быть накоплено

Таблица 914 – Биты регистра TMU_SHP2_CTRL2: (Адрес = 0xA0C; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
0	csr_shp2_bit_rate	R/W	0 – скорость данных; 1 – скорость пакета
5 – 1	csr_shp2_pos	R/W	Позиция очереди, с которой ассоциируется формирователь 2
6	csr_shp2_mode	R/W	1 – формирователь на основе кредит; 0 – обычный формирователь

Таблица 915 – Биты регистра TMU_SHP2_MIN_CREDIT: (Адрес = 0xA10; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
21 – 0	csr_shp2_min_credit	R/W	Минимальное значение кредита

Таблица 916 – Биты регистра TMU_SHP2_STATUS: (Адрес = 0xA14; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
23 – 0	csr_shp2_status	R	

Таблица 917 – Биты регистра TMU_SHP3_CTRL: (Адрес = 0xB00; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
0	csr_shp3_en	R/W	1 – формирователь 3 разрешен
31 – 1	csr_shp3_clk_div	R/W	Значение делителя частоты для формирователя 3

Таблица 918 – Биты регистра TMU_SHP3_WGHT: (Адрес = 0xB04; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
31 – 0	csr_shp3_wght	R/W	11:0 – значение дробной части веса; 19:12 – значение целой части веса

Таблица 919 – Биты регистра TMU_SHP3_MAX_CREDIT: (Адрес = 0xB08; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
31 – 0	csr_shp3_max_credit	R/W	9:0 – 0; 31:10 – максимальное значение кредита, которе может быть накоплено

Таблица 920 – Биты регистра TMU_SHP3_CTRL2: (Адрес = 0xB0C; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
0	csr_shp3_bit_rate	R/W	0 – скорость данных; 1 – скорость пакета
5 – 1	csr_shp3_pos	R/W	Позиция очереди, с которой ассоциируется формирователь 3
6	csr_shp3_mode	R/W	1 – формирователь на основе кредита; 0 – обычный формирователь

Таблица 921 – Биты регистра TMU_SHP3_MIN_CREDIT: (Адрес = 0xB10; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
21 – 0	csr_shp3_min_credit	R/W	Минимальное значение кредита

Таблица 922 – Биты регистра TMU_SHP3_STATUS: (Адрес = 0xB14; После сброса = 32'b0)

Биты	Название	Тип доступа	Описание
23 – 0	csr_shp3_status	R	

11.11.9.3 Конфигурация TDQ драйвера по умолчанию

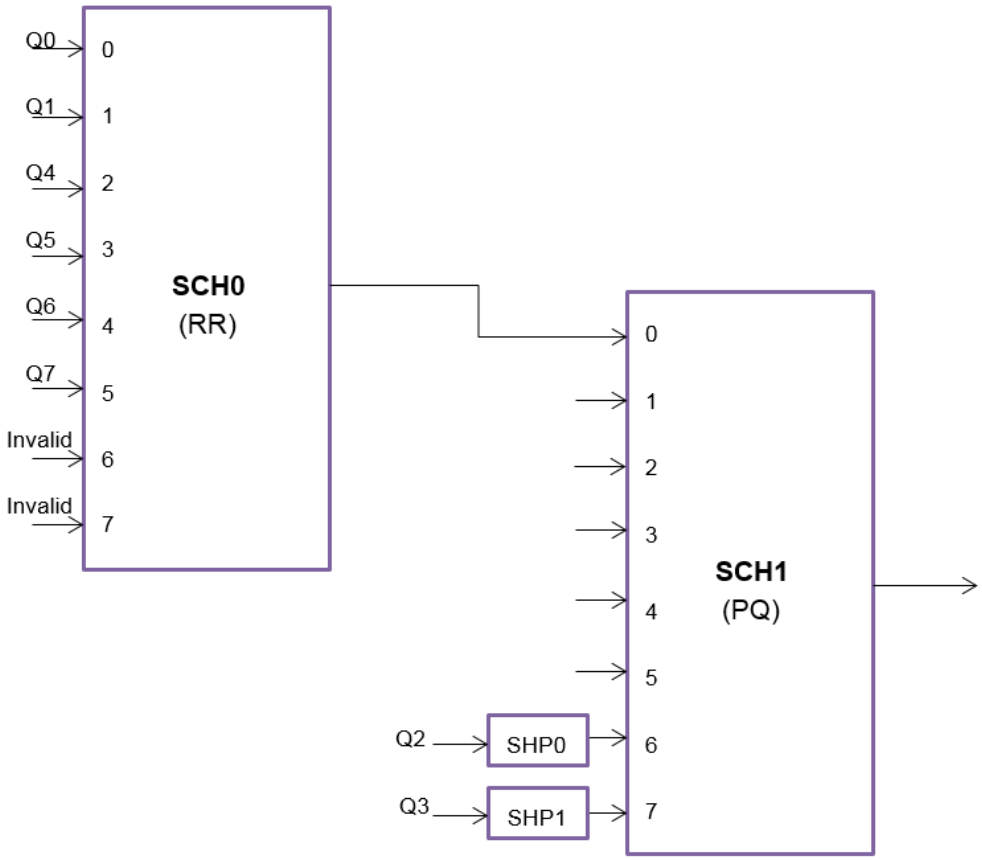


Рисунок 43 – Конфигурация TMU по умолчанию

11.11.9.4 Программирование планировщика TMU

1 Запрограммировать алгоритм планировщика в регистр TMU_SCH0_CTRL.

2 Запрограммировать TMU_SCH0_Q0_WGHT-TMU_SCH0_Q7_WGHT веса для алгоритмов WRR и DWRR.

3 Разместить очереди на входы планировщика программированием регистров TMU_SCH0_Q_ALLOC0 и TMU_SCH0_Q_ALLOC1.

4 Повторить вышеописанные шаги для SCH1.

5 Запрограммировать регистр TMU_SCH0_POS.

11.11.9.5 Программирование формирователя TMU

1 Запрограммировать разрешение формирователей и делители частоты в регистре TMU_SHP0_CTRL.

2 Запрограммировать веса формирователей в TMU_SHP0_WGHT.

3 Запрограммировать регистры TMU_SHP0 максимального и минимального кредитов.

4 Запрограммировать скорость формирователя, режим и позицию в регистре TMU_SHP0_CTRL2.

5 Повторить шаги выше для формирователей 1, 2 и 3, руководствуясь требованиями.

11.11.9.6 Пример расчета веса формирователя

Скорость = 100 Мбит/с ($100 \cdot 10^6$)

Делитель частоты = 2048

Системная частота = 200 МГц

Ширина дробной части = 12

Расчет веса = (Скорость(Мбит/с) · Делитель частоты · ($2^{(\text{Ширина дробной части})}$ / 8)) / Системная частота (МГц);

Вес = $100 \cdot 2048 \cdot (4096/(8 \cdot 200)) = 524288$

Целая часть веса = 8'h80

Дробная часть веса = 12'h000

11.11.9.7 Значения конфигурационных регистров для конфигурации TMU по умолчанию

1 TMU_SCH0_CTRL : Биты 3:0 – 4’h3

2 TMU_SCH0_Q_ALLOC0 : Биты 4:0 – 5’h0
Биты 12:8 – 5’h1
Биты 20:16 – 5’h4
Биты 28:24 – 5’h5

Другие биты зарезервированы, поэтому – 0

3 TMU_SCH0_Q_ALLOC1 : Биты 4:0 – 5’h6
Биты 12:8 – 5’h7
Биты 20:16 – Invalid (значение = 5’hA)
Биты 28:24 – Invalid (значение = 5’hA)

Другие биты зарезервированы, поэтому – 0

4 TMU_SCH0_POS : Биты 3:0 – 4’h0

5 TMU_SCH1_CTRL : Биты 3:0 – 4’h0

6 TMU_SCH1_Q_ALLOC0 : Биты 4:0 – 5’h8 (SCH0)
Биты 12:8 – Invalid (значение = 5’hA)
Биты 20:16 – Invalid (значение = 5’hA)
Биты 28:24 – Invalid (значение = 5’hA)

Другие биты зарезервированы, поэтому – 0

7 TMU_SCH1_Q_ALLOC1 : Биты 4:0 – Invalid (значение = 5'hA)
Биты 12:8 – Invalid (значение = 5'hA)
Биты 20:16 – 5'h2
Биты 28:24 – 5'h3
Другие биты зарезервированы, поэтому – 0

8 TMU_SHP0_CTRL : Биты 0: 0 – 1 (разрешение формирователя 0)
Биты 31:1 – 31'hA ($\log_2$ (clk_div/2))

9 TMU_SHP0_WGHT : Биты 11:0 – 12'h000 (дробная часть веса)
Биты 19:12 – 8'h80 (целая часть веса)

10 TMU_SHP0_CTRL2 : Биты 0: 0 – 0 (скорость данных)
Биты 5:1 – 7 (позиция формирователя)
Биты 6 – 0 (обычный формирователь)

11 TMU_SHP1_CTRL : Биты 0: –- 1 (разрешение формирователя 1)
Биты 31:1 – 31'hA

12 TMU_SHP1_WGHT : Биты 11:0 – 12'h000 (дробная часть веса)
Биты 19:12 – 8'h80 (целая часть веса)

13 TMU_SHP1_CTRL2 : Биты 0: 0 – 0 (скорость данных)
Биты 5:1 – 8 (позиция формирователя)
Биты 6 – 0 (обычный формирователь)

12 Последовательный интерфейс мастер SPI

Микросхема может функционировать в режиме хост-контроллера, выдавая инструкции в режиме мастер SPI. В режиме MODE = 1 мастер SPI соединяется с микросхемой внешней памяти с помощью шины SPI, состоящей из четырех линий: nCE, SCK, SI, SO (линия с третьим состоянием). Для начала обмена данными необходимо установить входной сигнал nCE мастера SPI и внешней памяти в логический ноль. Рекомендуется использовать различные сигналы nCE для мастера SPI и ведомого устройства, так как по окончанию чтения всех необходимых данных ведущее устройство переходит в режим ведомого и может использоваться аналогично режиму MODE = 2.

Протокол SPI имеет четыре режима работы (0, 1, 2 или 3), различие между которыми заключается в полярности и фазе сигнала SCK. Микросхема поддерживает два, наиболее часто применяемых режима: 0 и 3. Временная диаграмма режимов SPI 0 и 3 приведена на рисунке 44. Различие между ними заключается в неактивном состоянии линии SCK (мастер SPI в режиме отсутствия передачи данных). В обоих режимах данные всегда захватываются с шины по переднему фронту SCK и всегда выставляются на шину по заднему фронту SCK. Микросхема формирует сигнал SCK на внешний модуль памяти до тех пор, пока сигнал nCE = 0 или, пока не прочитаны все необходимые данные. По окончанию работы микросхема останавливает формирование сигнала SCK и переходит в режим ведомого. После этого можно перевести сигнал nCE в неактивное состояние. Для формирования необходимой частоты сигнала SCK используются входы выбора частоты FREQ. Зависимость частоты от коэффициента FREQ приведена в таблице 923.

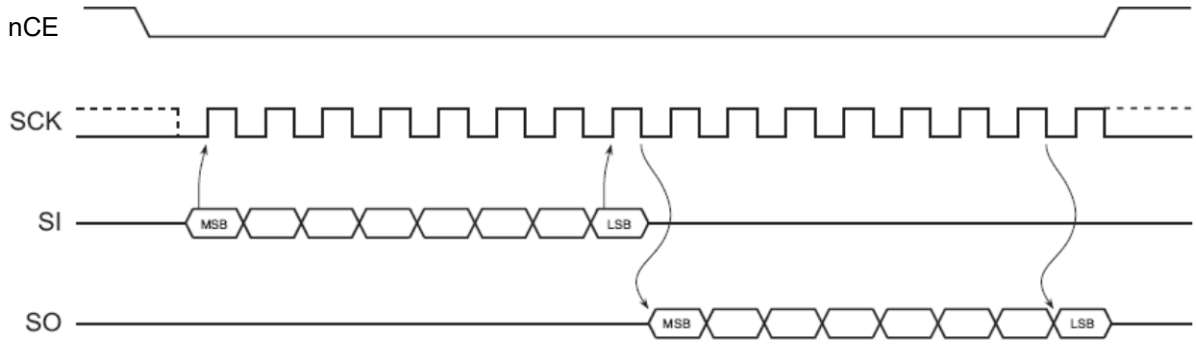


Рисунок 44 – Временная диаграмма режимов SPI 0 и 3

Таблица 923 – Таблица скоростей мастера SPI

Значение коэффициента FREQ	Частота SCK, МГц
0	Fоп/8
1	Fоп/16
2	Fоп/32
3	Fоп/64
4	Fоп/128
5	Fоп/256
6	Fоп/512
7	Fоп/1024
8	Fоп/2048

Значение коэффициента FREQ	Частота SCK, МГц
9	Fоп/4096
10	Fоп/8192
11	Fоп/16384
12	Fоп/32768
13-15	Fоп/65535
Обозначения в таблице: Fоп – опорная частота равная 200 МГц	

12.1 Команды и адресация

Допустимые инструкции или операции всегда должны начинаться установкой в активное состояние линии nCE. После того как nCE установлен, хост-контроллер выставляет на шину SPI достоверный восьмиразрядный код операции. Так как микросхема поддерживает только операцию чтения, далее выставляется адрес, тактируемый хост-контроллером. Код операции чтения, адрес и данные передаются на шину старшими разрядами вперед (MSB). Операция заканчивается переводом линии nCE в неактивное состояние.

Для передачи адреса, состоящего из адресных бит A23-A0, хост-контроллер посылает три байта информации по шине SPI.

Перечень поддерживаемых команд приведен в таблице 924. Описание команд приведено в последующих разделах.

Таблица 924 – Перечень поддерживаемых команд

Команда	Код команды	Частота, МГц	Байт адреса	Байт фиктивных	Байт данных
Read Array	0Bh 0000 1011	до 25	3	1	1

12.2 Операция чтения массива данных

Команда Read Array применяется хост-контроллером при чтении непрерывного потока данных из модуля памяти, обеспечивая тактирование на линии SCK, установив стартовый адрес один раз. Внешний модуль памяти содержит внутренний счетчик адреса, который автоматически инкрементируется на каждом периоде тактовых импульсов.

Для выполнения операции чтения линия nCE должна быть установлена в активное состояние, и код операции 0Bh передается в модуль памяти. После передачи кода операции хост-контроллер передает три байта адреса, определяющие стартовый адрес первого байта для чтения внутри массива данных. Следом за адресными байтами передается один фиктивный байт.

После передачи всей необходимой командной последовательности производиться считывание данных на линии SO. Данные всегда выставляются старшими разрядами вперед (MSB). Хост контроллер интерпретирует данные соответствующим образом: первые прочитанные 4 байта интерпретируются как адрес регистра, в который

необходимо произвести запись, последующие 4 байта интерпретируются как данные для записи. После получения 8 байт происходит запись данных в регистр микросхемы. После этого происходит считывание последующих 8 байт с записью в регистр и так далее. Если в первых 4 байтах хост-контроллер получит значение все единицы, он считает это признаком окончания процесса конфигурирования и переходит в режим ведомого MODE = 2. Для инициирования повторного процесса конфигурирования микросхемы необходимо осуществить сброс с помощью внешнего входа RESET.

Операцию чтения можно прекратить, не дожидаясь окончания конфигурирования микросхемы, установкой линии nCE в неактивное состояние. При этом линия SO перейдет в высокоимпедансное состояние.

Временная диаграмма операций чтения с кодом 0Bh приведена на рисунке 45.

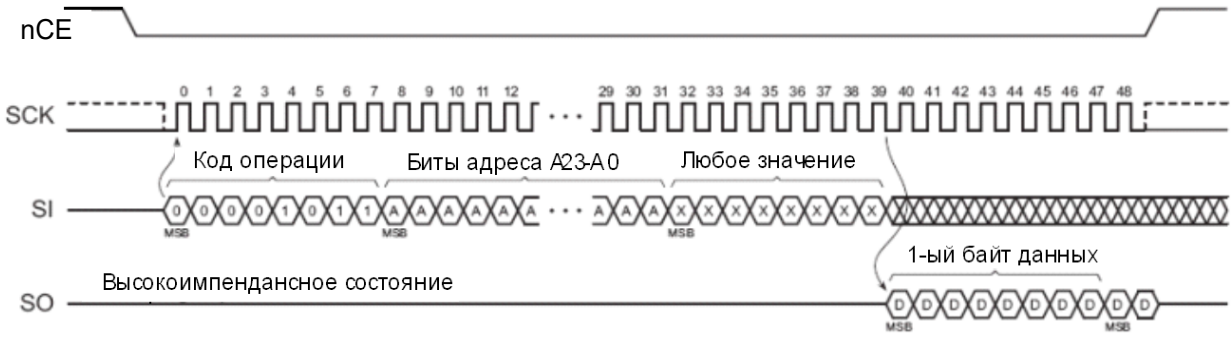


Рисунок 45 – Операция чтения с кодом 0Bh

13 Приватный VLAN

В коммутаторах Ethernet, VLAN – это широковещательный домен, в котором хосты устанавливают прямое соединение друг с другом на уровне L2. Если в VLAN представлено ненадежное устройство, возрастает проблема безопасности, потому что надежные и ненадежные устройства делят один и тот же широковещательный домен. Следовательно, очень важно предложить пользователям изолированный трафик уровня L2. Например, пользователь «A» не хочет, чтобы его фреймы уровня L2 были широковещательными для пользователя «B», который в той же VLAN. Также пользователь «A» не хочет обходить маршрутизатор или брандмауэр, а устанавливать прямое соединение уровня L2 с пользователем «B». Приватный VLAN разрешает эту проблему, достигая изоляции устройства через приложение специальных ограничений пересылки уровня L2. Некоторые механизмы позволяют конечным устройствам совместно использовать одну IP подсеть, в то время как уровень L2 изолирован, который в свою очередь позволяет дизайнерам сети увеличивать подсети и уменьшать потери управления адресом.

Обычный VLAN – это один широковещательный домен. Технология приватного VLAN разделяет большой широковещательный домен VLAN на под-домены. До настоящего времени технологией VLAN определялись два типа специальных под-домена: изолированный под-домен и общий под-домен. Каждый под-домен определяется присвоением соответствующего обозначения группе портов коммутатора.

В пределах домена VLAN существует три отдельных обозначения порта. Каждое обозначение порта имеет свой собственный набор правил, который регулирует возможность коммуникации между подключенными конечными точками в пределах приватного домена VLAN.

13.1 Типы портов

1 Изолированные порты: изолированный порт не может общаться с любым другим портом в домене приватный VLAN, за исключением смешанных портов.

2 Объединение портов: объединение портов – это часть группы портов, которые могут иметь соединение уровня L2 с другими портами объединения, а также со смешанными портами.

3 Смешанные порты: смешанные порты могут общаться со всеми другими типами портов. Смешанные порты могут общаться с изолированными портами также, как и объединением портов. Шлюзы уровня L3, DHCP сервера и другие надежные устройства, которым необходимо передавать сообщения конечной точке пользователя обычно соединяются через смешанные порты.

4 Соединительный порт между коммутаторами: это обычный порт, предназначенный для соединения двух коммутаторов (и иногда переносит две и более VLAN).

13.2 VLAN сотрудничество

Ограничения по коммуникации в приватной VLAN могут быть достигнуты созданием под-доменов в домене VLAN. Приватный домен VLAN строится с применением по крайней мере одной пары VLAN ID: один (и только один) первичный VLAN ID (Vp) плюс один или более вторичный VLAN ID (Vs). Вторичный VLAN ID может быть двух типов: изолированный VLAN (Vi) или объединение VLAN (Vc).

Под-домены могут быть представлены парой номеров VLAN:

<Vp, Vs> Vp первичный VLAN ID

Vs вторичный VLAN ID

где Vs может быть:

Vi (изолированный VLAN);

Vc (объединение VLAN).

Первичный VLAN – это уникальный и общий VLAN-идентификатор для всего приватного домена VLAN и для всех пар VLAN ID. Изолированный VLAN – это вторичный VLAN, чья отличительная характеристика в том, что все хосты, подключенные к этим портам, изолированы на уровне L2. Объединение VLAN – это вторичный VLAN, который ассоциируется с группой портов, объединенных в определенное «сообщество» конечных устройств с обоюдным доверительным взаимодействием. В приватных VLAN первичный VLAN применяется для перенаправления фреймов по направлению трафика от смешанного порта к изолированным портам или объединению портов. Вторичный VLAN применяется для перенаправления фреймов в обратную сторону от смешанного порта, в случае изолированной VLAN, а в случае объединения VLAN – к смешанному порту и внутрь объединения.

13.3 Реализация приватного VLAN в коммутаторе

Приватный VLAN – это расширение обычного VLAN, чтобы помочь ограничить трафик от пользователей в одной VLAN. Все операции, относящиеся к VLAN, остаются теми же самыми, но со следующими добавлениями. Каждый порт коммутатора конфигурируется как изолированный, объединение, смешанный или соединительный порт между коммутаторами. Также реализуется аналогичное конфигурирование программным обеспечением CLI. PVID смешанного порта устанавливается как первичный VLAN. Эта конфигурация тегирует пакеты входящие через смешанные порты с первичным VLAN. PVID изолированного порта устанавливается как изолированный VLAN. Эта конфигурация тегирует пакеты, входящие через изолированный порт с изолированным VLAN. PVID порта объединения устанавливает VLAN объединения. Эта конфигурация тегирует пакеты, входящие через порт объединения с VLAN объединения. В коммутаторе реализована установка PVID для портов и установка новых правил обучения MAC для портов и приватных VLAN. Описание реализованных правил обучения MAC представлено в следующих разделах.

13.3.1 Правила таблицы MAC для изолированного порта

Предположим, что порт с номером P1 конфигурируется как изолированный порт с первичным VLAN ID Vp и изолированным VLAN ID Vi. Когда первый пакет с MAC-адресом источника M1 приходит от изолированного порта, происходит несовпадение smac. Пакет передается на обработку программному обеспечению хоста. Программное обеспечение хоста добавляет следующие правила таблицу в MAC:

Vlan	Mac	Forward_Action	Forward_port_list
Vp	M1	act_forward	P1
Vi	M1	act_discard	P1

Первое правило предписывает то, что изолированный порт может принимать первичный VLAN. Второе правило добавляется из информации о конфигурации порта. Это правило предписывает то, что данные, полученные по VLAN Vi, будут отброшены, обеспечивая изоляцию порта.

13.3.2 Правила таблицы MAC для порта объединения

Предположим, что порт с номером P2 конфигурируется как порт объединения с первичным VLAN ID Vp и VLAN ID объединения Vc. Правила добавляются в таблицу MAC, когда происходит несовпадение MAC источника M2:

Vlan	Mac	Forward_Action	Forward_port_list
Vp	M2	act_forward	P2
Vc	M2	act_forward	P2

Эти правила предписывают то, что порт объединения может принимать первичный VLAN. Порт объединения может передавать и принимать трафик в пределах VLAN объединения.

13.3.3 Правила таблицы MAC для смешанного порта

Предположим, что порт с номером P3 конфигурируется как смешанный порт с первичным VLAN ID Vp, изолированным VLAN ID Vi и объединения VLAN ID Vc. Правила добавляются в таблицу MAC программным обеспечением, когда происходит несовпадение MAC источника M3:

Vlan	Mac	Forward_Action	Forward_port_list
Vp	M3	act_forward	P3
Vc	M3	act_forward	P3
Vi	M3	act_forward	P3

Смешанный порт может передавать/принимать первичный VLAN. Также может принимать трафик от изолированного порта и порта объединения Vi и Vc.

13.3.4 Правила таблицы MAC для соединительного порта между коммутаторами

Предположим, что порт с номером P4 сконфигурирован как соединительный порт между коммутаторами с первичным VLAN ID Vp, изолированным VLAN ID Vi и VLAN ID объединения Vc. Правила добавляются в таблицу MAC программным обеспечением, когда происходит несовпадение MAC источника M4:

Vlan	Mac	Forward_Action	Forward_port_list
Vp	M4	act_forward	P4
Vc	M4	act_forward	P4
Vi	M4	act_forward	P4

Соединительный порт между коммутаторами может передавать/принимать от всех VLAN в первичном VLAN.

13.3.5 Записи таблицы VLAN

Список переадресации порта для изолированной VLAN содержит смешанные порты и соединительные порты между коммутаторами. Список переадресации порта для объединения VLAN содержит смешанные порты, соединительные порты между коммутаторами, а также членов того же объединения VLAN. Список переадресации порта для первичной VLAN содержит все порты: изолированные, объединения, смешанные и соединительные между коммутаторами. Список нетегированных для изолированного VLAN содержит смешанные порты. Список нетегированных для объединения VLAN содержит смешанные и членов того же объединения VLAN. Список нетегированных для первичной VLAN содержит изолированные, порты объединения и смешанные порты.

13.4 Пример конфигурации

Предположим, коммутатор подключен к устройствам M1-M8 как указано на рисунке 46. Первичный VLAN ID равен 100. Изолированный VLAN равен 10, VLAN объединения равен 20.

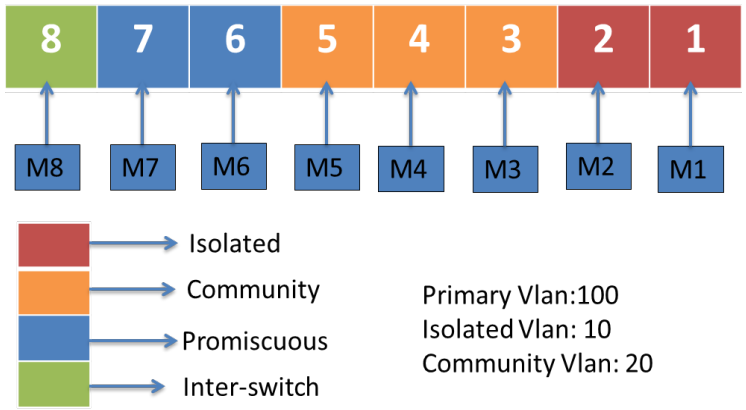


Рисунок 46 – Подключение коммутатора к устройствам

Конфигурация:
PVID смешанных портов (6, 7): 100
PVID изолированных портов (1, 2): 10
PVID портов объединения (3, 4, 5): 20

Конфигурация таблицы VLAN:

VLAN	Untag_list	Forward_list
100	0111 1111	1111 1111
10	0110 0000	1110 0000
20	0111 1100	1111 1100

Последовательность действий для входящего трафика изолированных портов и портов объединения рассматривается в следующих разделах.

13.4.1 Изолированный порт

13.4.1.1 Изолированный → Изолированный (M1 → M2)

PVID портов 1, 2 устанавливается как 10 (изолированный VLAN).

Нетегированный трафик поступает из портов 1, 2.

Ошибка поиска SA MAC в MAC-таблице.

Пакет передается на обработку хосту.

Добавляются правила MAC, как описано в подразделе 13.3.1.

Для второго пакета, поиск SA MAC успешен.

Результаты поиска записи для DA MAC в MAC-таблице: есть запись или нет записи

Если записи для DA MAC нет в MAC-таблице, пакет рассылается в порты списка VLAN 10.

Если запись для DA MAC есть в MAC-таблице, пакет отбрасывается согласно указанному действию act_discard.

Этим достигается изоляция между изолированными портами.

13.4.1.2 Изолированный → Объединение (M1 → M3)

PVID порта 1 устанавливается как 10 (изолированный VLAN).

PVID порта 3 устанавливается как 20 (VLAN объединения).

Ошибка поиска DA MAC в таблице.

Пакет переадресуется в порты списка VLAN 10.

Пакет никогда не достигает портов объединения, так как они не члены изолированной VLAN.

13.4.1.3 Изолированный → Смешанный (M1 → M6)

PVID порта 1 устанавливается как 10 (изолированный VLAN).

PVID порта 6 устанавливается как 100 (первичный VLAN).

Выполняется обучение MAC согласно подразделам 13.3.1 и 13.3.3.

DA MAC совпадает, пакет с smac M1, VLAN 10 достигает порта 6.

Порт 6 есть в нетегированном списке для VLAN 10, тэг удаляется, пересылается в порт 6.

13.4.1.4 Изолированный → Соединительные порт между коммутаторами (M1 → M8)

PVID порта 1 устанавливается как 10 (изолированный VLAN).

Происходит обучение порта 1 и порта 8.

Если DA MAC совпадает, пакет перенаправляется в соединительный порт между коммутаторами.

13.4.2 Порт объединения

13.4.2.1 Объединения → Изолированный (М3 → М1)

Нетегированный трафик поступает на порт 3.

PVID порта объединения равно 20. Пакеты всегда перенаправляются в VLAN 20 и никогда не достигают порта 1.

13.4.2.2 Объединения → Объединения (М3 → М4)

PVID портов 3, 4 устанавливается равное 20 (VLAN объединения).

М3, М4 обучаются согласно подразделу 13.3.2 на портах 3, 4.

DA MAC совпадает согласно правилам обучения, и пакет перенаправляется в порт 4.

Порт 4 в нетегированном списке для VLAN 20, тэг удаляется и перенаправляется в М4.

13.4.2.3 Объединение → Смешанный (М3 → М6)

PVID порта 3 устанавливается равным 20 (vlan объединения).

PVID порта 6 устанавливается равным 100 (первичный vlan).

Выполняется обучение согласно подразделам 13.3.2 и 13.3.3.

Для DA MAC есть запись в MAC-таблице, поэтому пакет с SA MAC М3, VLAN 20 достигает порта 6.

Порт 6 в нетегированном списке для VLAN 20, поэтому тэг удаляется и пакет направляется в порт 6.

13.4.2.4 Объединения → Соединительные порт между коммутаторами (М3 → М8)

PVID порта 3 устанавливается равным 20 (VLAN объединения).

Выполняется обучение для порта 3 и порта 8.

Пакет тегированный 20 покидает соединительный порт между коммутаторами.

13.4.3 Смешанный порт

Пакеты из смешанных портов тегируются с первичным VLAN.

Обучение MAC выполняется согласно подразделу 13.3.3.

Для второго пакета, если DA MAC не совпадает, пакет переадресуется в VLAN 100.

Если DA совпадает, перенаправляется в соответствующий порт и согласно нетегированному списку.

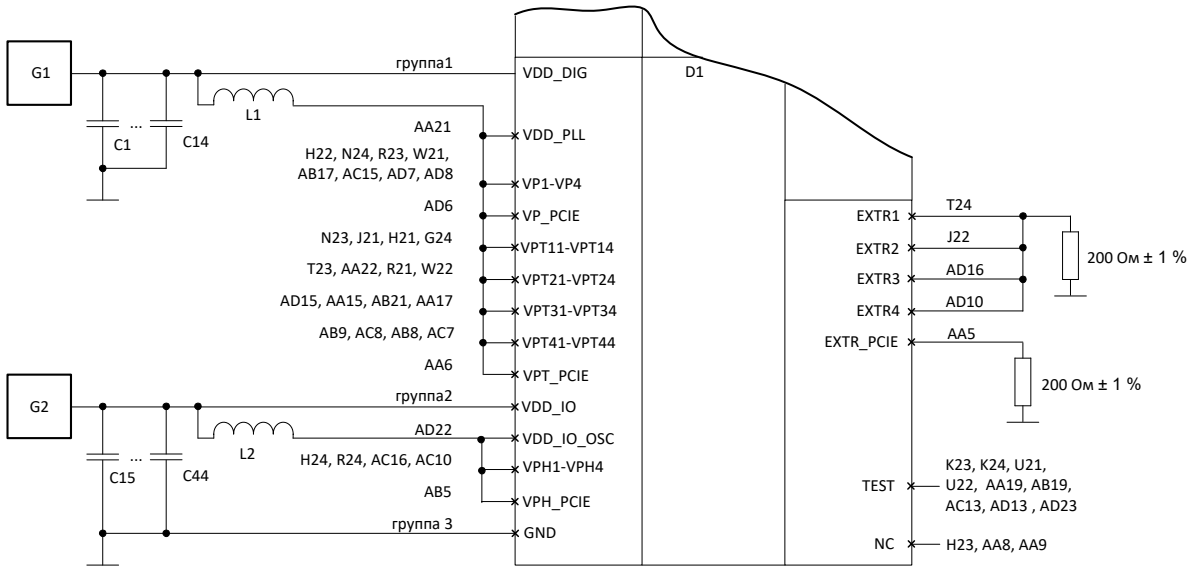
13.4.4 Соединительный порт между коммутаторами

Пакеты, поступающие из соединительного порта всегда тегированы с первичным/вторичным VLAN.

Обучение MAC выполняется согласно подразделу 13.3.4.

Пакет перенаправляется согласно правилам таблицы MAC.

14 Типовая схема включения



C1 – C44 – конденсаторы емкостью 0,1 мкФ ± 10 %;

D1 – подключаемая микросхема;

G1 – источник постоянного напряжения, (0,99 – 1,21) В;

G2 – источник постоянного напряжения, (3,0 – 3,6) В;

L1, L2 – катушки индуктивности типа Ferrite bead EXCML45A910U.

Группа 1 – VDD_DIG: F6 – F19; G6 – G19, H6, H7, H18, H19, J6, J7, J18, J19, K6, K7, K18, K19, L6, L7, L18, L19, M6, M7, M18, M19, N6, N7, N18, N19, P6, P7, P18, P19, R6, R7, R18, R19, T6, T7, T18, T19, U6, U7, U10, U11, U18, U19, V6 – V19, W6 – W19;

Группа 2 – VDD_IO: B24, C24, E6, E8, E10-E15, E17, E19, F5, F20, G20, H5, H20, K5, K20, L5, L20, M5, M20, N5, N20, P5, P20, R5, R20, U5, U20, V20, W5, W20, Y6, Y8, Y10-Y15, Y17, Y19, AC24, AD2, AD3;

Группа 3 – GND: A1-A3, A22-A24, B1, B2, B23, C1, C3, C13, C22, D4, D13, D21, E5, E7, E9, E16, E18, E20, G2, G5, H1, H8-H17, J3, J5, J8-J17, J20, K8-K17, L8-L17, M8-M17, M21, M22, N2, N8-N17, P3, P8-P17, R1, R8-R17, R22, T5, T8-T17, T20, U8, U9, U12 – U17, V5, Y5, Y7, Y9, Y16, Y18, Y20, AA4, AA12, AB1, AB3, AB12, AB15, AC1, AC2, AD1, AD24.

Рисунок 47 – Типовая схема включения микросхем

15 Типовые зависимости

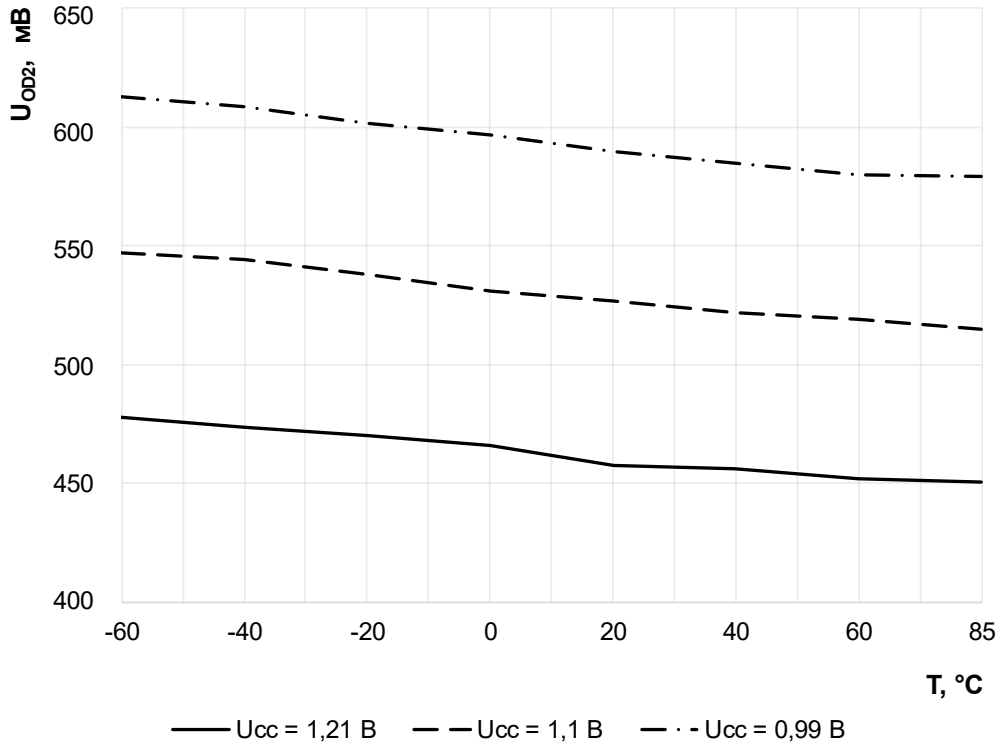


Рисунок 48 – Зависимость дифференциального выходного напряжения на выходах PCIE U_{OD2} от температуры при U_{CC_IO} = 3,6 В, R_L = 100 Ом ± 1 %

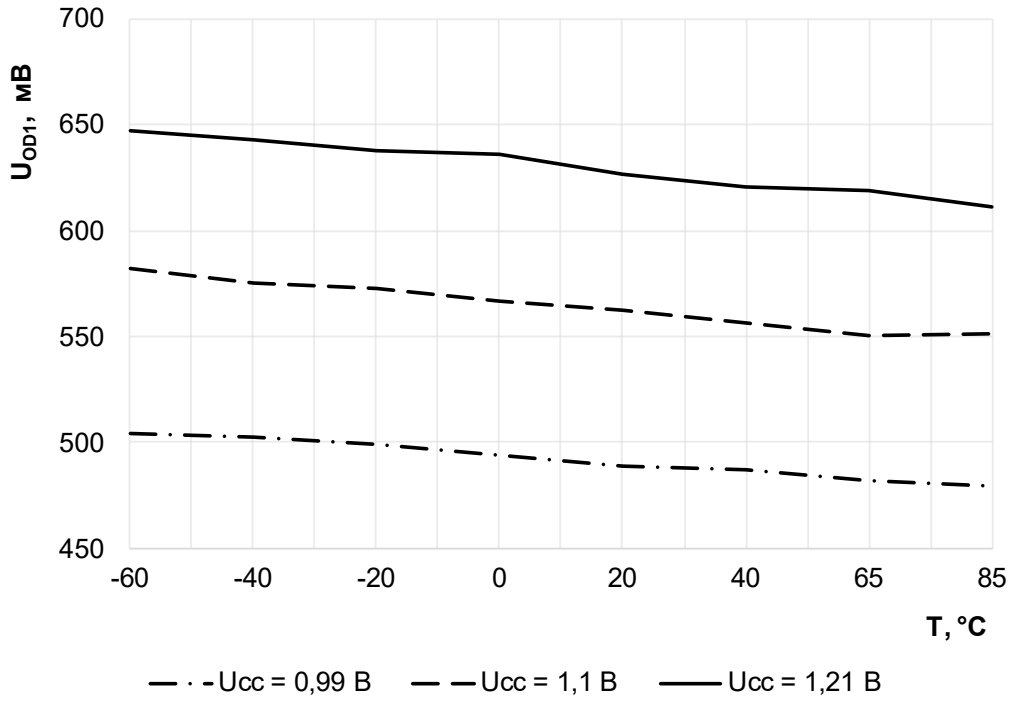


Рисунок 49 –Зависимость дифференциального выходного напряжения на выходах SGMII U_{OD1} от температуры при U_{CC_IO} = 3,6 В, R_L = 100 Ом ± 1 %

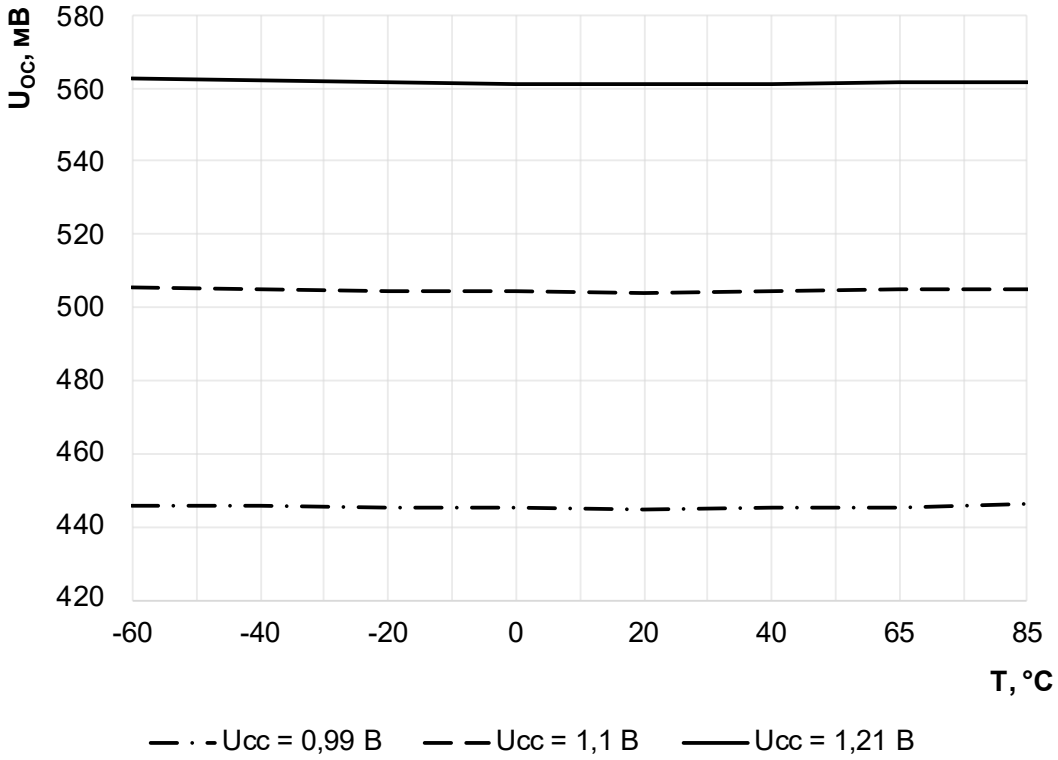


Рисунок 50 –Зависимость синфазного выходного напряжения U_{OC} на выходах PCIE от температуры при U_{CC_IO} = 3,6 В, R_L = 100 Ом ± 1 %

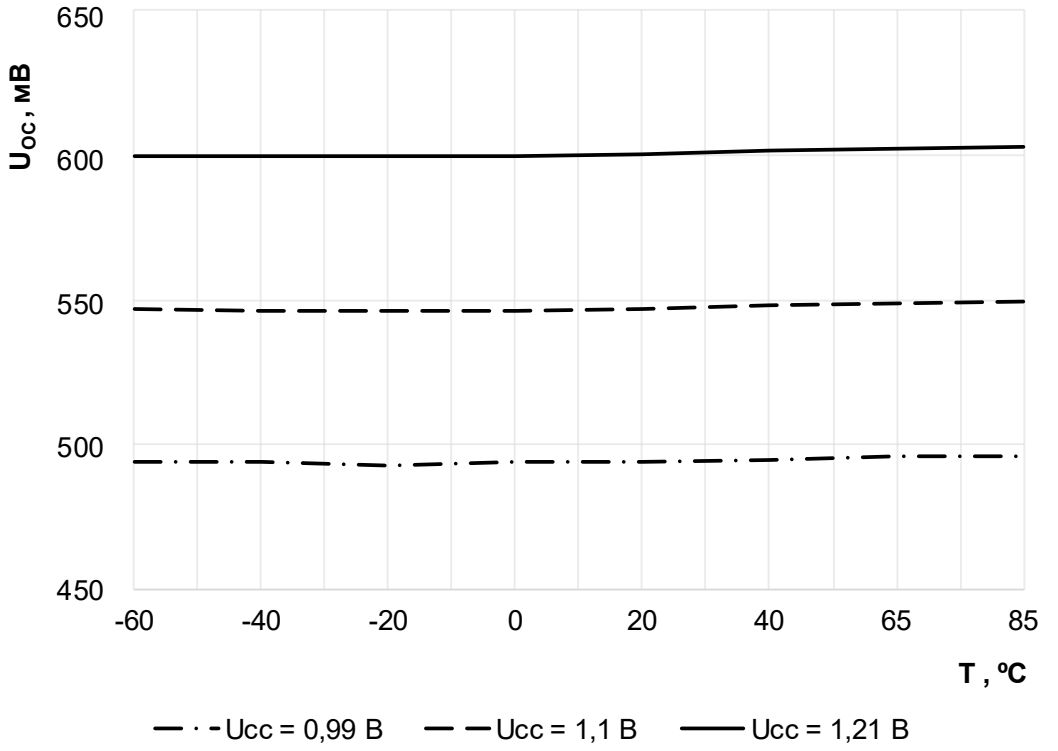


Рисунок 51 – Зависимость синфазного выходного напряжения U_{OC} на выходах SGMII от температуры при U_{CC_IO} = 3,6 В, R_L = 100 Ом ± 1 %

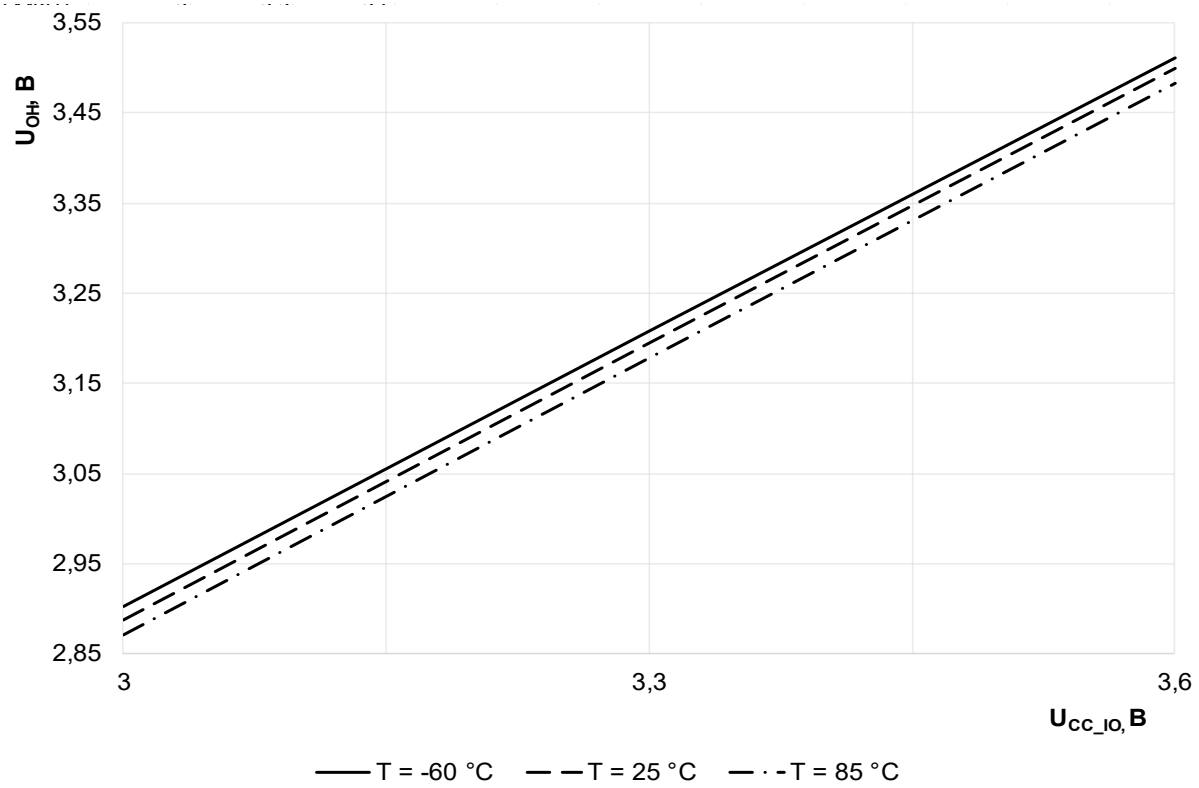


Рисунок 52 – Зависимость выходного напряжения высокого уровня U_{OH} на цифровых входах от напряжения питания на площадках ввода/вывода U_{CC_IO} при низковольтном питании U_{CC} = 0,99 В и температурах T = 85 ºС, T = 25 ºС, T = – 60 ºС

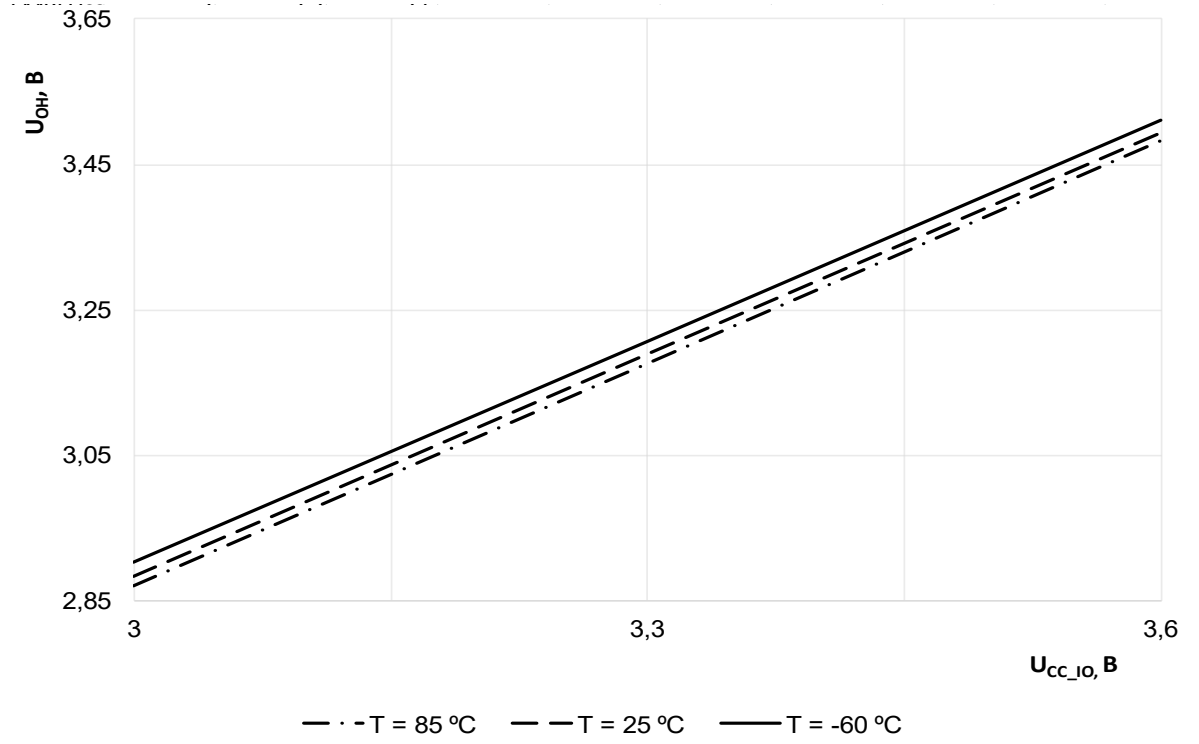


Рисунок 53 – Зависимость выходного напряжения высокого уровня U_{OH} на цифровых входах от напряжения питания на площадках ввода/вывода U_{CC_IO} при низковольтном питании U_{CC} = 1,21 В и температурах T = 85 ºС, T = 25 ºС, T = – 60 ºС

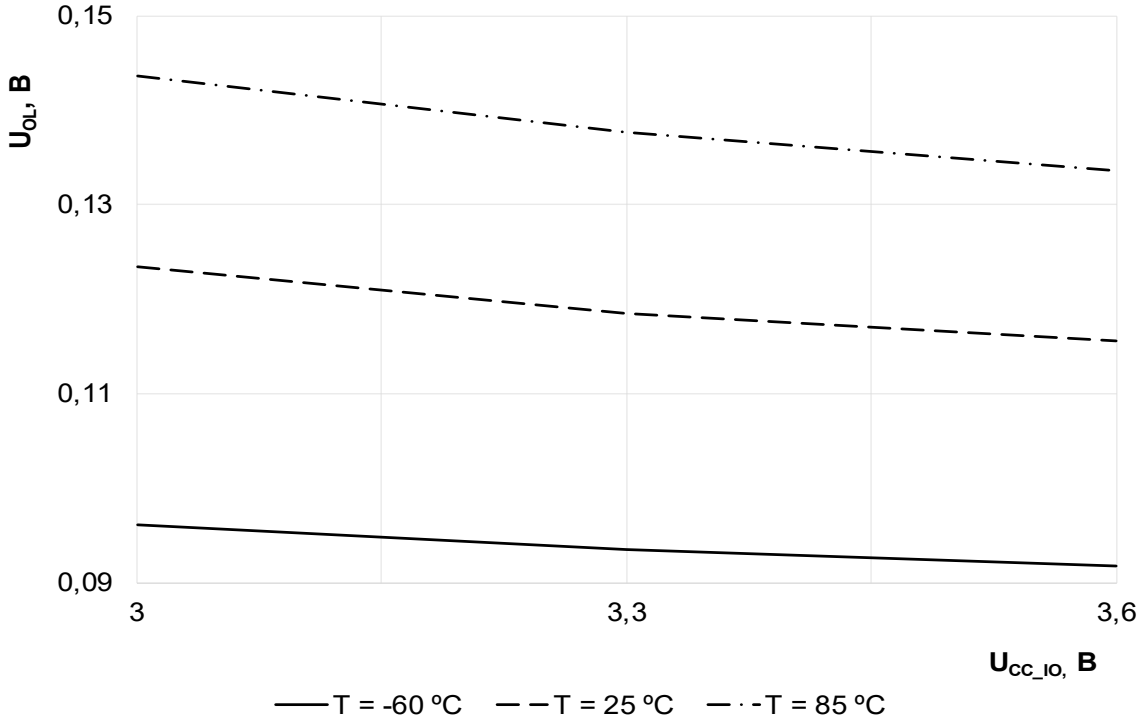


Рисунок 54 – Зависимость выходного напряжения низкого уровня U_{OL} на цифровых входах от напряжения питания на площадках ввода/вывода U_{CC_IO} при низковольтном питании U_{CC} = 0,99 В и температурах T = 85 ºС, T = 25 ºС, T = – 60 ºС

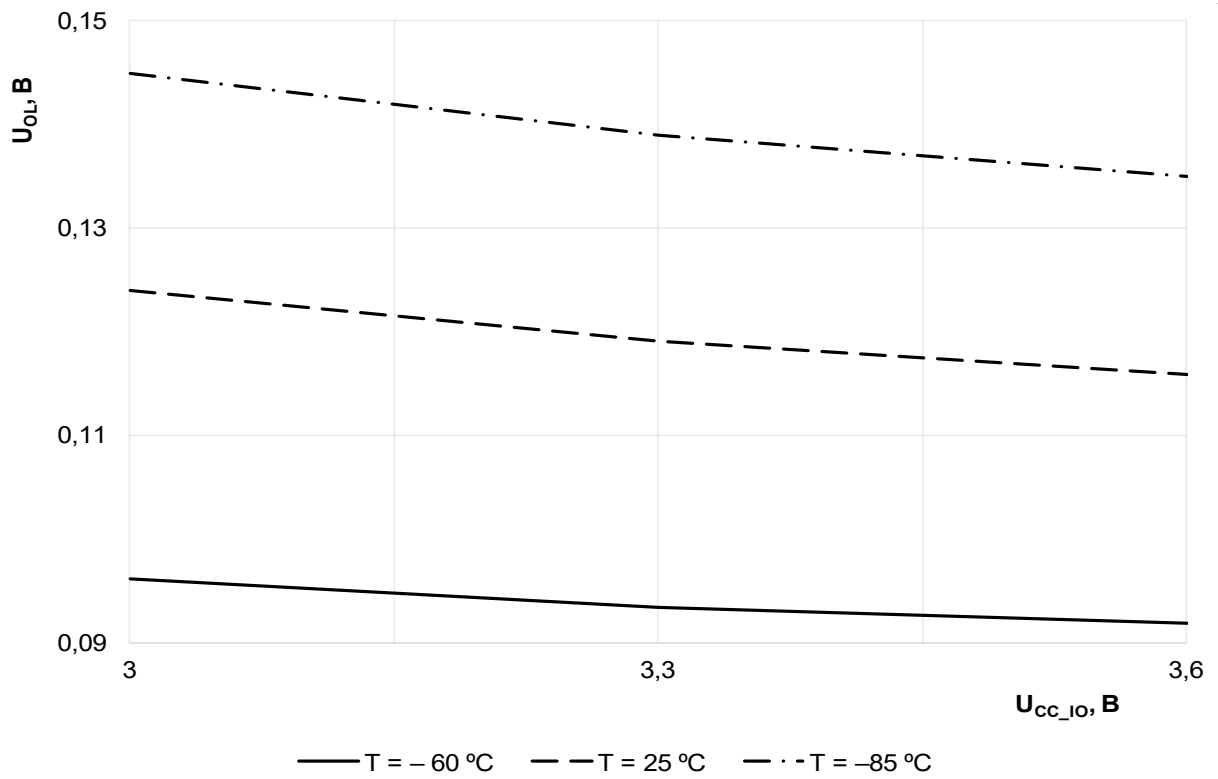


Рисунок 55 – Зависимость выходного напряжения низкого уровня U_{OL} на цифровых входах от напряжения питания на площадках ввода/вывода U_{CC_IO} при низковольтном питании U_{CC} = 1,21 В и температурах T = 85 ºС, T = 25 ºС, T = – 60 ºС

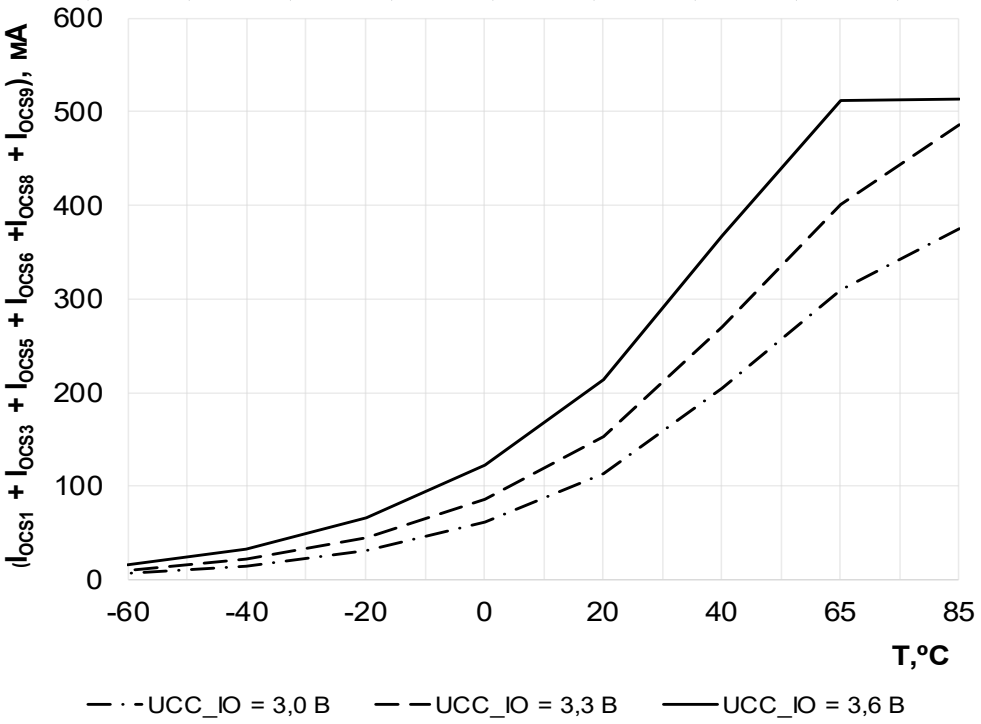


Рисунок 56 – Зависимость суммарного статического тока потребления на выводах низковольтного питания ($I_{OCS1} + I_{OCS3} + I_{OCS5} + I_{OCS6} + I_{OCS8} + I_{OCS9}$) от температуры при U_{CC} = 0,99 В, U_{CC} = 1,1 В, U_{CC} = 1,21 В

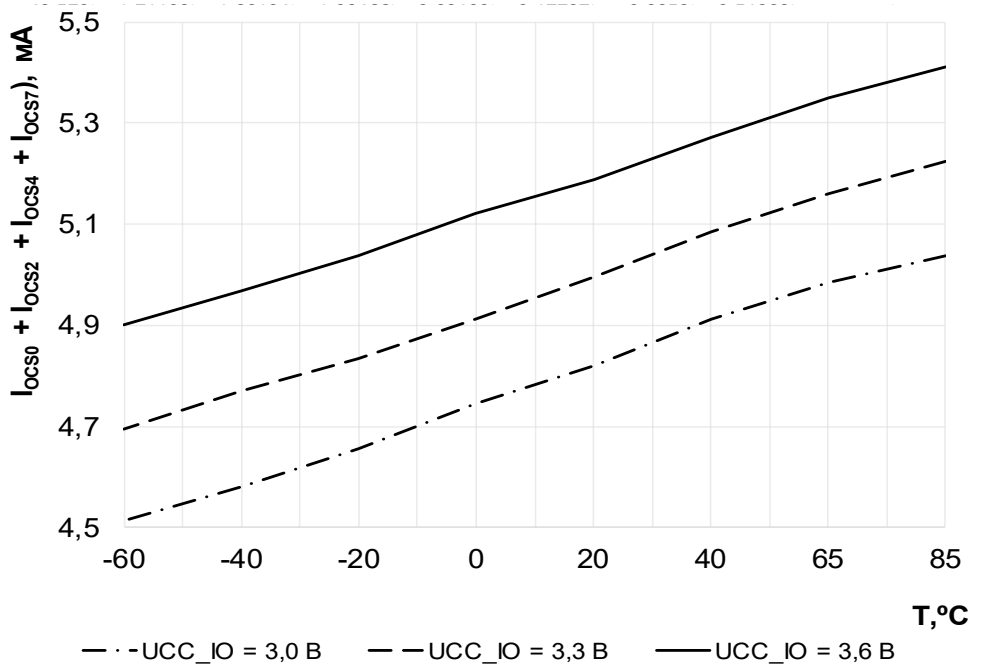


Рисунок 57 – Зависимость суммарного статического тока потребления выводах высоковольтного питания ($I_{OCS0} + I_{OCS2} + I_{OCS4} + I_{OCS7}$) от температуры при U_{CC_IO} = 3,0 В, U_{CC_IO} = 3,3 В, U_{CC_IO} = 3,6 В

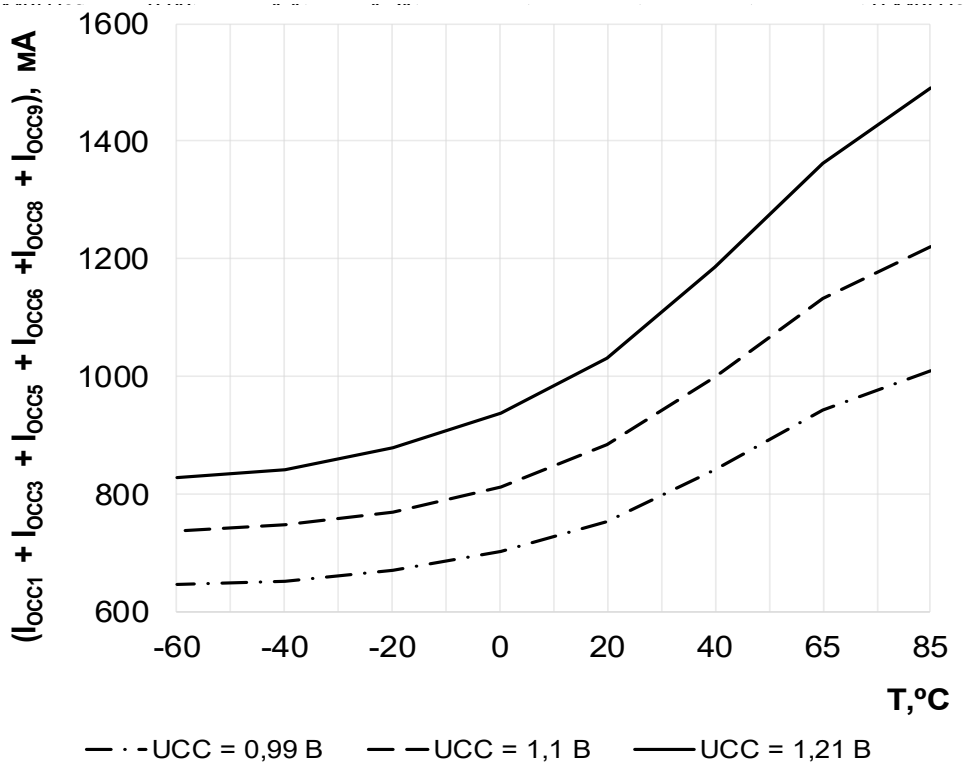


Рисунок 58 – Зависимость суммарного динамического тока потребления на выводах низковольтного питания ($I_{OCC1} + I_{OCC3} + I_{OCC5} + I_{OCC6} + I_{OCC8} + I_{OCC9}$) от температуры при U_{CC} = 0,99 В, U_{CC} = 1,1 В, U_{CC} = 1,21 В

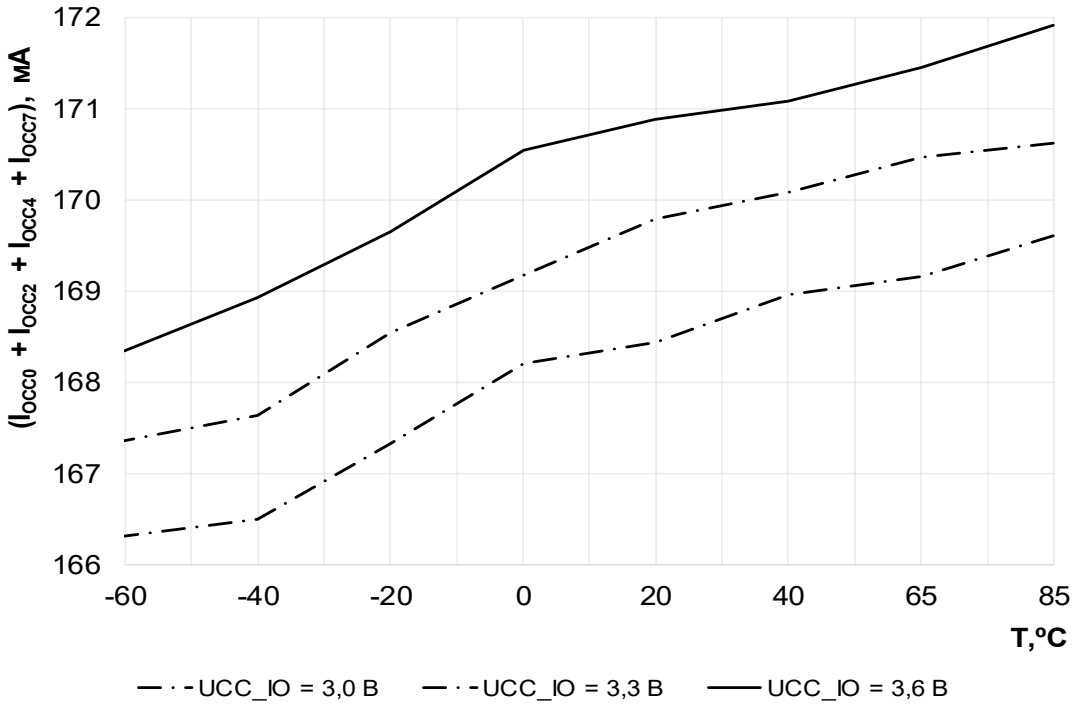


Рисунок 59 – Зависимость суммарного динамического тока потребления выводах высоковольтного питания ($I_{OCC0} + I_{OCC2} + I_{OCC4} + I_{OCC7}$) от температуры при U_{CC_IO} = 3,0 В, U_{CC_IO} = 3,3 В, U_{CC_IO} = 3,6 В

16 Электрические параметры

Таблица 925 – Электрические параметры микросхем при приемке и поставке

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма параметра		Температура среды, °С
		не менее	не более	
Выходное напряжение высокого уровня, В, на цифровых выходах	U_{OH}	2,4	–	25, 85, –40
Выходное напряжение низкого уровня, В, на цифровых выходах	U_{OL}	–	0,4	
Дифференциальное выходное напряжение, мВ, на выходах SGMII, при а) R_L = 100 Ом ± 1 %, U_{CC_IO} = 3,0 В, U_{CC} = 0,99 В	U_{OD1}*	400		
б) R_L = 100 Ом ± 1 %, U_{CC_IO} = 3,6 В, U_{CC} = 1,21 В			750	
Дифференциальное выходное напряжение, мВ, на выходах PCIE, при R_L = 100 Ом ± 1 %	U_{OD2}	400	750	
Синфазное выходное напряжение, мВ, на выходах PCIE, SGMII, при R_L = 100 Ом ± 1 %	U_{OC}	400	750	
Ток утечки высокого уровня на входе, мкА, на цифровых входах	I_{ILH}	– 10	10	
Ток утечки низкого уровня на входе, мкА, на цифровых входах	I_{ILL}	– 10	10	
Статический ток потребления, мА, площадок ввода/вывода на выводах VDD_IO	I_{CCS0}	–	50	
Статический ток потребления, мА, цифрового ядра на выводах VDD_DIG	I_{CCS1}	–	1000	
Статический ток потребления, мА, площадок ввода/вывода осциллятора на выводе VDD_IO_OSC	I_{CCS2}	–	1	
Статический ток потребления, мА, ядра осциллятора и встроенной PLL на выводе VDD_PLL	I_{CCS3}	–	10	
Статический ток потребления, мА, площадок ввода/вывода PHY интерфейсов SGMII на выводах VPH1-VPH4	I_{CCS4}	–	30	
Статический ток потребления, мА, ядра PHY интерфейсов SGMII на выводах VP1-VP4	I_{CCS5}	–	30	

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма параметра		Температура среды, °С
		не менее	не более	
Статический ток потребления, мА, передатчиков PHY интерфейсов SGMII на выводах: VPT11-VPT14, VPT21-VPT24, VPT31-VPT34, VPT41-VPT44	I_{CCS6}	–	30	25, 85, –40
Статический ток потребления, мА, площадок ввода/вывода PHY интерфейса PCIE на выводе VPH_PCIE	I_{CCS7}	–	2	
Статический ток потребления, мА, ядра PHY интерфейса PCIE на выводе VP_PCIE	I_{CCS8}	–	3	
Статический ток потребления, мА, передатчика PHY интерфейса PCIE на выводах VPT_PCIE	I_{CCS9}	–	1	
Динамический ток потребления, мА, площадок ввода/вывода на выводах VDD_IO	I_{OCC0}	–	300	
Динамический ток потребления, мА, цифрового ядра на выводах VDD_DIG	I_{OCC1}	–	1500	
Динамический ток потребления, мА, площадок ввода/вывода осциллятора на выводе VDD_IO_OSC;	I_{OCC2}	–	3	
Динамический ток потребления, мА, ядра осциллятора и встроенной PLL на выводе VDD_PLL	I_{OCC3}	–	23	
Динамический ток потребления, мА, площадок ввода/вывода PHY интерфейсов SGMII на выводах VPH1-VPH4	I_{OCC4}	–	250	
Динамический ток потребления, мА, ядра PHY интерфейсов SGMII на выводах VP1-VP4	I_{OCC5}	–	250	
Динамический ток потребления, мА, передатчиков PHY интерфейсов SGMII на выводах: VPT11-VPT14, VPT21-VPT24, VPT31-VPT34, VPT41-VPT44	I_{OCC6}	–	350	
Динамический ток потребления, мА, площадок ввода/вывода PHY интерфейса PCIE на выводе VPH_PCIE	I_{OCC7}	–	25	
Динамический ток потребления, мА, ядра PHY интерфейса PCIE на выводе VP_PCIE	I_{OCC8}	–	40	
Динамический ток потребления, мА, передатчика PHY интерфейса PCIE на выводах VPT_PCIE	I_{OCC9}	–	40	
Потребляемая мощность, Вт	P_{CC}	–	5	

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма параметра		Температура среды, °С
		не менее	не более	
Время задержки распространения данных при включении/выключении по сигналу SCLK, нс, на выходе SDO по сигналу SCLK	t_{PHL}/ t_{PLH}	–	16	25, 85, –40
* Измерение выполняется при амплитуде полного размаха. Амплитуда выходного сигнала для рабочего режима настраивается при помощи полей txx_amplitude[x] регистров CONTROL10, CONTROL11, CONTROL12 и CONTROL13 для каждого из 16-ти портов				

Микросхемы устойчивы к воздействию статического электричества с потенциалом не менее 2 000 В.

17 Предельно-допустимые режимы

Таблица 926 – Предельно-допустимые режимы эксплуатации и предельные электрические режимы микросхем

Наименование параметра, единица измерения	Буквенное обозначение параметра	Норма параметра			
		Предельно-допустимый режим		Предельный режим	
		не менее	не более	не менее	не более
Напряжение питания 1,1 В, – питание цифрового ядра на выводах VDD_DIG; – аналоговое питание ядра PHY интерфейсов SGMII, PCIE на выводах VP1 – VP4, VP_PCIE; – аналоговое питание передатчиков PHY интерфейсов SGMII, PCIE на выводах: VPT11 – VPT14, VPT21 – VPT24, VPT31 – VPT34, VPT41 – VPT44, VPT_PCIE; – аналоговое питание ядра осциллятора на выводе VDD_PLL; – питание встроенной PLL на выводе VDD_PLL	U_{CC}	0,99	1,21	–	1,26
Напряжение питания, В, – питание площадок ввода/вывода на выводах VDD_IO; – аналоговое питание площадок ввода/вывода PHY интерфейсов SGMII, PCIE на выводах VPH1 – VPH4, VPH_PCIE; – аналоговое питание площадок ввода/вывода осциллятора на выводе VDD_IO_OSC	U_{CC_IO}	3,0	3,6	–	3,8
Ввод-Вывод					
Входное напряжение низкого уровня, В, на цифровых входах*	U_{IL}	0	0,8	– 0,3	–
Входное напряжение высокого уровня, В, на цифровых входах*	U_{IH}	2,2	U_{CC_IO}	–	U_{CC_IO} + 0,2
Выходной ток высокого уровня, мА, на цифровых выходах	I_{OH}	– 2	–	– 4	–
Выходной ток низкого уровня, мА, на цифровых выходах	I_{OL}	–	2	–	4
Емкость нагрузки, пФ	C_L	–	50	–	–

Наименование параметра, единица измерения	Буквенное обозначение параметра	Норма параметра			
		Предельно-допустимый режим		Предельный режим	
		не менее	не более	не менее	не более
Последовательный интерфейс SPI					
Длительность сигнала SCLK высокого уровня, нс	t_{WHSCLK}	15	–	–	–
Длительность сигнала SCLK низкого уровня, нс	t_{WLSCLK}	15	–	–	–
Длительность сигнала высокого уровня разрешения записи после команд записи, нс, на входе nSEN	t_{WH1SEN}	1000	–	–	–
Длительность сигнала высокого уровня разрешения записи после команд чтения, нс, на входе nSEN	t_{WH2SEN}	50	–	–	–
Время установления низкого уровня сигнала nSEN относительно сигнала SCLK, нс	t_{SU1SEN}	15	–	–	–
Время удержания низкого уровня сигнала nSEN относительно сигнала SCLK, нс	t_{H1SEN}	5	–	–	–
Время установления высокого уровня сигнала nSEN относительно сигнала SCLK, нс	t_{SU2SEN}	15	–	–	–
Время удержания высокого уровня сигнала nSEN относительно сигнала SCLK, нс	t_{H2SEN}	5	–	–	–
Время установления входного сигнала SDI последовательных данных относительно сигнала SCLK, нс	t_{SUSDI}	2	–	–	–
Время удержания сигнала SDI входных последовательных данных относительно сигнала SCLK, нс	t_{HSDI}	1	–	–	–
Рабочая частота последовательного интерфейса, МГц	f	–	30	–	–
Генератор OSC					
Амплитуда входного сигнала генератора OSC, В, на OSCI	U_{A_OSC}	–	U_{CC_IO}	–	–
Входная частота генератора OSC, МГц	f_{I_OSC}	24,99925	25,00075	–	–
Емкость нагрузки, пФ, на выводах OSCI и OSCO	C_{L_OSC}	20	36		
Интерфейс PCIE					
Входное напряжение, мВ, на входах интерфейсов PCIE: PCIE_RXP, PCIE_ RXN	U_{I_LV1}	0	1210	– 200	U_{CC} + 0,1

Наименование параметра, единица измерения	Буквенное обозначение параметра	Норма параметра			
		Предельно-допустимый режим		Предельный режим	
		не менее	не более	не менее	не более
Входное дифференциальное напряжение, мВ на входах интерфейсов PCIE: PCIE_RXP, PCIE_ RXN	U_{ID1}	200	–	–	–
Входное дифференциальное напряжение, В, на выводах PCIE_CLKN, PCIE_CLKP	U_{I_PCIE}	0,3	1,21	–	–
Входное синфазное напряжение синхросигнала, В, на выводах PCIE_CLKN, PCIE_CLKP	U_{VCM}	0	1,1	–	–
Входная частота синхросигнала, МГц, на входах PCIE_CLKN, PCIE_CLKP	f_{I_PCIE}	99,97	100,03	–	–
Интерфейсы SGMII					
Входное напряжение, мВ, на входах интерфейсов SGMII: L0DIN[3:0], L1DIN[3:0], L2DIN[3:0], L3DIN[3:0], L0DIP[3:0], L1DIP[3:0], L2DIP[3:0], L3DIP[3:0]	U_{I_LV2}	0	1210	– 200	U_{CC} + 0,1
Входное дифференциальное напряжение, мВ на входах интерфейсов SGMII: L0DIN[3:0], L1DIN[3:0], L2DIN[3:0], L3DIN[3:0], L0DIP[3:0], L1DIP[3:0], L2DIP[3:0], L3DIP[3:0]	U_{ID2}	200	–	–	–

* Цифровые входы: nRESET, BYPASS_OSC, OSCI, OSCO, DXP, DXN, SDI, SCLK, nSEN, MODE[3:0], FREQ[3:0], MDIO1, MDIO2, MDC1, MDC2, COL[4:0], CRS[4:0], TX_CLK[4:0], RX_CLK[4:0], RX_DV[4:0], RX_ER[4:0], RXD0[4:0], RXD1[4:0], RXD2[4:0], RXD3[4:0], RXD4[4:0], RXD5[4:0], RXD6[4:0], RXD7[4:0].

Примечание – Не допускается одновременное задание более одного предельного режима

18 Справочные данные

Значение собственной резонансной частоты не менее 14,1 кГц.
Тепловое сопротивление кристалл-корпус – не более 2,6 °С/Вт.
Справочные данные приведены в таблице 927.

Таблица 927 – Справочные параметры микросхемы

Наименование параметра, единица измерения	Буквенное обозначение параметра	Норма параметра		Температура среды, °С
		не менее	не более	
Напряжение сброса схемой POR по питанию U_{CC_IO}, В	$U_{CC_IO_OFF}$	2,721	–	25, 85, –40
Напряжение разрешения работы схемой POR по питанию U_{CC_IO}, В	$U_{CC_IO_ON}$	–	2,781	
Напряжение сброса схемой POR по питанию U_{CC}, В	U_{CC_OFF}	0,88	–	
Напряжение разрешения работы схемой POR по питанию U_{CC}, В	U_{CC_ON}	—	0,903	
Минимальная амплитуда входного сигнала генератора OSC на OSCI, В	U_{IOSC}	–	0,06	
Напряжение на термодиоде, мВ	U_{DO}	500	1000	
Интерфейс PCIE				
Разность фаз между сигналами, пс, на входах интерфейсов PCIE	t_{SKEW_LV}	–	20	25, 85, –40
Разность фаз между тактовыми сигналами на входах, пс, на выводах PCIE_CLKN, PCIE_CLKP	t_{SKEW_PCIE}	– 200	200	
Регулярный джиттер входной частоты, пс, на выводах PCIE_CLKN, PCIE_CLKP, на частоте от 200 кГц до 50 МГц	t_{DJ}	–	5,6	
Случайный джиттер входной частоты, пс, на выводах PCIE_CLKN, PCIE_CLKP, на частоте от 1,5 до 50 МГц	t_{RJ}	–	3	
Межпериодный джиттер входной частоты, пс, на выводах PCIE_CLKN, PCIE_CLKP	t_{P-P}	–	150	
Скорость нарастания фронта входной частоты синхросигнала, В/нс, на выводах PCIE_CLKN, PCIE_CLKP	SR	0,6	–	
Длительность нарастания/спада дифференциального выходного напряжения, пс, на выходах PCIE при R_L = 100 Ом ± 1 %, по уровням 0,2U_{OD}, 0,8U_{OD}	τ_{TLH1}/ τ_{THL1}	30	100	

Наименование параметра, единица измерения	Буквенное обозначение параметра	Норма параметра		Температура среды, °С
		не менее	не более	
Длительность нарастания/спада дифференциального входного напряжения пс, на входах интерфейса PCIE	τ_{R1}/τ_{F1}	30	200	25, 85, –40
Коэффициент заполнения, %, тактовых сигналов PCIE_CLKN, PCIE_CLKP	DC	40	60	
Интерфейсы SGMII				
Разность фаз между сигналами на, пс, на входах интерфейсов SGMII	t_{SKEW_LV}	–	20	25, 85, –40
Длительность нарастания/спада дифференциального выходного напряжения, пс, на выходах SGMII, при R_L = 100 Ом ± 1 %, по уровням 0,2U_{OD}, 0,8U_{OD}	$\tau_{TLH2}/\ \tau_{THL2}$	100	200	
Длительность нарастания/спада дифференциального входного напряжения пс, на входах интерфейсов SGMII	τ_{R2}/τ_{F2}	100	200	
Интерфейсы SPI				
Время задержки распространения при переходе из состояния «Выключено» в состояние высокого/низкого уровня, нс, на выходе SDO по сигналу nSEN	$t_{PZH}/\ t_{PZL}$	–	10	25, 85, –40
Время задержки распространения при переходе выхода из состояния высокого /низкого уровня в состояние «Выключено», нс, на выходе SDO по сигналу nSEN	$t_{PHZ}/\ t_{PLZ}$	–	10	

19 Габаритный чертеж микросхемы

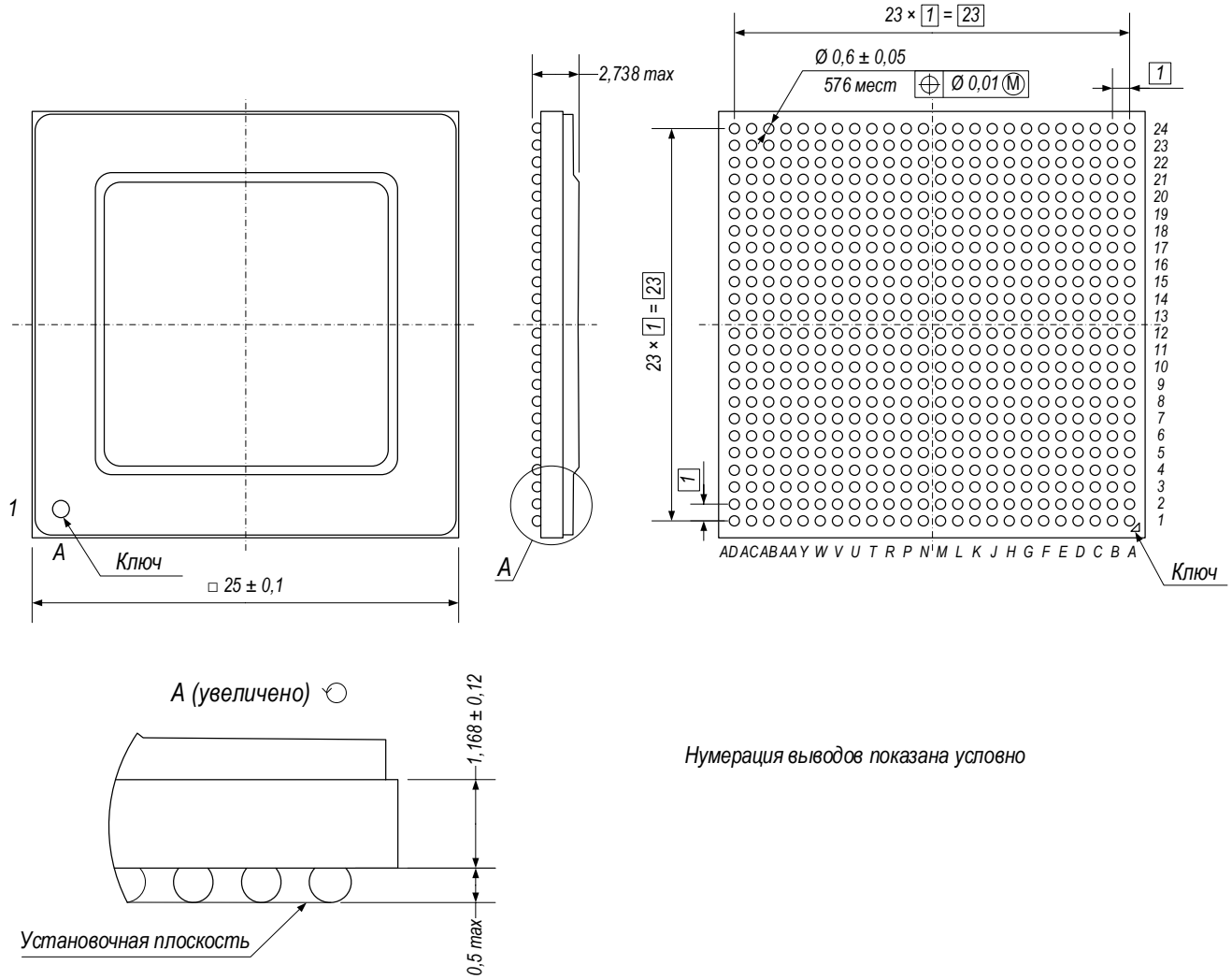


Рисунок 60 – Микросхема в корпусе BGA576 25×25×2,238 (1,0)

20 Информация для заказа

Обозначение	Маркировка	Тип корпуса	Температурный диапазон, °С
К1923КХ02GI	MDR3201GI	BGA576 25×25 (1,0)	от –40 до 85

Условное обозначение микросхем при заказе в договоре на поставку и в конструкторской документации другой продукции должно состоять из:

- наименование изделия – микросхема;
- обозначения типа (типономинала);
- обозначения технических условий ТСКЯ.431000.003ТУ;
- обозначения спецификации ТСКЯ.431169.004СП.

Пример обозначения микросхем:
Микросхема К1923КХ02GI – ТСКЯ.431000.003ТУ, ТСКЯ.431169.004СП.

Лист регистрации изменений

№ п/п	Дата	Версия	Краткое содержание изменения	№№ изменяемых листов
1	25.03.2024	2.0.0	Введена вновь	–
2	05.06.2024	2.1.0	В таблице 925 заменены верхние нормы параметров U_{OD1}, U_{OD2}, U_{OC}	508
3	30.01.2025	2.2.0	Добавлен габаритный чертеж микросхемы	516
4	17.02.2025	2.3.0	В таблице элетрических параметров добавлена сноска с режимом настройки для U_{OD1} (таблица 925). Исправлены описания полей tx0_amplitude[0-3] регистров CONTROL10-13 (таблицы 50 – 53). На габаритном чертеже исправлен диаметр шариковых выводов	508 160 – 162 516
5	18.11.2025	2.3.1	Добавлена ссылка на документ ТСКЯ.430106.004Д12; Скорректирован раздел 4; Таблицы 50 – 53 – исправлено описание tx0_amplitude[0-3]; Таблица 925 – скорректирован параметр U_{OD1}	1 26 160 – 162 508
6	13.11.2026	2.4.0	Изменена норма I_{CCS1} при 25 и –60 °С в таблице электрических параметров (таблица 925)	508