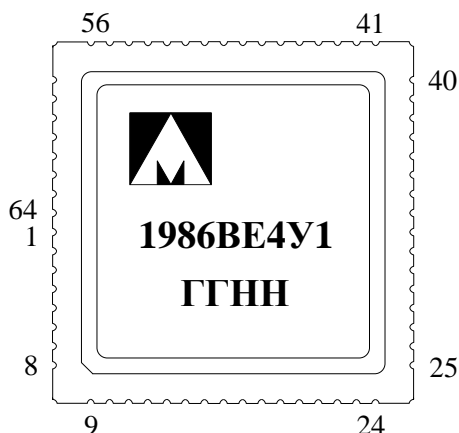
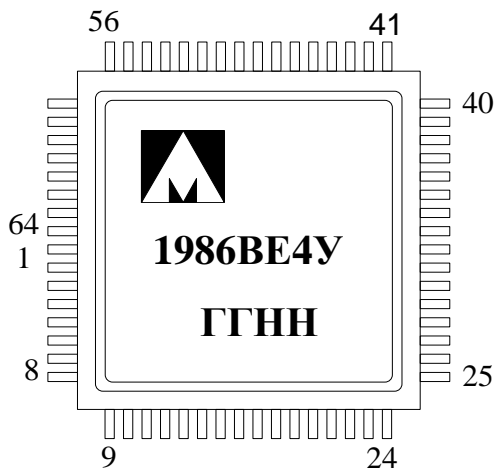




Микроконтроллер на базе процессорного ядра ARM Cortex-M0  
1986BE4У, К1986BE4У, К1986BE4УК  
1986BE4У1, К1986BE4У1, К1986BE4У1К,  
К1986BE4Н4



ГГ – год выпуска  
НН – неделя выпуска

Основные параметры  
микросхемы:

- 32-разрядная RISC архитектура ARM Cortex-M0;
- ПЗУ 128 Кбайт Flash;
- ОЗУ 16 Кбайт;
- напряжение источника питания от 2,2 до 3,6 В;
- тактовая частота не более 36 МГц;
- динамический ток потребления не более 21 мА;

- Температурный диапазон:

Обозначение	Диапазон
1986BE4У	минус 60 – 125 °С
К1986BE4У	минус 60 – 125 °С
К1986BE4УК	0 – 70 °С
1986BE4У1	минус 60 – 125 °С
К1986BE4У1	минус 60 – 125 °С
К1986BE4У1К	0 – 70 °С
К1986BE4Н4	0 – 70 °С

Тип корпуса:

для микросхем 1986BE4У, К1986BE4У, К1986BE4УК – 64-х выводной металлокерамический корпус Н18.64-1В;  
для микросхем 1986BE4У1, К1986BE4У1, К1986BE4У1К – 64-х выводной металлокерамический корпус 5153.64-1;  
микросхемы К1986BE4Н4 поставляются в бескорпусном исполнении.

## Основные характеристики

### Ядро:

ARM 32-битное RISC-ядро Cortex™-M0, тактовая частота до 36 МГц;  
умножение за один цикл.

### Память:

встроенная энергонезависимая память программ FLASH типа размером  
128 Кбайт;  
встроенное ОЗУ размером 16 Кбайт.

### Питание и тактовая частота:

внешнее питание 2,2...3,6 В;  
встроенный регулятор напряжения на 1,8 В для питания ядра;  
встроенные схемы контроля питания;  
встроенный домен с батарейным питанием;  
встроенный подстраиваемый RC генератор HSI, 8 МГц;  
встроенный подстраиваемый RC генератор LSI, 40 кГц;  
внешний осциллятор HSE, 2...16 МГц;  
внешний осциллятор LSE, 32 кГц;  
встроенный умножитель тактовой частоты PLL для ядра.

### Режим пониженного энергопотребления:

режим Sleep, SLEEPDEEP и Standby;  
батарейный домен с часами реального времени и регистрами аварийного  
сохранения.

### Аналоговые модули:

24-разрядный  $\Sigma\Delta$  АЦП (8 каналов);  
12-разрядный АЦП (8 каналов) с измеряемым диапазоном входного  
напряжения от 0 до 3,6 В;  
температурный датчик;  
12-разрядный ЦАП;  
компаратор.

### Периферия:

контроллер прямого доступа в память DMA с функциями передачи Периферия-  
Память, Память-Память;  
контроллеры интерфейсов UART, SSP;  
до 36 пользовательских линий ввода-вывода;  
два блока 16-ти разрядных таймеров с 4 каналами захвата событий и ШИМ;  
2 сторожевых таймера;  
блок подсчета CRC с изменяемым полиномом;  
контроллер системной частоты.

### Режим отладки:

последовательный отладочный интерфейс SWD.

## Содержание

1	Общее описание и область применения микросхемы.....	4
2	Основные характеристики .....	2
3	Содержание .....	3
4	Структурная схема .....	4
5	Условное графическое обозначение .....	6
6	Описание выводов .....	7
7	Диаграмма расположения выводов в корпусе .....	12
8	Указания по применению и эксплуатации .....	13
9	Система питания микросхемы.....	14
9.1	Структурная схема подачи питания.....	14
9.2	Схема сброса при включении и выключении основного питания .....	15
10	Организация памяти.....	16
10.1	Структурная схема.....	16
10.2	Базовые адреса процессора .....	17
11	Загрузочное ПЗУ и режимы работы микроконтроллера.....	18
11.1	UART загрузчик .....	19
12	Контроллер Flash-памяти программ .....	25
12.1	Работа Flash-памяти программ в обычном режиме .....	25
12.2	Работа Flash-памяти программ в режиме программирования .....	26
12.3	Описание регистров управления контроллера Flash-памяти программ .....	31
13	Процессорное ядро .....	35
13.1	Структурная схема процессора .....	36
13.2	Программная модель.....	38
13.3	Стек.....	38
13.4	Регистры ядра .....	38
13.5	Типы данных.....	42
14	Система команд.....	44
14.1	Встроенные функции .....	45
14.2	Описание инструкций .....	46
14.3	Команды доступа к памяти.....	51
14.4	Инструкции обработки данных.....	57
14.5	Инструкции передачи управления .....	66
14.6	Прочие инструкции.....	67
15	Контроллер блока $\Sigma\Delta$ АЦП .....	74
15.1	Формула пересчета кода преобразования $\Sigma\Delta$ АЦП во входное напряжение.....	74
15.2	Фильтр $SINC^3$ .....	75
15.3	Полуполосовые КИХ- и БИХ-фильтры .....	75
15.4	Описание регистров управления блока $\Sigma\Delta$ АЦП.....	77
16	Аппаратный блок вычисления CRC .....	89
16.1	Описание регистров управления блока CRC.....	89
17	Сигналы тактовой частоты.....	92
17.1	Встроенный RC Генератор HSI.....	92
17.2	Встроенный RC генератор LSI .....	92
17.3	Внешний осциллятор HSE.....	92
17.4	Внешний осциллятор LSE .....	93
17.5	Встроенный блок умножения системной тактовой частоты, PLL .....	93
17.6	Описание регистров блока контроллера тактовой частоты.....	94
18	Батарейный домен и часы реального времени.....	102
18.1	Часы реального времени.....	102
18.2	Регистры аварийного сохранения.....	103
18.3	Описание регистров блока батарейного домена.....	103

19	Порты ввода-вывода .....	111
19.1	Описание регистров портов ввода-вывода .....	112
20	Детектор напряжения питания .....	117
20.1	Описание регистров блока PVD .....	117
21	Таймеры общего назначения .....	120
21.1	Функционирование .....	120
21.2	Режимы счета .....	122
21.3	Источник событий для счета .....	125
21.4	Режим захвата .....	132
21.5	Режим ШИМ .....	133
21.6	Примеры .....	136
21.7	Описание регистров блока таймера .....	139
22	Контроллер АЦП последовательных приближений .....	154
22.1	Преобразование внешнего канала .....	154
22.2	Последовательное преобразование нескольких каналов .....	155
22.3	Преобразование с контролем границ .....	155
22.4	Датчик опорного напряжения .....	155
22.5	Датчик температуры .....	156
22.6	Время заряда внутренней емкости .....	156
22.7	Описание регистров блока контроллера АЦП последовательных приближений 157	
23	Контроллер ЦАП .....	164
23.1	Описание регистров блока контроллера ЦАП .....	164
24	Контроллер схемы компаратора .....	166
24.1	Структура мультиплексирования входов компаратора .....	166
24.2	Описание регистров блока контроллера компаратора .....	168
25	Контроллер SSP .....	171
25.1	Основные характеристики модуля SSP .....	171
25.2	Программируемые параметры .....	171
25.3	Характеристики интерфейса SPI .....	172
25.4	Характеристики интерфейса Microwire .....	172
25.5	Характеристики интерфейса SSI .....	172
25.6	Общий обзор модуля SSP .....	172
25.7	Интерфейс прямого доступа к памяти .....	189
25.8	Программное управление модулем .....	190
25.9	Прерывания .....	196
26	Контроллер UART .....	198
26.1	Основные характеристики модуля UART .....	198
26.2	Программируемые параметры .....	199
26.3	Отличия от контроллера UART 16C650 .....	199
26.4	Функциональные возможности .....	200
26.5	Описание функционирования блока UART .....	201
26.6	Описание функционирования ИК кодека IrDA SIR .....	203
26.7	Описание работы .....	204
26.8	Линии управления модемом .....	209
26.9	Интерфейс прямого доступа к памяти .....	211
26.10	Прерывания .....	213
26.11	Программное управление модулем .....	215
26.12	Обобщенные данные о регистрах устройства .....	215
27	Контроллер прямого доступа в память DMA .....	235
27.1	Основные свойства контроллера DMA .....	235
27.2	Термины и определения .....	235
27.3	Функциональное описание контроллера DMA .....	237

27.4	Управление ПДП .....	241
27.5	Структура управляющих данных канала .....	263
27.6	Описание регистров контроллера DMA.....	273
28	Прерывания и исключения .....	291
28.1	Типы исключений .....	291
28.2	Обработчики исключений.....	292
28.3	Приоритеты исключений .....	293
28.4	Вход в обработчик и выход из обработчика .....	294
29	Управление электропитанием .....	297
29.1	Переход в режим пониженного энергопотребления.....	297
29.2	Ожидание прерывания .....	297
29.3	Ожидание события.....	297
29.4	Переход в режим ожидания по выходу из обработчика исключения (режим sleep-on-exit) .....	297
29.5	Выход из состояния ожидания.....	297
29.6	Выход из ожидания по команде WFI и в режиме sleep-on-exit .....	297
29.7	Выход из ожидания по команде WFE .....	298
29.8	Рекомендации по программированию режима энергопотребления .....	298
30	Контроллер прерываний NVIC.....	300
30.1	Регистр разрешения прерываний .....	300
30.2	Регистр запрета прерываний .....	301
30.3	Регистр установки состояния ожидания для прерывания .....	301
30.4	Регистр сброса состояния ожидания для прерывания .....	302
30.5	Регистры приоритета прерываний.....	303
30.6	Прерывания, срабатывающие по уровню сигнала .....	303
30.7	Аппаратное и программное управление прерываниями.....	304
30.8	Рекомендации по работе с контроллером прерываний .....	304
31	Блок управления системой ядра .....	307
31.1	Упрощенный доступ к регистрам блока управления системой из среды разработки программного обеспечения .....	307
31.2	Регистр идентификации процессора .....	307
31.3	Регистр управления прерываниями .....	308
31.4	Регистр управления прерываниями и программного сброса .....	309
31.5	Регистр управления системой .....	310
31.6	Регистр конфигурации и управления.....	311
31.7	Регистры приоритета системных обработчиков .....	311
31.8	Рекомендации по программированию блока управления системой .....	312
32	Сторожевые таймеры.....	313
32.1	Описание регистров блока сторожевых таймеров .....	313
33	Предельно-допустимые характеристики микросхемы .....	317
34	Электрические параметры микросхемы .....	320
35	Справочные данные .....	324
35.1	Оценка входного дифференциального сопротивления INP–INM.....	327
36	Габаритный чертеж микросхемы.....	328
37	Информация для заказа .....	332
38	Лист регистрации изменений.....	333

## **1 Общее описание и область применения микросхемы**

Микросхема 1986BE4У является микроконтроллером со встроенной Flash-памятью программ и построен на базе низкопотребляемого процессорного RISC-ядра ARM Cortex-M0. Микроконтроллер работает на тактовой частоте до 36 МГц и содержит 128 Кбайт Flash-памяти и 16 Кбайт ОЗУ. Периферия включает в себя восемь каналов 24-битных независимых  $\Sigma\Delta$  АЦП. Каждый канал  $\Sigma\Delta$  АЦП имеет предусилитель, фазовую подстройку (для коррекции фазы не хуже  $0,1^\circ$ ). Каждый канал  $\Sigma\Delta$  АЦП может быть включен или отключен независимо от других каналов, и имеет отдельный канал прямого доступа в память. Еще один дополнительный 12-битный АЦП последовательного приближения может быть использован для мониторинга напряжения питания основного или батарейного доменов, а также для измерения температуры или захвата внешнего сигнала. В состав микроконтроллера входит два UART- и один SPI-интерфейс. Микроконтроллер содержит два 16-ти разрядных таймера с 4 каналами схем захвата и ШИМ с функциями формирования «мертвой зоны» и аппаратной блокировки. Также микроконтроллер содержит системный 24-разрядный таймер и два сторожевых таймера.

Встроенные RC генераторы HSI (8 МГц) и LSI (40 кГц), внешние осцилляторы HSE (2...16 МГц) и LSE (32 кГц) и схема умножения тактовой частоты PLL для ядра позволяют гибко настраивать скорость работы микроконтроллеров.

Архитектура системой шины за счет регулировки частоты периферийных блоков позволяет уменьшить потребление всей системы. Контроллер прямого доступа в память DMA позволяет ускорить обмен информацией между ОЗУ и периферией без участия процессорного ядра.

Встроенный регулятор для формирования питания внутренней цифровой части формирует напряжения 1,8 В и не требует дополнительных внешних элементов. Таким образом, для работы микроконтроллера достаточно одного внешнего напряжения питания в диапазоне от 2,2 до 3,6 В. Также в микроконтроллере реализован батарейный домен, работающий от внешней батареи при отсутствии основного питания. В батарейном домене могут быть сохранены специальные флаги, а также работают часы реального времени. Встроенные детекторы напряжения питания могут отслеживать уровень внешнего основного питания, уровень напряжения питания на батарее. Аппаратные схемы сброса по просадке питания позволяют исключить сбойную работу микросхемы при выходе уровня напряжения питания за допустимые пределы.

## 2 Структурная схема

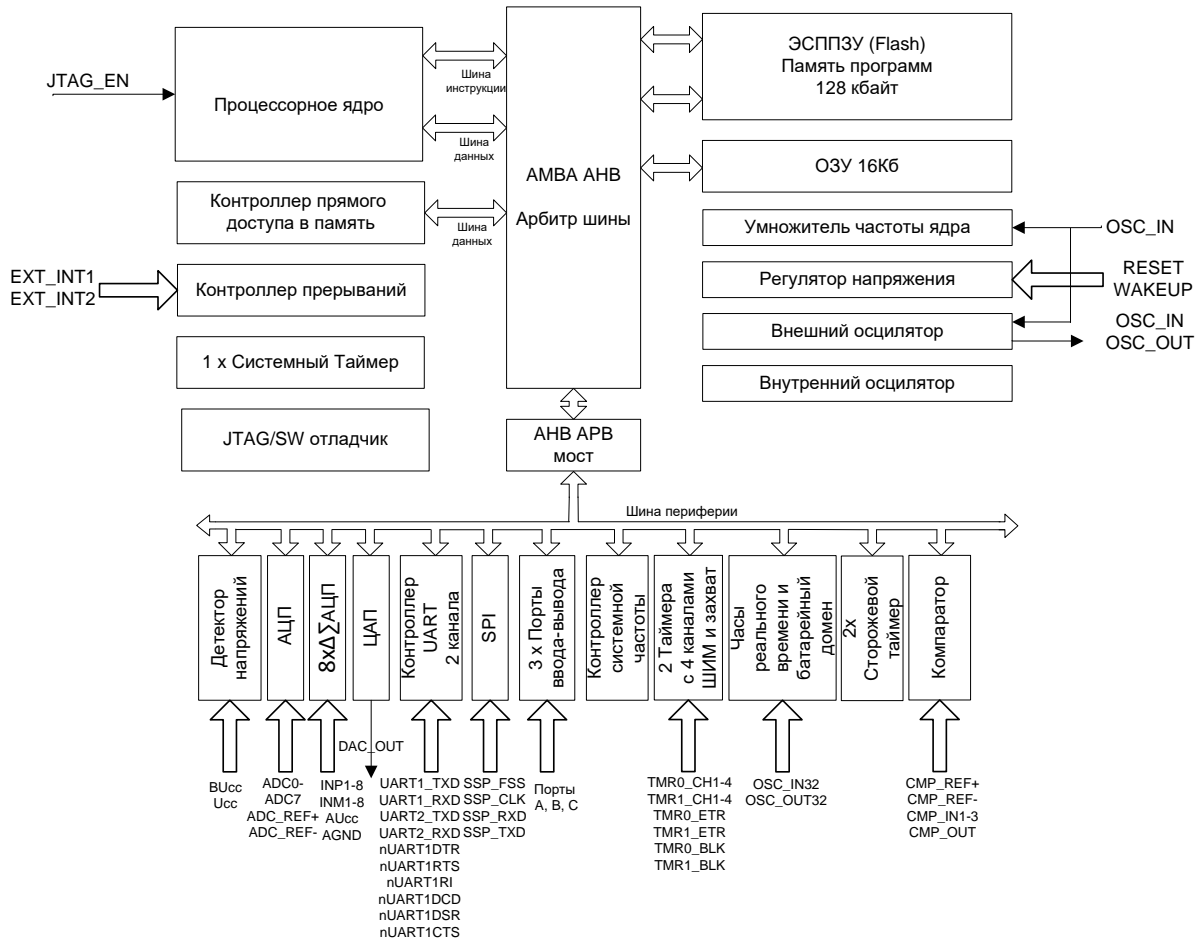


Рисунок 1 – Структурная схема

### 3 Условное графическое обозначение

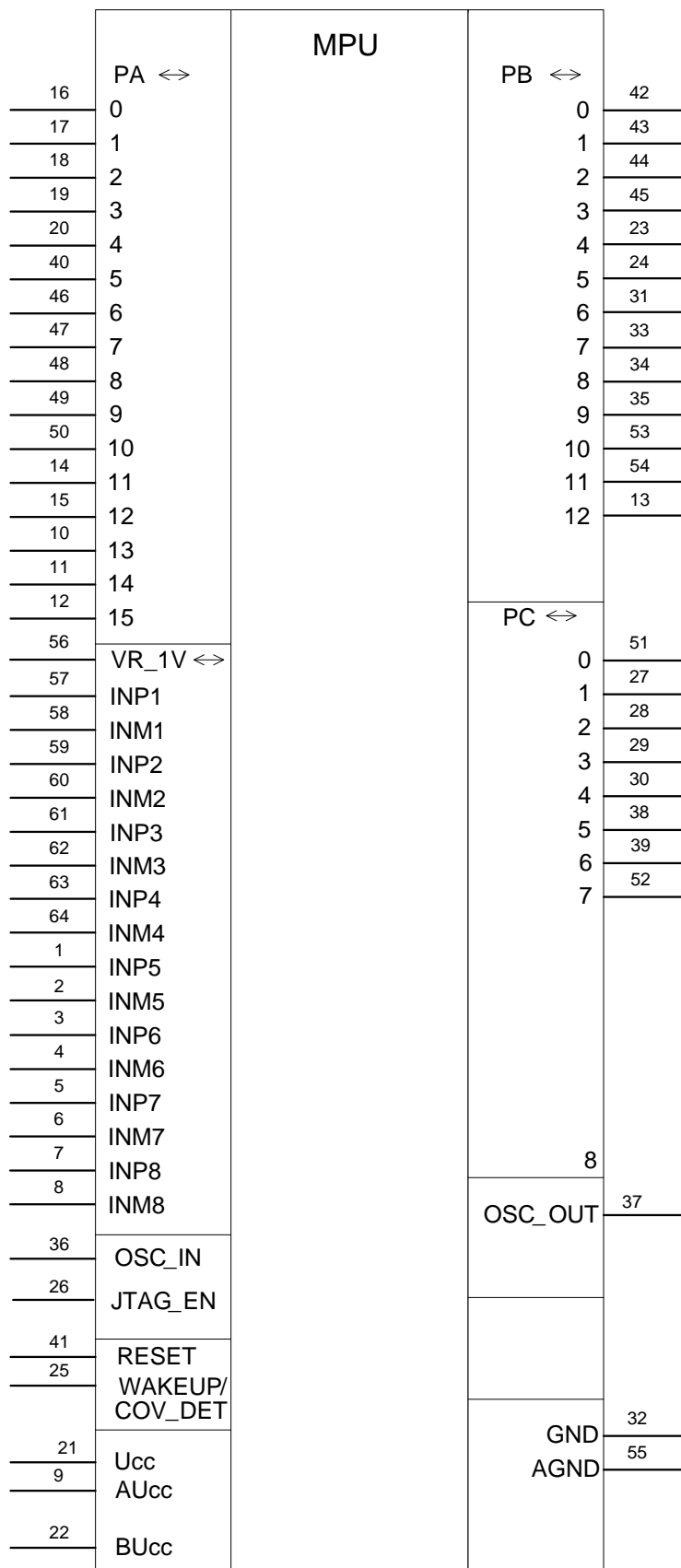


Рисунок 2 – Условное графическое обозначение



## 4 Описание выводов

Таблица 1 – Назначение выводов

№ вывода корпуса	№ КП кристалла	Обозначение	Назначение и функции вывода			
			Аналоговая функция	Основная функция	Альтернативная функция	Функциональное назначение
1	63	INP5 <sup>i</sup>	–	–	–	Положительный дифференциальный вход ΔΣАЦП5
2	64	INM5*	–	–	–	Отрицательный дифференциальный вход ΔΣАЦП5
3	65	INP6*	–	–	–	Положительный дифференциальный вход ΔΣАЦП6
4	66	INM6*	–	–	–	Отрицательный дифференциальный вход ΔΣАЦП6
5	67	INP7*	–	–	–	Положительный дифференциальный вход ΔΣАЦП7
6	68	INM7*	–	–	–	Отрицательный дифференциальный вход ΔΣАЦП7
7	69	INP8*	–	–	–	Положительный дифференциальный вход ΔΣАЦП8
8	70	INM8*	–	–	–	Отрицательный дифференциальный вход ΔΣАЦП8
9	71	AUcc				Аналоговое питание ΔΣАЦП 3,0...3,6 В
10	72	PA13	–	SSP_CLK	–	Вход/выход 13 порта А Вход/выход синхросигнала SPI
11	73	PA14	–	SSP_RXD	–	Вход/выход 14 порта А Входные данные SPI
12	74	PA15	–	SSP_TXD	–	Вход/выход 15 порта А Выходные данные SPI
13	75	PB12	–	TMR1_CH3	–	Вход/выход 12 порта В Вход/выход канала 3 таймера 1
–	–	PB13	–	TMR1_CH3N	–	Вход/выход 13 порта В Инверсный выход канала 3 таймера 1
–	–	PB14	–	TMR1_CH4	–	Вход/выход 14 порта В Вход/выход канала 4 таймера 1
14	76	PA11	TMR1_CH3N	CMP_OUT	–	Вход/выход 11 порта А Инверсный выход канала 3 таймера 1 Цифровой выход компаратора

**Спецификация 1986BE4У, К1986BE4У, К1986BE4УК  
1986BE4У1, К1986BE4У1, К1986BE4У1К, К1986BE4Н4**

№ вывода корпуса	№ КП кристалла	Обозначение	Назначение и функции вывода			
			Аналоговая функция	Основная функция	Альтернативная функция	Функциональное назначение
15	77	PA12	–	SSP_FSS	–	Вход/выход 12 порта А Вход/выход разрешения SPI
16	78	PA0	–	TMR0_CH1	–	Вход/выход 0 порта А Вход/выход канала 1 таймера 0
17	1	PA1	–	TMR0_CH1N	–	Вход/выход 1 порта А Инверсный выход канала 1 таймера 0
18	2	PA2	–	TMR0_CH2	–	Вход/выход 2 порта А Вход/выход канала 2 таймера 0
19	3	PA3	–	TMR0_CH2N	–	Вход/выход 3 порта А Инверсный выход канала 2 таймера 0
20	4	PA4	–	TMR0_CH3	–	Вход/выход 4 порта А Вход/выход канала 3 таймера 0
21	5, 6	Ucc				Питание 2,2...3,6 В
22	7	BUcc				Батарейное питание 1,8...3,6 В
23	9	PB4	OSC_IN32	nUART1DTR	–	Вход/выход 4 порта В Сигнал управления UART1 Вход осциллятора 32 кГц
24	10	PB5	OSC_OUT32	nUART1RTS	–	Вход/выход 5 порта В Сигнал управления UART1 Выход осциллятора 32 кГц
25	11, 12	WAKEUP/ COV_DET	–	–	–	Выбор режима Standby
26	13	JTAG_EN	–	–	–	Вход разрешения отладочного TAP-интерфейса на выводах JTAG. Следует подсоединять к выводу Общий
27	16	PC1	ADC3	UART2_RXD	–	Вход/выход 1 порта С Входные данные UART2 Входной канал 3 SAR АЦП
28	17	PC2	ADC2/ CMP_IN1	TMR1_CH1	–	Вход/выход 2 порта С Вход/выход канала 1 таймера 1 Входной канал 2 SAR АЦП Вход компаратора 1

**Спецификация 1986BE4У, К1986BE4У, К1986BE4УК  
1986BE4У1, К1986BE4У1, К1986BE4У1К, К1986BE4Н4**

№ вывода корпуса	№ КП кристалла	Обозначение	Назначение и функции вывода			
			Аналоговая функция	Основная функция	Альтернативная функция	Функциональное назначение
29	18	PC3	ADC1/ ADC_REF+/ CMP_REF+/ DAC_REF	TMR1_CH1N	–	Вход/выход 3 порта С Положительное опорное напряжение АЦП Положительное опорное напряжение ЦАП Положительное опорное напряжение компаратора Инверсный выход канала 1 таймера 1 Входной канал 1 SAR АЦП
30	19	PC4	ADC0/ ADC_REF-/ CMP_REF-	EXT_INT1	–	Вход/выход 4 порта С Входной канал 0 SAR АЦП Отрицательное опорное напряжение АЦП Отрицательное опорное напряжение компаратора Вход внешнего прерывания
31	20	PB6	ADC7	nUART1RI	EXT_INT1	Вход/выход 6 порта В Сигнал управления UART1 Входной канал 7 SAR АЦП Вход внешнего прерывания
32	21, 22	GND				Общий
33	23	PB7	ADC6	nUART1DCD	EXT_INT2	Вход/выход 7 порта В Сигнал управления UART1 Входной канал 6 SAR АЦП Вход внешнего прерывания
34	24	PB8	ADC5	nUART1DSR	TMR1_ETR	Вход/выход 8 порта В Сигнал управления UART1 Входной канал 5 SAR АЦП Вход внешнего события таймера 1
35	25	PB9	ADC4	nUART1CTS	TMR1_BLK	Вход/выход 9 порта В Сигнал управления UART1 Входной канал 4 SAR АЦП Вход внешнего события таймера 1
36	26	OSC_IN				Вход генератора HSE
37	27	OSC_OUT				Выход генератора HSE

**Спецификация 1986BE4У, К1986BE4У, К1986BE4УК  
1986BE4У1, К1986BE4У1, К1986BE4У1К, К1986BE4Н4**

№ вывода корпуса	№ КП кристалла	Обозначение	Назначение и функции вывода			
			Аналоговая функция	Основная функция	Альтернативная функция	Функциональное назначение
38	28	PC5	CMP_IN2	EXT_INT2	–	Вход/выход 5 порта С Вход внешнего прерывания Вход компаратора 2
39	29	PC6	CMP_IN3	TMR1_ETR	–	Вход/выход 6 порта С Вход компаратора 3 Вход внешнего события таймера 1
40	30	PA5	DAC_OUT	TMR0_CH3N	–	Вход/выход 5 порта А Аналоговый выход ЦАП Инверсный выход канала 3 таймера 0
41	31	RESET	–	–	–	Внешний сброс
42	32	PB0/MODE0	–	UART1_TXD	–	Вход/выход 0 порта В Выходные данные UART1
43	33	PB1	–	UART1_RXD	–	Вход/выход 1 порта В Входные данные UART1
44	34	PB2	–	nSIROUT0	–	Вход/выход 2 порта В Выходные данные IRDA UART1
45	35	PB3	–	nSIRIN0	–	Вход/выход 3 порта В Входные данные IRDA UART1
46	37	PA6/ SWCLKTCK	–	TMR0_CH4	–	Вход/выход 6 порта А Вход/выход канала 4 таймера 0
47	38	PA7/SWDIO	–	TMR0_CH4N	–	Вход/выход 7 порта А Инверсный выход канала 4 таймера 0
48	39	PA8	–	TMR0_ETR	–	Вход/выход 8 порта А Вход внешнего события таймера 0
49	40	PA9	–	TMR0_BLK	–	Вход/выход 9 порта А Вход внешнего события таймера 0
50	41	PA10	–	EXT_INT0	–	Вход/выход 10 порта А Вход внешнего прерывания
51	42	PC0/MODE1	–	UART2_TXD	–	Вход/выход 0 порта С Выходные данные UART2
52	47	PC7	–	TMR1_BLK	TMR1_CH4	Вход/выход 7 порта С Вход внешнего события таймера 1 Вход/выход канала 4 таймера 1
53	48	PB10	–	TMR1_CH2	–	Вход/выход 10 порта В Вход/выход канала 2 таймера 1

№ вывода корпуса	№ КП кристалла	Обозначение	Назначение и функции вывода			
			Аналоговая функция	Основная функция	Альтернативная функция	Функциональное назначение
54	49	PB11	–	TMR1_CH2N	–	Вход/выход 11 порта В Инверсный выход канала 2 таймера 1
55	52, 53	AGND				Общий
56	54	VR_1V	–	–	–	ΔΣАЦП Вход/Выход опорного напряжения 1,2 В
57	55	INP1*	–	–	–	Положительный дифференциальный вход ΔΣАЦП1
58	56	INM1*	–	–	–	Отрицательный дифференциальный вход ΔΣАЦП1
59	57	INP2*	–	–	–	Положительный дифференциальный вход ΔΣАЦП2
60	58	INM2*	–	–	–	Отрицательный дифференциальный вход ΔΣАЦП2
61	59	INP3*	–	–	–	Положительный дифференциальный вход ΔΣАЦП3
62	60	INM3*	–	–	–	Отрицательный дифференциальный вход ΔΣАЦП3
63	61	INP4*	–	–	–	Положительный дифференциальный вход ΔΣАЦП4
64	62	INM4*	–	–	–	Отрицательный дифференциальный вход ΔΣАЦП4
–	8, 14, 15, 36, 43, 44, 45, 46, 50, 51	–	Не используются			

\* Дифференциальное напряжение ΔΣАЦП формируется как сигнал INM минус INP.

## 5 Диаграмма расположения выводов в корпусе

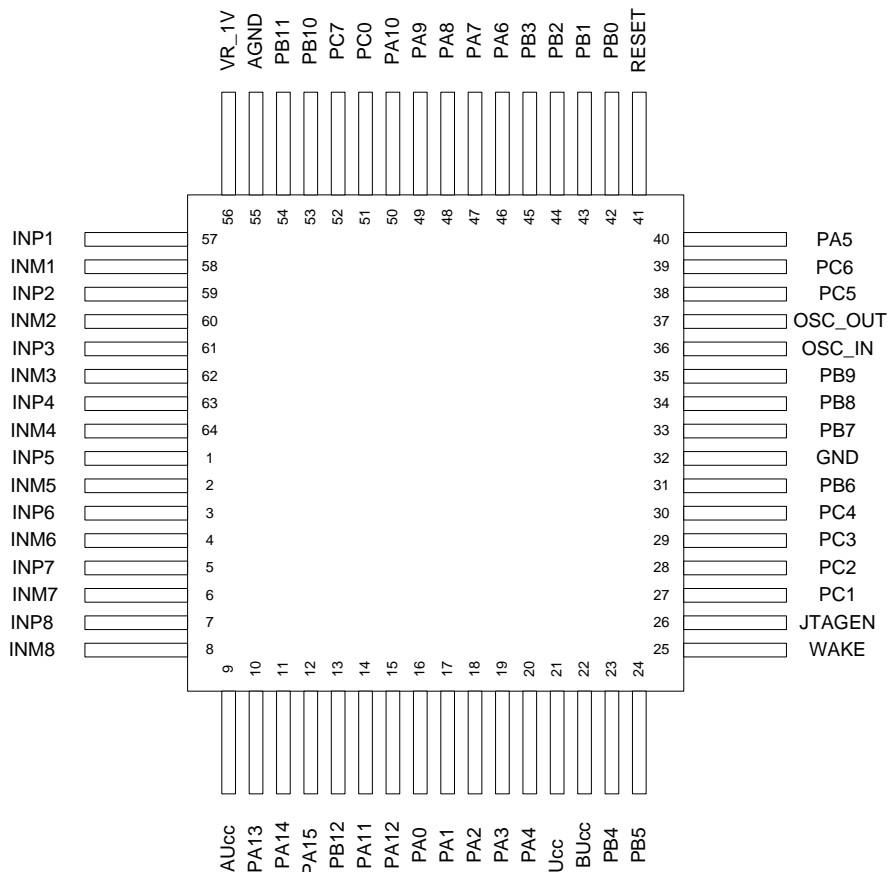


Рисунок 3 – 64-х выводной металлокерамический корпус Н18.64-1В

Примечание – В 64-х выводном металлокерамическом корпусе 5153.64-1 расположение выводов аналогичное.

## **6 Указания по применению и эксплуатации**

Длительность фронта / спада входного сигнала составляет не более 5 нс.

Микросхемы 1986BE4У имеют электрическое соединение вывода 32 «Общий» с крышкой корпуса.

Микросхемы 1986BE4У1 имеют электрическое соединение вывода 32 «Общий» с крышкой корпуса; металлизации обратной стороны корпуса с металлизацией монтажной площадки.

Запрещается подведение каких-либо электрических сигналов, кроме шины «Общий», к металлизации обратной стороны микросхем 1986BE4У1.

При монтаже бескорпусных микросхем К1986BE4Н4 на металлизированную монтажную площадку рекомендуется соединить ее с шиной "Общий".

При ремонте аппаратуры и измерении параметров микросхем замену микросхем необходимо проводить только при отключенных источниках питания.

Инструмент для пайки (сварки) и монтажа не должен иметь потенциал, превышающий 0,3 В относительно шины "Общий".

При вероятности возникновения на входах микросхемы напряжения низкого уровня менее минус 0,3 В необходимо предусмотреть установку на входах токоограничивающих резисторов со значением тока ограничения до  $|-1|$  мА (не более  $|-20|$  мА суммарно по всем входам).

Порядок подачи и снятия напряжения питания и входных сигналов на микросхемы:

подача (включение микросхем) – общий, питание батарейного домена UCCB, напряжение питания UCC, входные сигналы или одновременно;

снятие (выключение микросхем) – в обратном порядке или одновременно.

Неиспользуемые пользовательские выводы микросхемы (выводы портов PA – PF) должны быть переведены в аналоговый режим. Неиспользуемые пользовательские выводы, определенные как входы, в цифровом режиме (выводы портов PA – PF, nRESET, WAKEUP) должны быть доопределены до допустимых логических уровней напряжения (высокого или низкого) с помощью внутренних программируемых резисторов доопределения или через внешние резисторы номиналом (1 – 100) кОм.

## 7 Система питания микросхемы

Микроконтроллер этой серии имеет несколько типов выводов питания.

**U<sub>cc</sub> вывод:** основное питание микросхемы, включает питание пользовательских выводов, встроенного регулятора напряжения, умножителя частоты ядра PLL, генераторов, компаратора, АЦП последовательного приближения и ЦАП.

Входное напряжение должно быть в пределах от 2,2 до 3,6 В.

Если используется АЦП последовательного приближения или ЦАП, входное напряжение должно быть в пределах от 2,4 до 3,6 В.

Если используется  $\Delta\Sigma$ АЦП, входное напряжение должно быть в пределах от 3,0 до 3,6 В

**V<sub>Ucc</sub> вывод:** питание батарейного домена используется при отсутствии основного питания U<sub>cc</sub> для питания батарейного домена и LSE генератора. Переключение с основного питания на батарейное происходит автоматически при снижении уровня U<sub>cc</sub> ниже 2,0 В. Переключение с батарейного питания на основное происходит автоматически спустя примерно 4 мс после превышения уровнем U<sub>cc</sub> 2,0 В. Входное напряжение должно быть в пределах от 1,8 до 3,6 В. Если в системе не требуется батарейного питания, вывод V<sub>Ucc</sub> должен быть объединен с U<sub>cc</sub>.

**AU<sub>cc</sub> вывод:** Питание аналоговых блоков сигма дельта АЦП и формирователя опоры выведено на отдельные выводы для уменьшения помех, создаваемых работой других блоков. На данные выводы должно подаваться напряжения с того же источника, что и U<sub>cc</sub>, но при этом на печатной плате должны быть применены меры по снижению наводки помех. Для корректной работы АЦП входное напряжение должно быть в пределах от 3,0 до 3,6 В. Если входное напряжение будет в пределах от 2,2 до 3,0 В, то корректная работа АЦП не гарантируется.

**GND вывод:** основная земля питания.

**AGND вывод:** земля аналогового питания AU<sub>cc</sub>. Данные выводы должны соединяться с GND, но при этом на печатной плате должны быть применены меры по снижению наводки помех.



## 7.1 Структурная схема подачи питания

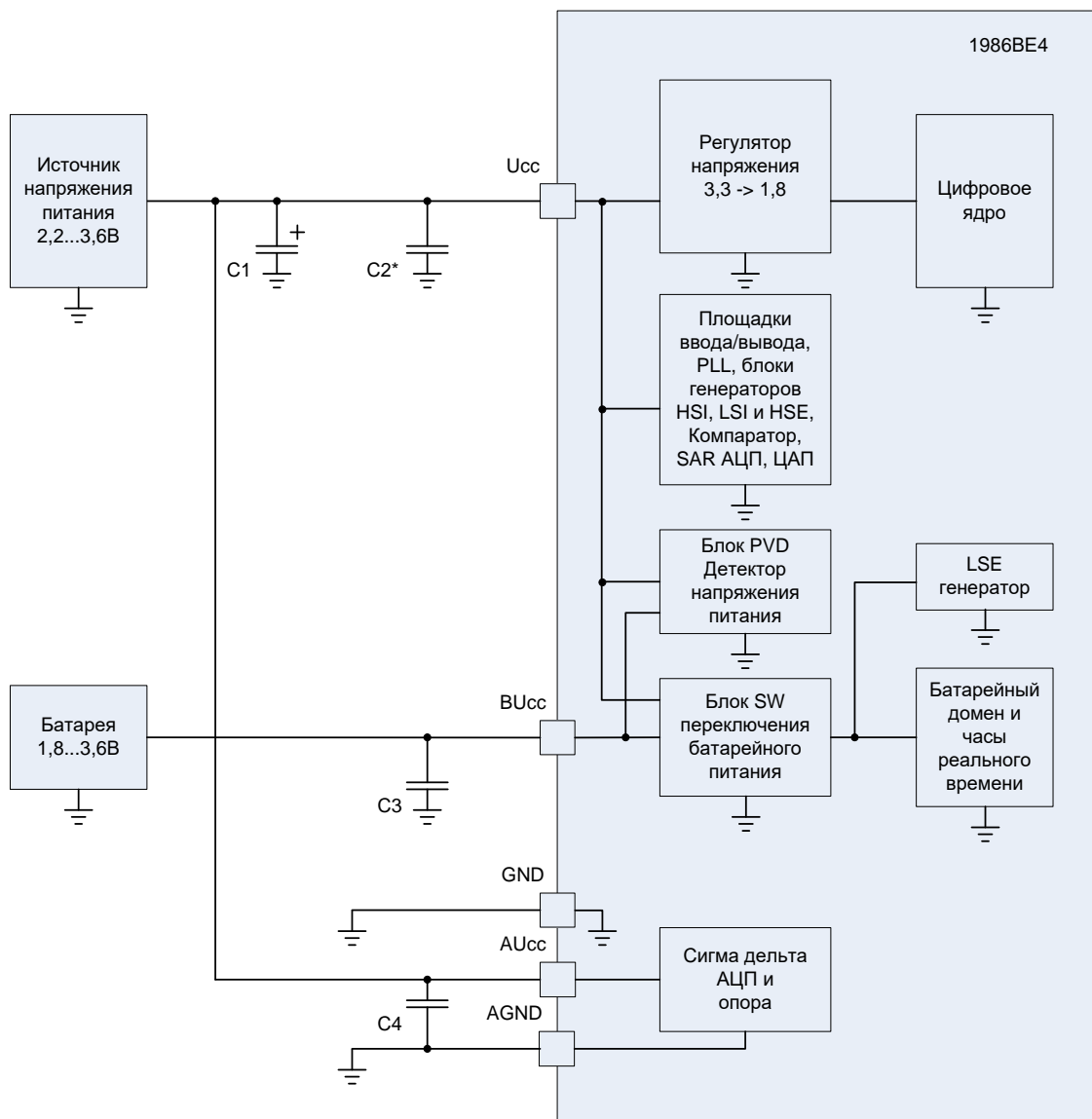


Рисунок 4 – Структурная схема подачи питания

### Примечания

\* – Конденсаторы должны быть установлены у каждого вывода питания

1 Конденсатор C1 = 22 мкФ, C2 = C3 = C4 = 0,1 мкФ;

2 Если не используется батарейное питание, то вывод BUcc должен быть объединен с Ucc;

3 Если используется АЦП последовательного приближения или ЦАП, напряжение питания Ucc должно быть в пределах от 2,4 до 3,6 В;

4 Если используется  $\Delta\Sigma$ АЦП, напряжение питания Ucc (AUcc) должно быть в пределах от 3,0 до 3,6 В.

Микроконтроллер имеет встроенный детектор напряжения питания, подробнее см. раздел «Детектор напряжения питания».

## 7.2 Схема сброса при включении и выключении основного питания

При включении питания, пока питание  $U_{CC}$  не превысило уровень  $U_{Por}$  (2,0 В), вырабатывается внутренний сигнал сброса POR для цифровой части. После превышения уровня  $U_{Por}$ , сигнал POR выдается еще на протяжении  $t_{por}$  (~4 мс) для того, чтобы гарантировано установилось напряжение питания, после чего сигнал POR снимается, и схема может начать работать.

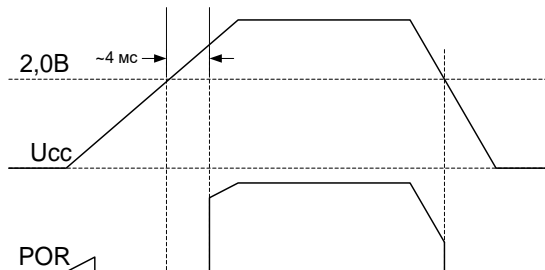


Рисунок 5 – Сигнал сброса при включении и выключении основного напряжения питания

При снижении напряжения питания  $U_{CC}$  ниже уровня  $U_{Por}$  сигнал POR вырабатывается без задержки.

Сигнал POR также служит для переключения питания батарейного домена между  $V_{UCC}$  и  $U_{CC}$ .

При включении основного напряжения питания  $U_{CC}$  автоматически включается встроенный регулятор напряжения для формирования напряжения питания цифрового ядра. В ходе работы микроконтроллера встроенный регулятор может быть отключен, подробнее см. в разделе «Батарейный домен и часы реального времени».

Микроконтроллер также может быть сброшен внешним сигналом сброса RESET или внутренними сигналами сброса сторожевых таймеров или программным сбросом. При этом сигнал сброса формируется специальной схемой сброса, содержащий фильтр импульсных помех по сигналу сброса и одновибратор для увеличения длительности сигнала сброса.

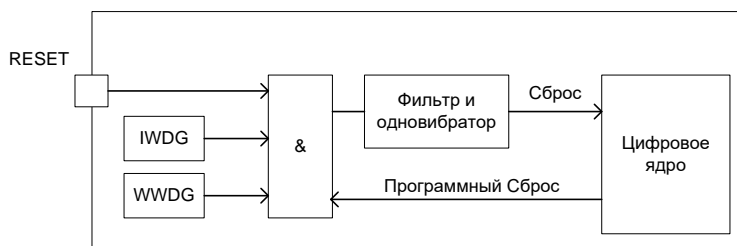


Рисунок 6 – Структурная блок-схема сброса

При приходе импульсов сброса длительностью менее  $t_{minreset}$ , эти импульсы отфильтровываются и не приводят к сбросу процессора. Если длительность импульса больше  $t_{maxreset}$  вырабатывается сигнал сброса. При этом длительность сформированного сигнала сброса будет не менее  $t_{reset}$ .

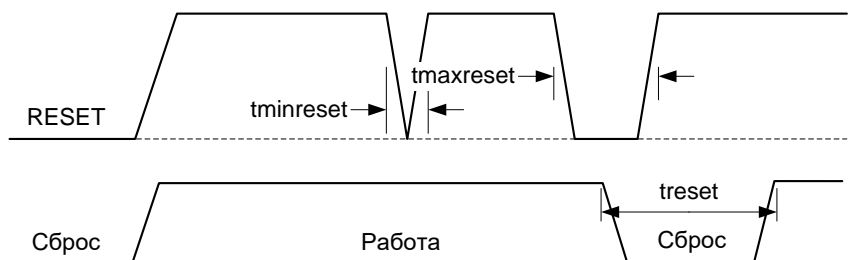


Рисунок 7 – Формирование сигнала сброса

## 8 Организация памяти

### 8.1 Структурная схема

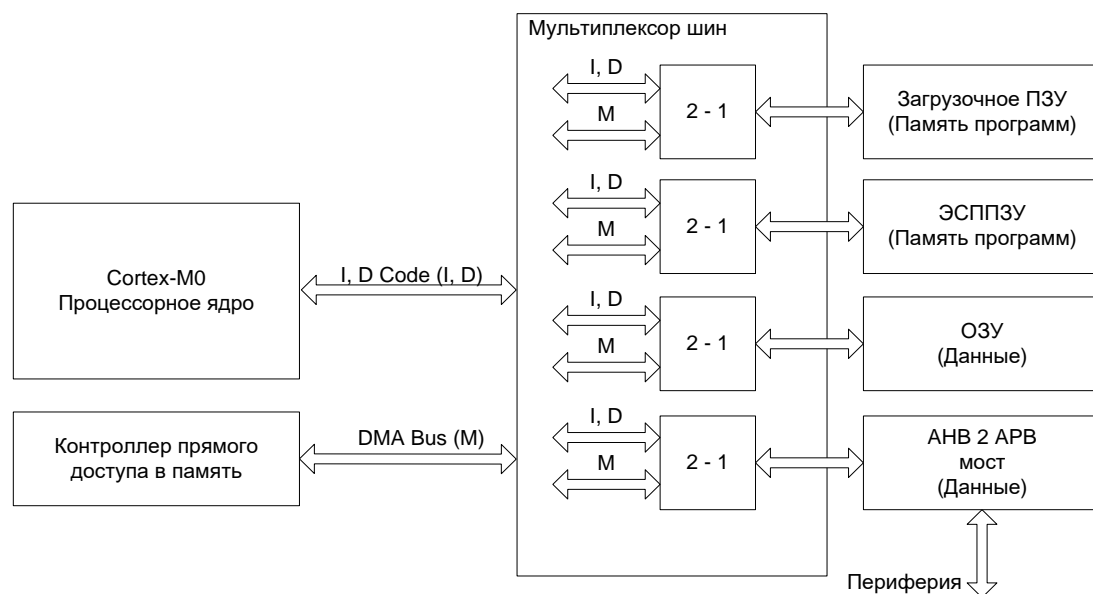


Рисунок 8 – Структурная схема организации памяти

Процессорное ядро имеет две системные шины:  
I, D Code – шина выборки инструкций и данных.

Также в микроконтроллере реализован контроллер прямого доступа в память (DMA), осуществляющий выборку через шину DMA Bus.

Все адресное пространство микроконтроллера единое и имеет максимальный объем 4 Гбайта. В данное адресное пространство отображаются различные модули памяти и периферии.

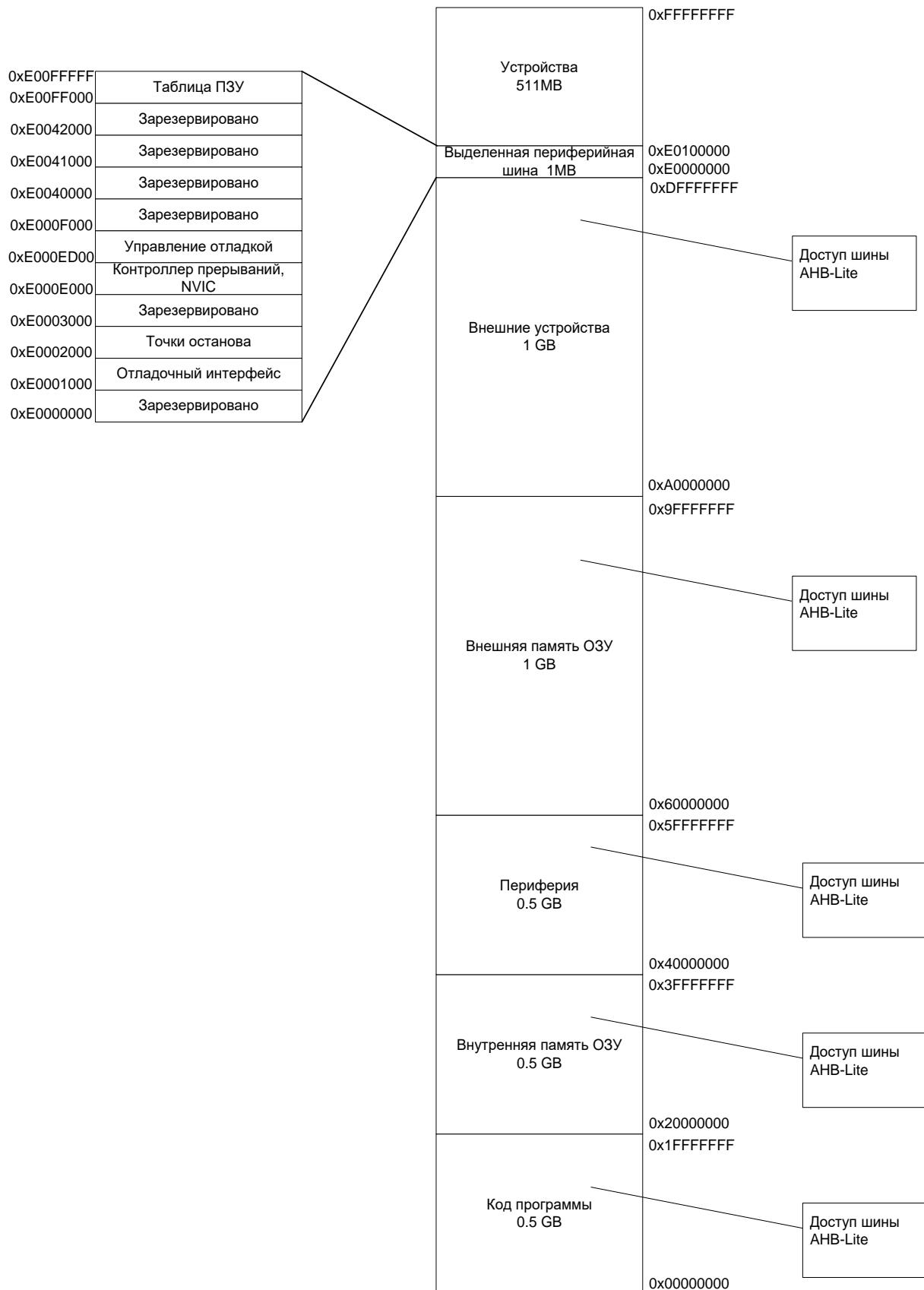


Рисунок 9 – Карта распределения основных областей памяти

## 8.2 Базовые адреса процессора

Таблица 2 – Базовые адреса процессора

Адрес	Размер	Блок	Примечание
<b>Память программ</b>			
0x0000_0000		BOOT ROM	Загрузочная программа FPOR=0
0x0000_0000		EEPROM	Область Flash-памяти программ с пользовательской программой FPOR=1
<b>Память данных</b>			
0x2000_0000		SYSTEM RAM	Область внутреннего ОЗУ
<b>Периферия</b>			
0x4000_0000		SPI	Регистры контроллера интерфейса SSP
0x4000_8000		UART1	Регистры контроллера интерфейса UART1
0x4001_0000		UART2	Регистры контроллера интерфейса UART2
0x4001_8000		EEPROM_CNTRL	Регистры контроллера Flash-памяти программ
0x4002_0000		RST_CLK	Регистры контроллера сигналов тактовой частоты
0x4002_8000		DMA	Регистры контроллера прямого доступа в память
0x4003_0000		COMP	Регистры управления компаратором
0x4003_8000		DAC	Регистры управления ЦАП
0x4004_0000		ADC	Регистры управления АЦП
0x4004_8000		WWDG	Регистры контроллера сторожевого таймера WWDG
0x4005_0000		IWDG	Регистры контроллера сторожевого таймера IWDG
0x4005_8000		POWER	Регистры детектора напряжения питания
0x4006_0000		BKP	Регистры доступа и управления батарейным доменом
0x4006_8000		ADCIU	Регистры управления $\Sigma\Delta$ АЦП
0x4007_0000		TIMER1	Регистры управления 16-ти разрядного таймера 1
0x4007_8000		TIMER2	Регистры управления 16-ти разрядного таймера 2
0x4008_0000		PORTA	Регистры управления порта А
0x4008_8000		PORTB	Регистры управления порта В
0x4009_0000		PORTC	Регистры управления порта С
0x4009_8000		CRC	Регистры управления аппаратного блока вычисления CRC
<b>SYSTEM REGION</b>			
0xE000_0000			Системные регистры процессор ARM Cortex-M0

## 9 Загрузочное ПЗУ и режимы работы микроконтроллера

После включения питания и снятия сигналов сброса: внутренних (POR) и внешних (RESET), – микроконтроллер начинает выполнять программу из информационной загрузочной области FLASH. В загрузочной программе микроконтроллер определяет, в каком из режимов он будет функционировать и переходит в этот режим. Режим функционирования определяется внешними выводами MODE[1:0] (PB[0], PC[0]). Также устанавливается бит FPOR в регистре ВКР\_REG\_0E (Таблица 114), который может быть сброшен только при отключении основного питания U<sub>cc</sub>. После перезапуска микроконтроллера уровни на выводах MODE[1:0] не влияют на режим функционирования микроконтроллера, если установлен бит FPOR. В пользовательской программе выводы PB[0], PC[0] могут использоваться пользователем.

Таблица 3 – Режимы первоначального запуска микроконтроллера

MODE[1:0]	Режим	Стартовый адрес/ таблица векторов прерываний	Описание
00	Микроконтроллер в режиме отладки	0x00000000	Процессор начинает выполнять программу из внутренней Flash-памяти программ. При этом разрешается работа отладочного интерфейса SW (Serial Wire)
01	UART загрузчик	Определяется пользователем	Микроконтроллер через интерфейс UART1 на выводах PB[1], PB[0] получает код программы в ОЗУ для исполнения. При этом разрешается работа отладочного интерфейса SW (Serial Wire)
10	UART загрузчик	Определяется пользователем	Микроконтроллер через интерфейс UART1 на выводах PB[1], PB[0] получает код программы в ОЗУ для исполнения. При этом разрешается работа отладочного интерфейса SW (Serial Wire)
11	Запрещенная ситуация	–	Режим для проверки микросхемы после производства. Микросхема перестает работать как микроконтроллер

При работе в режиме отладки разрешается работа отладочного интерфейса Serial Wire. При этом к микроконтроллеру может быть подключен Serial Wire адаптер (не входит в комплект поставки) с помощью которого программные средства разработки позволяют работать с микроконтроллером в отладочном режиме.

В отладочном режиме можно:

- стирать, записывать, считывать внутреннюю Flash-память программ;
- считывать и записывать содержимое ОЗУ, периферии;
- выполнять программу в пошаговом режиме;
- запускать программу в нормальном режиме;
- останавливать программу по точкам остановки;
- просматривать переменные выполняемой программы;

проводить трассировку хода выполнения программного обеспечения.

## **9.1 UART загрузчик**

Режим UART загрузчика предоставляет достаточный набор операций, необходимых для записи в ОЗУ какой-либо программы (в частности программатора Flash-памяти), верификации ее и запуска на выполнение. Кроме того, существует возможность задания внешним устройством скорости обмена. Помимо доступа к ОЗУ может быть осуществлен доступ и к другим адресным диапазонам (ЭСПЗУ, ПЗУ, Периферия).

В качестве источника тактовой частоты UART1 используется внутренний RC-генератор HSI с частотой 8 МГц. Так как имеется разброс значений частоты HSI, то требуется этап подбора значения делителя частоты UART1 для синхронизации с внешним устройством.

### **9.1.1 Параметры связи по UART**

Для связи по UART выбраны следующие параметры канала связи:

Начальная скорость – 9600 бод;

Количество бит данных – 8;

Четность – нет;

Количество стоп бит – 1;

Загрузчик не использует FIFO UART1;

Загрузчик всегда выступает в качестве Slave, а внешнее устройство, подающее команды – в качестве Master;

Данные передаются младшим битом вперед.

### **9.1.2 Протокол обмена по UART**

После синхронизации с внешним устройством загрузчик переходит в диспетчер команд. Таким образом, внешнему устройству доступны команды, приведенные в таблице 4.

Таблица 4 – Команды UART загрузчика

<b>Команда</b>	<b>Код</b>	<b>ASCII Символ</b>	<b>Описание</b>
CMD_SYNC	0x00		Пустая команда. Загрузчик ее принимает, но ничего по ней не делает
CMD_CR	0x0D		Выдача приглашения устройству Master
CMD_BAUD	0x42	'B'	Установка скорости обмена
CMD_LOAD	0x4C	'L'	Загрузка массива байт
CMD_VFY	0x59	'Y'	Выдача массива байт
CMD_RUN	0x52	'R'	Запуск программы на выполнение

### **9.1.3 Синхронизация с внешним устройством**

#### **Начальные условия**

На этапе синхронизации с внешним устройством (Master) вывод Rx используется как вход. Master постоянно посылает в канал синхросимвол – 0. Загрузчик подстраивает свою скорость таким образом, чтобы минимизировать ошибки обмена. Как только Загрузчик настроил скорость, он переходит в диспетчер команд и выдает приглашение (3 байта 0x0D (перевод строки), 0x0A (возврат каретки), 0x3E ('>'),) устройству Master.

Master завершает выдачу синхросимволов и, теперь, может подавать команды согласно протоколу обмена.

### 9.1.4 Команда CMD\_SYNC

#### Пустая команда

Загрузчик (Slave) ее принимает, но ничего по ней не делает. Код команды соответствует символу синхронизации.

Таблица 5 – Команда CMD\_SYNC

Код команды	CMD_SYNC = 0x00
ASCII символ, соответствующий коду команды	нет
Количество параметров команды	0
Формат команды:	
Master выдает код команды CMD_SYNC	Slave принимает команду. Если команда принята с ошибками, то выдает код ошибки ERR_CHN или ERR_CMD (см. подраздел «Сообщения об ошибках») и завершает обработку текущей команды.

### 9.1.5 Команда CMD\_CR

Выдача приглашения устройству Master.

Таблица 6 – Команда CMD\_CR

Код команды	CMD_CR = 0x0D
ASCII символ, соответствующий коду команды	нет
Количество параметров команды	0
Формат команды:	
Master выдает код команды CMD_CR	Slave принимает команду. Если команда принята с ошибками, то выдает код ошибки ERR_CHN или ERR_CMD и завершает обработку текущей команды. Выдает код команды CMD_CR. Выдает код 0x0A Выдает код 0x3E (ASCII символ '>')

### 9.1.6 Команда CMD\_BAUD

Установка скорости обмена

Таблица 7 – Команда CMD\_BAUD

Код команды	CMD_BAUD = 0x42
ASCII символ, соответствующий коду команды	'B'
Количество параметров команды	1
Параметр	Новое значение скорости обмена [бод]
Формат команды:	
Master выдает код команды CMD_BAUD	Slave принимает команду. Если команда принята с ошибками, то выдает код ошибки ERR_CHN или ERR_CMD и завершает обработку текущей команды.



Master выдает параметр	Slave принимает параметр. Если параметр принят с ошибками, то выдает код ошибки ERR_CHN или ERR_BAUD (см. подраздел «Сообщения об ошибках») и завершает обработку текущей команды. Выдает код команды CMD_BAUD. Устанавливает новое значение скорости обмена.
------------------------	---

### 9.1.7 Команда CMD\_LOAD

Загрузка массива байт в память микроконтроллера.

Таблица 8 – Команда CMD\_LOAD

Код команды	CMD_LOAD = 0x4C
ASCII символ, соответствующий коду команды	'L'
Количество параметров команды	2
Параметр 1	Адрес памяти приемника данных.
Параметр 2	Размер массива в байтах
Формат команды:	
Master выдает код команды CMD_LOAD	Slave принимает команду. Если команда принята с ошибками, то выдает код ошибки ERR_CHN или ERR_CMD и завершает обработку текущей команды.
Master выдает параметр 1	Slave принимает параметр 1. Если хотя бы один из параметров принят с ошибками, то выдает код ошибки ERR_CHN и завершает обработку текущей команды.
Master выдает параметр 2	Slave принимает параметр 2. Если хотя бы один из параметров принят с ошибками, то выдает код ошибки ERR_CHN и завершает обработку текущей команды. Выдает код команды CMD_LOAD.
Master выдает массив байт младшим байтом вперед	Slave принимает массив байт. Принимает массив байт. Если хотя бы один байт принят с ошибками, то выдает код ошибки ERR_CHN и завершает обработку текущей команды, не дожидаясь окончания принятия всего массива. По окончании принятия массива выдает код ответа REPLY_OK = 0x4B ('K').

### 9.1.8 Команда CMD\_VFY

Выдача массива байт из памяти микроконтроллера

Таблица 9 – Команда CMD\_VFY

Код команды	CMD_VFY = 0x59
ASCII символ, соответствующий коду команды	'Y'
Количество параметров команды	2
Параметр 1	Адрес памяти источника данных
Параметр 2	Размер массива в байтах
Формат команды:	
Master выдает код команды CMD_VFY	Slave принимает команду. Если команда принята с ошибками, то выдает код ошибки ERR_CHN или ERR_CMD и завершает обработку текущей команды
Master выдает параметр 1	Slave принимает параметр 1. Если хотя бы один из параметров принят с ошибками, то выдает код ошибки ERR_CHN и завершает обработку текущей команды
Master выдает параметр 2	Slave принимает параметр 2. Если хотя бы один из параметров принят с ошибками, то выдает код ошибки ERR_CHN и завершает обработку текущей команды. Выдает код команды CMD_VFY. Выдает массив байт младшим байтом вперед. По окончании передачи массива выдает код ответа REPLY_OK = 0x4B ('K')

### 9.1.9 Команда CMD\_RUN

Запуск программы на выполнение.

Таблица 10 – Команда CMD\_RUN

Код команды	CMD_RUN = 0x52
ASCII символ, соответствующий коду команды	'R'
Количество параметров команды	1
Параметр.	Адрес первой команды загруженной программы
Формат команды:	
Master выдает код команды CMD_RUN.	Slave принимает команду. Если команда принята с ошибками, то выдает код ошибки ERR_CHN или ERR_CMD и завершает обработку текущей команды
Master выдает параметр.	Slave принимает параметр. Если параметр принят с ошибками, то выдает код ошибки ERR_CHN и завершает обработку текущей команды. Выдает код команды CMD_RUN. Устанавливает значение MSP и PC согласно таблице векторов (NVIC не перепрограммируется) и, таким образом, Slave завершает выполнение команды.

### 9.1.10 Прием параметров команды

Параметры команд – это 4-х байтные числа. Параметры передаются младшим байтом вперед.

В качестве значения параметра запрещено использовать число 0xFFFFFFFF.

Если при приеме параметра обнаружена аппаратная ошибка (UART установил в '1' какой-либо из флагов ошибки), то прием параметров не прекращается.

Анализ всех видов ошибок, связанных с передачей параметров, загрузчик производит только после принятия всех параметров команды.

### 9.1.11 Сообщения об ошибках

Сообщения об ошибках – это 2-х байтные последовательности символов. Первый символ всегда 0x45 ('E'). Второй символ обозначает тип ошибки.

После выдачи сообщения об ошибке загрузчик переходит в режим ожидания следующей команды, поэтому Master после получения такого сообщения прекращает передачу байт, относящихся к текущей команде.

После принятия сообщения об ошибке Master должен подавать команду CMD\_CR до тех пор, пока не получит корректный ответ, соответствующий этой команде.

Возможны следующие сообщения об ошибках: ERR\_CHN, ERR\_CMD, ERR\_BAUD.

#### 9.1.11.1 Ошибка ERR\_CHN

Аппаратная ошибка UART.

Код ошибки 0x69 ('i').

Выдается, если UART установил в '1' один из аппаратных флагов ошибки при приеме очередного байта.

#### 9.1.11.2 Ошибка ERR\_CMD

Принята неизвестная команда.

Код ошибки 0x63 ('c').

Выдается диспетчером команд, если принят неизвестный код команды.

#### 9.1.11.3 Ошибка ERR\_BAUD

Принята неизвестная команда.

Код ошибки 0x62 ('b').

Выдается диспетчером команд, если по принятому от устройства Master значению скорости обмена невозможно вычислить корректное значение делителя частоты UART.

## 10 Контроллер Flash-памяти программ

Микроконтроллер содержит встроенную Flash-память программ с объемом 128 Кбайт основной памяти программ и 8 Кбайт информационной памяти. В микроконтроллере реализованы два режима работы:

- обычный режим;
- режим программирования.

В обычном режиме (бит CON = 0, регистр EEPROM\_CMD) доступна основная память программ через системную шину для выборки инструкций и данных кода программы. В режиме программирования (бит CON = 1, регистр EEPROM\_CMD) основная и информационная память доступны как периферийное устройство и могут быть использованы для нужд разработчика приложения. В режиме программирования программный код должен выполняться из области системной шины или ОЗУ. Выполнение программного кода из Flash-памяти программ в режиме программирования невозможно.

### 10.1 Работа Flash-памяти программ в обычном режиме

Скорость доступа во Flash-память ограничена и составляет порядка 55 нс, в результате выдача новых значений из Flash-памяти может происходить с частотой не более 18 МГц. Для того, чтобы процессорное ядро могло получать новые инструкции на больших частотах, в микроконтроллере реализуется Flash-память с физической организацией 32К на 32 разряда. Таким образом, за 55 нс из Flash-памяти извлекается 8 байт, в которых может быть закодировано две инструкции процессора. И пока ядро выполняет эти инструкции, из памяти извлекается следующая порция данных. Таким образом, тактовая частота может превышать частоты извлечения данных из памяти в несколько раз при линейном выполнении программы. При возникновении переходов в выполнении программы, когда из памяти программ не выбраны нужные инструкции возникает пауза в несколько тактов процессора для того, чтобы данные успели считаться из Flash. Число тактов паузы зависит от тактовой частоты процессора, так при работе с частотой ниже 18 МГц пауза не требуется, так как Flash-память успевает выдать новые данные за один такт, при частоте от 18 до 36 МГц требуется один такт паузы, и так далее. Число тактов паузы задается в регистре EEPROM\_CMD битами Delay[2:0]. В таблице 11 приведены характеристики паузы, необходимой для работы флэш-памяти программ.

Таблица 11 – Дополнительная пауза для работы Flash-памяти

Delay[2:0]	Тактов паузы	Тактовая частота
0x00	0	До 18 МГц
0x01	1	До 36 МГц

Число тактов паузы устанавливается до момента повышения тактовой частоты или после снижения тактовой частоты.

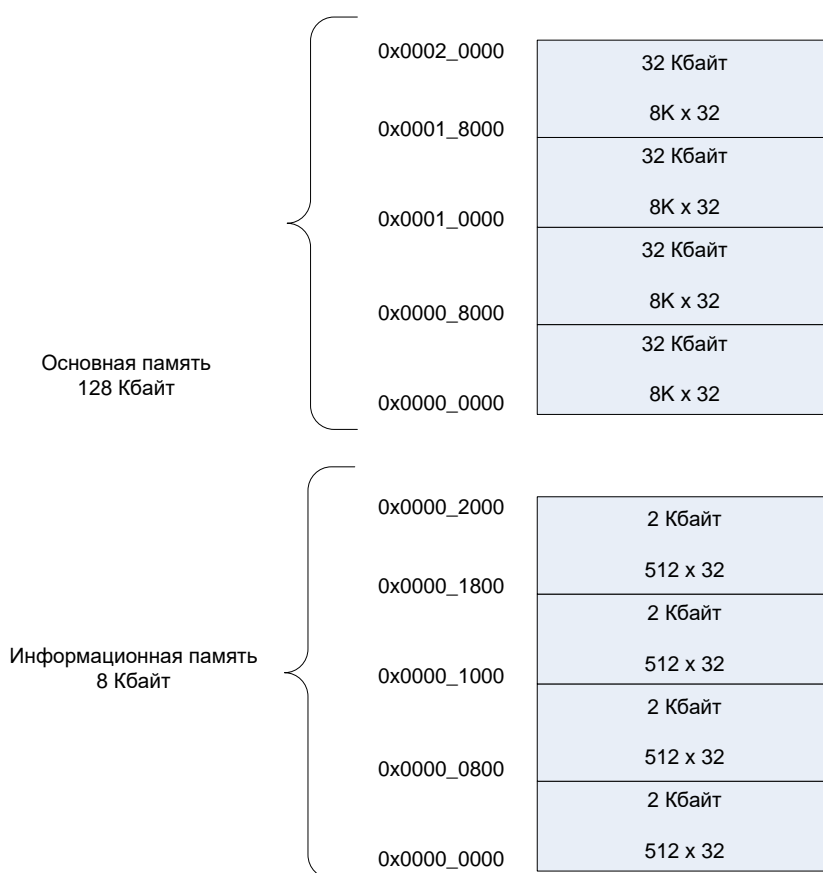
## 10.2 Работа Flash-памяти программ в режиме программирования

В режиме программирования Flash-память программ не может выдавать инструкции и данные процессору, поэтому перевод памяти в режим программирования (установка бита CON = 1) возможен только программой, исполняемой из ОЗУ.

Информационная память может быть назначена на адрес 0x0000\_0000 (вместо загрузочной программы ПЗУ) с помощью управляющего бита FPOR (расположен в батарейном домене).

В режиме программирования возможны следующие операции, как с основной (бит IFREN = 0, регистр EEPROM\_CMD), так и с информационной (бит IFREN = 1) памятью:

- стирание блока памяти размером 2 Кбайт или 32 Кбайт;
- стирание страницы памяти размером 512 байт;
- запись 32-х битного слова в память;
- чтение 32-х битного слова из памяти.



Примечание – Биты ADR[16:15] регистра EEPROM\_ADR отвечают за выбор блоков памяти (основной и информационной)

Рисунок 10 – Структура памяти

### 10.2.1 Стирание блока памяти размером 2 Кбайт или 32 Кбайт

Стирание памяти возможно только в режиме программирования. Для стирания всей памяти необходимо выполнить следующие действия:

1. Установить необходимое значение в бит IFREN в регистре EEPROM\_CMD:  
1 – для информационной памяти;  
0 – для основной памяти.
2. Установить биты XE, MAS1 и ERASE в единицу;
3. Спустя время  $T_{nvs} = 10$  мкс установить бит NVSTR в единицу;
4. Полное стирание памяти длится время  $T_{me} = 40$  мс. Спустя это время необходимо очистить бит ERASE;
5. Спустя время  $T_{nvh1} = 100$  мкс очистить биты XE, MAS1 и NVSTR.
6. Последующие операции с памятью можно выполнять спустя время  $T_{rcv} = 1$  мкс.

Временная диаграмма стирания памяти представлена на рисунке 11.

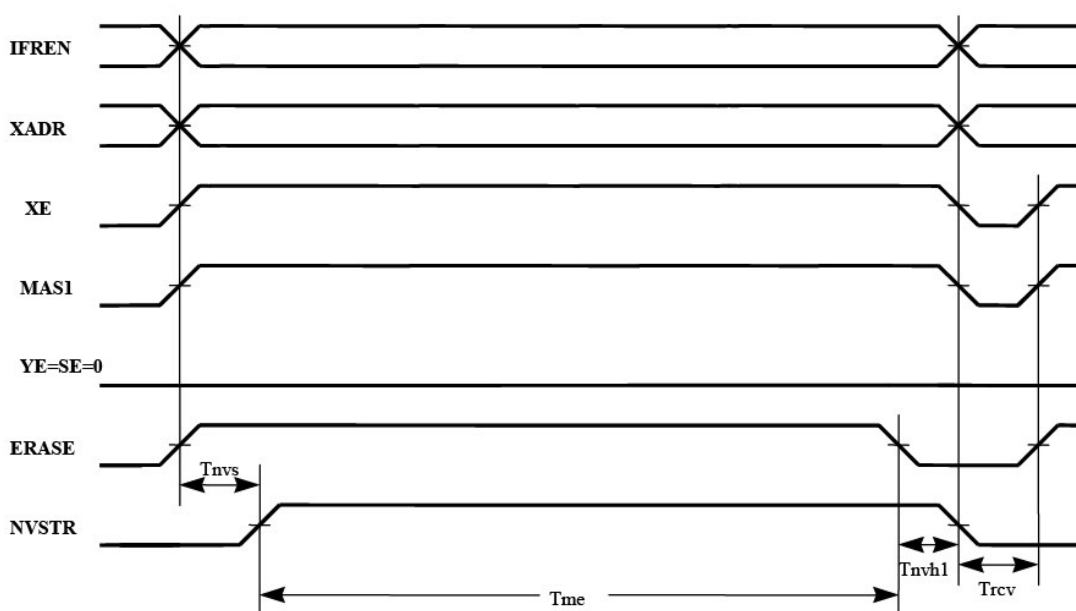


Рисунок 11 – Временная диаграмма стирания памяти

### 10.2.2 Стирание страницы памяти размером 512 байт

Стирание страницы памяти возможно только в режиме программирования. Для стирания страницы памяти необходимо выполнить следующие действия:

1. Установить необходимое значение в бит IFREN:  
1 – для информационной памяти;  
0 – для основной памяти.
2. Установить адрес стираемой страницы в регистре EEPROM\_ADR и установить биты XE и ERASE в единицу;
3. Спустя время  $T_{nvs} = 10$  мкс установить бит NVSTR в единицу;
4. Стирание страницы памяти длится время  $T_{erase} = 40$  мс. Спустя время  $T_{erase}$  необходимо очистить бит ERASE;
5. Спустя время  $T_{nvh} = 5$  мкс очистить биты XE и NVSTR;
6. Последующие операции с памятью можно выполнять спустя время  $T_{rcv} = 1$  мкс.

Временная диаграмма стирания страницы памяти представлена на рисунке 12.

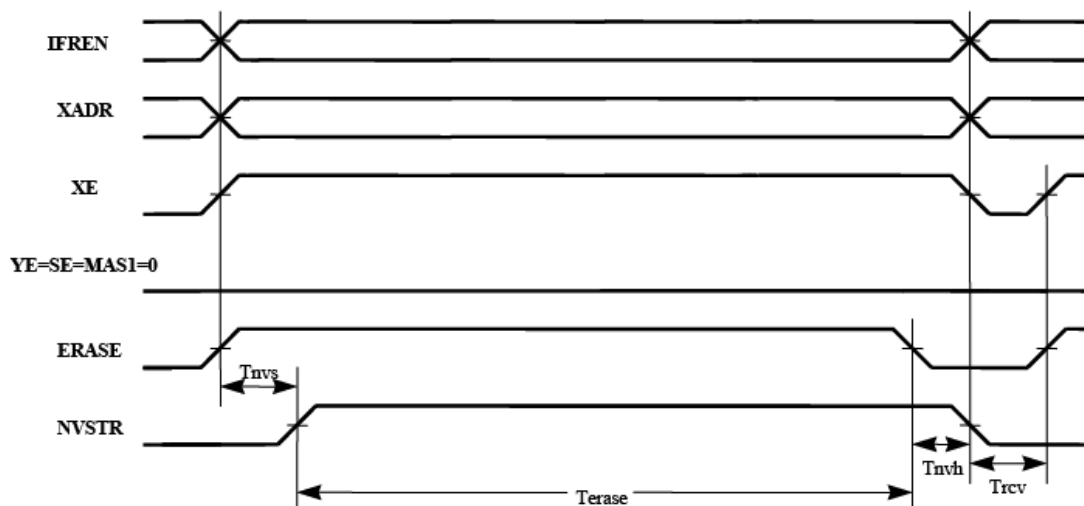


Рисунок 12 – Временная диаграмма стирания страницы

### 10.2.3 Запись 32-х битного слова в память

Запись в память возможно только в режиме программирования. Для записи в память необходимо выполнить следующие действия:

1. Установить необходимое значение в бит IFREN:  
1 – для информационной памяти;  
0 – для основной памяти.
2. Установить адрес, по которому производится запись в регистре EEPROM\_ADR;
3. В регистр EEPROM\_DI записать записываемое в память слово и установить биты XE и PROG в единицу;
4. Спустя время  $T_{nvs} = 5$  мкс установить бит NVSTR в единицу;
5. Спустя время  $T_{pgs} = 10$  мкс установить бит YE в единицу;
6. Запись в память длится время  $T_{prog} = 40$  мкс. Спустя это время необходимо очистить бит YE;
7. Спустя время  $T_{adh} = 20$  нс установить новый адрес и значение для записи в другую ячейку памяти;
8. Спустя время  $T_{adh} = 20$  нс установить YE в единицу и записать следующую слово.
9. Если запись больше не требуется:  
спустя время  $T_{pgh} = 20$  нс после очистки бита YE необходимо очистить бит PROG;  
спустя время  $T_{nvh} = 5$  мкс очистить биты XE и NVSTR.
10. Последующие операции с памятью можно выполнять спустя время  $T_{rcv} = 1$  мкс.

Примечание – В одном цикле допускается запись в пределах одного сектора одной страницы.

Временная диаграмма записи памяти представлена на рисунке 13.

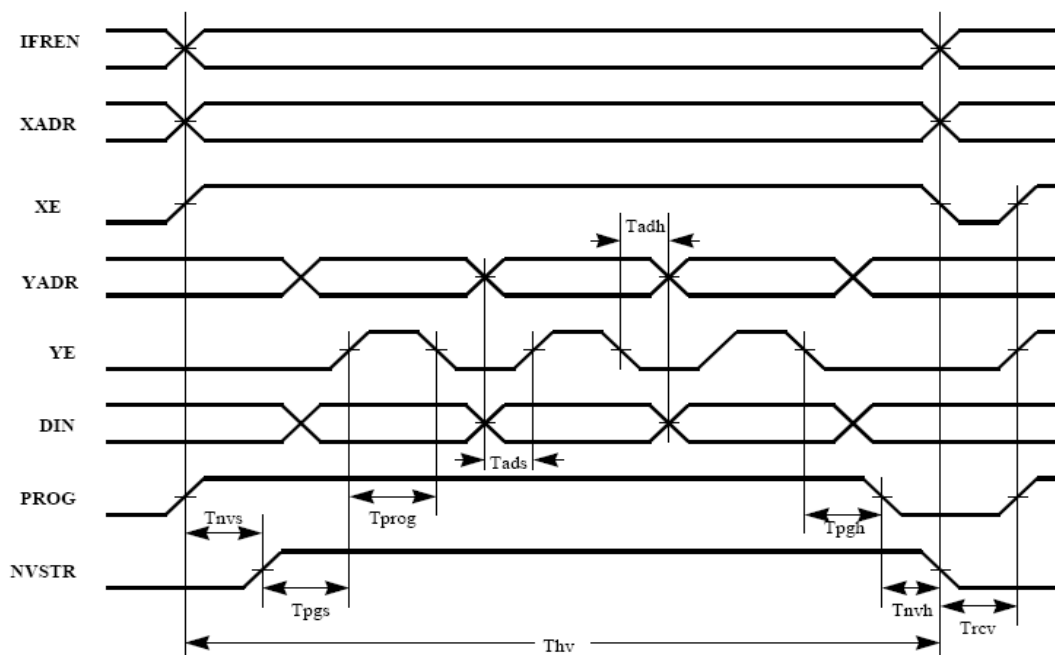


Рисунок 13 – Временная диаграмма записи памяти

#### 10.2.4 Чтение 32-х битного слова из памяти

В обычном режиме работы для чтения доступна только основная память. Для этого необходимо просто считать требуемый адрес памяти. В режиме программирования для чтения доступна и основная, и информационная память. Для чтения из памяти в режиме программирования необходимо выполнить следующие действия:

1. Установить необходимое значение в бит IFREN:  
1 – для информационной памяти;  
0 – для основной памяти.
2. Установить адрес, из которого необходимо считать данные, в регистре EEPROM\_ADR;
3. Установить биты XE, YE и SE в единицу;
4. Спустя время  $T_{сус} = 55$  нс из регистра EEPROM\_DO можно считать данные;
5. Если необходимо считать следующее слово, то в регистр EEPROM\_ADR необходимо записать новый адрес. Спустя время  $T_{сус} = 55$  нс из регистра EEPROM\_DO можно считать следующие данные.
6. Если чтение больше не требуется, то можно очистить все биты управления.



Временная диаграмма чтения памяти представлена на рисунке 14.

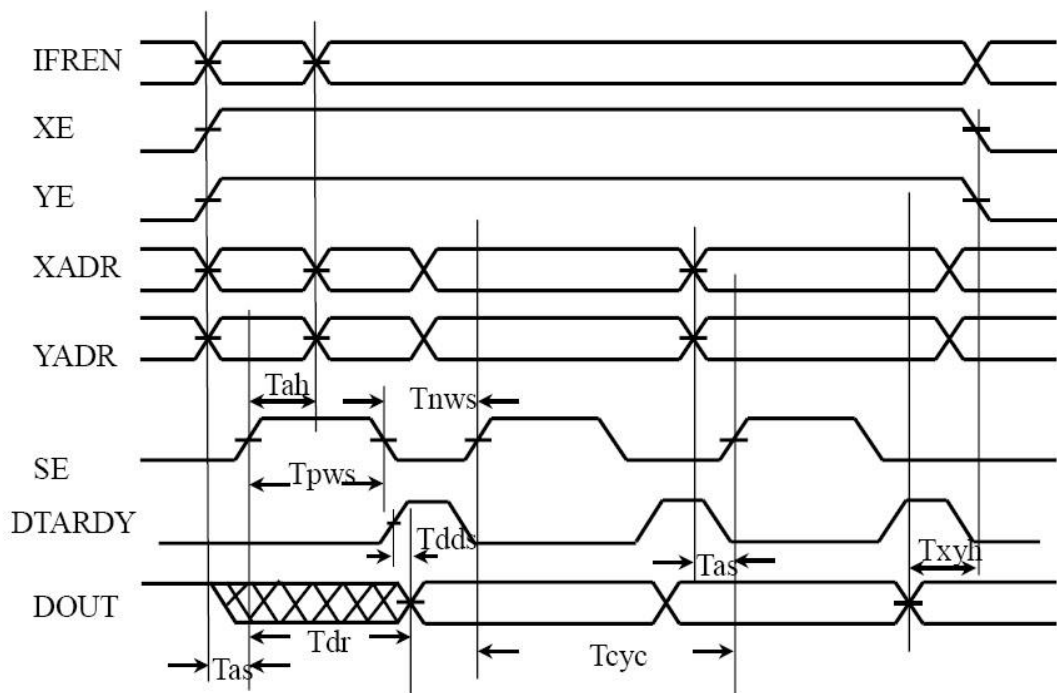


Рисунок 14 – Временная диаграмма чтения памяти

Флэш-память программ поддерживает не менее 20 000 циклов перезаписи. Нельзя повторять циклы стирания – записи и стирания – стирания одной ячейки памяти с периодом менее 4 мс.

### 10.3 Описание регистров управления контроллера Flash-памяти программ

Таблица 12 – Регистры управления контроллера Flash-памяти программ

Базовый адрес	Название	Описание
0x4001_8000	EEPROM_CNTRL	Регистры контроллера Flash-памяти программ
<b>Смещение</b>		
0x00	EEPROM_CMD	Регистр управления EEPROM память
0x04	EEPROM_ADR	Регистр адреса
0x08	EEPROM_DI	Регистр данных на запись
0x0C	EEPROM_DO	Регистр данных считанных
0x10	EEPROM_KEY	Регистр ключа

### 10.3.1 EEPROM\_CMD

Таблица 13 – Регистр команды EEPROM\_CMD

<b>Номер</b>	31...14	13	12	11	10
<b>Доступ</b>	U	R/W	R/W	R/W	R/W
<b>Сброс</b>	0	0	0	0	0
		<b>NVSTR</b>	<b>PROG</b>	<b>MAS1</b>	<b>ERASE</b>

<b>Номер</b>	9	8	7	6	5...3	2, 1	0
<b>Доступ</b>	R/W	R/W	R/W	R/W	R/W	U	R/W
<b>Сброс</b>	0	0	0	0	100	0	0
	<b>IFREN</b>	<b>SE</b>	<b>YE</b>	<b>XE</b>	<b>Delay[2:0]</b>	-	<b>CON</b>

R/W – бит доступен на чтение и запись;

RO – бит доступен только на чтение;

U – бит физически не реализован или зарезервирован.

Таблица 14 – Описание бит регистра EEPROM\_CMD

<b>№ бита</b>	<b>Функциональное имя бита</b>	<b>Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений</b>
31..14	–	Зарезервировано
13	NVSTR	Операции записи или стирания 0 – при чтении 1 – при записи или стирании
12	PROG	Записать данные по ADR[16:2] из регистра EEPROM_DI 0 – нет записи 1 – есть запись
11	MAS1	Стереть весь блок, при ERASE =1 0 – нет стирания 1 – стирание
10	ERASE	Стереть строку с адресом ADR[16:9], ADR[8:0] значения не имеет 0 – нет стирания 1 – стирание
9	IFREN	Работа с блоком информации 0 – основная память 1 – информационный блок
8	SE	Усилитель считывания 0 – не включен 1 – включен
7	YE	Выдача адреса ADR[8:2] 0 – не разрешено 1 – разрешено
6	XE	Выдача адреса ADR[16:9] 0 – не разрешено 1 – разрешено
5...3	Delay[2:0]	Задержка памяти программ при чтении в циклах (в рабочем режиме) 000 – 0 цикл 001 – 1 цикл
2, 1	-	Зарезервировано

<b>№ бита</b>	<b>Функциональное имя бита</b>	<b>Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений</b>
0	CON	Переключение контроллера памяти EEPROM на регистровое управление, не может производиться при исполнении программы из области EEPROM 0 – управление EEPROM от ядра, рабочий режим 1 – управление от регистров, режим программирования

### 10.3.2 EEPROM\_ADR

Таблица 15 – Регистр адреса EEPROM\_ADR

<b>Номер</b>	31..0
<b>Доступ</b>	R/W
<b>Сброс</b>	0
	<b>ADR [31:0]</b>

Таблица 16 – Описание бит регистра адреса EEPROM\_ADR

<b>№ бита</b>	<b>Функциональное имя бита</b>	<b>Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений</b>
31..0	ADR[31:0]	Адрес обращения в память ADR[1:0] – не имеет значения, минимально адресуемая ячейка 32 бита

### 10.3.3 EEPROM\_DI

Таблица 17 – Регистр записываемых данных EEPROM\_DI

<b>Номер</b>	31..0
<b>Доступ</b>	R/W
<b>Сброс</b>	0
	<b>DATA [31:0]</b>

Таблица 18 – Описание бит регистра записываемых данных EEPROM\_DI

<b>№ бита</b>	<b>Функциональное имя бита</b>	<b>Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений</b>
31..0	DATA[31:0]	Данные для записи в EEPROM

### 10.3.4 EEPROM\_DO

Таблица 19 – Регистр считываемых данных EEPROM\_DO

<b>Номер</b>	31..0
<b>Доступ</b>	R/W
<b>Сброс</b>	0
	<b>DATA [31:0]</b>

Таблица 20 – Описание бит регистра считываемых данных EEPROM\_DO

<b>№ бита</b>	<b>Функциональное имя бита</b>	<b>Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений</b>
31..0	DATA[31:0]	Данные считанные из EEPROM

### 10.3.5 EEPROM\_KEY

Таблица 21 – Регистр ключа EEPROM\_KEY

Номер	31...0
Доступ	R/W
Сброс	0
	KEY [31:0]

Таблица 22 – Описание бит регистра ключа EEPROM\_KEY

№ бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31..0	DATA[31:0]	Ключ для разрешения доступа к Flash-памяти через регистровый доступ. Перед переводом памяти в режим программирования необходимо в регистр EEPROM_KEY записать комбинацию 0x8AAA5551.

## 11 Процессорное ядро

Описание процессора и периферии ядра:

Процессорное ядро, с минимизированным количеством вентилях, обладающее следующими характеристиками:

Содержит в своём составе 3-х уровневый конвейер;

Набор инструкций архитектуры ARM v6-M, включающий 32 битные Thumb-2 инструкции, такие как BL, MRS, MSR, ISB, DSB и DMB;

Возможность запуска операционной системы и доступные для этого режима работы SVC инструкции, групповой регистр указателя стека и интегрированный системный таймер;

Системная модель исключительных ситуаций;

Режимы Handler и Thread;

Два указателя стека;

Возможность работы только в режиме Thumb;

Отсутствие аппаратной поддержки не выровненного доступа;

Содержит 13х32 разрядных регистра общего назначения, link регистр (LR), счётчик команд (PC), программный регистр статуса xPSR, и два групповых регистра указателя стека (SP).

Контроллер прерываний NVIC. Контроллер интегрирован в процессор для уменьшения задержек в процессе прерываний. Обладает следующими характеристиками:

Поддержка до 32 внешних прерываний;

Два бита приоритета, обеспечивающие четырёхуровневый приоритет прерываний;

Состояние процессора автоматически сохраняется при входе в прерывание и восстанавливается при выходе, что не вызывает потерь на выполнение инструкций.

Внешний интерфейс АНВ-Lite.

Полный набор отладочных модулей:

Полный доступ в режиме останова ко всей памяти и регистрам;

Отладочный порт DAP;

Модуль точек останова BPU;

Модуль наблюдения данных DW.

32-х разрядный аппаратный умножитель.

## 11.1 Структурная схема процессора

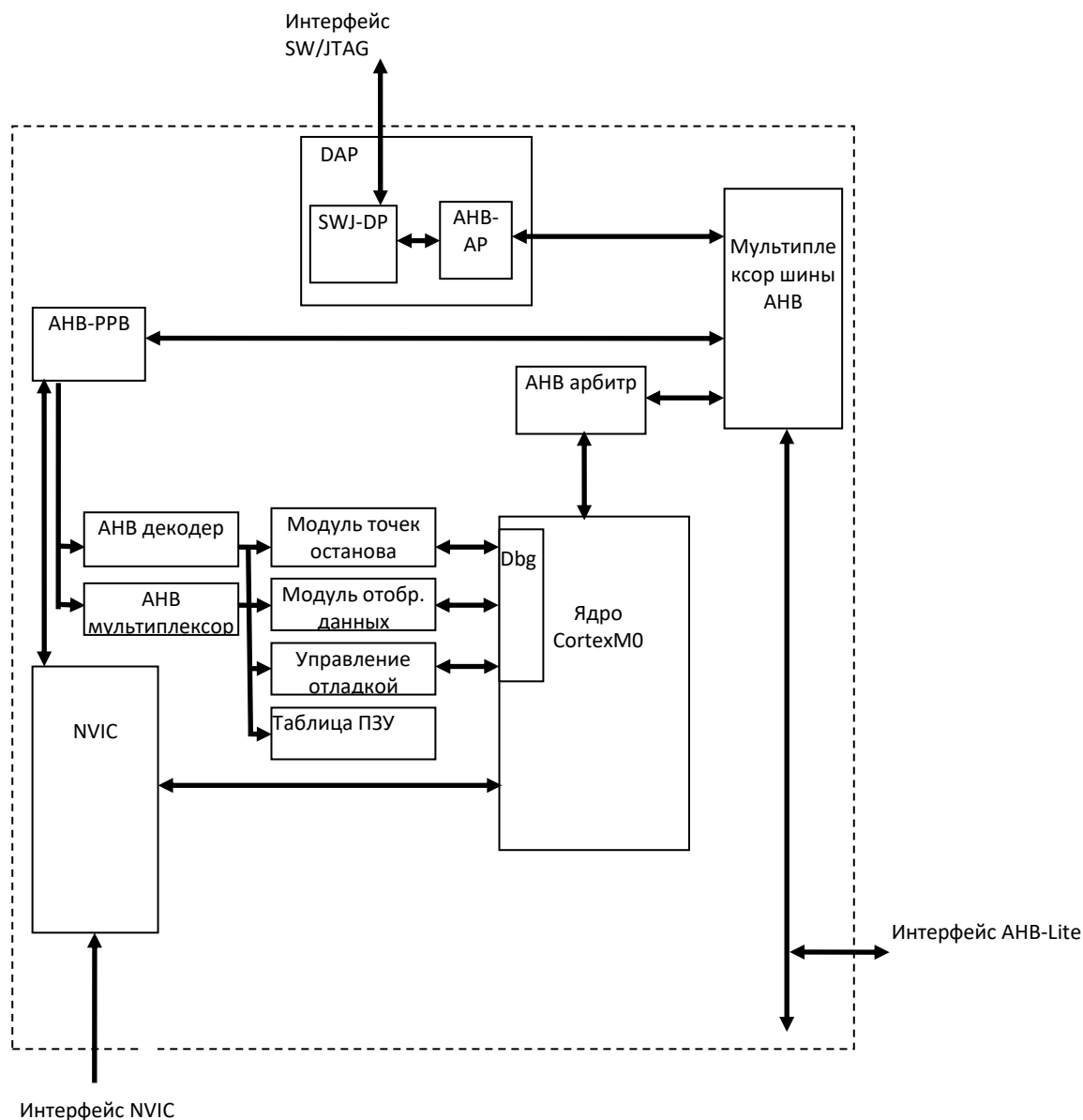


Рисунок 15 – Структурная блок-схема процессорного ядра

Периферийными блоками ядра являются:

**Контроллер прерываний NVIC**

Реализует высокоскоростную обработку прерываний.

**Арбитр шины**

Обеспечивает два интерфейса. Один связывает внутренние PPB (Private Peripheral Bus) сигналы с шиной АНВ PPB. Вторым интерфейсом связывает сигналы внешней шины с АНВ портом.

**АНВ-PPB (АНВ Private Peripheral Bus)**

Обеспечивает доступ к контроллеру NVIC и компонентам модулей отладки.

#### АнВ декодер

Дешифрирует адреса АнВ шины для выработки сигналов выбора для периферии системы отладки.

#### АнВ мультиплексор

Объединяет все ответы ведомых для отладочных блоков.

#### АнВ матрица

Выполняет функцию арбитража между процессором и отладочной системой при доступе к внутренней PPB и внешнему интерфейсу АнВ-Lite.

#### DAP

Процессор содержит АнВ-Access Port (АнВ-AP). АнВ-AP преобразует выходы от внешних DP компонентов в интерфейс АнВ-Lite. АнВ-AP master имеет наивысший приоритет в АнВ matrix. Serial-Wire JTAG Debug Port (SWJ-DP) это комбинация JTAG порта и Serial Wire порта, а также механизма, позволяющего переключаться между Serial Wire и JTAG.

#### Модуль точек останова

Содержит в своём составе компаратор 4-х адресов инструкций. Можно сконфигурировать каждый компаратор адреса инструкции для выполнения останова программы с использованием аппаратной точки останова. Каждый компаратор может сравнивать адрес выбираемой инструкции с установленным адресом. Если адрес совпал, то ВРУ обеспечивает останов процессора в момент выполнения инструкции, вызвавшей совпадение. Точки останова поддерживаются только в области кода карты памяти.

#### Модуль отображения данных

Содержит в своём составе два компаратора адреса. Можно сконфигурировать компараторы для сравнения адреса инструкции или адреса данных. Поддерживается также маскирование компараторов. Это означает, что останов ядра происходит после выполнения следующей инструкции, после той, адрес которой вызвал совпадение компаратора.

#### Управление отладкой

Обеспечивает доступ к управляющим регистрам отладки через PPB для останова и пуска процессора. Помимо этого, обеспечивается доступ к регистрам процессора, когда он остановлен.

#### Таблица ПЗУ

Разрешает стандартным отладочным средствам распознать процессор и доступную периферию отладки, а также определить адреса, необходимые для доступа к этой периферии.

## **11.2 Программная модель**

Процессор обеспечивает облегчённую версию Thumb-2, это все инструкции, определенные в архитектуре ARM v6-M. Процессор не поддерживает выполнение ARM инструкций.

Процессор не поддерживает различий между режимами User и Privileged. Процессор всегда в режиме Privileged.

Процессор может функционировать в режимах:

### **Thread режим**

Используется для исполнения приложений, процессор находится в этом режиме сразу после сброса

### **Handler режим**

Используется для обработки исключений. После обработки процессор переходит в Thread режим.

Процессор может функционировать в одном из состояний:

### **Thumb state**

Это нормальное исполнение Thumb и Thumb-2 инструкций с 16-битными и 32-битными выровненными по полуслову данными.

### **Debug state**

Это состояние, при котором ядро остановлено.

## **11.3 Стек**

По окончанию сброса весь код использует основной стек. Обработчик прерываний, такой как SVCcall, может переключить стек, который отображался в Thread режиме, из основного в вспомогательный, модификацией значения EXC\_RETURN при выходе. Все прерывания продолжают использовать основной стек. Указатель стека, R13, совмещённый регистр переключается между основным и вспомогательным стеком. Только один стек, вспомогательный или основной, виден посредством регистра R13 в данный момент времени.

Также возможно переключение между стеками основной и вспомогательный в Thread режиме записью в управляющий регистр специального назначения инструкцией MSR.

## **11.4 Регистры ядра**

Процессор содержит следующие 32-х разрядные регистры:

13 регистров общего назначения, R0-R12;

Указатель стека (SP, R13) и объединенные регистры, SP\_process и SP\_main;

Link регистр (LR, R14);

Счётчик команд (PC, R15);

Программный регистр состояния, xPSR.



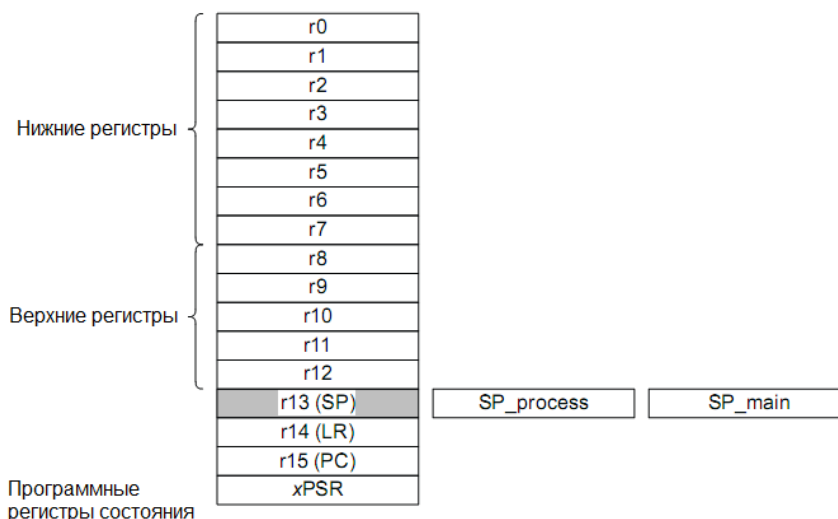


Рисунок 16 – Регистры ядра

SP\_process – указатель вспомогательного стека.

SP\_main – указатель основного стека.

#### 11.4.1 Регистры общего назначения R0-R12

Нижние регистры или R0-R7 доступны для всех инструкций, которые определены для работы с регистрами общего назначения.

Верхние регистры или R8-R12 не доступны для 16-разрядных инструкций.

#### 11.4.2 Указатель стека SP R13

Регистр R13 используется как указатель стека. Запись в биты [1:0] этого регистра игнорируется, так как он автоматически выровнен по границе слова (четырёх байт). Биты SP[1:0] могут быть очищены инструкцией SBZP. В режиме Handler всегда используется SP\_main, а в режиме Thread может быть использован SP\_main, либо SP\_process.

#### 11.4.3 Регистр связи LR R14

Регистр R14 это регистр связи для подпрограмм. LR содержит адрес возврата для PC после выполнения инструкций перехода. Регистр используется для сохранения информации об адресе возврата при уходе на обработку прерываний, вызовах функций и обработке исключений. Во всех остальных случаях регистр может быть использован как регистр общего назначения.

#### 11.4.4 Счетчик команд PC R15

Счетчик команд – это регистр R15. Он содержит адрес текущей инструкции. Бит 0 всегда 0, так как все инструкции выровнены по границе полуслов. При сбросе процессор считывает в этот регистр вектор сброса, который расположен по адресу 0x00000004.

#### 11.4.5 Программный регистр состояния PSR

Программный регистр состояния (PSR) объединяет:  
Программный регистр состояния приложений (APSR);  
Программный регистр состояния прерываний (IPSR);  
Программный регистр состояния выполнения (EPSR).

Эти регистры разделяют различные битовые поля в 32-х разрядном регистре PSR. Описание регистров приведено ниже. Доступ к этим регистрам может быть как индивидуальный, так и комбинированный к двум или всем трем разом, используя имена регистров как аргументы инструкций MSR или MRS.

Например:

читать все регистры, используя PSR с MRS инструкцией;  
записать только в APSR используя APSR с MSR инструкцией.

Таблица 23 – Комбинация PSR и их атрибуты

Регистр	Тип	Комбинация
XPSR	RW <sup>(1),(2)</sup>	APSR, EPSR и IPSR
IEPSR	RO	EPSR и IPSR
IAPSR	RW <sup>(1)</sup>	APSR и IPSR
EAPSR	RW <sup>(2)</sup>	APSR и EPSR

(1) – игнорируется запись в IPSR биты;

(2) – при чтении EPSR битов читаются нули, и запись в них игнорируется.

Подробнее в описании инструкции «MRS» и «MSR»

Регистр APSR содержит текущие флаги состояния выполнения предыдущей инструкции.

#### 11.4.6 Программный регистр состояния приложения APSR

Таблица 24 – Регистр APSR

Номер	31	30	29	28	27...0
Доступ					
Сброс					
	<b>N</b>	<b>Z</b>	<b>C</b>	<b>V</b>	<b>-</b>

Таблица 25 – Описание бит регистра APSR

№ бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31	N	<b>Negative</b> 0 – результат операции положительный, нулевой, больше чем, равен 1 – результат операции отрицательный или меньше чем
30	Z	<b>Zero:</b> 0 – результат операции не нулевой 1 – результат операции нулевой
29	C	<b>Carry:</b> 0 – при суммировании не было переноса, при вычитании не было заема 1 – при суммировании был перенос, при вычитании был заем
28	V	<b>Overflow:</b> 0 – в результате операции не было переполнения 1 – в результате операции было переполнение
27...0	-	Зарезервировано

Регистр IPSR содержит номер типа исключения для текущего обработчика прерывания.

### 11.4.7 Программный регистр состояния прерываний IPSR

Таблица 26 – Регистр IPSR

<b>Номер</b>	31...6	5...0
<b>Доступ</b>		
<b>Сброс</b>		
	-	<b>ISR_NUMBER</b>

Таблица 27 – Описание бит регистра IPSR

<b>№ бита</b>	<b>Функциональное имя бита</b>	<b>Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений</b>
31...6	-	Зарезервировано
5...0	ISR_NUMBER	<b>Номер текущего исключения</b> 0 – Thread режим 2 – NMI 3 – Hard Fault 11 – SVCcall 14 – PendSV 15 – SysTick 16 – IRQ0 ... 47 – IRQ31

Регистр EPSR содержит бит состояния Thumb инструкции.

### 11.4.8 Программный регистр состояния выполнения EPSR

Таблица 28 – Регистр EPSR

<b>Номер</b>	31...25	24	23...0
<b>Доступ</b>			
<b>Сброс</b>			
	-	<b>T</b>	-

Таблица 29 – Описание бит регистра EPSR

<b>№ бита</b>	<b>Функциональное имя бита</b>	<b>Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений</b>
31...25	-	Зарезервировано
24	T	Этот бит устанавливается в соответствии с вектором сброса, когда процессор выходит из состояния reset. Выполнение инструкции очистки T-бита регистра EPSR приводит к возникновению аппаратной ошибки Hard Fault. Это позволяет быть уверенным, что переключение в ARM состояние, не приведет к непредсказуемым последствиям.
23...0	-	Зарезервировано

Пока процессор не в режиме отладки, попытка читать EPSR, используя MSR инструкцию, всегда возвращает ноль, а попытка записать EPSR, используя MSR инструкцию, игнорируется.

#### 11.4.9 Сохранение xPSR бит

При входе в прерывание процессор сохраняет сгруппированные данные из трёх регистров в стек. Бит 9, помещённый в стек, xPSR содержит статус активного SP, когда начался процесс обработки прерывания.

#### 11.4.10 Регистр маски приоритетов Priority Mask

Регистр PRIMASK используется для повышения приоритета.

Таблица 30 – Регистр PRIMASK

<b>Номер</b>	31...1	0
<b>Доступ</b>		
<b>Сброс</b>		
	-	<b>PRIMASK</b>

Таблица 31 – Описание бит регистра PRIMASK

<b>№ бита</b>	<b>Функциональное имя бита</b>	<b>Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений</b>
31...1	-	Зарезервировано
0	PRIMASK	0 – не влияет 1 – увеличивает приоритет исполнения до 0

Для доступа к регистру применяются инструкции MSR и MRS, а также инструкция CPS для установки или очистки бита PRIMASK.

#### 11.4.11 Контрольный регистр специального назначения CONTROL

Регистр определяет текущий указатель стека.

Таблица 32 – Регистр CONTROL

<b>Номер</b>	31...2	1	0
<b>Доступ</b>			
<b>Сброс</b>			
	-	<b>Active Stack Pointer</b>	-

Таблица 33 – Описание бит регистра CONTROL

<b>№ бита</b>	<b>Функциональное имя бита</b>	<b>Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений</b>
31...2	-	Зарезервировано
1	Active Stack Pointer	0 – SP_main используется, как текущий указатель стека 1 – Для Thread режима, SP_process используется, как текущий указатель стека*
0	-	Зарезервировано

\* Попытка установить бит в режиме Handler игнорируется.

### 11.5 Типы данных

Процессор поддерживает следующие типы данных:

- 32-битное слово (words);
- 16-битное полуслово (half words);
- 8-битный байт (bytes).

Процессор может иметь доступ ко всем регионам памяти, включая code регион, со всеми типами данных. Для поддержки этого, система, включая память, должна поддерживать запись полуслов и байт без изменения соседних байт в слове. Процессор манипулирует всеми данными в little-endian режиме. Доступ в память инструкций и Private Peripheral Bus (PPB) всегда в little-endian режиме.

## 12 Система команд

В процессоре реализована версия системы команд Thumb. Поддерживаемые команды представлены в таблице 34.

В нижеиспользуются следующие обозначения:

в угловых скобках <> записываются альтернативные формы представления операндов;

в фигурных скобках {} указываются необязательные операнды;  
информация в столбце «операнды» может быть неполной;

Более подробная информация представлена в детальном описании команд.

Таблица 34 – Система команд процессора

Мнемокод команды	Операнды	Краткое описание	Флаги
ADCS	{Rd,} Rn, Rm	Сложение с переносом	N, Z, C, V
ADD{S}	{Rd,} Rn, <Rm   #imm>	Сложение	N, Z, C, V
ADR	Rd, label	Загрузка адреса, заданного относительно счетчика команд	-
ANDS	{Rd,} Rn, Rm	Логическое И	N, Z
ASRS	{Rd,} Rm, <Rs   #imm>	Арифметический сдвиг вправо	N, Z, C
B{c}	label	Переход {суффикс условного исполнения}	-
BICS	{Rd,} Rn, Rm	Сброс битов по маске	N, Z
BKPT	#imm	Точка останова	-
BL	label	Переход со связью	-
BLX	Rm	Косвенный переход со связью	-
BX	Rm	Косвенный переход	-
CMN	Rn, Rm	Сравнить с противоположным знаком	N, Z, C, V
CMP	Rn, <Rm   #imm>	Сравнить	N, Z, C, V
CPSID	iflags	Изменить состояние процессора, запретить прерывания	-
CPSIE	iflags	Изменить состояние процессора, разрешить прерывания	-
CPY	Rd, Rm	Загрузка (аналогична MOV)	N, Z
DMB	-	Барьер синхронизации доступа к памяти данных	-
DSB	-	Барьер синхронизации доступа к памяти данных	-
EORS	{Rd,} Rn, Rm	Исключающее ИЛИ	N, Z
ISB	-	Барьер синхронизации доступа к инструкциям	-
LDM	Rn{!}, reglist	Загрузка множества регистров, инкремент после доступа	-
LDR	Rt, label	Загрузка слова в регистр, адрес задан относительно счетчика команд	-
LDR	Rt, [Rn, <Rm   #imm>]	Загрузка слова в регистр	-
LDRB	Rt, [Rn, <Rm   #imm>]	Загрузка байта в регистр	-
LDRH	Rt, [Rn, <Rm   #imm>]	Загрузка полуслова в регистр	-
LDRSB	Rt, [Rn, <Rm   #imm>]	Загрузка в регистр байта со знаком	-
LDRSH	Rt, [Rn, <Rm   #imm>]	Загрузка в регистр полуслова со знаком	-
LSLS	{Rd,} Rn, <Rs   #imm>	Логический сдвиг влево	N, Z, C
LSRS	{Rd,} Rn, <Rs   #imm>	Логический сдвиг вправо	N, Z, C
MOV{S}	Rd, Rm	Загрузка	N, Z
MRS	Rd, spec_reg	Считать специальный регистр в регистр общего назначения	-

<b>Мнемокод команды</b>	<b>Операнды</b>	<b>Краткое описание</b>	<b>Флаги</b>
MSR	spec_reg, Rm	Записать регистр общего назначения в специальный регистр	N, Z, C, V
MULS	Rd, Rn, Rm	Умножение, 32-разрядный результат	N, Z
MVNS	Rd, Rm	Загрузка инверсного значения	N, Z
NOP	-	Нет операции	-
ORRS	{Rd,} Rn, Rm	Логическое ИЛИ	N, Z
POP	reglist	Извлечь регистры из стека	-
PUSH	reglist	Занести регистры в стек	-
REV	Rd, Rm	Изменить на обратный порядок байтов в слове	-
REV16	Rd, Rm	Изменить на обратный порядок байтов в полусловах	-
REVSH	Rd, Rm	Изменить на обратный порядок байт в младшем полуслове, произвести распространение знакового бита в старшее полуслово	-
RORS	{Rd,} Rn, Rs	Циклический сдвиг вправо	N, Z, C
RSBS	{Rd,} Rn, #0	Вычитание с противоположным порядком аргументов	N, Z, C, V
SBCS	{Rd,} Rn, Rm	Вычитание с учетом переноса	N, Z, C, V
SEV	-	Установить признак события	-
STM	Rn!, reglist	Сохранение множества регистров, инкремент после доступа	-
STR	Rt, [Rn, <Rm   #imm>]	Сохранение регистра, слово	-
STRB	Rt, [Rn, <Rm   #imm>]	Сохранение регистра, байт	-
STRH	Rt, [Rn, <Rm   #imm>]	Сохранение регистра, полуслово	-
SUB{S}	{Rd,} Rn, <Rm   #imm>	Вычитание	N, Z, C, V
SVC	#imm	Вызов супервизора	-
SXTB	Rd, Rm	Преобразовать байт со знаком в слово	-
SXTH	Rd, Rm	Преобразовать полуслово со знаком в слово	-
TST	Rn, Rm	Проверка значения битов по маске	N, Z
UXTB	Rd, Rm	Преобразовать байт без знака в слово	-
UXTH	Rd, Rm	Преобразовать полуслово без знака в слово	-
WFE	-	Ожидание события	-
WFI	-	Ожидание прерывания	-

### 12.1 Встроенные функции

Стандарт ANSI языка C не обеспечивает непосредственного доступа к некоторым инструкциям процессора. В разделе описаны встроенные (intrinsic) функции, которые указывают компилятору на необходимость генерации соответствующих инструкций. В случае если используемый компилятор не поддерживает ту или иную встроенную функцию, рекомендуется включить в текст программы ассемблерную вставку с необходимой инструкцией.

В CMSIS предусмотрены следующие встроенные функции, расширяющие возможности стандарта ANSI C.

Таблица 35 – Встроенные функции CMSIS, позволяющие генерировать некоторые инструкции процессора

<b>Мнемокод команды процессора</b>	<b>Описание встроенной функции</b>
CPSIE I	void __enable_irq(void)
CPSID I	void __disable_irq(void)
ISB	void __ISB(void)
DSB	void __DSB(void)
DMB	void __DMB(void)
NOP	void __NOP(void)
REV	uint32_t __REV(uint32_t int value)
REV16	uint32_t __REV16(uint32_t int value)
REVSH	uint32_t __REVSH(uint32_t int value)
SEV	void __SEV(void)
WFE	void __WFE(void)
WFI	void __WFI(void)

Кроме того, CMSIS также обеспечивает возможность чтения и записи специальных регистров процессора, доступных с помощью команд MRS и MSR.

Таблица 36 – Встроенные функции CMSIS для доступа к специальным регистрам процессора

<b>Наименование специального регистра</b>	<b>Режим доступа</b>	<b>Описание встроенной функции</b>
PRIMASK	Чтение	uint32_t __get_PRIMASK (void)
	Запись	void __set_PRIMASK (uint32_t value)
CONTROL	Чтение	uint32_t __get_CONTROL (void)
	Запись	void __set_CONTROL (uint32_t value)
MSP	Чтение	uint32_t __get_MSP (void)
	Запись	void __set_MSP (uint32_t TopOfMainStack)
PSP	Чтение	uint32_t __get_PSP (void)
	Запись	void __set_PSP (uint32_t TopOfProcStack)

## 12.2 Описание инструкций

В разделе представлена подробная информация об инструкциях процессора: операнды; ограничения на использование счетчика команд PC и указателя стека SP; операции сдвига; выравнивание адресов; выражения с участием счетчика команд; условное исполнение.

### 12.2.1 Операнды

В качестве операнда инструкции может выступать регистр, константа, либо другой параметр, специфичный для конкретной команды. Процессор применяет инструкцию к операндам и, как правило, сохраняет результат в регистре-получателе. В случае если формат команды предусматривает спецификацию регистра-получателя, он, как правило, указывается непосредственно перед операндами.



## 12.2.2 Ограничения на использование PC и SP

Многие инструкции не позволяют использовать или имеют ограничение на использование регистров счетчика команд (PC) и указателя стека (SP) в качестве операнда или регистра-получателя. Подробная информация содержится в описании конкретных инструкций.

Бит [0] адреса, загружаемого в PC с помощью одной из команд BX, BLX или POP, должен быть равен 1, так как этот бит указывает на требуемый набор команд, а процессор поддерживает только инструкции из набора Thumb. Когда команда BL или BLX записывает адрес в регистр LR, то бит [0] записываемого адреса автоматически присваивается значение 1.

## 12.2.3 Операции сдвига

Операции сдвига переносят значение битов содержимого регистра влево или вправо на заданное количество позиций – длина сдвига. Сдвиг может выполняться непосредственно с помощью инструкций ASR, LSR, LSL и ROR, при этом результат сдвига заносится в регистр-получатель.

Допустимая длина сдвига зависит от типа сдвига и инструкции, в которой он был применен. Если длина сдвига равна 0, то сдвиг не производится. Операции сдвига регистра влияют на значение флага переноса, за исключением случая, когда длина сдвига равна 0. Различные варианты сдвига и их влияние на флаг переноса описаны в следующем подразделе (Rm – сдвигаемый регистр, n – длина сдвига).

### 12.2.3.1 ASR

Арифметический сдвиг вправо на n бит переносит крайние слева 32-n бит регистра Rm вправо на n позиций, то есть на место крайних справа 32-n. Бит [31] исходного значения регистра записывается в n крайних слева бит результата (Рисунок 17).

Операцию ASR # n можно использовать для деления значения регистра Rm на  $2^n$ , с округлением результата в меньшую сторону (в направлении минус бесконечности).

При использовании инструкции ASRS флаг переноса принимает значение последнего бита, вытесненного в результате операции сдвига, то есть бита [n-1] регистра Rm.

В случае если  $n \geq 32$ , все биты результата устанавливаются в значение бита [31] регистра Rm. Если при этом операция влияет на флаг переноса, то значение этого флага устанавливается равным значению бита [31] регистра Rm.

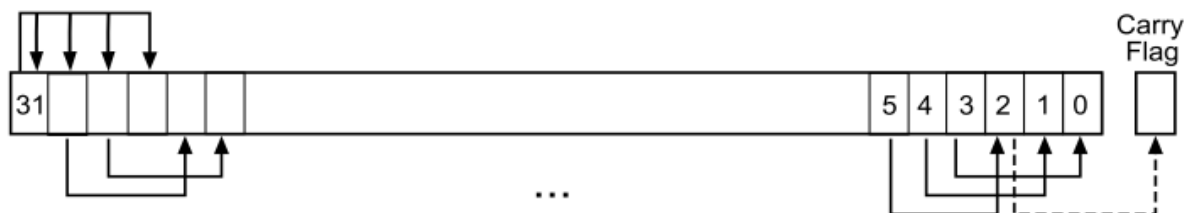


Рисунок 17 – Инструкция ASR # 3

### 12.2.3.2 LSR

Логический сдвиг вправо на n бит переносит крайние слева 32-n бит регистра Rm вправо на n позиций, то есть на место крайних справа 32-n. При этом в n крайних слева бит результата записывается 0 (см. Рисунок 18).

Операцию LSR # n можно использовать для деления значения регистра Rm на  $2^n$ , в случае, если значение интерпретируется как целое число без знака.

При использовании инструкции LRSR флаг переноса принимает значение последнего бита, вытесненного в результате операции сдвига, то есть бита [n-1] регистра Rm.

В случае если  $n \geq 32$ , все биты результата устанавливаются в 0. Если  $n \geq 33$  и операция влияет на флаг переноса, значение этого флага устанавливается равным 0.

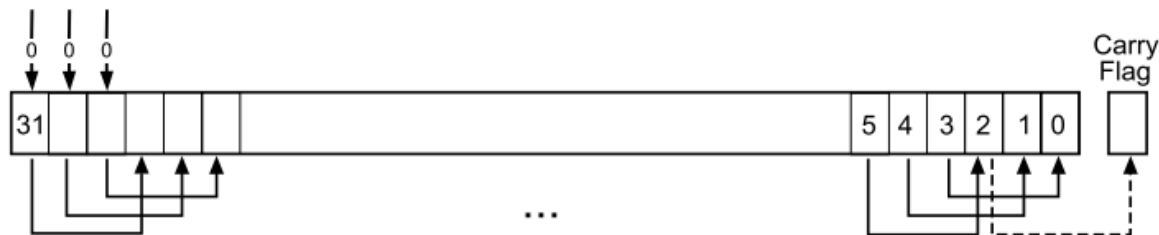


Рисунок 18 – Инструкция LSR # 3

### 12.2.3.3 LSL

Логический сдвиг влево на n бит переносит крайние справа 32-n бит регистра Rm влево на n позиций, то есть на место крайних слева 32-n. При этом в n крайних слева бит результата записывается 0 (см. Рисунок 19).

Операцию LSL # n можно использовать для умножения значения регистра Rm на  $2^n$ , в случае, если значение интерпретируется как целое число без знака, либо целое число со знаком, записанное в дополнительном коде. Переполнение при выполнении умножения не диагностируется.

При использовании инструкции LSLS флаг переноса принимает значение последнего бита, вытесненного в результате операции сдвига, то есть бита [32-n] регистра Rm. Инструкция LSL #0 не влияет на значение флага переноса.

В случае если  $n \geq 32$ , все биты результата устанавливаются в 0. Если  $n \geq 33$  и операция влияет на флаг переноса, то значение этого флага устанавливается равным 0.

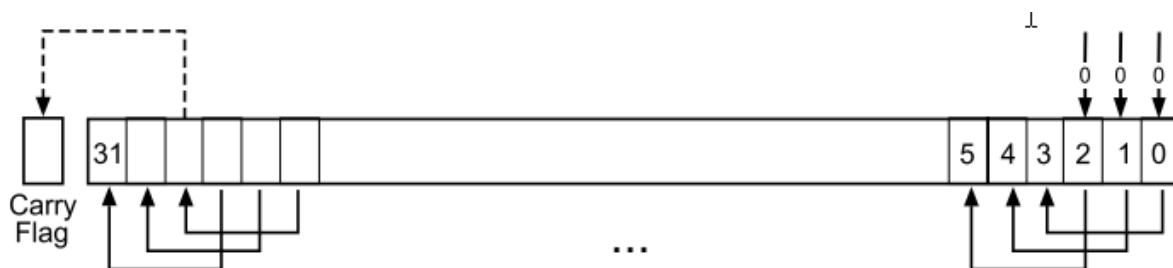


Рисунок 19 – Инструкция LSL # 3

### 12.2.3.4 ROR

Циклический сдвиг вправо на n бит переносит крайние слева 32-n бит регистра Rm вправо на n позиций, то есть на место крайних справа 32-n. При этом n крайних справа разрядов регистра переносятся в крайние n слева разрядов результата (см. Рисунок 20).

При использовании инструкции RORS флаг переноса принимает значение последнего сдвинутого бита, то есть бита [n-1] регистра Rm.

В случае если  $n = 32$ , результат совпадает с исходным значением регистра. Если  $n = 32$  и операция влияет на флаг переноса, то значение этого флага устанавливается равным биту [31] регистра Rm.

Операция циклического сдвига ROR с параметром, большим 32, эквивалентна циклическому сдвигу с параметром n-32.

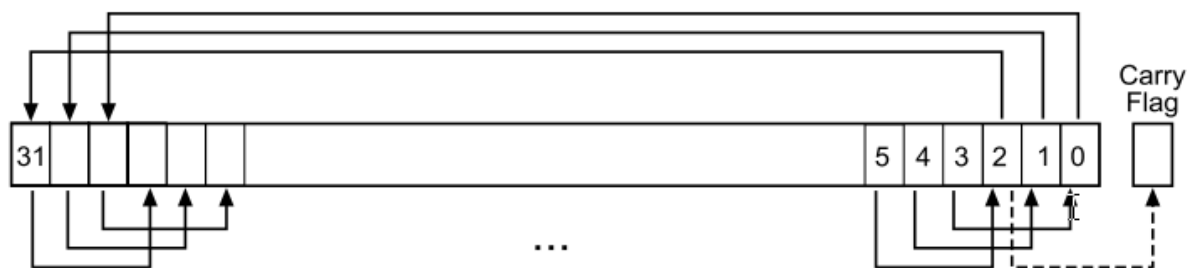


Рисунок 20 – Инструкция ROR # 3

#### 12.2.4 Выравнивание адресов

Под доступом по выровненным адресам понимаются операции, в которых чтение и запись слов, двойных слов, и более длинных последовательностей слов осуществляется по адресам, выровненным по границе слова, а доступ к полусловам осуществляется по адресам, выровненным по границе полуслова. Чтение и запись байт гарантированно являются выровненными.

Процессор не поддерживает доступ по невыровненным адресам. В связи с этим рекомендуется программно обеспечивать необходимое выравнивание данных.

При попытке доступа по невыровненному адресу процессором формируется исключение Hard Fault, что указано выставленным битом UNALIGN\_TRP регистра конфигурации и управления CCR (см. "Регистр конфигурации и управления"). Более подробно вопрос формирования исключений рассмотрен в подразделе «Обработчики исключений».

#### 12.2.5 Адресация относительно счетчика команд PC

В системе команд предусмотрена адресация команды или области данных в виде суммы значения счетчика команд PC плюс/минус численное смещение. Смещение вычисляется ассемблером автоматически, исходя из адреса метки и текущего адреса. В случае если смещение слишком велико, диагностируется ошибка.

Для большинства инструкций значение счётчика команд PC определяется как адрес текущей инструкции плюс 4 байта.

Ассемблер может поддерживать расширенные варианты синтаксиса для адресации относительно PC, например, «метка плюс/минус число» или выражения типа [PC, #imm].

#### 12.2.6 Условное исполнение

Большая часть команд обработки данных обновляет значения флагов в регистре состояния прикладной программы (APSR) в зависимости от результата выполнения.

Некоторые команды влияют на все флаги, некоторые только на часть. В случае если инструкция не меняет значение данного флага, сохраняется его старое значение. Более подробно влияние на флаги рассмотрено в описании конкретных инструкций.

Возможность исполнения или неисполнения команды, в зависимости от значения флагов условий, сформированных ранее, может быть достигнута за счет использования условных переходов. Условный переход может быть выполнен:

- сразу после команды, которая обновляет флаги условий;
- после любого количества промежуточных команд, которые не обновляют флаги условий.

Процессорное ядро поддерживает только одну инструкцию условного перехода: B<c> (Branch), где <c> - один из суффиксов условного исполнения.

Ниже в разделе рассматриваются:  
флаги условий;  
суффиксы условного исполнения.

### 12.2.6.1 Флаги условий

Регистр состояния прикладной программы APSR содержит следующие флаги:  
N=1 в случае, если результат операции меньше нуля, 0 в противном случае;  
Z=1 в случае, если результат равен нулю, 0 в противном случае;  
C=1 в случае, если при выполнении операции возник перенос, 0 в противном случае;  
V=1 в случае, если при выполнении операции возникло переполнение, 0 в противном случае.

Перенос возникает в следующих случаях:  
результат сложения оказался больше или равен  $2^{32}$ ;  
результат вычитания больше или равен нулю;  
в результате выполнения арифметического, логического или циклического сдвига.

Переполнение возникает в случае, если результат сложения, вычитания или сравнения больше или равен  $2^{31}$ , либо меньше  $-2^{31}$ .

Операция сравнения CMP аналогична операции вычитания, а операция сравнения CMN аналогична операции сложения, за исключением того, что результат отбрасывается.

### 12.2.6.2 Суффиксы условного исполнения

Условный переход в описании синтаксиса это обозначается как B{cond}. Команда перехода с кодом условия выполняется только в том случае, если флаги регистра APSR соответствуют указанному условию, в противном случае команда перехода игнорируется. В таблице 37 приведены доступные коды условий и соответствующие им флаги условий N, Z, C, V.

Таблица 37 – Суффиксы условного исполнения

Суффикс	Флаги	Значение
EQ	Z = 1	Равенство
NE	Z = 0	Неравенство
CS или HS	C = 1	Больше или равно, беззнаковое сравнение
CC или LO	C = 0	Меньше, беззнаковое сравнение
MI	N = 1	Меньше нуля
PL	N = 0	Больше или равно нулю
VS	V = 1	Переполнение
VC	V = 0	Нет переполнения
HI	C = 1 and Z = 0	Больше, беззнаковое сравнение
LS	C = 0 or Z = 1	Меньше или равно, беззнаковое сравнение
GE	N = V	Больше или равно, знаковое сравнение
LT	N != V	Меньше, знаковое сравнение
GT	Z = 0 and N = V	Больше, знаковое сравнение
LE	Z = 1 and N != V	Меньше или равно, знаковое сравнение
AL	1	Безусловное исполнение.

## 12.3 Команды доступа к памяти

Обобщенные данные о командах доступа к памяти приведены в таблице 38.

Таблица 38 – Команды доступа к памяти

Мнемокод	Краткое описание
ADR	Загрузка адреса, заданного относительно счетчика команд
LDM	Загрузка множества регистров
LDR{type}	Загрузка регистра, непосредственно указанное смещение
LDR{type}	Загрузка регистра, смещение указано в регистре
LDR	Загрузка регистра по относительному адресу
POP	Извлечение регистров из стека
PUSH	Загрузка регистров в стек
STM	Сохранение множества регистров
STR{type}	Сохранение регистра, непосредственно указанное смещение
STR{type}	Сохранение регистра, смещение указано в регистре

### 12.3.1 ADR

Загрузка адреса, заданного относительно счетчика команд.

#### 12.3.1.1 Синтаксис

ADR Rd, label

где:

Rd – регистр-получатель.

label – относительный адрес, см. «Адресация относительно счетчика команд PC».

#### 12.3.1.2 Описание

Инструкция ADR вычисляет адрес доступа к памяти путем сложения текущего значения счетчика команд PC и непосредственно заданного смещения, после чего записывает результат в регистр-получатель.

Благодаря использованию относительной адресации код команды не зависит от ее размещения в физической памяти.

При формировании с помощью команды ADR адреса перехода для команд BX или BLX программисту необходимо убедиться, что бит [0] формируемого адреса установлен в 1.

#### 12.3.1.3 Ограничения

В качестве регистра Rd должен быть указан один из регистров R0-R7. Значение адреса должно быть выровнено на границу слова и задано в пределах от 0 до 1020 относительно текущего значения PC.

#### 12.3.1.4 Флаги

Данная инструкция не влияет на состояние флагов.

#### 12.3.1.5 Примеры

ADR R1, TextMessage – Загрузить адрес позиции, указанный меткой TextMessage, в регистр R1

ADR R3, [PC,#996 – Загрузить в регистр R3 результат сложения PC + 996.

### 12.3.2 LDR и STR, непосредственно заданное смещение

Загрузка или сохранение регистра в режиме адресации со смещением.

#### 12.3.2.1 Синтаксис

LDR Rt, [<Rn | SP> {, #imm}]

LDR<B|H> Rt, [Rn {, #imm}]

STR Rt, [<Rn | SP>, {,#imm}]

STR<B|H> Rt, [Rn {,#imm}]

где:

Rt – регистр, в который должна производиться загрузка, или регистр, значение которого должно быть сохранено.

Rn – регистр, содержащий базовый адрес памяти.

imm – смещение относительно базового адреса Rn. В случае, если смещение не указано, оно подразумевается равным нулю.

#### 12.3.2.2 Описание

Инструкции LDR, LDRB и LDRH загружают из памяти в регистр Rt слово, байт и полуслово соответственно. При загрузке байта и полуслова значение, записываемое в регистр Rt, расширяется нулями до слова.

Инструкции STR, STRB и STRH сохраняют в память из регистра Rt слово, младший байт и младшее полуслово соответственно.

Адрес памяти для инструкций загрузки и сохранения рассчитывается как сумма значения в регистре Rn или SP и непосредственно заданного смещения imm.

#### 12.3.2.3 Ограничения

Для данных команд:

в качестве Rt и Rn можно использовать только регистры R0-R7;

смещение imm должно быть задано:

целым числом от 0 до 1020, кратным 4, для инструкций LDR и STR с использованием SP в качестве регистра, содержащий базовый адрес памяти;

целым числом от 0 до 124, кратным 4, для инструкций LDR и STR с использованием R0-R7 в качестве регистра, содержащий базовый адрес памяти;

целым числом от 0 до 62, кратным 2, для инструкций LDRH и STRH;

целым числом от 0 до 31 для инструкций LDRB и STRB;

вычисленный адрес должен делиться без остатка на количество байт в транзакции, см. «Выравнивание адресов».

#### 12.3.2.4 Флаги

Данные команды не влияют на состояние флагов.

#### 12.3.2.5 Примеры

LDR R4, [R7] – Загрузка регистра R4 из ячейки по адресу, содержащемуся в R7.

STR R2, [R0,#const-struct] – Сохранение значения из регистра R2 по адресу, вычисленному как сумма значения в R0 и const-struct. const-struct – выражение с постоянным значением, лежащим в диапазоне 0-124.

### 12.3.3 LDR и STR, смещение задано в регистре

Загрузка или сохранение регистра в режиме адресации со смещением, заданным в регистре.

#### 12.3.3.1 Синтаксис

LDR Rt, [Rn, Rm]

LDR<B|H> Rt, [Rn, Rm]

LDR<SB|SH> Rt, [Rn, Rm]

STR Rt, [Rn, Rm]

STR<B|H> Rt, [Rn, Rm]

где:

Rt – регистр, в который должна производиться загрузка, или регистр, значение которого должно быть сохранено.

Rn – регистр, содержащий базовый адрес памяти.

Rm – регистр, содержащий смещение относительно базового адреса.

#### 12.3.3.2 Описание

Инструкции LDR, LDRB, LDRH, LDRSB и LDRSH загружают из памяти в регистр Rt следующее значение:

LDR – загрузка слова;

LDRB – загрузка байта, расширенного нулями до слова;

LDRH – загрузка полуслова, расширенного нулями до слова;

LDRSB – загрузка байта, расширенного знаковым битом до слова;

LDRSH – загрузка полуслова, расширенного знаковым битом до слова.

Инструкции STR, STRB и STRH сохраняют в память из регистра Rt слово, младший байт и младшее полуслово соответственно.

Адрес памяти для инструкций загрузки и сохранения рассчитывается как сумма значений в регистре Rn и Rm.

#### 12.3.3.3 Ограничения

Для данных команд:

в качестве операндов Rt, Rn и Rm можно использовать только регистры R0-R7; вычисленный адрес должен делиться без остатка на количество байт в транзакции, см. «Выравнивание адресов».

#### 12.3.3.4 Флаги

Данные команды не влияют на состояние флагов.

#### 12.3.3.5 Примеры

STR R0, [R5, R1] – Записать значение в регистре R0 по адресу, равному сумме значений в R5 и R1

LDRSH R1, [R2, R3] – Считать полуслово по адресу, равному сумме значений в R2 и R3, распространить значение знакового бита на старшие значащие байты слова, загрузить результат в регистр R1

### 12.3.4 *LDR, адресация относительно счетчика команд PC*

Загрузка регистра из памяти.

#### 12.3.4.1 Синтаксис

LDR Rt, label

где:

Rt – регистр, в который должна производиться загрузка.

label – относительный адрес, см. «Адресация относительно счетчика команд PC».

#### 12.3.4.2 Описание

Загружает в регистр Rt слово из памяти по адресу, заданному в виде метки, относительно счетчика команд PC.

#### 12.3.4.3 Ограничения

Значение смещения, указанное в метке, должно быть задано целым числом от 0 до 1020 и быть кратным 4.

#### 12.3.4.4 Флаги

Данная инструкция не влияет на состояние флагов.

#### 12.3.4.5 Примеры

LDR R0, LookUpTable – Загрузить регистр R0 словом данных по адресу с меткой LookUpTable

LDR R3, [PC, #100] – Загрузить регистр R3 словом данных по адресу PC + 100

### 12.3.5 *LDM и STM*

Загрузка или сохранение множества регистров.

#### 12.3.5.1 Синтаксис

LDM Rn{!}, reglist

STM Rn!, reglist

где:

Rn – регистр, содержащий базовый адрес памяти.

! – суффикс обратной записи значения базового регистра. В случае если он присутствует в команде, последний адрес, по которому осуществлялся доступ, будет записан обратно в регистр Rn.

reglist – заключенный в фигурные скобки список из одного или нескольких регистров, которые должны быть записаны или считаны. В списке можно указывать диапазон номеров регистров. Начальный и конечный регистр диапазона разделены знаком «-». Элементы списка (отдельные регистры или диапазоны) разделяются запятыми, см. «Примеры».

Мнемокоды LDMIA и LDMFD – это псевдокоманды LDM. Командой LDMIA обозначают загрузку множества регистров с увеличением значения адреса в Rn после каждого доступа (Increment After). Командой LDMFD обозначают извлечение данных из полного нисходящего стека с указателем на последний загруженный элемент (Full Descending stack).

Мнемокоды STMIA и STMEA – это псевдокоманды STM. Командой STMIA обозначают сохранение множества регистров с увеличением значения адреса в Rn после каждого доступа (Increment After). Командой STMEA обозначают сохранение



данных в пустой восходящий стек с указателем на последнюю свободную ячейку (Empty Ascending stack).

#### **12.3.5.2 Описание**

Инструкции LDM осуществляют загрузку регистров из списка reglist значениями слов данных из памяти с базовым адресом, содержащимся в регистре Rn.

Инструкции STM осуществляют сохранение слов данных, содержащихся в регистрах из списка reglist, в память с базовым адресом, содержащимся в регистре Rn.

Команды LDM, LDMIA, LDMFD, STM, STMIA и STMEA для доступа используют адреса памяти в интервале от Rn до Rn+4\*(n-1), где n – количество регистров в списке reglist. Доступ осуществляется в порядке увеличения номера регистра, при этом регистр с наименьшим номером соответствует наименьшему адресу памяти, а регистр с наибольшим номером – наибольшему адресу. Если указан суффикс обратной записи, то значение Rn+4\*n записывается обратно в регистр Rn.

#### **12.3.5.3 Ограничения**

В описываемых в разделе командах:

в списке reglist и в качестве Rn можно использовать только регистры R0-R7; суффикс обратной записи должен использоваться всегда. Исключение составляет команда LDM, в которой в списке reglist содержится регистр Rn. В этом случае суффикс обратной записи использовать нельзя;

значение адреса в регистре Rn должно быть выровнено на границу слова, см. «Выравнивание адресов»;

если в команде STM регистр Rn указан в списке reglist, то в таком случае Rn должен быть первым регистром в списке, т.е. иметь наименьший номер.

#### **12.3.5.4 Флаги**

Данные команды не влияют на состояние флагов.

#### **12.3.5.5 Примеры**

LDM R0,{R0,R3,R4} – LDMIA – синоним LDM

STMIA R1!,{R2-R4,R6}

#### **12.3.5.6 Примеры неправильного использования**

STM R5!,{R4,R5,R6} – Сохраненное значение R5 является непредсказуемым

LDM R2!,{} – Список должен содержать хотя бы один регистр

### **12.3.6 PUSH и POP**

Загружает или считывает регистры в стек или из стека, растущего вниз, с указателем на последний загруженный элемент (full-descending stack).

#### **12.3.6.1 Синтаксис**

PUSH reglist

POP reglist

где:

reglist – заключенный в фигурные скобки список из одного или нескольких регистров, которые должны быть записаны или считаны. В списке можно указывать диапазон номеров регистров. Начальный и конечный регистр диапазона разделены знаком «-». Элементы списка (отдельные регистры или диапазоны) разделяются запятыми.

### **12.3.6.2 Описание**

Команда PUSH сохраняет регистры в стеке в порядке уменьшения номеров регистров, при этом регистр с наибольшим номером сохраняется в память с наибольшим значением адреса.

Команда POP восстанавливает значения регистров из стека в порядке увеличения номеров регистров, при этом регистр с наименьшим номером считывается из памяти с наименьшим значением адреса.

Команда PUSH использует значение в регистре SP минус четыре в качестве наибольшего адреса памяти для сохранения регистров в стек. Команда POP использует значение в регистре SP в качестве наименьшего адреса памяти для загрузки регистров из стека. Таким образом реализуется полный нисходящий стек (Full Descending stack).

По завершении команды PUSH регистр SP обновляется таким образом, чтобы он указывал на расположение последнего сохранённого значения, имеющего наименьший адрес в памяти. По завершении команды POP регистр SP обновляется таким образом, чтобы он указывал на расположение выше последнего загруженного значения, имеющего наибольший адрес в памяти.

В случае, если команда POP содержит в списке reglist регистр счетчика команд PC, то переход будет выполнен после завершения POP. Бит [0] загружаемого значения в регистр PC должен быть равен 1, передача управления при этом осуществляется по выровненному по границе полуслова адресу.

### **12.3.6.3 Ограничения**

В данных командах:

в списке регистров reglist можно использовать только регистры R0-R7; исключением является регистр LR для команды PUSH, а также регистр PC для команды POP.

### **12.3.6.4 Флаги**

Данные команды не влияют на состояние флагов.

### **12.3.6.5 Примеры**

PUSH {R0,R4-R7} – Сохранение значений регистров R0, R4, R5, R6 и R7 в стек

PUSH {R2,LR} – Сохранение значений регистров R0 и LR в стек.

POP {R0,R6,PC} – Загрузка регистров R0, R6 и PC значениями из стека, после выполнения команды POP будет выполнен переход по новому адресу, загруженному в регистр PC.

## 12.4 Инструкции обработки данных

Таблица 39 показывает инструкции обработки данных.

Таблица 39 – Команды обработки данных

<b>Мнемокод</b>	<b>Краткое описание</b>
ADCS	Сложение с учетом переноса
ADD{S}	Сложение
ANDS	Логическое И
ASRS	Арифметический сдвиг вправо
BICS	Сброс битов по маске
CMN	Сравнить с противоположным знаком
CMP	Сравнить
EORS	Исключающее ИЛИ
LSLS	Логический сдвиг влево
LSRS	Логический сдвиг вправо
MOV{S}	Загрузка
MULS	Умножение
MVNS	Загрузка инверсного значения
ORRS	Логическое ИЛИ
REV	Изменить на обратный порядок байтов в слове
REV16	Изменить на обратный порядок байтов в полусловах
REVSH	Изменить на обратный порядок байт в младшем полуслове, произвести распространение знакового бита в старшее полуслово
RORS	Циклический сдвиг вправо
RSBS	Вычитание с противоположным порядком аргументов
SBCS	Вычитание с учетом переноса
SUBS	Вычитание
SXTB	Заполнение знаком байта
SXTH	Заполнение знаком полуслова
UXTB	Заполнение нулем байта
UXTH	Заполнение нулем полуслова
TST	Проверка значения битов по маске

### 12.4.1 ADD, ADC, SUB, SBC и RSB

Сложение, сложение с переносом, вычитание, вычитание с переносом, вычитание с противоположным порядком аргументов.

#### 12.4.1.1 Примечание

Процессорное ядро поддерживает инструкции ADC, SBC и RSB только как инструкции, которые обновляют флаги, то есть инструкции – ADCS, SBCS и RSBS.

#### 12.4.1.2 Синтаксис

```
ADD{S} {Rd,} Rn, <Rm|#imm>
ADCS {Rd,} Rn, Rm
SUB{S} {Rd,} Rn, <Rm|#imm>
SBCS {Rd,} Rn, Rm
RSBS {Rd,} Rn, #0
```

где:

S – необязательный суффикс для инструкций ADD и SUB. Если он указан, результат выполнения операции приводит к обновлению флагов, см. «Условное исполнение»;

Rd – регистр-получатель результата;  
 Rn – регистр, содержащий значение первого операнда;  
 Rm – регистр, содержащий значение второго операнда;  
 Imm – определяет непосредственное значение константы.

В случае если регистр Rd не указан, то результат записывается в Rn. Например, запись ADDS R1, R2 равносильна ADDS R1, R1, R2.

#### 12.4.1.3 Описание

Команда ADD складывает значение Rn со значением регистра Rm или значением imm, результат записывается в Rd.

Команда ADDS выполняет то же самое, что и ADD, а также обновляет флаги N, Z, C, V.

Команда ADCS складывает значение Rn со значением регистра Rm. Если флаг переноса установлен, то к результату также добавляется единица. Результат записывается в регистр Rd, при этом обновляются флаги N, Z, C, V.

Команда SUB вычитает значение Rm или imm из значения регистра Rn. Результат помещается в регистр Rd.

Команда SUBS выполняет то же самое, что и SUB, а также обновляет флаги N, Z, C, V.

Команда SBCS вычитает значение Rm из значения регистра Rn. Если флаг переноса установлен, то из результата также вычитается единица. Результат записывается в регистр Rd, при этом обновляются флаги N, Z, C, V.

Команда RSBS вычитает значение Rn из нуля, результат записывает в регистр Rd, при этом также обновляет флаги N, Z, C, V.

Инструкции ADC и SBC полезны при реализации вычислений с повышенной разрядностью, см. «Примеры».

См. также описание команды «ADR».

#### 12.4.1.4 Ограничения

В Таблица 40 представлены допустимые комбинации регистров и значений констант imm, которые можно использовать применительно к указанным инструкциям.

Таблица 40 – Ограничения команд ADC, ADD, RSB, SBC и SUB

Инструкция	Rd	Rn	Rm	imm	Ограничения
ADCS	R0-R7	R0-R7	R0-R7	-	Rd и Rn должны задавать один и тот же регистр
ADD	R0-R15	R0-R15	R0-R15	-	Rd и Rn должны задавать один и тот же регистр Rn и Rm не должны оба задавать PC (R15)
	R0-R7	SP или PC	-	0-1020	Значение imm должно быть целым числом кратным 4
	SP	SP	-	0-508	Значение imm должно быть целым числом кратным 4
ADDS	R0-R7	R0-R7	-	0-7	-
	R0-R7	R0-R7	-	0-255	Rd и Rn должны задавать один и тот же регистр
	R0-R7	R0-R7	R0-R7	-	-
RSBS	R0-R7	R0-R7	-	-	-

<b>Инструкция</b>	<b>Rd</b>	<b>Rn</b>	<b>Rm</b>	<b>imm</b>	<b>Ограничения</b>
SBCS	R0-R7	R0-R7	R0-R7	-	<i>Rd</i> и <i>Rn</i> должны задавать один и тот же регистр
SUB	SP	SP	-	0-508	Значение <i>imm</i> должно быть целым числом кратным 4
SUBS	R0-R7	R0-R7	-	0-7	-
	R0-R7	R0-R7	-	0-255	<i>Rd</i> и <i>Rn</i> должны задавать один и тот же регистр
	R0-R7	R0-R7	R0-R7	-	-

#### 12.4.1.5 Примеры

##### 64-разрядное сложение

Следующий пример показывает, как осуществить сложение 64-разрядного целого числа, записанного в паре регистров R0 и R1, с другим 64-разрядным числом, записанным в паре регистров R2 и R3. Результат записывается в пару регистров R0 и R1.

ADDS R0, R0, R2 – сложить младшие значащие слова

ADCS R1, R1, R3 – сложить старшие значащие слова с учетом флага переноса

##### 96-разрядное вычитание

Данные с повышенной разрядностью не обязательно содержать в смежных регистрах. В примере, приведенном ниже, показан фрагмент кода, осуществляющий вычитание 96-разрядного целого числа, записанного в регистрах R1, R2 и R3, из другого числа, содержащегося в R4, R5 и R6. Результат записывается в регистрах R4, R5 и R6.

SUBS R4, R4, R1 – вычитание младших значащих слов

SBCS R5, R5, R2 – вычитание средних значащих слов с учетом флага переноса

SBCS R6, R6, R3 – вычитание старших значащих слов с учетом флага переноса

Во фрагменте кода ниже приведён пример использования команды RSBS.

RSBS R7, R7, #0 – вычитание R7 из нуля

#### 12.4.2 AND, ORR, EOR, BIC

Логические операции И, ИЛИ, исключающее ИЛИ и сброс битов по маске.

##### 12.4.2.1 Примечание

Процессорное ядро поддерживает инструкции AND, ORR, EOR, BIC только как инструкции, которые обновляют флаги, то есть инструкции – ANDS, ORRS, EORS, BICS.

##### 12.4.2.2 Синтаксис

ANDS {Rd,} Rn, Rm

ORRS {Rd,} Rn, Rm

EORS {Rd,} Rn, Rm

BICS {Rd,} Rn, Rm

где:

Rd – регистр назначения;

Rn – регистр, который содержит первый операнд, при этом он совпадает с регистром назначения;

Rm – второй регистр.

#### 12.4.2.3 Описание

Инструкции AND, ORR и EOR осуществляют, соответственно, операции побитового И, ИЛИ и исключающего ИЛИ между аргументами, содержащимися в регистрах Rn и Rm.

Инструкция BIC выполняет операцию побитового И между аргументом, содержащимся в регистре Rn, и инверсным значением второго операнда Rm.

#### 12.4.2.4 Ограничения

В качестве операндов Rd, Rn, Rm можно использовать только R0 – R7.

#### 12.4.2.5 Флаги

Данные инструкции:  
обновляют флаги N и Z в соответствии с результатом выполнения операции;  
не изменяют значения флагов C и V.

#### 12.4.2.6 Примеры

ANDS R2, R2, R1  
ORRS R2, R2, R5  
ANDS R5, R5, R8  
EORS R7, R7, R6  
BICS R0, R0, R1

### 12.4.3 ASR, LSL, LSR, ROR

Арифметический сдвиг вправо, логический сдвиг влево, логический сдвиг вправо, циклический сдвиг вправо.

#### 12.4.3.1 Синтаксис

ASRS {Rd,} Rm, Rs  
ASRS {Rd,} Rm, #imm  
LSLS {Rd,} Rm, Rs  
LSLS {Rd,} Rm, #imm  
LSRS {Rd,} Rm, Rs  
LSRS {Rd,} Rm, #imm  
RORS {Rd,} Rm, Rs

где:

Rd – регистр-получатель результата. Если Rd не указан, то результат записывается в Rm.

Rm – регистр, значение которого должно быть подвергнуто сдвигу.

Rs – регистр, содержащий величину сдвига значения регистра Rm.

imm – длина сдвига. Диапазон допустимых значений параметра зависит от инструкции:

ASR – от 1 до 32;  
LSL – от 0 до 31;  
LSR – от 1 до 32.

#### 12.4.3.2 Примечание

Инструкция MOVS Rd, Rm является псевдонимом инструкции LSLS Rd, Rm, #0.

#### 12.4.3.3 Описание

Инструкции ASR, LSL, LSR и ROR выполняют арифметический сдвиг влево, логический сдвиг влево, логический сдвиг вправо и циклический сдвиг вправо на заданное количество позиций, определяемое константой imm или значением наименее значимого байта регистра Rs.

Детальное описание операций сдвига представлено в разделе «Операции сдвига».

#### **12.4.3.4 Ограничения**

В данных командах в качестве операндов Rd, Rm и Rs можно использовать только регистры R0-R7.

В командах, в которых величина сдвига задаётся значением регистра Rs, в качестве Rd и Rm должен использоваться один и тот же регистр.

#### **12.4.3.5 Флаги**

Данные инструкции обновляют флаги N и Z в соответствии с результатом.

Флаг C обновляется до значения последнего сдвинутого бита, кроме случая, когда длина сдвига равна нулю, см. раздел «Операции сдвига». Флаг V не изменяется.

#### **12.4.3.6 Примеры**

ASRS R7, R5, #9 – Арифметический сдвиг вправо на 9 бит

LSLS R1, R2, #3 – Логический сдвиг влево на 3 бита с установкой флагов

LSRS R4, R5, #6 – Логический сдвиг вправо на 6 бит

RORS R4, R4, R6 – Циклический сдвиг вправо на значение, указанное в младшем байте регистра R6

### **12.4.4 CMP и CMN**

Сравнение и сравнение с противоположным знаком.

#### **12.4.4.1 Синтаксис**

CMN Rn, Rm

CMP Rn, #imm

CMP Rn, Rm

где:

Rn – регистр, хранящий значение первого операнда;

Rm – регистр, с которым нужно проводить сравнение;

imm – значение, с которым нужно проводить сравнение.

#### **12.4.4.2 Описание**

Данные инструкции осуществляют сравнение значений регистра Rn со значением, хранящимся в регистре Rm, или со значением imm. По результатам сравнения устанавливаются соответствующие флаги, однако сам результат в регистр не записывается.

Команда CMP вычитает из регистра Rn значение регистра Rm или значение константы imm и обновляет флаги. Она аналогична инструкции SUBS, за исключением того, что результат вычитания не сохраняется.

Команда CMN складывает значение регистра Rm и значение регистра Rn и обновляет флаги. Она аналогична инструкции ADDS, за исключением того, что результат сложения не сохраняется.

#### **12.4.4.3 Ограничения**

Для инструкции CMN в качестве Rn и Rm можно использовать только R0 – R7.

Для инструкции CMP:

в качестве Rn и Rm могут быть использованы только R0 – R14;

значение константы imm должно лежать в диапазоне 0-255.

#### 12.4.4.4 Флаги

Данные инструкции устанавливают флаги N, Z, C и V в соответствии с результатом сравнения.

#### 12.4.4.5 Примеры

CMP R2, R9  
CMN R0, R2

#### 12.4.5 MOV и MVN

Загрузка в регистр прямого или инверсного значения

##### 12.4.5.1 Синтаксис

MOV{S} Rd, Rm  
MOVS Rd, #imm  
MVNS Rd, Rm

где:

S – необязательный суффикс. Если он указан, результат выполнения операции приводит к обновлению соответствующих флагов, см. «Условное исполнение»;

Rd – регистр-получатель результата;

Rm – регистр-источник данных;

imm – любое значение в диапазоне 0 - 255.

##### 12.4.5.2 Описание

Инструкция MOV копирует значение, записанное в регистре Rm, в регистр Rd.

Инструкция MOVS выполняет ту же операцию, что и инструкция MOV, но при этом обновляет значения флагов N и Z.

Инструкция MVNS считывает значение операнда Rm, производит его побитную инверсию, после чего помещает результат в регистр Rd.

##### 12.4.5.3 Ограничения

В данных инструкциях в качестве Rd и Rm можно использовать только R0 – R7.

Если при вызове инструкции MOV регистром Rd является счетчик команд PC, то:

бит [0] значения, загружаемого в PC, игнорируется;

передача управления осуществляется по адресу, соответствующему загруженному значению с битом [0], принудительно установленным в 0. Т-бит не модифицируется.

##### 12.4.5.4 Примечание

Несмотря на то, что инструкцию MOV можно использовать в качестве инструкции перехода, рекомендуется использовать инструкции BX или BLX для реализации перехода, чтобы обеспечить переносимость программного обеспечения.

##### 12.4.5.5 Флаги

В случае, если указан суффикс S, то инструкция:

обновляет флаги N и Z в соответствии с результатом выполнения операции;

не изменяет значения флагов C и V.



#### 12.4.5.6 Примеры

MOVS R0, #0x000B – Записать значение 0x000B в R0, флаги обновляются  
MOVS R1, #0x0 – Записать значение нуля в регистр R1, флаги обновляются  
MOV R10, R12 – Записать значение регистра R12 в R10, флаги не обновляются  
MOVS R3, #23 – Записать значение 23 в R3  
MOV R8, SP – Записать значение указателя стека в регистр R8  
MVNS R2, R0 – Записать инверсное значение R0 в R2 и обновить флаги

#### 12.4.6 MULS

Умножение с использованием 32-битных операндов. Результат имеет 32-битную разрядность.

##### 12.4.6.1 Синтаксис

MULS Rd, Rn, Rm

где:

Rd – регистр-получатель результата;

Rn, Rm – регистры, содержащие значения, которые нужно перемножить.

##### 12.4.6.2 Описание

Инструкция MULS производит умножение значений регистров Rn и Rm и помещает младшие 32 бита результата в регистр Rd. Флаги обновляются в соответствии с результатом выполнения операции, см. «Условное исполнение».

Результат выполнения операции не зависит от того, используются ли знаковые или беззнаковые операнды.

##### 12.4.6.3 Ограничения

В качестве операндов Rd, Rn, Rm можно использовать только регистры R0 – R7. Rd должен быть тем же регистром, что и Rm.

##### 12.4.6.4 Флаги

Данная инструкция:

обновляет флаги N и Z в соответствии с результатом;

не изменяет значения флагов C и V.

##### 12.4.6.5 Примеры

MULS R0, R2, R0 – умножение с обновлением флагов, R0 = R0 x R2

#### 12.4.7 REV, REV16, REVSH

Изменение порядка байтов в слове.

##### 12.4.7.1 Синтаксис

REV Rd, Rn

REV16 Rd, Rn

REVSH Rd, Rn

где:

Rd – регистр-получатель результата.

Rn – регистр-источник данных.

##### 12.4.7.2 Описание

Инструкции предназначены для изменения формата представления (endianness) данных:

REV – преобразует 32-разрядное число в формате big-endian в число в формате little-endian и наоборот;

REV16 – преобразует пару 16-разрядных чисел в формате big-endian в число в формате little-endian и наоборот;

REVSН – выполняет одно из следующих преобразований:

16-разрядное число со знаком в формате big-endian в 32-разрядное число со знаком в формате little-endian;

16-разрядное число со знаком в формате little-endian в 32-разрядное число со знаком в формате big-endian.

#### **12.4.7.3 Ограничения**

В данных инструкциях в качестве операндов Rd и Rn можно использовать только регистры R0 – R7.

#### **12.4.7.4 Флаги**

Данные инструкции не влияют на состояние флагов.

#### **12.4.7.5 Примеры**

REV R3, R7 – Изменить на обратный порядок байтов в R7, результат записать в R3

REV16 R0, R0 – Изменить на обратный порядок байтов в каждом 16-разрядном полуслове R0

REVSН R0, R5 – Изменить на обратный порядок байтов в полуслове R5 со знаком, 32-разрядный результат записать в R0

### **12.4.8 SXT и UXT**

Преобразование байта или полуслова в слово с распространением знакового бита или нулей в старшие значащие разряды.

#### **12.4.8.1 Синтаксис**

SXTB Rd, Rm

SXTH Rd, Rm

UXTB Rd, Rm

UXTH Rd, Rm

где:

Rd – регистр-получатель результата;

Rm – регистр, содержащий значение, которое нужно дополнить.

#### **12.4.8.2 Описание**

Команда SXTB преобразует младшие восемь бит [7:0] регистра Rm в 32-разрядное число со знаком путем копирования знакового разряда [7] в биты [31:8], результат сохраняет в регистр Rd.

Команда UXTB преобразует младшие восемь бит [7:0] регистра Rm в 32-разрядное число без знака путем копирования нуля в биты [31:8], результат сохраняет в регистр Rd.

Команда SXTH преобразует младшие шестнадцать бит [15:0] регистра Rm в 32-разрядное число со знаком путем копирования знакового разряда [15] в биты [31:16], результат сохраняет в регистр Rd.

Команда UXTH преобразует младшие 16 бит [15:0] регистра Rm в 32-разрядное число без знака путем копирования нуля в биты [31:16], результат сохраняет в регистр Rd.

#### 12.4.8.3 Ограничения

В данной инструкции в качестве операндов Rd и Rm можно использовать только регистры R0 – R7.

#### 12.4.8.4 Флаги

Данные инструкции не влияют на состояние флагов.

#### 12.4.8.5 Примеры

SXTH R4, R6 – Извлечь младшие 16 бит значения, записанного в R6, распространить знак в полученном полуслове до 32 бит, записать результат в R4

UXTB R3, R1 – Извлечь младший байт значения, записанного в R1, дополнить полученный байт нулями до 32 бит, результат записать в R3

### 12.4.9 TST

Проверить значение битов по маске.

#### 12.4.9.1 Синтаксис

TST Rn, Rm

где:

Rn – регистр, содержащий первый операнд.

Rm – регистр, используемый для проверки соответствия.

#### 12.4.9.2 Описание

Данная инструкция позволяет проверить значение регистра с учетом значения, которое содержится в другом регистре. По результату проверки обновляются флаги, сам результат не сохраняется.

Команда TST выполняет побитовую операцию логического И между значениями Rn и Rm. Она совпадает с командой ANDS, за исключением того, что не сохраняет результат.

Для того, чтобы проверить, имеет ли бит регистра Rn значение 0 или 1, используйте инструкцию TST совместно с регистром Rm, в котором этот бит установлен в 1, а все остальные биты имеют значение 0.

#### 12.4.9.3 Ограничения

В качестве операндов Rd и Rm можно использовать только регистры R0 – R7.

#### 12.4.9.4 Флаги

Данная инструкция:  
обновляет флаги N и Z в соответствии с результатом;  
не изменяет значения флагов C и V.

#### 12.4.9.5 Примеры

TST R0, R1 – Выполняет побитовое И между R0 и R1, обновляет флаги, результат не сохраняется

## 12.5 Инструкции передачи управления

Таблица 41 показывает список инструкций передачи управления.

Таблица 41 – Инструкции передачи управления

<b>Мнемокод команды</b>	<b>Краткое описание</b>
B{с}	Переход {суффикс условного исполнения}
BL	Переход со связью
BLX	Косвенный переход со связью
BX	Косвенный переход

### 12.5.1 В, BL, BX и BLX

Команды ветвления.

#### 12.5.1.1 Синтаксис

B {cond} label  
BL label  
BX Rm  
BLX Rm

где:

cond – необязательный код условия, см. «Условное исполнение».

label – относительный адрес, см. «Адресация относительно счетчика команд РС».

Rm – регистр, содержащий адрес, по которому необходимо передать управление. Бит [0] этого регистра должен быть установлен в 1, однако передача управления будет выполнена по адресу, соответствующему значению бита [0], равному 0.

#### 12.5.1.2 Описание

Все рассматриваемые в данном разделе инструкции осуществляют передачу управления по адресу, заданному меткой, либо содержащемуся в регистре Rm. Кроме того:

команды BL и BLX записывают адрес следующей инструкции в регистр связи LR (R14);

команды BX и BLX формируют отказ (Hard fault) в случае, если бит [0] регистра Rm равен 0.

Инструкции BL и BLX также устанавливают бит [0] регистра LR в 1. Это гарантирует, что при использовании данного значения инструкциями POP {PC} или BX будет выполнен успешный переход.

Таблица 42 показывает диапазон адресуемых переходов для различных команд ветвления.

Таблица 42 – Диапазон адресуемых переходов для команд ветвления

<b>Инструкция</b>	<b>Диапазон адресации</b>
B label	от -2 Кбайт до +2 Кбайт относительно текущей позиции
B {cond} label	от -256 байт до +254 байт относительно текущей позиции
BL label	от -16 Мбайт до +16 Мбайт относительно текущей позиции
BX Rm	любое значение, записанное в регистре Rm
BLX Rm	любое значение, записанное в регистре Rm

### 12.5.1.3 Ограничения

В командах VX и VLX не допускается использование регистра PC и SP;  
в командах VX и VLX бит [0] регистра Rm должен быть установлен в 1, при этом передача управления будет, выполнена по адресу, соответствующему значению бита [0], равному 0;

V {cond} – единственная условно исполняемая команда.

### 12.5.1.4 Флаги

Данные инструкции не влияют на состояние флагов.

### 12.5.1.5 Примеры

V loopA – передача управления по адресу, обозначенному меткой loopA  
BL funC – переход со связью (вызов функции) в funC, адрес возврата будет записан в регистр LR  
VX LR – возврат из функции  
BLX R0 – переход со связью (вызов функции) по адресу, записанному в R0  
BEQ labelD – условный переход на метку labelD, если последняя инструкция, изменяющая флаги в регистре APSR, установила флаг Z, иначе переход выполнен не будет

## 12.6 Прочие инструкции

Таблица 43 показывает список не рассмотренных в предыдущих разделах инструкций процессора:

Таблица 43 – Прочие инструкции

<b>Мнемокод команды</b>	<b>Краткое описание</b>
WKPT	Точка останова
CPSID	Изменить состояние процессора, запретить прерывания
CPSIE	Изменить состояние процессора, разрешить прерывания
CPY	Аналогична MOV
DMB	Барьер синхронизации доступа к памяти данных
DSB	Барьер синхронизации доступа к памяти данных
ISB	Барьер синхронизации доступа к инструкциям
MRS	Загрузка из специального регистра в регистр общего назначения
MSR	Загрузка из регистра общего назначения в специальный регистр
NOP	Нет операции
SEV	Установить признак события
SVC	Вызов супервизора
WFE	Ожидать событие
WFI	Ожидать прерывание

### 12.6.1 WKPT

Точка останова.

#### 12.6.1.1 Синтаксис

WKPT #imm

где:

imm – число в диапазоне от 0 до 255.

### 12.6.1.2 Описание

Команда ВКРТ переводит процессор в состояние отладки. Инструменты отладки могут использовать эту возможность для исследования состояния системы в определённых местах программы, вставляя команду ВКРТ по требуемому адресу. Значение *imm* игнорируется процессором. При необходимости отладчик может использовать значение *imm* для хранения дополнительной информации о точке останова.

### 12.6.1.3 Ограничения

Данная инструкция не имеет ограничений.

### 12.6.1.4 Флаги

Данная инструкция не влияет на состояние флагов.

### 12.6.1.5 Примеры

ВКРТ #0 – Точка останова со значением 0x00

## 12.6.2 CPS

Изменить состояние процессора.

### 12.6.2.1 Синтаксис

CPSID *i*

CPSIE *i*

### 12.6.2.2 Описание

Команда CPS позволяет изменить значение специального регистра PRIMASK. Команда CPSID устанавливает специальный регистр PRIMASK в 1, отключая прерывания. Команда CPSIE сбрасывает специальный регистр PRIMASK в 0, включая прерывания.

### 12.6.2.3 Ограничения

Данная инструкция не имеет ограничений.

### 12.6.2.4 Флаги

Данная инструкция не влияет на состояние флагов.

### 12.6.2.5 Примеры

CPSID *i* – Запретить все прерывания, кроме NMI (установить PRIMASK)

CPSIE *i* – Разрешить прерывания (сбросить PRIMASK)

## 12.6.3 DMB

Барьер доступа к памяти данных.

### 12.6.3.1 Синтаксис

DMB

### 12.6.3.2 Описание

Команда DMB выполняет функцию барьера доступа к памяти для синхронизации данных. Она гарантирует, что все явные операции доступа к памяти, которые были инициированы перед выполнением инструкции DMB, будут завершены до того, как начнется выполнение любой явной операции доступа к памяти после этой инструкции.

Команда DMB не влияет на очередность и порядок выполнения инструкций, не выполняющих доступа к памяти.

### 12.6.3.3 Ограничения

Данная инструкция не имеет ограничений.

### 12.6.3.4 Флаги

Данная инструкция не влияет на состояние флагов.

### 12.6.3.5 Примеры

DMB – Барьер доступа к памяти данных

## 12.6.4 DSB

Барьер синхронизации доступа к памяти данных.

### 12.6.4.1 Синтаксис

DSB

### 12.6.4.2 Описание

Инструкция DSB выполняет функцию барьерной синхронизации доступа к памяти данных. Команды, которые будут следовать в порядке выполнения после DSB, не начнут исполняться до ее завершения. Инструкция DSB завершает свою работу после того, как будут выполнены все инициированные перед ней явные операции доступа к памяти.

### 12.6.4.3 Ограничения

Данная инструкция не имеет ограничений.

### 12.6.4.4 Флаги

Данная инструкция не влияет на состояние флагов.

### 12.6.4.5 Примеры

DSB – Барьер синхронизации доступа к памяти данных

## 12.6.5 ISB

Барьер синхронизации доступа к инструкциям.

### 12.6.5.1 Синтаксис

ISB

### 12.6.5.2 Описание

Команда ISB выполняет функцию барьерной синхронизации выполнения команд. Она осуществляет сброс конвейера инструкций процессора, гарантируя таким образом, что все команды, расположенные после инструкции ISB, по окончании ее исполнения будут загружены в конвейер повторно.

### 12.6.5.3 Ограничения

Данная инструкция не имеет ограничений.

### 12.6.5.4 Флаги

Данная инструкция не влияет на состояние флагов.

### 12.6.5.5 Примеры

ISB – Барьер синхронизации доступа к инструкциям

### 12.6.6 MRS

Считать содержимое специального регистра в регистр общего назначения.

#### 12.6.6.1 Синтаксис

MRS Rd, спец\_reg

где:

Rd – регистр-получатель результата.

спец\_reg – один из специальных регистров: APSR, IPSR, EPSR, IEPSR, IAPSR, EAPSR, PSR, MSP, PSP, PRIMASK или CONTROL.

#### 12.6.6.2 Описание

Команда MRS сохраняет содержимое специального регистра в регистр общего назначения Rd. Команда MRS может быть объединена с командой MSR для выполнения последовательности чтения-модификации-записи, например, для изменения требуемого флага в PSR.

См. также описание инструкции «MSR».

#### 12.6.6.3 Ограничения

В качестве регистра-получателя Rd нельзя использовать SP или PC.

#### 12.6.6.4 Флаги

Данная инструкция не влияет на состояние флагов.

#### 12.6.6.5 Примеры

MRS R0, PRIMASK – Считать значение PRIMASK и записать это значение в R0

### 12.6.7 MSR

Записать регистр общего назначения в специальный регистр.

#### 12.6.7.1 Синтаксис

MSR спец\_reg, Rn

где:

Rn – регистр-источник данных.

спец\_reg – один из специальных регистров: APSR, IPSR, EPSR, IEPSR, IAPSR, EAPSR, PSR, MSP, PSP, PRIMASK или CONTROL.

#### 12.6.7.2 Описание

Команда MSR загружает содержимое регистра общего назначения Rn в специальный регистр.

См. также описание инструкции «MRS».

#### 12.6.7.3 Ограничения

В качестве регистра-источника данных Rn нельзя использовать SP или PC.

#### 12.6.7.4 Флаги

Данная инструкция обновляет флаги на основе значения в регистре Rn.

#### 12.6.7.5 Примеры

MSR CONTROL, R1 – Считать значение из регистра R1 и записать это значение в регистр CONTROL



### **12.6.8 NOP**

Нет операции.

#### **12.6.8.1 Синтаксис**

NOP

#### **12.6.8.2 Описание**

Команда NOP не выполняет никаких операций. Процессор может автоматически исключить NOP из конвейера команд до того, как команда достигнет стадии выполнения.

Команду NOP рекомендуется использовать для заполнения, например, с целью разместить очередную инструкцию по адресу, выровненному по 64-битной границе.

#### **12.6.8.3 Ограничения**

Данная инструкция не имеет ограничений.

#### **12.6.8.4 Флаги**

Данная инструкция не влияет на состояние флагов.

#### **12.6.8.5 Примеры**

NOP – Нет операции

### **12.6.9 SEV**

Установить признак события.

#### **12.6.9.1 Синтаксис**

SEV

#### **12.6.9.2 Описание**

Команда SEV сигнализирует о событии всем процессорам в составе многопроцессорной системы. Кроме того, она устанавливает собственный регистр события в 1.

См. также описание инструкции WFE.

#### **12.6.9.3 Ограничения**

Данная инструкция не имеет ограничений.

#### **12.6.9.4 Флаги**

Данная инструкция не влияет на состояние флагов.

#### **12.6.9.5 Примеры**

SEV – Послать признак события

### **12.6.10 SVC**

Вызов супервизора.

#### **12.6.10.1 Синтаксис**

SVC #imm

где:

imm – целое число в диапазоне от 0 до 255.

#### **12.6.10.2 Описание**

Инструкция SVC вызывает формирование исключения SVC. Параметр imm игнорируется процессором. При необходимости imm может быть получен обработчиком исключения для определения варианта обслуживания, запрошенного приложением.

### 12.6.10.3 Ограничения

Данная инструкция не имеет ограничений.

### 12.6.10.4 Флаги

Данная инструкция не влияет на состояние флагов.

### 12.6.10.5 Примеры

SVC 0x32 – Вызов супервизора (функция обработчика исключения SVC может извлечь параметр imm, прочитав по сохранённому в стеке адресу PC значение команды SVC)

## 12.6.11 WFE

Ожидание события.

### 12.6.11.1 Описание

Если в регистре события записан 0, то WFE временно прекращает исполнение команд до тех пор, пока не возникнет одно из следующих событий:

исключение, кроме тех случаев, когда оно замаскировано регистрами, маскирующими прерывания, или текущим уровнем приоритета;  
исключение переходит в состояние ожидания обработки запроса, при этом бит SEVONPEND установлен в регистре System Control;  
запрос на вход в режим отладки, если режим отладки разрешен;  
событие, о котором сигнализирует периферия или другой процессор в мультипроцессорной системе при помощи инструкции SEV.

Если в регистре события записана 1, то инструкция WFE очищает его (устанавливает 0) и немедленно завершается.

### 12.6.11.2 Примечание

Инструкция WFE предназначена только для режима энергосбережения. При написании программного обеспечения необходимо принимать во внимание, что эта инструкция может вести себя как NOP.

### 12.6.11.3 Ограничения

Данная инструкция не имеет ограничений.

### 12.6.11.4 Флаги

Данная инструкция не влияет на состояние флагов.

### 12.6.11.5 Примеры

WFE – Ожидание события

## 12.6.12 WFI

Ожидание прерывания.

### 12.6.12.1 Описание

Инструкция WFI приостанавливает исполнение команд, пока не возникнет одно из следующих событий:

исключение;  
появление отложенного прерывания, которое будет отменено, если регистр PRIMASK был очищен;  
запрос на вход в режим отладки Debug.

**12.6.12.2 Примечание**

Инструкция WFI предназначена только для режима энергосбережения. При написании программного обеспечения необходимо принимать во внимание, что эта инструкция может вести себя как NOP.

**12.6.12.3 Ограничения**

Данная инструкция не имеет ограничений.

**12.6.12.4 Флаги**

Данная инструкция не влияет на состояние флагов.

**12.6.12.5 Примеры**

WFI – Ожидание прерывания

### 13 Контроллер блока $\Sigma\Delta$ АЦП

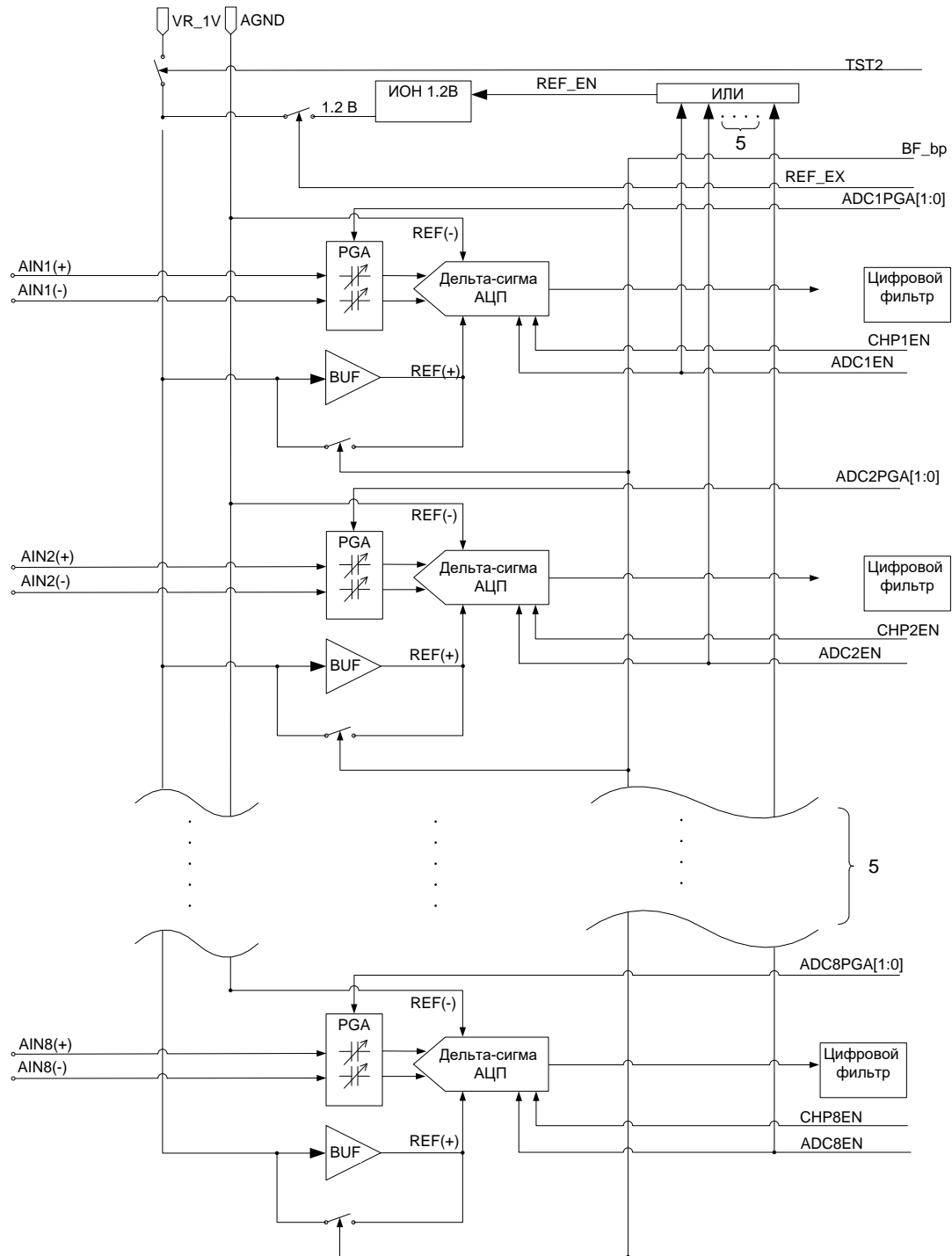


Рисунок 21 – Структурная блок-схема  $\Sigma\Delta$  АЦП

Основная задача цифровых фильтров контроллера – это уменьшить частоту дискретизации после  $\Sigma\Delta$  АЦП в  $(16 * (SFF + 1) * (2^{SFC}) * 8)$  раз, а также вычислить коэффициент ослабления/усиления сигнала после фильтров. Блок  $\Sigma\Delta$  АЦП работает на частоте ADCIU\_CLK, задаваемой в блоке формирования тактовых частот. Частота дискретизации  $\Sigma\Delta$  АЦП равна  $\frac{1}{2}$  частоты ADCIU\_CLK, и частота выдачи данных блоком цифровых фильтров  $\Sigma\Delta$  АЦП будет равна

$$F_s = \frac{\frac{1}{2} * ADCIU\_CLK}{16 * (SFF + 1) * (2^{SFC}) * 8}$$

Цифровые фильтры работают один за другим в следующем порядке:

1. SINC<sup>3</sup> фильтр, который уменьшает частоту дискретизации в  $(16*(SFF+1)*2^{SFC})$  раз.
2. Полуполосовой КИХ-фильтр 1, который уменьшает частоту дискретизации в 2 раза.
3. Полуполосовой КИХ-фильтр 2, который уменьшает частоту дискретизации в 2 раза.
4. Полуполосовой БИХ-фильтр 3, который уменьшает частоту дискретизации в 2 раза.
5. Ослабление/усиления выходного сигнала.

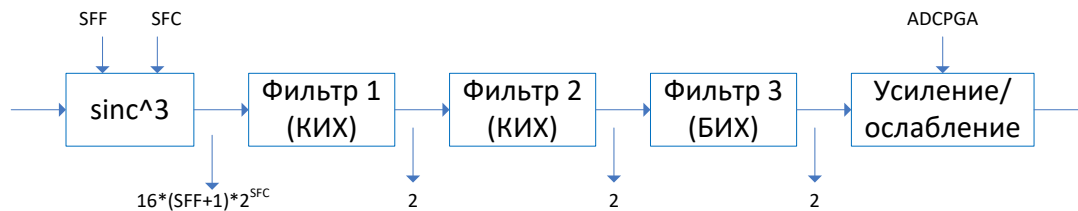


Рисунок 22 – Структура тракта цифровой обработки

В составе сигма-дельта АЦП есть блок FIFO размером 16x24 отсчётов. Прерывание по переполнению FIFO вызывается, когда данные помещаются в последнюю свободную ячейку FIFO. При продолжении записи после переполнения, первый из отсчётов будет утерян, так как последующие данные записываются поверх имеющихся, начиная с первой ячейки.

### 13.1 Формула пересчета кода преобразования $\Sigma\Delta$ АЦП во входное напряжение

$$U_{IN} = (-1)^{FDAT[23]} * \frac{4U_{REF}}{ANGAIN * DIGGAIN} * \frac{FDAT\_mod}{2^{23} - 1}, \text{ В}$$

FDAT\_mod=FDAT при FDAT[23]=0;

FDAT\_mod=2<sup>24</sup>-FDAT при FDAT[23]=1

где  $U_{IN}$  – входное дифференциальное напряжение (диапазон от +2,4 до -2,4 В);

$U_{REF} \approx +1,2$  В-опорное напряжение (напряжение на площадке VR\_1V)

ANGAIN = 1 – аналоговое усиление канала при усилении 0 дБ;

ANGAIN = 2 – аналоговое усиление канала при усилении +6 дБ;

ANGAIN = 4 – аналоговое усиление канала при усилении +12 дБ;

ANGAIN = 16 – аналоговое усиление канала при усилении +24 дБ;

DIGGAIN =  $\lceil 10 \rceil^{(ADCPGA/20)}$ , где ADCPGA в децибелах, см. таблицу 52.

FDAT – 24-разрядный цифровой отсчет в двоичном коде.

Диапазон допустимых SFF = 0...127, диапазон допустимых SFC = 0...4. При SFC = 4 необходимо чтобы SFF ≤ 63. Значения SFF = 0 и SFC = 0 недопустимы. После включения или сброса АЦП или цифровых фильтров первые 128 отсчетов неверны.

### 13.2 Фильтр SINC<sup>3</sup>

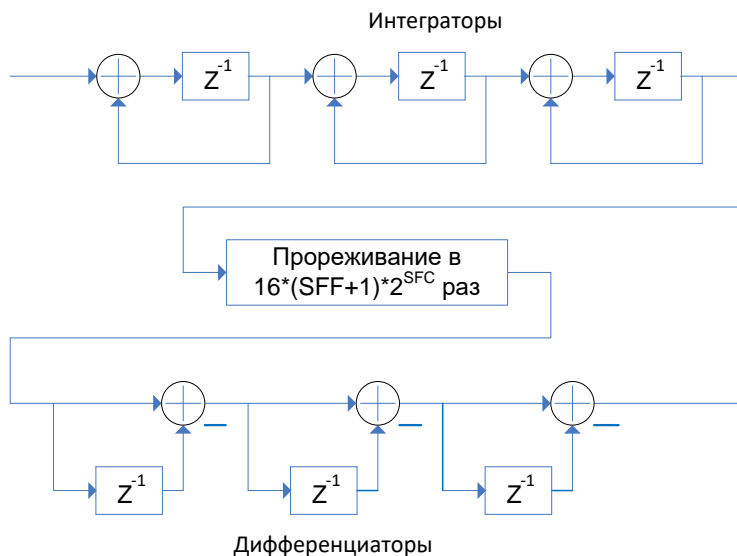


Рисунок 23 – Структурная схема фильтра SINC<sup>3</sup>

### 13.3 Полуполосовые КИХ- и БИХ-фильтры

Фильтры 1 и 2 являются симметричными полуполосовыми КИХ-фильтрами. Их коэффициенты приведены ниже.

Таблица 44 – Коэффициенты фильтра 1

Номер коэффициента	Значение	Множитель (16 бит)
1	0.007111	00E9 (0000000011101001)
2	0	0
3	-0.052307	F94E (1111100101001110)
4	0	0
5	0.295197	25C9 (0010010111001001)
6	0.5	4000 (0100000000000000)
7	0.295197	25C9 (0010010111001001)
8	0	0
9	-0.052307	F94E (1111100101001110)
10	0	0
11	0.007111	00E9 (0000000011101001)

Таблица 45 – Коэффициенты фильтра 2

Номер коэффициента	Значение	Множитель (16 бит)
1	0.001129	0025 (000000000100101)
2	0	0
3	-0.007111	FF17 (1111111100010111)
4	0	0
5	0.026184	035A (0000001101011010)
6	0	0
7	-0.077942	F606 (1111011000000110)
8	0	0
9	0.307770	2765 (0010011101100101)
10	0.5	4000 (0100000000000000)
11	0.307770	2765 (0010011101100101)

Номер коэффициента	Значение	Множитель (16 бит)
12	0	0
13	-0.077942	F606 (1111011000000110)
14	0	0
15	0.026184	035A (0000001101011010)
16	0	0
17	-0.007111	FF17 (1111111100010111)
18	0	0
19	0.001129	0025 (000000000100101)

Завершает тракт цифровой обработки полуполосовой БИХ-фильтр.

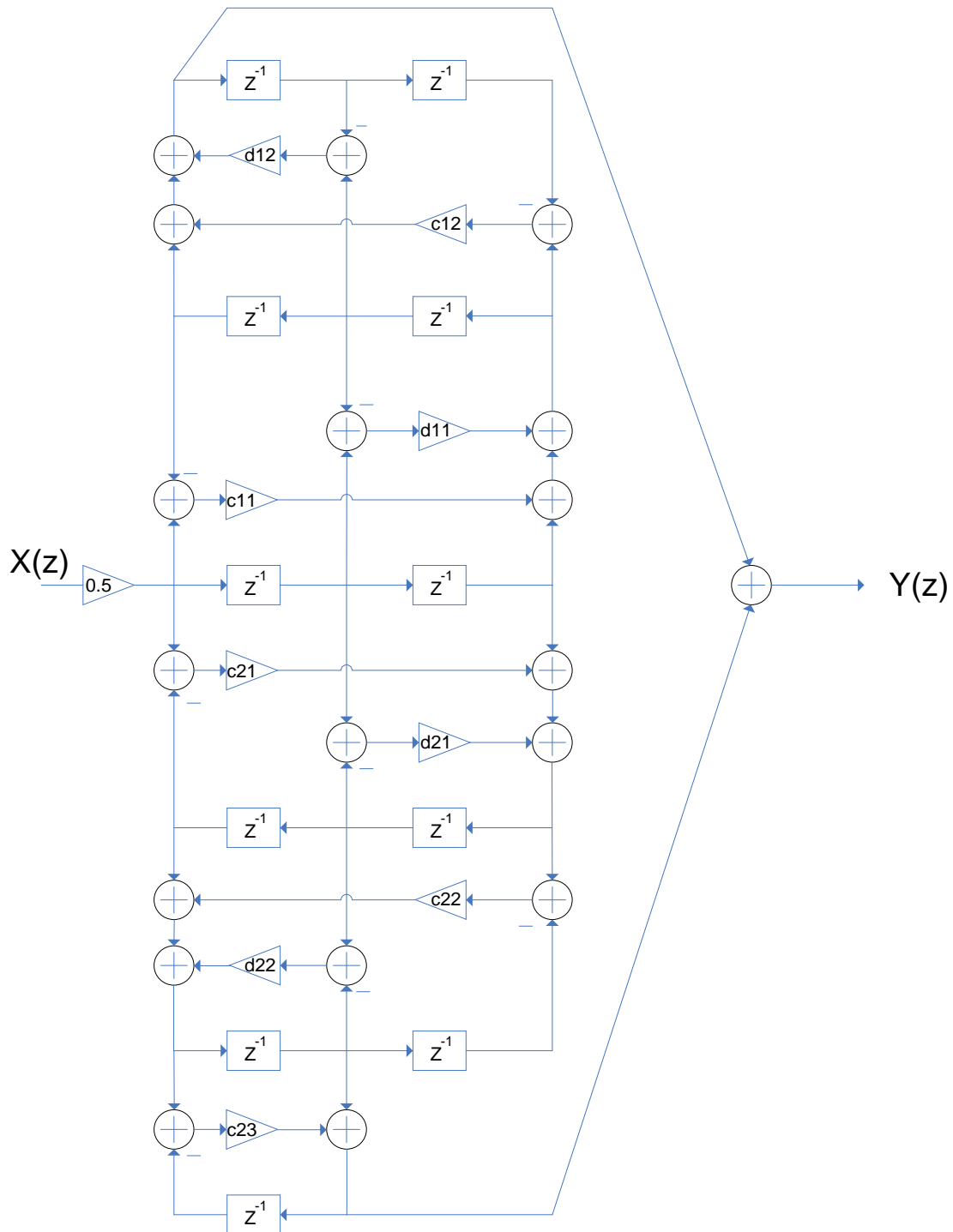


Рисунок 24 – Структурная схема БИХ фильтра

Таблица 46 – Коэффициенты БИХ-фильтра 3

Код	Значение	Код	Значение
c11	0.656463623046875	d21	-0.237182617187500
d11	-0.257232666015625	c22	0.395172119140625
c12	0.147979736328125	d22	-0.310424804687500
d12	-0.371551513671875	c23	-0.199859619140625
c21	0.886260986328125		

Передаточные характеристики всего тракта цифровой обработки для разных значений SFF и SFC приведены на рисунках 25, 26. Fs здесь частота выдачи данных после фильтров, Fband=Fs/2 – максимальная частота оцифрованного сигнала. На рисунке 27 приведена увеличенная область графика для SFF=0, SFC=0 в области частоты Fband.

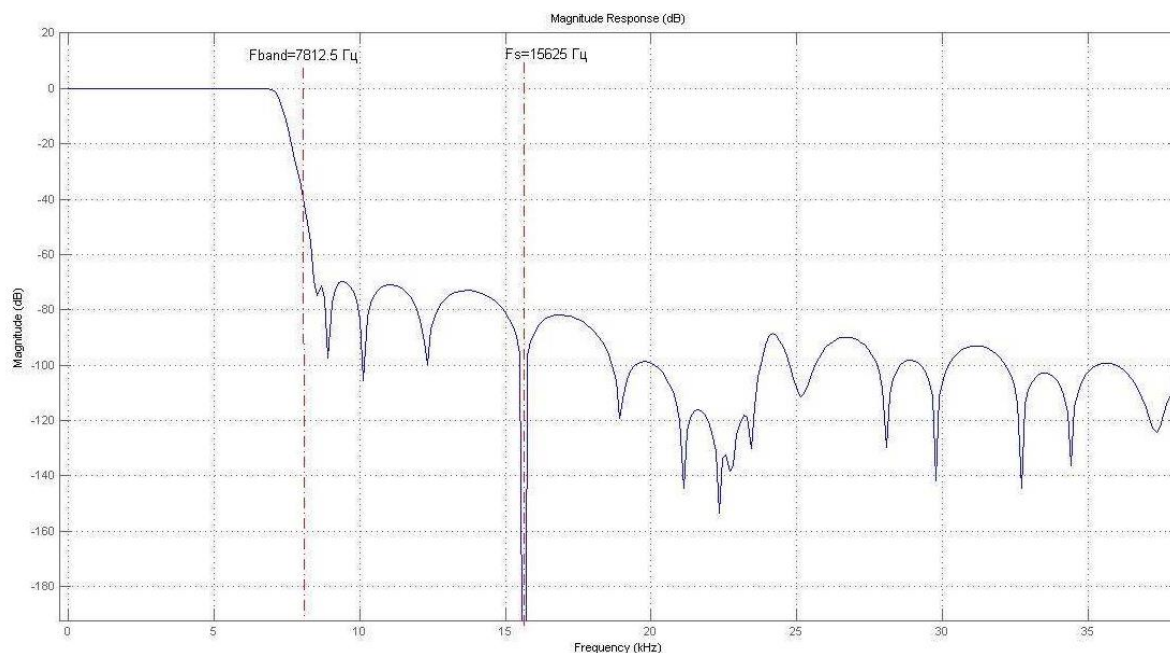


Рисунок 25 – Передаточная характеристика при SFF=0, SFC=0

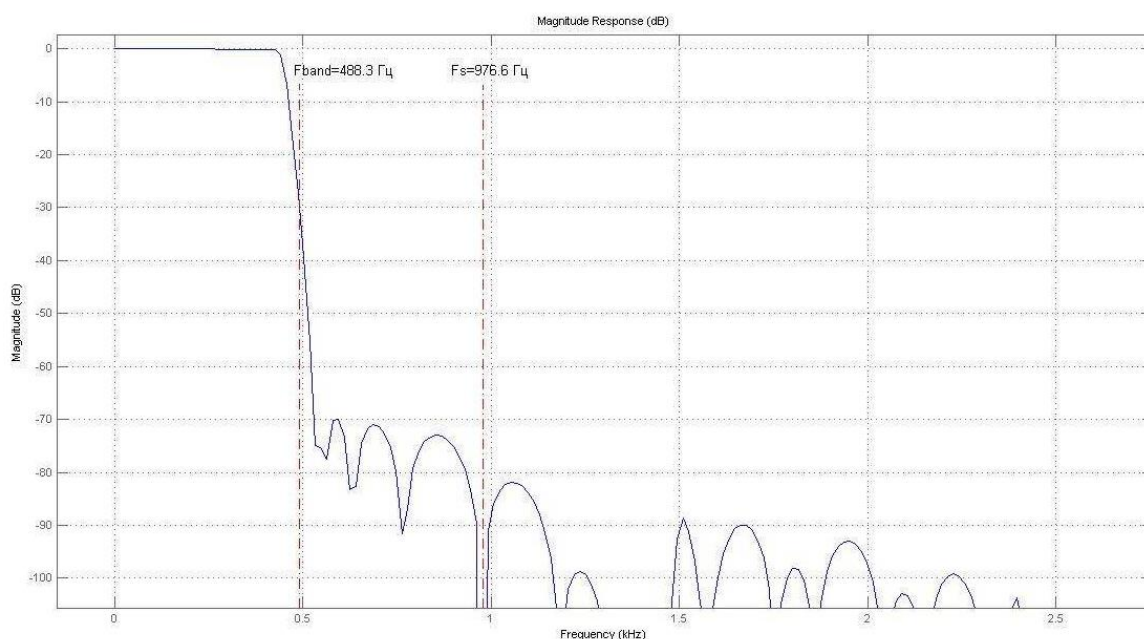


Рисунок 26 – Передаточная характеристика при SFF=63, SFC=4



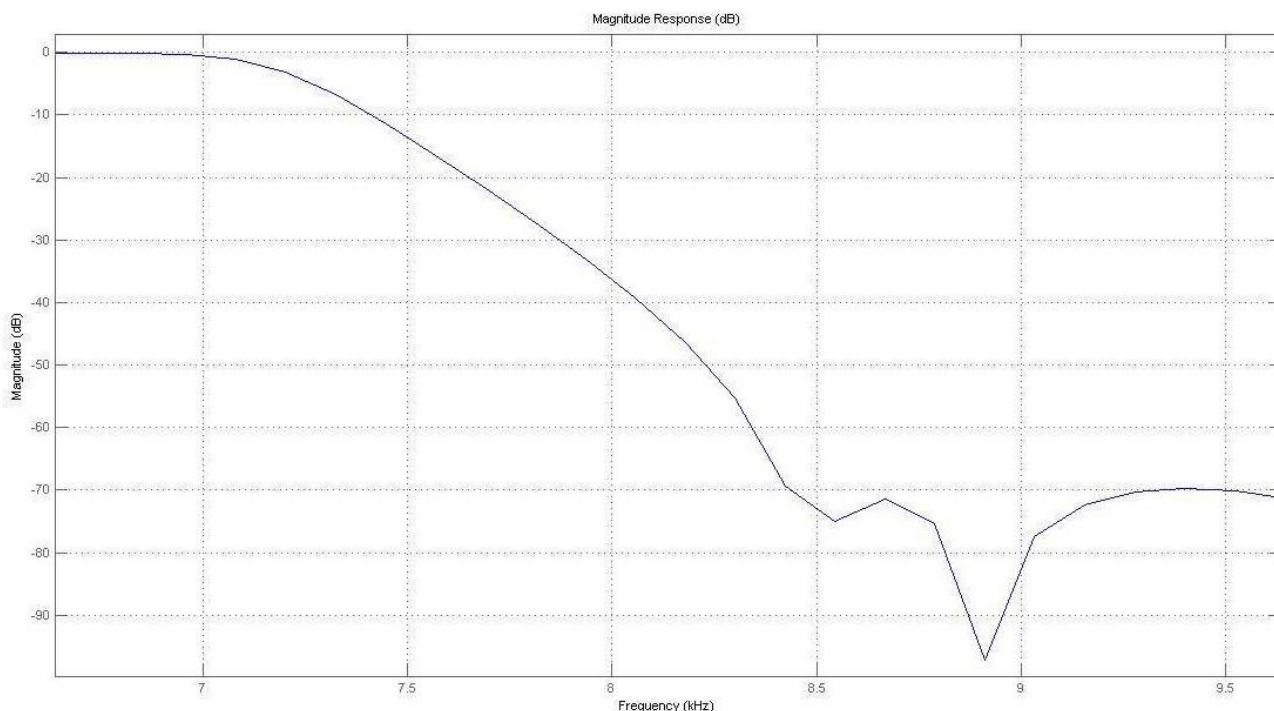


Рисунок 27 – Передаточная характеристика в области Fband при SFF=0, SFC=0

### 13.4 Описание регистров управления блока $\Sigma\Delta$ ЦП

Таблица 47 – Регистры управления блока  $\Sigma\Delta$ ЦП

Базовый адрес	Название	Описание
0x4006_8000	ADCIU	Контроллер ADCIU
<b>Смещение</b>		
0x00	CTRL1	Регистр управления питанием
0x04	ANGAIN	Регистр аналогового усиления канала (усиление аналогового сигнала на входе АЦП)
0x08	DIGGAIN	Регистр цифрового усиления каналов (усиление/ослабление сигнала после цифровых фильтров)
0x0C	DMAEN	Регистр маски DMA запросов
0x10	CTRL2	Регистр управления цифровой обработкой
0x14	INTEN	Регистр разрешения прерываний
0x18	STAT	Регистр статуса флагов прерываний
0x1C-0x38	F1DAT-F8DAT	Регистр отсчетов ADC1-ADC8
0x3C	TST	Тестовый регистр

#### 13.4.1 Регистр управления питанием CTRL1

Таблица 48 – Регистр CTRL1

Номер	31...17	16	15	14	13	12
Доступ	U	R/W	R/W	R/W	R/W	R/W
Сброс		0	0	0	0	0
		CHP8EN	CHP7EN	CHP6EN	CHP5EN	CHP4EN

<b>Номер</b>	11	10	9	8	7	6
<b>Доступ</b>	R/W	R/W	R/W	R/W	R/W	R/W
<b>Сброс</b>	0	0	0	0	0	0
	<b>CHP3EN</b>	<b>CHP2EN</b>	<b>CHP1EN</b>	<b>REF_EX</b>	<b>ADC8EN</b>	<b>ADC7EN</b>

<b>Номер</b>	5	4	3	2	1	0
<b>Доступ</b>	R/W	R/W	R/W	R/W	R/W	R/W
<b>Сброс</b>	0	0	0	0	0	0
	<b>ADC6EN</b>	<b>ADC5EN</b>	<b>ADC4EN</b>	<b>ADC3EN</b>	<b>ADC2EN</b>	<b>ADC1EN</b>

Таблица 49 – Описание бит регистра CTRL1

<b>№ бита</b>	<b>Функциональное имя бита</b>	<b>Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений</b>
31..17	-	Зарезервировано
16	CHP8EN	Режим шоррег для ADC8 0 – режим устранения постоянной составляющей выключен 1 – режим устранения постоянной составляющей включен
15	CHP7EN	Режим шоррег для ADC7 0 – режим устранения постоянной составляющей выключен 1 – режим устранения постоянной составляющей включен
14	CHP6EN	Режим шоррег для ADC6 0 – режим устранения постоянной составляющей выключен 1 – режим устранения постоянной составляющей включен
13	CHP5EN	Режим шоррег для ADC5 0 – режим устранения постоянной составляющей выключен 1 – режим устранения постоянной составляющей включен
12	CHP4EN	Режим шоррег для ADC4 0 – режим устранения постоянной составляющей выключен 1 – режим устранения постоянной составляющей включен
11	CHP3EN	Режим шоррег для ADC3 0 – режим устранения постоянной составляющей выключен 1 – режим устранения постоянной составляющей включен
10	CHP2EN	Режим шоррег для ADC2 0 – режим устранения постоянной составляющей выключен 1 – режим устранения постоянной составляющей включен
9	CHP1EN	Режим шоррег для ADC1 0 – режим устранения постоянной составляющей выключен 1 – режим устранения постоянной составляющей включен
8	REF_EX	Выбор источника опорного напряжения 0 – внутренний источник 1,2 В 1 – внешний источник опоры с вывода VR_1V При REF_EX = 0 бит BF_br должен быть в нуле. При REF_EX = 1 бит BF_br рекомендуется (не обязательно) устанавливать в единицу
7	ADC8EN	Разрешение работы канала ADC8 0 – канал отключен 1 – канал включен
6	ADC7EN	Разрешение работы канала ADC7 0 – канал отключен 1 – канал включен

<b>№ бита</b>	<b>Функциональное имя бита</b>	<b>Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений</b>
5	ADC6EN	Разрешение работы канала ADC6 0 – канал отключен 1 – канал включен
4	ADC5EN	Разрешение работы канала ADC5 0 – канал отключен 1 – канал включен
3	ADC4EN	Разрешение работы канала ADC4 0 – канал отключен 1 – канал включен
2	ADC3EN	Разрешение работы канала ADC3 0 – канал отключен 1 – канал включен
1	ADC2EN	Разрешение работы канала ADC2 0 – канал отключен 1 – канал включен
0	ADC1EN	Разрешение работы канала ADC1 0 – канал отключен 1 – канал включен

### 13.4.2 Регистр аналогового усиления канала *ANGAIN*

Таблица 50 – Регистр *ANGAIN*

<b>Номер</b>	31...16	15..14	13..12	11..10	9..8
<b>Доступ</b>	U	R/W	R/W	R/W	R/W
<b>Сброс</b>		00	00	00	00
		<b>ADC8PGA</b>	<b>ADC7PGA</b>	<b>ADC6PGA</b>	<b>ADC5PGA</b>

<b>Номер</b>	7..6	5..4	3..2	1..0
<b>Доступ</b>	R/W	R/W	R/W	R/W
<b>Сброс</b>	00	00	00	00
	<b>ADC4PGA</b>	<b>ADC3PGA</b>	<b>ADC2PGA</b>	<b>ADC1PGA</b>

Таблица 51 – Описание бит регистра *ANGAIN*

<b>№ бита</b>	<b>Функциональное имя бита</b>	<b>Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений</b>
31..16	–	Зарезервировано
15:14	ADC8PGA	PGA в канале ADC8 00 – нет усиления 10 – усиление +6 дБ 01 – усиление +12 дБ 11 – усиление +24 дБ
13:12	ADC7PGA	PGA в канале ADC7 00 – нет усиления 10 – усиление +6 дБ 01 – усиление +12 дБ 11 – усиление +24 дБ

<b>№ бита</b>	<b>Функциональное имя бита</b>	<b>Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений</b>
11:10	ADC6PGA	PGA в канале ADC6 00 – нет усиления 10 – усиление +6 дБ 01 – усиление +12 дБ 11 – усиление +24 дБ
9:8	ADC5PGA	PGA в канале ADC5 00 – нет усиления 10 – усиление +6 дБ 01 – усиление +12 дБ 11 – усиление +24 дБ
7:6	ADC4PGA	PGA в канале ADC4 00 – нет усиления 10 – усиление +6 дБ 01 – усиление +12 дБ 11 – усиление +24 дБ
5:4	ADC3PGA	PGA в канале ADC3 00 – нет усиления 10 – усиление +6 дБ 01 – усиление +12 дБ 11 – усиление +24 дБ
3:2	ADC2PGA	PGA в канале ADC2 00 – нет усиления 10 – усиление +6 дБ 01 – усиление +12 дБ 11 – усиление +24 дБ
1:0	ADC1PGA	PGA в канале ADC1 00 – нет усиления 10 – усиление +6 дБ 01 – усиление +12 дБ 11 – усиление +24 дБ

### 13.4.3 Регистр цифрового усиления каналов DIGGAIN

Таблица 52 – Регистр DIGGAIN

<b>Номер</b>	31...6	5..0
<b>Доступ</b>	U	R/W
<b>Сброс</b>		101010
		<b>ADCPGA</b>

Таблица 53 – Описание бит регистра DIGGAIN

<b>№ бита</b>	<b>Функциональное имя бита</b>	<b>Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений</b>
31...6	-	Зарезервировано
5...0	ADCPGA	PGA в каналах ADC1-ADC8 101010 : 0 дБ Всегда устанавливать в это значение.

### 13.4.4 Регистр маски DMA запросов DMAEN

Таблица 54 – Регистр DMAEN

<b>Номер</b>	31..8	7..0
<b>Доступ</b>	U	R/W
<b>Сброс</b>		00000000
		<b>DMA_EN</b>

Таблица 55 – Описание бит регистра DMAEN

№ бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31..8	-	Зарезервировано
7:0	DMA_EN	Разрешение dma запроса при наличии данных в FIFO ADC1-ADC8 1 – запрос разрешён 0 – запрос запрещён

### 13.4.5 Регистр управления цифровой обработки CTRL2

Таблица 56 – Регистр CTRL2

<b>Номер</b>	31..14	13..12	11	10	9..7	6..0
<b>Доступ</b>	U	R/W	R/W	R/W	R/W	R/W
<b>Сброс</b>		00	0	0	000	00000000
		<b>CHOP_FREQ</b>	<b>BF_bp</b>	<b>RESET</b>	<b>SFC</b>	<b>SFF</b>

Таблица 57 – Описание бит регистра CTRL2

№ бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31..14	-	Зарезервировано
13..12	CHOP_FREQ	Выбор делителя частоты для режима устранения постоянной составляющей 11 – FS/256 (записывать всегда только это значение), где FS – частота тактирования АЦП
11	BF_bp	Обход буферов опоры 1,2 В. Рекомендуется устанавливать в 1 при выборе внешнего источника опорного напряжения (бит REF_EX регистра CTRL1 установлен в 1) 1 – разрешено 0 – запрещено
10	RESET	Сброс цифровой части 0 – нормальная работа 1 – цифровой блок сброшен
9..7	SFC	Грубая корректировка коэффициента дискретизации на выходе SINC <sup>3</sup>
6..0	SFF	Точная корректировка коэффициента дискретизации на выходе SINC <sup>3</sup>

### 13.4.6 Регистр маски векторов прерываний INTEN

Таблица 58 – Регистр INTEN

<b>Номер</b>	8	7	6	5	4	3	2	1	0
<b>Доступ</b>	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
<b>Сброс</b>	0	0	0	0	0	0	0	0	0
	<b>OV1M</b>	<b>NS8M</b>	<b>NS7M</b>	<b>NS6M</b>	<b>NS5M</b>	<b>NS4M</b>	<b>NS3M</b>	<b>NS2M</b>	<b>NS1M</b>

<b>Номер</b>	15	14	13	12	11	10	9	31...16
<b>Доступ</b>	R/W	R/W	R/W	R/W	R/W	R/W	R/W	U
<b>Сброс</b>	0	0	0	0	0	0	0	
	<b>OV8M</b>	<b>OV7M</b>	<b>OV6M</b>	<b>OV5M</b>	<b>OV4M</b>	<b>OV3M</b>	<b>OV2M</b>	

Таблица 59 – Описание бит регистра INTEN

<b>№ бита</b>	<b>Функциональное имя бита</b>	<b>Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений</b>
31...16	–	Зарезервировано
15	OV8M	Маска бита OV8 0 – прерывание запрещено 1 – прерывание разрешено
14	OV7M	Маска бита OV7 0 – прерывание запрещено 1 – прерывание разрешено
13	OV6M	Маска бита OV6 0 – прерывание запрещено 1 – прерывание разрешено
12	OV5M	Маска бита OV5 0 – прерывание запрещено 1 – прерывание разрешено
11	OV4M	Маска бита OV4 0 – прерывание запрещено 1 – прерывание разрешено
10	OV3M	Маска бита OV3 0 – прерывание запрещено 1 – прерывание разрешено
9	OV2M	Маска бита OV2 0 – прерывание запрещено 1 – прерывание разрешено
8	OV1M	Маска бита OV1 0 – прерывание запрещено 1 – прерывание разрешено
7	NS8M	Маска бита NS8 0 – прерывание запрещено 1 – прерывание разрешено
6	NS7M	Маска бита NS7 0 – прерывание запрещено 1 – прерывание разрешено
5	NS6M	Маска бита NS6 0 – прерывание запрещено 1 – прерывание разрешено

<b>№ бита</b>	<b>Функциональное имя бита</b>	<b>Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений</b>
4	NS5M	Маска бита NS5 0 – прерывание запрещено 1 – прерывание разрешено
3	NS4M	Маска бита NS4 0 – прерывание запрещено 1 – прерывание разрешено
2	NS3M	Маска бита NS3 0 – прерывание запрещено 1 – прерывание разрешено
1	NS2M	Маска бита NS2 0 – прерывание запрещено 1 – прерывание разрешено
0	NS1M	Маска бита NS1 0 – прерывание запрещено 1 – прерывание разрешено

### 13.4.7 Регистр статуса флагов прерываний STAT

Таблица 60 – Регистр STAT

<b>Номер</b>	31...16	15	14	13	12
<b>Доступ</b>	U	R/W	R/W	R/W	R/W
<b>Сброс</b>		0	0	0	0
		<b>OV8</b>	<b>OV7</b>	<b>OV6</b>	<b>OV5</b>

<b>Номер</b>	11	10	9	8	7	6
<b>Доступ</b>	R/W	R/W	R/W	R/W	R/W	R/W
<b>Сброс</b>	0	0	0	0	0	0
	<b>OV4</b>	<b>OV3</b>	<b>OV2</b>	<b>OV1</b>	<b>NS8</b>	<b>NS7</b>

<b>Номер</b>	5	4	3	2	1	0
<b>Доступ</b>	R/W	R/W	R/W	R/W	R/W	R/W
<b>Сброс</b>	0	0	0	0	0	0
	<b>NS6</b>	<b>NS5</b>	<b>NS4</b>	<b>NS3</b>	<b>NS2</b>	<b>NS1</b>

Таблица 61 – Описание бит регистра STAT

<b>№ бита</b>	<b>Функциональное имя бита</b>	<b>Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений</b>
31..16	-	Зарезервировано
15	OV8	Прерывание ADC8 FIFO 0 – FIFO не переполнено 1 – FIFO переполнено Запись '1' сбрасывает прерывание
14	OV7	Прерывание ADC7 FIFO 0 – FIFO не переполнено 1 – FIFO переполнено Запись '1' сбрасывает прерывание

<b>№ бита</b>	<b>Функциональное имя бита</b>	<b>Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений</b>
13	OV6	Прерывание ADC6 FIFO 0 – FIFO не переполнено 1 – FIFO переполнено Запись '1' сбрасывает прерывание
12	OV5	Прерывание ADC5 FIFO 0 – FIFO не переполнено 1 – FIFO переполнено Запись '1' сбрасывает прерывание
11	OV4	Прерывание ADC4 FIFO 0 – FIFO не переполнено 1 – FIFO переполнено Запись '1' сбрасывает прерывание
10	OV3	Прерывание ADC3 FIFO 0 – FIFO не переполнено 1 – FIFO переполнено Запись '1' сбрасывает прерывание
9	OV2	Прерывание ADC2 FIFO 0 – FIFO не переполнено 1 – FIFO переполнено Запись '1' сбрасывает прерывание
8	OV1	Прерывание ADC1 FIFO 0 – FIFO не переполнено 1 – FIFO переполнено Запись '1' сбрасывает прерывание
7	NS8	Прерывание ADC8 FIFO 0 – FIFO пусто 1 – FIFO имеет хотя бы один отсчет
6	NS7	Прерывание ADC7 FIFO 0 – FIFO пусто 1 – FIFO имеет хотя бы один отсчет
5	NS6	Прерывание ADC6 FIFO 0 – FIFO пусто 1 – FIFO имеет хотя бы один отсчет
4	NS5	Прерывание ADC5 FIFO 0 – FIFO пусто 1 – FIFO имеет хотя бы один отсчет
3	NS4	Прерывание ADC4 FIFO 0 – FIFO пусто 1 – FIFO имеет хотя бы один отсчет
2	NS3	Прерывание ADC3 FIFO 0 – FIFO пусто 1 – FIFO имеет хотя бы один отсчет
1	NS2	Прерывание ADC2 FIFO 0 – FIFO пусто 1 – FIFO имеет хотя бы один отсчет
0	NS1	Прерывание ADC1 FIFO 0 – FIFO пусто 1 – FIFO имеет хотя бы один отсчет



### 13.4.8 Регистр отсчета ADC1 F1DAT

Таблица 62 – Регистр F1DAT

<b>Номер</b>	31...24	23...0
<b>Доступ</b>	U	R
<b>Сброс</b>		-
		<b>SMPLE</b>

Таблица 63 – Описание бит регистра F1DAT

<b>№ бита</b>	<b>Функциональное имя бита</b>	<b>Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений</b>
31...24	-	Зарезервировано
23...0	SMPLE	Отсчет ADC1

### 13.4.9 Регистр отсчета ADC2 F2DAT

Таблица 64 – Регистр F2DAT

<b>Номер</b>	31...24	23..0
<b>Доступ</b>	U	R
<b>Сброс</b>		-
		<b>SMPLE</b>

Таблица 65 – Описание бит регистра F2DAT

<b>№ бита</b>	<b>Функциональное имя бита</b>	<b>Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений.</b>
31...24	-	Зарезервировано
23...0	SMPLE	Отсчет ADC2

### 13.4.10 Регистр отсчета ADC3 F3DAT

Таблица 66 – Регистр F3DAT

<b>Номер</b>	31...24	23..0
<b>Доступ</b>	U	R
<b>Сброс</b>		-
		<b>SMPLE</b>

Таблица 67 – Описание бит регистра F3DAT

<b>№ бита</b>	<b>Функциональное имя бита</b>	<b>Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений</b>
31...24	-	Зарезервировано
23...0	SMPLE	Отсчет ADC3

### 13.4.11 Регистр отсчета ADC4 F4DAT

Таблица 68 – Регистр F4DAT

<b>Номер</b>	31...24	23...0
<b>Доступ</b>	U	R
<b>Сброс</b>		-
		<b>SMPLE</b>

Таблица 69 – Описание бит регистра F4DAT

№ бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31..24	-	Зарезервировано
23:0	SMPLE	Отсчет ADC4

#### 13.4.12 Регистр отсчета ADC5 F5DAT

Таблица 70 – Регистр F5DAT

Номер	31...24	23...0
Доступ	U	R
Сброс		-
		<b>SMPLE</b>

Таблица 71 – Описание бит регистра F5DAT

№ бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31...24	-	Зарезервировано
23...0	SMPLE	Отсчет ADC5

#### 13.4.13 Регистр отсчета ADC6 F6DAT

Таблица 72 – Регистр F6DAT

Номер	31...24	23...0
Доступ	U	R
Сброс		-
		<b>SMPLE</b>

Таблица 73 – Описание бит регистра F6DAT

№ бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31...24	-	Зарезервировано
23...0	SMPLE	Отсчет ADC6

#### 13.4.14 Регистр отсчета ADC7 F7DAT

Таблица 74 – Регистр F7DAT

Номер	31...24	23...0
Доступ	U	R
Сброс		-
		<b>SMPLE</b>

Таблица 75 – Описание бит регистра F7DAT

№ бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31...24	-	Зарезервировано
23...0	SMPLE	Отсчет ADC7

### 13.4.15 Регистр отсчета ADC8 F8DAT

Таблица 76 – Регистр F8DAT

<b>Номер</b>	31...24	23...0
<b>Доступ</b>	U	R
<b>Сброс</b>		-
		SMPLE

Таблица 77 – Описание бит регистра F8DAT

<b>№ бита</b>	<b>Функциональное имя бита</b>	<b>Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений</b>
31...24	-	Зарезервировано
23...0	SMPLE	Отсчет ADC8

### 13.4.16 Тестовый регистр TST (начиная с даты выпуска 16xx\*)

Таблица 78 – Регистр TST

<b>Номер</b>	31...5	4	3	2	1	0
<b>Доступ</b>	U	R/W	R/W	R/W	R/W	R/W
<b>Сброс</b>		0	0	0	0	0
					<b>TST2</b>	

Таблица 79 – Описание бит регистра TST

<b>№ бита</b>	<b>Функциональное имя бита</b>	<b>Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений</b>
31...5	-	Зарезервировано
4	-	Необходимо записывать в ноль
3	-	Необходимо записывать в ноль
2	-	Необходимо записывать в ноль
1	TST2	Бит объединения внутренней общей шины опорного напряжения VR_1V и площадки VR_1V 1 – объединены 0 – разъединены Всегда записывать единицу
0	-	Необходимо записывать в ноль

\* формат даты 16xx: 16 – год, xx – неделя выпуска.

## 14 Аппаратный блок вычисления CRC

Микроконтроллер имеет в своем составе блок для вычисления 16-битного CRC с произвольным полиномом. Контроллер принимает 32-битные слова и может их обрабатывать как в прямом порядке (начиная с младшего бита), так и в обратном (начиная со старшего бита). Скорость подсчета составляет 2 бита / PCLK (частота APB шины). Контроллер имеет FIFO на 4 отчета, а также DMA канал для загрузки новых слов. Запрос для DMA формируется, если в FIFO пусто. Контроллер начинает обрабатывать новые слова, как только они появляются в FIFO и обрабатывает до последнего слова. После обработки последнего слова выставляется флаг. Регистр CRC имеет доступ как на чтение (считать рассчитанное значение), так и на запись (установить начальное значение).

### 14.1 Описание регистров управления блока CRC

Таблица 80 – Регистры управления блока CRC

Базовый адрес	Название	Описание
0x4009_8000	CRC	Контроллер CRC
<b>Смещение</b>		
0x00	CRC_CTRL	Общее управление для контроллера CRC
0x04	CRC_STAT	Статус CRC блока
0x08	CRC_DATAI	Регистр FIFO входных данных
0x0C	CRC_VAL	Регистр подсчитанного CRC
0x10	CRC_POL	Полином для расчета CRC

#### 14.1.1 CRC\_CTRL

Таблица 81 – Регистр CRC\_CTRL

Номер	31...7	6, 5	4, 3	2	1	0
Доступ		R/W	R/W	R/W	R/W	R/W
Сброс		00	00	0	0	0
	-	<b>DCSize</b>	<b>DLSize</b>	<b>DMAEN</b>	<b>DATAINV</b>	<b>CRCEN</b>

Таблица 82 – Описание битов регистра CRC\_CTRL

№ бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31...7	-	Зарезервировано
6, 5	DCSize	Размер данных при расчете CRC 00 – вычисление для байтов (8 бит), при этом DLSize может быть 00, 01, 10. 01 – вычисление для полуслов (16 бит) при этом DLSize может быть 01, 10. 10 – вычисление для слов (32 бит) при этом DLSize может быть только 10.

№ бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
4, 3	DLSize	Размер загружаемых данных 00 – байт (8 бит), при этом загружаемый байт записывается в CRC_DATAI[7:0]  01 – полуслово (16 бит) при этом загружаемое полуслово записывается в CRC_DATAI[15:0] 10 – слово (32 бита) при этом загружаемое слово записывается в CRC_DATAI[31:0]
2	DMAEN	Разрешение формирования запроса для DMA 0 – запрос не формируется 1 – запрос формируется
1	DATAINV	Порядок вычисления CRC 0 – начиная с младшего разряда 1 – начиная со старшего разряда
0	CRCEN	Разрешение работы блока 0 – блок выключен 1 – блок включен

#### 14.1.2 CRC\_STAT

Таблица 83 – Регистр CRC\_STAT

Номер	31...4	3	2	1	0
Доступ		R/W	R	R	R
Сброс		0	0	0	0
	-	FIFOOVER	FIFOEMPTY	FIFOFULL	CONVCOMP

Таблица 84 – Описание битов регистра CRC\_STAT

№ бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31...4	-	Зарезервировано
3	FIFOOVER*	Переполнение FIFO 0 – корректная работа 1 – была запись в полное FIFO, что привело к потери данных
2	FIFOEMPTY	FIFO пусто 0 – FIFO имеет по крайней мере одну заполненную ячейку 1 – FIFO пусто
1	FIFOFULL	FIFO заполнено 0 – FIFO имеет по крайней мере одну свободную ячейку 1 – FIFO не имеет свободных ячеек
0	CONVCOMP	Завершение расчета CRC 0 – расчет идет 1 – расчет завершен и FIFO пусто или блок отключен

\* сброс бита происходит записью "1" в разряд [3]

### 14.1.3 CRC\_DATA1

Таблица 85 – Регистр CRC\_DATA1

<b>Номер</b>	31:0
<b>Доступ</b>	W
<b>Сброс</b>	
	<b>DATA_IN</b>

Таблица 86 – Описание битов регистра CRC\_DATA1

<b>№ бита</b>	<b>Функциональное имя бита</b>	<b>Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений</b>
31:0	DATA_IN	Регистр для записи нового отчета в FIFO

### 14.1.4 CRC\_VAL

Таблица 87 – Регистр CRC\_VAL

<b>Номер</b>	31...16	15...0
<b>Доступ</b>		R/W
<b>Сброс</b>		0000000000000000
	-	<b>CRCOUT</b>

Таблица 88 – Описание битов регистра CRC\_VAL

<b>№ бита</b>	<b>Функциональное имя бита</b>	<b>Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений</b>
31..16	-	Зарезервировано
15...0	CRCOUT	Рассчитанное значение /начальное значение Начальное значение нужно записывать, когда блок отключен или, когда закончено преобразование

### 14.1.5 CRC\_POL

Таблица 89 – Регистр CRC\_POL

<b>Номер</b>	31...17	16...0
<b>Доступ</b>		R/W
<b>Сброс</b>		1000000000000001
	-	<b>CRCPOL</b>

Таблица 90 – Описание битов регистра CRC\_POL

<b>№ бита</b>	<b>Функциональное имя бита</b>	<b>Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений</b>
31...17	-	Зарезервировано
16...0	CRC_POL	Полином для расчета CRC. Так как это 16 битное CRC, то младший и старший биты всегда "1" и их нельзя изменить

Ниже приведен результирующий полином:

$$f(x) = x^{16} + CRC_{POL[15]} \cdot x^{15} + CRC_{POL[14]} \cdot x^{14} + \dots + CRC_{POL[2]} \cdot x^2 + CRC_{POL[1]} \cdot x + 1$$

## 15 Сигналы тактовой частоты

Микроконтроллер имеет два встроенных генератора и два внешних осциллятора, а также специализированный блок формирования тактовой синхронизации PLL микроконтроллера.

Управление тактовыми частотами ведется через периферийный блок RST\_CLK. При включении питания микроконтроллер запускается на частоте HSI генератора. Выдача тактовых сигналов синхронизации для всех периферийных блоков кроме RST\_CLK отключена. Для начала работы с нужным периферийным блоком необходимо включить его тактовую частоту в регистре PER\_CLOCK. Некоторые контроллеры интерфейсов (UART, Таймеры) могут работать на частотах, отличных от частоты процессорного ядра, поэтому в соответствующих регистрах (UART\_CLOCK, TIM\_CLOCK) могут быть заданы их скорости работы. Для изменения тактовой частоты ядра можно перейти на другой генератор и/или воспользоваться блоком умножения тактовой частоты. Для корректной смены тактовой частоты сначала должны быть сформированы необходимые тактовые частоты, и затем осуществлено переключение на них на соответствующих мультиплексорах в управляемом регистре CPU\_CLOCK.

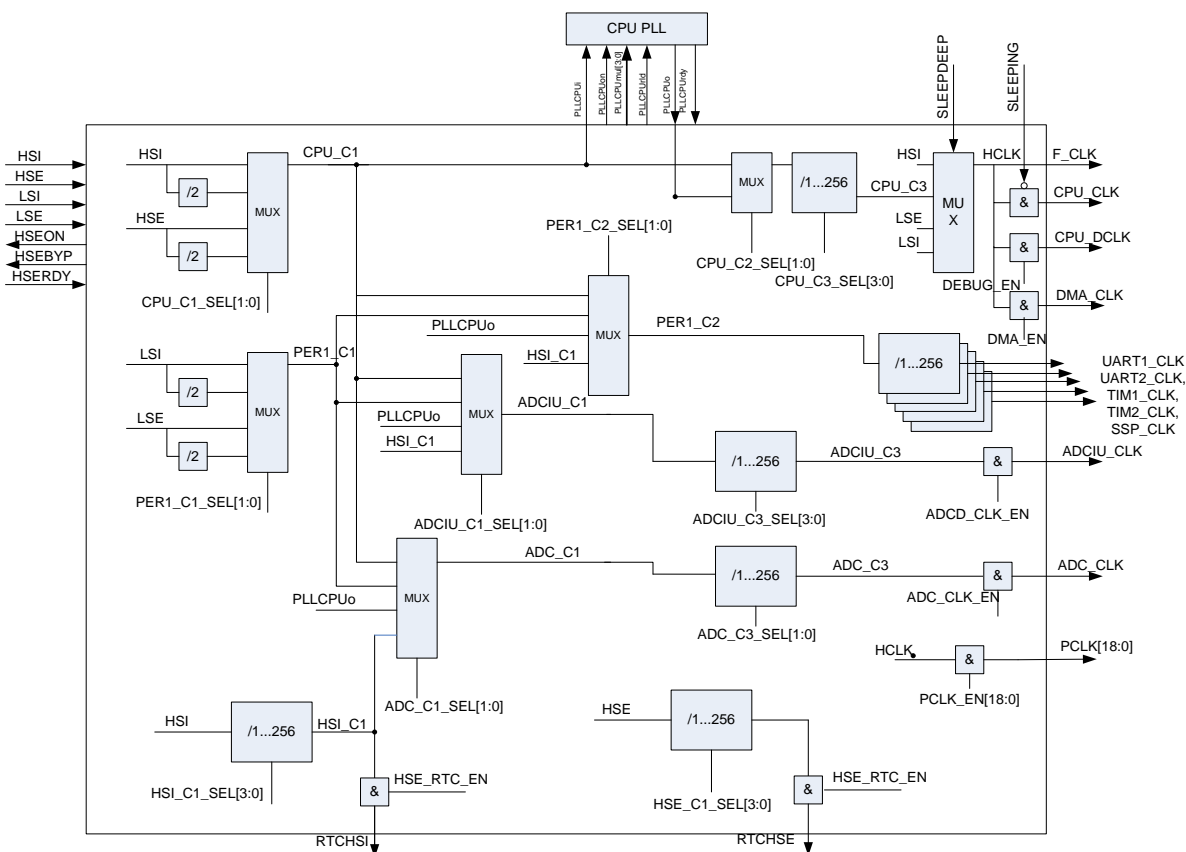


Рисунок 28 – Структурная блок-схема формирования тактовой частоты

### 15.1 Встроенный RC Генератор HSI

Генератор HSI вырабатывает тактовую частоту  $f_{o\_HSI}$  с типовым значением 8 МГц. Генератор автоматически запускается при появлении питания  $U_{CC}$  и при выходе в нормальный режим работы вырабатывает сигнал HSIRDY в регистре батарейного домена BKP\_REG\_0F (Таблица 114). Первоначально процессорное ядро запускается на тактовой частоте HSI. При дальнейшей работе генератор HSI может быть отключен при помощи сигнала HSION в регистре BKP\_REG\_0F. Также генератор может быть подстроен при помощи сигнала HSITRIM в регистре BKP\_REG\_0F.

## **15.2 Встроенный RC генератор LSI**

Генератор LSI вырабатывает тактовую частоту  $f_{o\_LSI}$  с типовым значением 40 КГц. Генератор автоматически запускается при появлении питания  $U_{CC}$  и при выходе в нормальный режим работы вырабатывает сигнал LSIRDY в регистре BKP\_REG\_0F. Первоначально тактовая частота генератор LSI используется для формирования дополнительной задержки  $t_{por}$ . При дальнейшей работе генератор LSI может быть отключен при помощи сигнала LSION в регистре BKP\_REG\_0F.

## **15.3 Внешний осциллятор HSE**

Осциллятор HSE предназначен для выработки тактовой частоты 2...16 МГц с помощью внешнего резонатора. Осциллятор запускается при появлении питания  $U_{CC}$  и сигнала разрешения HSEON в регистре HS\_CONTROL (Таблица 91). При выходе в нормальный режим работы вырабатывает сигнал HSERDY в регистре CLOCK\_STATUS (Таблица 91). Также осциллятор может работать в режиме HSEBYP, когда входная тактовая частота с входа OSC\_IN проходит напрямую на выход HSE. Выход OSC\_OUT находится в этом режиме в третьем состоянии.

## **15.4 Внешний осциллятор LSE**

Осциллятор LSE предназначен для выработки тактовой частоты 32 КГц с помощью внешнего резонатора. Осциллятор запускается при появлении питания  $BDU_{CC}$  и сигнала разрешения LSEON в регистре BKP\_REG\_0F. При выходе в нормальный режим работы вырабатывает сигнал LSERDY в регистре BKP\_REG\_0F. Также осциллятор может работать в режиме LSEBYP, когда входная тактовая частота с входа OSC\_IN32 проходит напрямую на выход LSE. Выход OSC\_OUT32 находится в этом режиме в третьем состоянии. Так как генератор LSE питается от напряжения питания  $BDU_{CC}$  и его регистр управления BKP\_REG\_0F расположен в батарейном домене, то генератор может продолжать работать при пропадании основного питания  $U_{CC}$ . Генератор LSE используется для работы часов реального времени.

## **15.5 Встроенный блок умножения системной тактовой частоты, PLL**

Блок умножения позволяет провести умножение входной тактовой частоты на коэффициент от 2 до 16, задаваемых на входе PLLCPUMUL[3:0] в регистре PLL\_CONTROL (Таблица 91). Входная частота блока умножителя должна быть в диапазоне 6...16 МГц выходная до 100 МГц. При выходе блока умножителя тактовой частоты в расчетный режим вырабатывается сигнал PLLCPURDY в регистре CLOCK\_STATUS. Блок включается с помощью сигнала PLLCPUON в регистре PLL\_CONTROL. Выходная частота может быть использована как основная частота процессора и периферии.



## 15.6 Описание регистров блока контроллера тактовой частоты

Таблица 91 – Описание регистров блока контроллера тактовой частоты

<b>Базовый адрес</b>	<b>Название</b>	<b>Описание</b>
0x4002_0000	RST_CLK	Контроллер тактовой частоты
<b>Смещение</b>		
0x00	CLOCK_STATUS	Регистр состояния блока управления тактовой частотой
0x04	PLL_CONTROL	Регистр управления блоками умножения частоты
0x08	HS_CONTROL	Регистр управления высокочастотным генератором и осциллятором
0x0C	CPU_CLOCK	Регистр управления тактовой частотой процессорного ядра
0x10	PER1_CLOCK	Регистр управления тактовой частотой периферийных блоков
0x14	ADC_CLOCK	Регистр управления тактовой частотой АЦП и $\Sigma\Delta$ АЦП
0x18	RTC_CLOCK	Регистр управления формированием высокочастотных тактовых сигналов блока RTC
0x1C	PER2_CLOCK	Регистр управления тактовой частотой периферийных блоков
0x24	TIM_CLOCK	Регистр управления тактовой частотой TIMER
0x28	UART_CLOCK	Регистр управления тактовой частотой UART
0x2C	SSP_CLOCK	Регистр управления тактовой частотой SSP

### 15.6.1 CLOCK\_STATUS

Таблица 92 – Регистр CLOCK\_STATUS

<b>Номер</b>	31...3	2	1	0
<b>Доступ</b>	U	RO	RO	RO
<b>Сброс</b>	0	0	0	0
	-	<b>HSE RDY</b>	<b>PLL CPU RDY</b>	-

Таблица 93 – Описание бит регистра CLOCK\_STATUS

<b>№ бита</b>	<b>Функциональное имя бита</b>	<b>Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений</b>
31...3	-	Зарезервировано
2	HSE RDY	Флаг выхода в рабочий режим осциллятора HSE 0 – осциллятор не запущен или не стабилен 1 – осциллятор запущен и стабилен
1	PLL CPU RDY	Флаг выхода в рабочий режим CPU PLL 0 – PLL не запущена или не стабильна 1 – PLL запущена и стабильна
0	-	Зарезервировано

### 15.6.2 PLL\_CONTROL

Таблица 94 – Регистр PLL\_CONTROL

<b>Номер</b>	31...12	11...8	7...4	3	2	1	0
<b>Доступ</b>	U	R/W	U	R/W	R/W	U	U
<b>Сброс</b>	0	0000	0000	0	0	0	0
	-	<b>PLL CPU MUL[3:0]</b>	-	<b>PLL CPU PLD</b>	<b>PLL CPU ON</b>	-	-

Таблица 95 – Описание бит регистра PLL\_CONTROL

<b>№ бита</b>	<b>Функциональное имя бита</b>	<b>Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений</b>
31...12	-	Зарезервировано
11...8	PLL CPU MUL[3:0]	Коэффициент умножения для CPU PLL: $PLL_{CPUo} = PLL_{CPUi} \times (PLL_{CPUMUL} + 1)$
7...4	-	Зарезервировано
3	PLL CPU PLD	Бит перезапуска PLL При смене коэффициента умножения в рабочем режиме необходимо задать равным 1
2	PLL CPU ON	Бит включения PLL 0 – PLL выключена 1 – PLL включена
1	-	Зарезервировано
0	-	Зарезервировано

### 15.6.3 HS\_CONTROL

Таблица 96 – Регистр HS\_CONTROL

<b>Номер</b>	31...2	1	0
<b>Доступ</b>	U	R/W	R/W
<b>Сброс</b>	0	0	0
	-	<b>HSE BYP</b>	<b>HSE ON</b>

Таблица 97 – Описание бит регистра HS\_CONTROL

<b>№ бита</b>	<b>Функциональное имя бита</b>	<b>Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений</b>
31..2	-	Зарезервировано
1	HSE BYP	Бит управления HSE осциллятором 0 – режим осциллятора 1 – режим внешнего генератора. Устанавливать совместно с HSE_ON = 1
0	HSE ON	Бит управления HSE осциллятором 0 – выключен 1 – включен

### 15.6.4 CPU\_CLOCK

Таблица 98 – Регистр CPU\_CLOCK

<b>Номер</b>	31...10	9, 8	7...4	3	2	1, 0
<b>Доступ</b>	U	R/W	R/W	U	R/W	R/W
<b>Сброс</b>	0	00	0000	0	0	00
	-	<b>HCLK SEL[1:0]</b>	<b>CPU C3 SEL[3:0]</b>	-	<b>CPU C2 SEL</b>	<b>CPU C1 SEL[1:0]</b>

Таблица 99 – Описание бит регистра CPU\_CLOCK

<b>№ бита</b>	<b>Функциональное имя бита</b>	<b>Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений</b>
31...10	-	Зарезервировано
9, 8	HCLK SEL[1:0]	Биты выбора источника для HCLK 00 – HSI 01 – CPU_C3 10 – LSE 11 – LSI
7...4	CPU C3 SEL[3:0]	Биты выбора делителя для CPU_C3 0xxx – CPU_C3 = CPU_C2; 1000 – CPU_C3 = CPU_C2 / 2; 1001 – CPU_C3 = CPU_C2 / 4; 1010 – CPU_C3 = CPU_C2 / 8; ... 1111 – CPU_C3 = CPU_C2 / 256;
3	-	Зарезервировано
2	CPU C2 SEL	Биты выбора источника для CPU_C2 0 – CPU_C1 1 – PLLCPUo
1, 0	CPU C1 SEL[1:0]	Биты выбора источника для CPU_C1 00 – HSI 01 – HSI/2 10 – HSE 11 – HSE/2

### 15.6.5 PER1\_CLOCK

Таблица 100 – Регистр PER1\_CLOCK

<b>Номер</b>	31...6	5	4	3, 2	1, 0
<b>Доступ</b>	U	R/W	R/W	R/W	R/W
<b>Сброс</b>	0	1	1	00	00
	-	<b>DMA_ EN</b>	<b>DEBUG_EN</b>	<b>PER C2 SEL</b>	<b>PER C1 SEL[1:0]</b>

Таблица 101 – Описание бит регистра PER1\_CLOCK

<b>№ бита</b>	<b>Функциональное имя бита</b>	<b>Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений</b>
31...6	-	Зарезервировано
5	DMA_EN	Бит разрешения тактирования DMA контроллера

№ бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
4	DEBUG_EN	Бит разрешения тактирования блока отладки ядра
3, 2	PER1 C2 SEL	Биты выбора источника для PER1_C2 00 – CPU_C1 01 – PER1_C1 10 – PLLCPUo 11 – HSI_CLK
1, 0	PER1 C1 SEL[1:0]	Биты выбора источника для PER1_C1 00 – LSI 01 – LSI/2 10 – LSE 11 – LSE/2

### 15.6.6 ADC\_CLOCK

Таблица 102 – Регистр ADC\_CLOCK

Номер	31...14	13	12	11...8	7...4	3, 2	1, 0
Доступ	U	R/W	R/W	R/W	R/W	R/W	R/W
Сброс	0	0	0	0000	0000	00	00
	-	ADC CLK EN	ADCIUCL K EN	ADC C3 SEL[3:0]	ADCIU C3 SEL[3:0]	ADCIU C1 SEL[1:0]	ADC C1 SEL[1:0]

Таблица 103 – Описание бит регистра ADC\_CLOCK

№ бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31...14	-	Зарезервировано
13	ADC CLK EN	Бит разрешения выдачи тактовой частоты ADC CLK 0 – запрещен 1 – разрешен
12	ADCIU CLK EN	Бит разрешения выдачи тактовой частоты ADCIU CLK 0 – запрещен 1 – разрешен
11...8	ADC C3 SEL[3:0]	Биты выбора делителя для ADC_C3 0xxx – ADC_C3 = ADC_C1; 1000 – ADC_C3 = ADC_C1 / 2; 1001 – ADC_C3 = ADC_C1 / 4; 1010 – ADC_C3 = ADC_C1 / 8; ... 1111 – ADC_C3 = ADC_C1 / 256;
7...4	ADCIU C3 SEL[3:0]	Биты выбора делителя для ADCIU_C3 0xxx – ADCIU_C3 = ADCIU_C1; 1000 – ADCIU_C3 = ADCIU_C1 / 2; 1001 – ADCIU_C3 = ADCIU_C1 / 4; 1010 – ADCIU_C3 = ADCIU_C1 / 8; ... 1111 – ADCIU_C3 = ADCIU_C1 / 256;
3, 2	ADCIU C1 SEL[1:0]	Биты выбора источника для ADCIU_C1 00 – CPU_C1 01 – PER1_C1 10 – PLLCPUo

№ бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
		11 – HSI_CLK
1, 0	ADC C1 SEL[1:0]	Биты выбора источника для ADC_C1 00 – CPU_C1 01 – PER1_C1 10 – PLLCPUo 11 – HSI_CLK

### 15.6.7 RTC\_CLOCK

Таблица 104 – Регистр RTC\_CLOCK

<b>Номер</b>	31...10	9	8	7...4	3...0
<b>Доступ</b>	U	R/W	R/W	R/W	R/W
<b>Сброс</b>	0	0	0	0000	0000
	-	<b>HSI RTC EN</b>	<b>HSE RTC EN</b>	<b>HSI SEL[1:0]</b>	<b>HSE SEL[1:0]</b>

Таблица 105 – Описание бит регистра RTC\_CLOCK

№ бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31...10	-	Зарезервировано
9	HSI RTC EN	Бит разрешения HSI RTC 0 – запрещен 1 – разрешен
8	HSE RTC EN	Бит разрешения HSE RTC 0 – запрещен 1 – разрешен
7...4	HSI SEL[3:0]	Биты выбора делителя для HSI_C1 0xxx – HSI_C1 = HSI; 1000 – HSI_C1 = HSI / 2; 1001 – HSI_C1 = HSI / 4; 1010 – HSI_C1 = HSI / 8; ... 1111 – HSI_C1 = HSI / 256;
3...0	HSE SEL[3:0]	Биты выбора делителя для HSE_C1 0xxx – HSE_C1 = HSE; 1000 – HSE_C1 = HSE / 2; 1001 – HSE_C1 = HSE / 4; 1010 – HSE_C1 = HSE / 8; ... 1111 – HSE_C1 = HSE / 256;

### 15.6.8 PER2\_CLOCK

Таблица 106 – Регистр PER2\_CLOCK

<b>Номер</b>	19...0
<b>Доступ</b>	R/W
<b>Сброс</b>	0
	<b>PCLK_EN[19:0]</b>

Таблица 107 – Описание бит регистра PER2\_CLOCK

№ бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
19...0	PCLK EN[19:0]	Биты разрешения тактирования периферийных блоков 0 – запрещено 1 – разрешено PCLK[0] – SPI PCLK[1] – UART1 PCLK[2] – UART2 PCLK[3] – EEPROM PCLK[4] – RST_CLK. После сброса в состоянии 1 PCLK[5] – DMA PCLK[6] – COMP PCLK[7] – DAC PCLK[8] – ADC PCLK[9] – WWDT PCLK[10] – IWDT PCLK[11] – POWER PCLK[12] – BKP PCLK[13] – ADCIU PCLK[14] – TIMER1 PCLK[15] – TIMER2 PCLK[16] – PORTA PCLK[17] – PORTB PCLK[18] – PORTC PCLK[19] – CRC

### 15.6.9 TIM\_CLOCK

Таблица 108 – Регистр TIM\_CLOCK

<b>Номер</b>	31...26	25	24	23...16	15...8	7...0
<b>Доступ</b>	U	R/W	R/W	U	R/W	R/W
<b>Сброс</b>	0	0	0	0	00000000	00000000
	-	<b>TIM2 CLK EN</b>	<b>TIM1 CLK EN</b>	-	<b>TIM2 BRG [7:0]</b>	<b>TIM1 BRG [7:0]</b>

Таблица 109 – Описание бит регистра TIM\_CLOCK

№ бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31...26	-	Зарезервировано
25	TIM2 CLK EN	Разрешение тактовой частоты на TIM2 0 – нет частоты 1 – есть частота
24	TIM1 CLK EN	Разрешение тактовой частоты на TIM1 0 – нет частоты 1 – есть частота
23...16	-	Зарезервировано

15...8	TIM2 BRG [7:0]	Делитель тактовой частоты TIM2  xxxxx000 – TIM2_CLK == PER1_C2 xxxxx001 – TIM2_CLK == PER1_C2/2 xxxxx010 – TIM2_CLK == PER1_C2/4 ... xxxxx111 – TIM2_CLK == PER1_C2/128
7...0	TIM1 BRG [7:0]	Делитель тактовой частоты TIM1  xxxxx000 – TIM1_CLK == PER1_C2 xxxxx001 – TIM1_CLK == PER1_C2/2 xxxxx010 – TIM1_CLK == PER1_C2/4 ... xxxxx111 – TIM1_CLK == PER1_C2/128

### 15.6.10 UART\_CLOCK

Таблица 110 – Регистр UART\_CLOCK

<b>Номер</b>	31...26	25	24	23...16	15...8	7...0
<b>Доступ</b>	U	R/W	R/W	U	R/W	R/W
<b>Сброс</b>	0	0	0	0	00000000	00000000
	-	<b>UART2 CLK EN</b>	<b>UART 1 CLK EN</b>	-	<b>UART 2 BRG [7:0]</b>	<b>UART 1 BRG [7:0]</b>

Таблица 111 – Описание бит регистра UART\_CLOCK

№ бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31...26	-	Зарезервировано
25	UART2 CLK EN	Разрешение тактовой частоты на UART2 0 – нет частоты 1 – есть частота
24	UART1 CLK EN	Разрешение тактовой частоты на UART 1 0 – нет частоты 1 – есть частота
23...16	-	Зарезервировано
15...8	UART2 BRG [7:0]	Делитель тактовой частоты UART 2 xxxxx000 – UART 2_CLK == PER1_C2 xxxxx001 – UART 2_CLK == PER1_C2/2 xxxxx010 – UART 2_CLK == PER1_C2/4 ... xxxxx111 – UART 2_CLK == PER1_C2/128
7...0	UART1 BRG [7:0]	Делитель тактовой частоты UART1 xxxxx000 – UART 1_CLK == PER1_C2 xxxxx001 – UART 1_CLK == PER1_C2/2 xxxxx010 – UART 1_CLK == PER1_C2/4 ... xxxxx111 – UART 1_CLK == PER1_C2/128

### 15.6.11 SSP\_CLOCK

Таблица 112 – Регистр SSP\_CLOCK

<b>Номер</b>	31...26	25	24	23...8	7...0
<b>Доступ</b>	U	U	R/W	U	R/W
<b>Сброс</b>	0	0	0	0	00000000
	-	-	<b>SSP 1 CLK EN</b>	-	<b>SSP 1 BRG [7:0]</b>

Таблица 113 – Описание бит регистра SSP\_CLOCK

<b>№ бита</b>	<b>Функциональное имя бита</b>	<b>Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений</b>
31...26	-	Зарезервировано
24	SSP1 CLK EN	Разрешение тактовой частоты на SSP 0 – нет частоты 1 – есть частота
23...8	-	Зарезервировано
7...0	SSP1 BRG [7:0]	Делитель тактовой частоты SSP xxxxx000 – SSP 1_CLK == PER1_C2 xxxxx001 – SSP 1_CLK == PER1_C2/2 xxxxx010 – SSP 1_CLK == PER1_C2/4 ... xxxxx111 – SSP 1_CLK == PER1_C2/128



## 16 Батарейный домен и часы реального времени

Блок батарейного домена предназначен для обеспечения функций часов реального времени и сохранения некоторого набора пользовательских данных при отключении основного источника питания. Также в батарейном домене реализована функция контроля входа COV\_DET. Это позволяет, даже в отсутствии основного питания определять его состояние. При снижении питания  $U_{CC}$  в блоке SW происходит автоматическое переключение питания  $BDU_{CC}$  с  $U_{CC}$  на  $BU_{CC}$ . Если на  $BU_{CC}$  имеется отдельный источник питания (батарейка), то батарейный домен остается включенным и может выполнять свои функции.

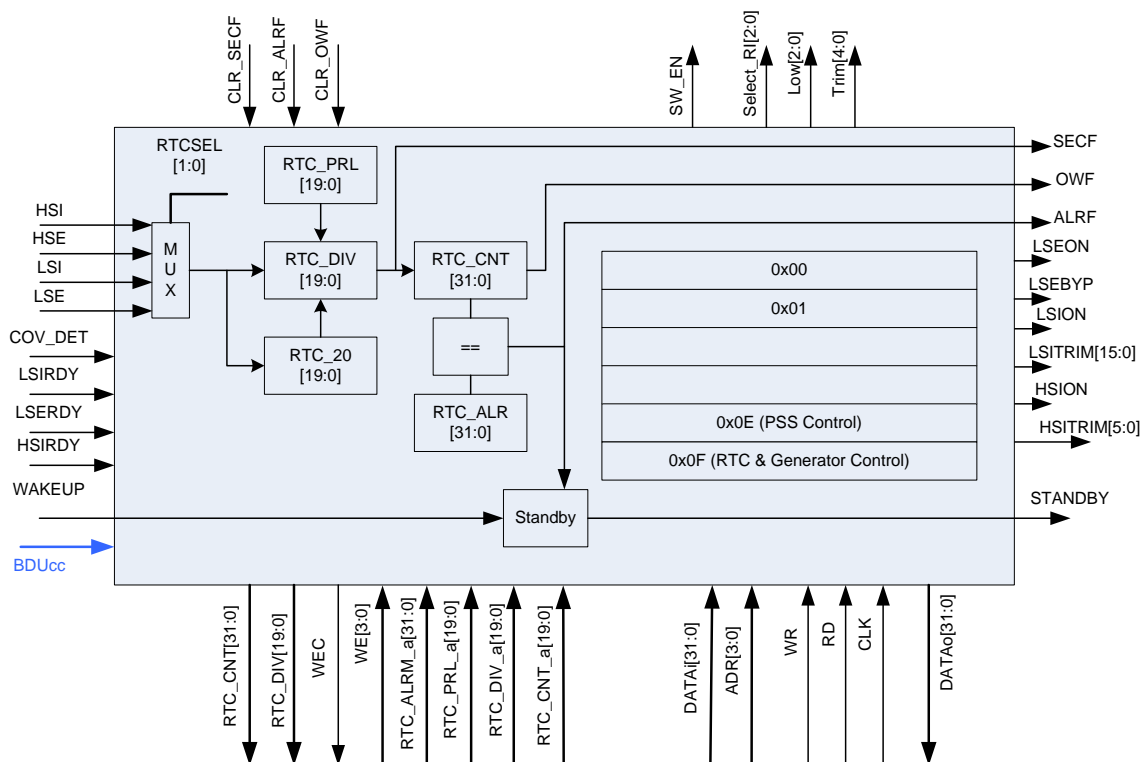


Рисунок 29 – Структурная блок-схема батарейного домена и часов реального времени

### 16.1 Часы реального времени

Часы реального времени позволяют организовать механизм отсчета времени в кристалле, в том числе при отключении основного источника питания. Включение часов реального времени осуществляется битом RTCEN (Таблица 120). В качестве источника тактовой частоты часов реального времени может выступать генератор LSI или осциллятор LSE, или HSE, или HSI с дополнительным делителем до 256 (HSE и HSI) формируются в блоке управления тактовыми частотами и могут быть выбраны только при наличии питания  $DU_{CC}$  (на внутреннем регуляторе), LSI может быть выбран при наличии питания  $U_{CC}$ , LSE может быть выбран при наличии  $U_{CC}$  или  $BU_{CC}$ ). Выбор между источниками осуществляется битами RTCSEL. При возможном отключении основного источника питания  $U_{CC}$  в качестве источника тактовой частоты должен использоваться осциллятор LSE, так как он также имеет питание  $BDU_{CC}$ . Биты управления осциллятором LSE расположены в батарейном домене и таким образом при отключении основного питания они не сбрасываются. При этом при первоначальном включении эти биты также не определены и могут принять любое значение.

Для калибровки тактовой частоты внутренним регистром RTC\_20 используются биты CAL[7:0]. Значение CAL определяет, какое число тактов из  $2^{20}$  будет замаскировано. Таким образом, с помощью битов CAL производится замедление хода

часов. Изменение значения битов CAL может быть осуществлено в ходе работы часов реального времени.

Регистр RTC\_DIV (Таблица 114) выступает в роли 20-ти битного предварительного делителя входной тактовой частоты, таким образом, чтобы на его выходе была тактовая частота в 1 Гц. Для задания коэффициента деления регистра RTC\_DIV используется регистр RTC\_PRL.

Регистр RTC\_CNT предназначен для отсчета времени в секундах. И работает на выходной частоте делителя RTC\_DIV. Регистр RTC\_ALRM предназначен для задания времени, при совпадении с которым вырабатывается флаг прерывания и пробуждения процессора. Таким образом, бит STANBY, отключающий внутренний регулятор напряжения автоматически сбрасывается при совпадении RTC\_CNT и RTC\_ALRM.

Бит STANDBY также может быть сброшен с помощью вывода WAKEUP (Таблица 120).

В батарейном домене реализована возможность мониторинга входного сигнала на COV\_DET. Во внутреннем регистре записывается контролируемый уровень ("0" или "1"), и если сигнал на входе станет отличным от записанного, то это событие регистрируется в управляющем бите.

## 16.2 Регистры аварийного сохранения

Батарейный домен имеет 16 встроенных 32-х разрядных регистров аварийного сохранения. 16-тый регистр служит для хранения битов управления батарейным доменом, оставшиеся 15 регистров могут быть использованы разработчиком программы.

## 16.3 Описание регистров блока батарейного домена

Таблица 114 – Описание регистров блока батарейного домена

Базовый адрес	Название	Описание
0x4006_0000	ВКР	Контроллер батарейного домена и часов реального времени
<b>Смещение</b>		
0x00	ВКР_REG_00	Регистр аварийного сохранения 0
...		
0x38	ВКР_REG_0E	Регистр аварийного сохранения 14
0x3C	ВКР_REG_0F	Регистр аварийного сохранения 15 и управления блоками RTC, LSE, LSI и HSI
0x40	RTC_CNT	Регистр основного счетчика часов реального времени
0x44	RTC_DIV	Регистр предварительного делителя основного счетчика
0x48	RTC_PRL	Регистр основания счета предварительного делителя
0x4C	RTC_ALRM	Регистр значения для сравнения основного счетчика и выработки сигнала ALRF
0x50	RTC_CS	Регистр управления и состояния флагов часов реального времени

**16.3.1 ВКР\_REG\_[0D...00]**

ВКР\_REG\_00  
ВКР\_REG\_01  
ВКР\_REG\_02  
ВКР\_REG\_03  
ВКР\_REG\_04  
ВКР\_REG\_05  
ВКР\_REG\_06  
ВКР\_REG\_07  
ВКР\_REG\_08  
ВКР\_REG\_09  
ВКР\_REG\_0A  
ВКР\_REG\_0B  
ВКР\_REG\_0C  
ВКР\_REG\_0D

Таблица 115 – Регистры REG\_[0D...00]

<b>Номер</b>	31...0
<b>Доступ</b>	R/W
<b>Сброс</b>	0
	<b>ВКР REG[31:0]</b>

Таблица 116 – Описание бит регистров REG\_[0D...00]

<b>№ бита</b>	<b>Функциональное имя бита</b>	<b>Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений</b>
31...0	ВКР REG[31:0]	Регистр аварийного сохранения

**16.3.2 ВКР\_REG\_0E**

Таблица 117 – Регистр REG\_0E

<b>Номер</b>	31...16	15	14	13, 12	11
<b>Доступ</b>	U	R/W	R/W	R/W	R/W
<b>Сброс</b>	0	0	0	00	0
	-	<b>ilimen</b>	<b>COVDET</b>	<b>Trim[4:3]</b>	<b>FPOR</b>

<b>Номер</b>	10...8	7, 6	5...3	2...0
<b>Доступ</b>	R/W	R/W	R/W	R/W
<b>Сброс</b>	000	10	000	000
	<b>Trim[2:0]</b>	<b>SW_EN[1:0]</b>	<b>SelectRI[2:0]</b>	<b>LOW[2:0]</b>

Таблица 118 – Описание бит регистра REG\_0E

<b>№ бита</b>	<b>Функциональное имя бита</b>	<b>Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений</b>
31..16	-	Зарезервировано
15	ilimen	Бит разрешения защиты ограничения регулятора по току 150 мА
14	COVDET	Признак несанкционированного вскрытия устройства: 1 – вскрытия не было 0 – осуществлялось вскрытие

№ бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
13, 12	Trim[4:3]	Коэффициент настройки опорного напряжения регулятора 00 – 1,8 В 01 – 1,6 В 10 – 1,4 В 11 – 1,2 В
11	FPOR	Флаг срабатывания POR Устанавливается в 1 загрузочным ПЗУ после сброса по питанию, при сбросе по питанию устанавливается в 0. Служит для анализа загрузочным ПЗУ, что сейчас идет выполнение программы после системного или программного сброса, либо после сброса по питанию.
10...8	Trim[2:0]	Коэффициент настройки опорного напряжения встроенного регулятора напряжения DUcc. С помощью Trim осуществляется подстройка напряжения DUcc 000 – DUcc + 0,10 В – значение по умолчанию. 001 – DUcc + 0,06 В 010 – DUcc + 0,04 В 011 – DUcc + 0,01 В 100 – DUcc – 0,01 В 101 – DUcc – 0,04 В 110 – DUcc – 0,06 В 111 – DUcc – 0,10 В
7, 6	SW_EN[1:0]	Разрешение работы порта Serial Wire 00 – запрещен 01-11 – разрешен
5...3	SelectRI[2:0]	Выбор дополнительной стабилизирующей нагрузки для встроенного регулятора напряжения DUcc. 000 – ~6 кОм (дополнительный ток потребления 300 мкА) 001 – ~270 кОм (дополнительный ток потребления 6,6 мкА) 010 – ~90 кОм (дополнительный ток потребления 20 мкА) 011 – ~24 кОм (дополнительный ток потребления 80 мкА) 100 – ~900 кОм (собственное потребление 2 мкА) 101 – ~2 кОм (дополнительный ток потребления 900 мкА) 110 – ~400 Ом (дополнительный ток потребления 4,4 мА) 111 – ~100 Ом (дополнительный ток потребления 19 мА)

№ бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
2...0	LOW[2:0]	Выбор режима работы встроенного регулятора напряжения DUcc. Значение LOW должно совпадать со значением SelectRI и выставляться в зависимости от тактовой частоты микроконтроллера 000 – Частота до 10 МГц 001 – Частота до 200 кГц 010 – Частота до 500 кГц 011 – Частота до 1 МГц 100 – При выключении всех генераторов 101 – Частота до 40 МГц 110 – Частота до 80 МГц 111 – Частота более 80 МГц

### 16.3.3 BKP\_REG\_0F

Таблица 119 – Регистр REG\_0F

<b>Номер</b>	31	30	29...24	23	22	21	20...16
<b>Доступ</b>	R/W	R/W	R/W	RO	R/W	RO	R/W
<b>Сброс</b>	0	0	100000	1	1	1	10000
	<b>RTC RESET</b>	<b>STANDBY</b>	<b>HSI TRIM[5:0]</b>	<b>HSI RDY</b>	<b>HSI ON</b>	<b>LSI RDY</b>	<b>LSI TRIM[4:0]</b>

<b>Номер</b>	15	14	13	12...5	4	3, 2	1	0
<b>Доступ</b>	R/W	U	RO	R/W	R/W	R/W	R/W	R/W
<b>Сброс</b>	1	0	0	0000000	0	00	0	0
	<b>LSI ON</b>	-	<b>LSE RDY</b>	<b>CAL[7:0]</b>	<b>RTC EN</b>	<b>RTC SEL[1:0]</b>	<b>LSE BYP</b>	<b>LSE ON</b>

Таблица 120 – Описание бит регистра REG\_0F

№ бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31	RTC RESET	Сброс часов реального времени 0 – часы не сбрасываются 1 – часы сбрасываются
30	STANDBY	Режим отключения регулятора DUcc на 1,8 В 0 – регулятор включен и выдает напряжение Запись 1 – выключение регулятора Триггер сбрасывается по событию ALRF или по низкому уровню на выводе WAKEUP.
29...24	HSI TRIM[5:0]	Коэффициент подстройки частоты генератора HSI Смотри диаграмму зависимости (Рисунок 31)
23	HSI RDY	Флаг выхода генератора HSI в рабочий режим 0 – генератор не запущен или не вышел в режим 1 – генератор работает в рабочем режиме
22	HSI ON	Бит управления генератором HSI 0 – генератор выключен 1 – генератор включен Генератор можно выключить только при установленном флаге ALRF регистра RTC_CS

<b>№ бита</b>	<b>Функциональное имя бита</b>	<b>Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений</b>
21	LSI RDY	Флаг выхода генератора LSI в рабочий режим 0 – генератор не запущен или не вышел в режим 1 – генератор работает в рабочем режиме
20..16	LSI TRIM[4:0]	Коэффициент подстройки частоты генератора LSI Смотри диаграмму зависимости (Рисунок 30)
15	LSI ON	Бит управления генератором LSI 0 – генератор выключен 1 – генератор включен
14	-	Зарезервировано
13	LSE RDY	Флаг выхода генератора LSE в рабочий режим 0 – генератор не запущен или не вышел в режим 1 – генератор работает в рабочем режиме
12..5	CAL[7:0]	Коэффициент подстройки тактовой частоты часов реального времени, из каждых $2^{20}$ тактов будет замаскировано CAL тактов. 00000000 – 0 тактов 00000001 – 1 такт .... 11111111 – 256 тактов Таким образом, при частоте 32768.00000 Гц при CAL = 0 тактов, частота = 32768.00000 Гц при CAL = 1 такт, частота = 32767,96875 Гц; ... при CAL = 255 тактов частота = 32760,03125 Гц
4	RTC EN	Бит разрешения работы часов реального времени 0 – работа запрещена 1 – работа разрешена
3, 2	RTC SEL[1:0]	Биты выбора источника тактовой синхронизации часов реального времени 00 – LSI 01 – LSE 10 – HSIRTC (формируется в блоке CLKRST) 11 – HSERTC (формируется в блоке CLKRST)
1	LSE BYP	Бит управления генератором LSE 0 – режим осциллятора 1 – режим работы на проход (внешний генератор). Устанавливать совместно с LSE_ON = 1
0	LSE ON	Бит управления генератором LSE 0 – генератор выключен 1 – генератор включен

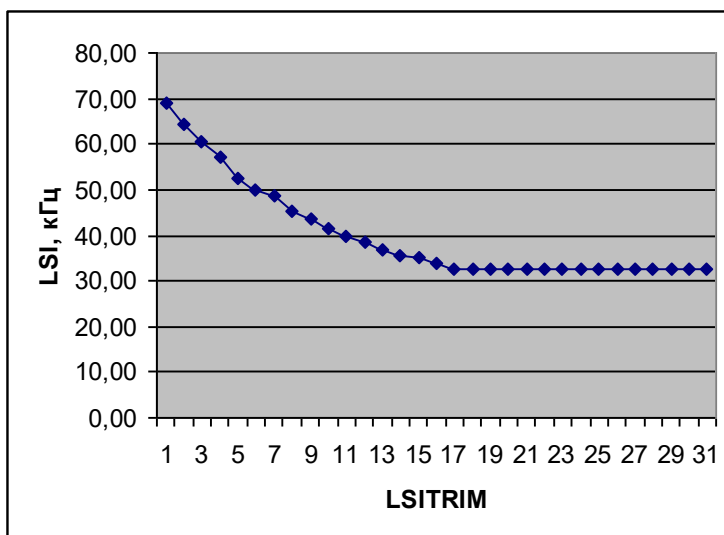


Рисунок 30 – Зависимость частоты LSI от значения LSITRIM

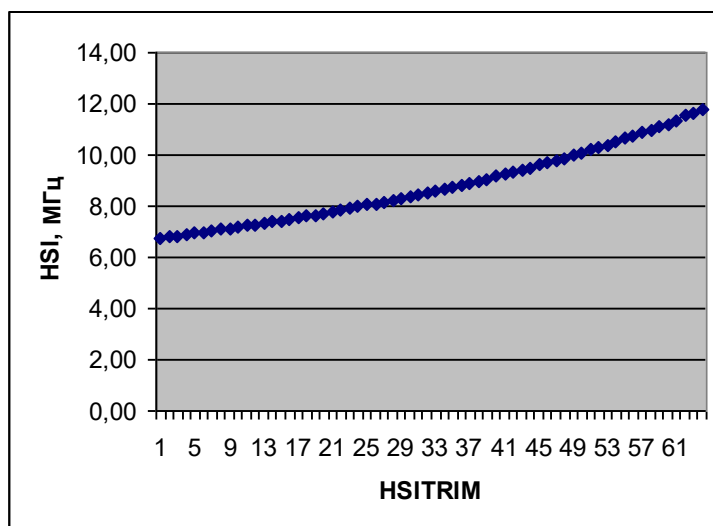


Рисунок 31 – Зависимость частоты HSI от значения HSITRIM

### 16.3.4 RTC\_CNT

Таблица 121 – Регистр RTC\_CNT

Номер	31..0
Доступ	R/W
Сброс	0
	RTC CNT[31:0]

Таблица 122 – Описание бит регистра RTC\_CNT

№ бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31..0	RTC CNT[31:0]	Значение основного счетчика часов реального времени

### 16.3.5 RTC\_DIV

Таблица 123 – Регистр RTC\_DIV

<b>Номер</b>	31...20	19...0
<b>Доступ</b>	U	R/W
<b>Сброс</b>	0	0
	-	<b>RTC DIV[19:0]</b>

Таблица 124 – Описание бит регистра RTC\_DIV

<b>№ бита</b>	<b>Функциональное имя бита</b>	<b>Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений</b>
31...20	-	Зарезервировано
19...0	RTC DIV[19:0]	Значение счетчика предварительного делителя часов реального времени

### 16.3.6 RTC\_PRL

Таблица 125 – Регистр RTC\_PRL

<b>Номер</b>	31...20	19...0
<b>Доступ</b>	U	R/W
<b>Сброс</b>	0	0
	-	<b>RTC PRL[19:0]</b>

Таблица 126 – Описание бит регистра RTC\_PRL

<b>№ бита</b>	<b>Функциональное имя бита</b>	<b>Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений</b>
31...20	-	Зарезервировано
19...0	RTC PRL[19:0]	Значение основания для счета счетчика предварительного делителя часов реального времени

### 16.3.7 RTC\_ALRM

Таблица 127 – Регистр RTC\_ALRM

<b>Номер</b>	31...0
<b>Доступ</b>	R/W
<b>Сброс</b>	0
	<b>RTC ALRM[31:0]</b>

Таблица 128 – Описание бит регистра RTC\_ALRM

<b>№ бита</b>	<b>Функциональное имя бита</b>	<b>Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений</b>
31..0	RTC ALRM[31:0]	Значения для сравнения основного счетчика и выработки сигнала ALRF



**16.3.8 RTC\_CS**

Таблица 129 – Регистр RTC\_CS

<b>Номер</b>	31...7	6	5	4	2	1	0
<b>Доступ</b>	U	R/W	R/W	R/W	R/W	R/W	R/W
<b>Сброс</b>	0	0	0	0	0	0	0
	-	<b>ALRF_IE</b>	<b>SECF_IE</b>	<b>OWF_IE</b>	<b>ALRF</b>	<b>SECF</b>	<b>OWF</b>

Таблица 130 – Описание бит регистра RTC\_CS

<b>№ бита</b>	<b>Функциональное имя бита</b>	<b>Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений</b>
30...7	-	Зарезервировано
6	WEC	Запись завершена 0 – можно записывать в регистры RTC 1 – идет запись в регистры RTC, запись в регистры запрещена
5	ALRF_IE	Флаг разрешения прерывания по совпадению основного счетчика и регистра RTC_ALARM 0 – нет совпадения 1 – есть совпадение
4	SECF_IE	Флаг разрешения прерывания по разрешению счета основного счетчика от счетчика предварительного деления 0 – нет разрешения счета 1 – разрешение счета
3	OWF_IE	Флаг разрешения прерывания по переполнения основного счетчика RTC_CNT 0 – нет переполнения 1 – было переполнение
2	ALRF	Флаг совпадения основного счетчика и регистра RTC_ALARM 0 – нет совпадения 1 – есть совпадение
1	SECF	Флаг разрешения счета основного счетчика от счетчика предварительного деления 0 – нет разрешения счета 1 – разрешение счета
0	OWF	Флаг переполнения основного счетчика RTC_CNT 0 – нет переполнения 1 – было переполнение

## 17 Порты ввода-вывода

Микроконтроллер имеет 3 порта ввода/вывода. Порты 16-ти разрядные (кроме портов В и С) и их выводы мультиплексируются между различными функциональными блоками, управление для каждого вывода отдельное. Для того, чтобы выводы порта перешли под управление того или иного периферийного блока необходимо задать для нужных выводов выполняемую функцию и настройки.

При работе в режиме отладки не допускается изменение функций выводов, совмещенных с выводами SWD, путем записи 1 в соответствующие биты регистров RXTX, SETTX и OE. Это может привести к блокировке интерфейса отладки.

Таблица 131 – Порты ввода-вывода

Вывод	Аналоговая функция ANALOG_EN=0	Цифровая функция			
		Порт IO MODE=0 ANALOG_EN=1	Основная MODE=1 ANALOG_EN=1		
<b>Порт А</b>					
PA0	-	PA0	TMR0_CH1	5	
PA1	-	PA1	TMR0_CH1N		
PA2	-	PA2	TMR0_CH2		
PA3	-	PA3	TMR0_CH2N		
PA4	-	PA4	TMR0_CH3		
PA5	DAC_OUT	PA5	TMR0_CH3N		
PA6	-	PA6 SWCLKTCK	TMR0_CH4		
PA7	-	PA7 SWDIO	TMR0_CH4N		
PA8	-	PA8	TMR0_ETR		
PA9	-	PA9	TMR0_BLK		
PA10	-	PA10	EXT_INT0	6	
PA11	-	PA11	CMP_OUT		
PA12	-	PA12	SSP_FSS		
PA13	-	PA13	SSP_CLK		
PA14	-	PA14	SSP_RXD		
PA15	-	PA15	SSP_TXD		
<b>Порт В</b>					
PB0	-	PB0 MODE0	UART1_TXD	7	
PB1	-	PB1	UART1_RXD		
PB2	-	PB2	nSIROUT0		
PB3	-	PB3	nSIRIN0		
PB4	OSC_IN32	1	PB4		nUART1DTR
PB5	OSC_OUT32		PB5		nUART1RTS
PB6	ADC7	2	PB6		nUART1RI
PB7	ADC6		PB7		nUART1DCD
PB8	ADC5		PB8		nUART1DSR
PB9	ADC4		PB9	nUART1CTS	
PB10	-	PB10	TMR1_CH2	8	
PB11	-	PB11	TMR1_CH2N		
PB12	-	PB12	TMR1_CH3		
PB13	-	PB13	TMR1_CH3N		
PB14	-	PB14	TMR1_CH4		

Вывод	Аналоговая функция ANALOG_EN=0	Цифровая функция			
		Порт IO		Основная	
		MODE=0 ANALOG_EN=1		MODE=1 ANALOG_EN=1	
<b>Порт C</b>					
PC0	-		PC0 MODE1	UART2_TXD	9
PC1	ADC3	3	PC1	UART2_RXD	
PC2	ADC2/ CMP_IN1	4	PC2	TMR1_CH1	10
PC3	ADC1/ADC_REF+/CMP_REF+/ DAC_REF		PC3	TMR1_CH1N	
PC4	ADC0/ADC_REF-/CMP_REF-		PC4	EXT_INT1	
PC5	CMP_IN2		PC5	EXT_INT2	
PC6	CMP_IN3		PC6	TMR1_ETR	11
PC7	-		PC7	TMR1_BLK	

**Примечания**

- 1 – Генератор LSE
- 2, 3 – АЦП последовательного приближения
- 4 – АЦП последовательного приближения
- 5 – Таймер 0
- 6 – Последовательный интерфейс SSP
- 7 – UART1
- 8, 10, 12 – Таймер 1
- 9 – UART2

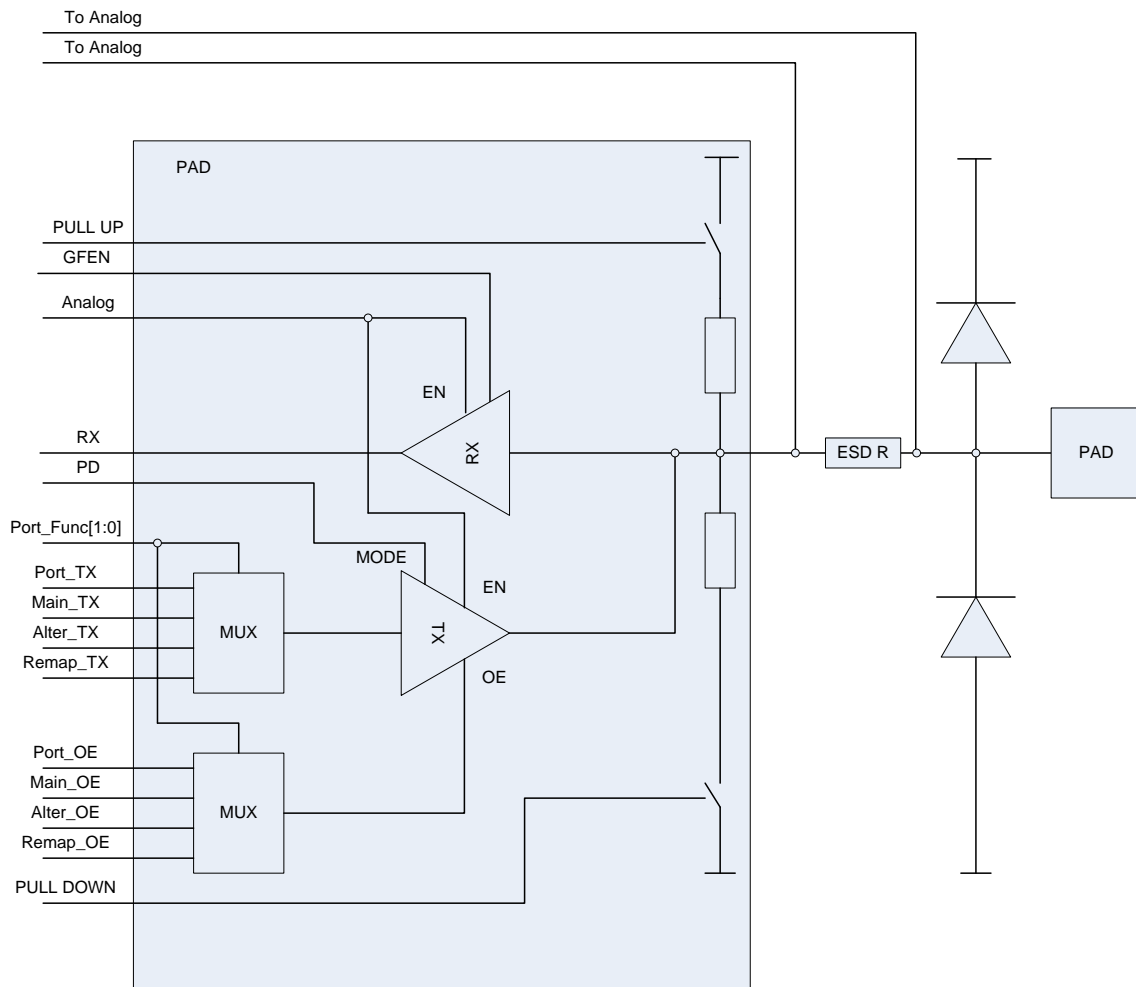


Рисунок 32 – Порты ввода/вывода

### 17.1 Описание регистров портов ввода-вывода

Таблица 132 – Описание регистров портов ввода-вывода

Базовый адрес	Название	Описание
0x4008_0000	GPIO1	Порт А
0x4008_8000	GPIO2	Порт В
0x4009_0000	GPIO3	Порт С
<b>Смещение</b>		
0x00	PORT_RXTX[15:0]	Данные порта
0x04	PORT_OE[15:0]	Направление порта
0x08	PORT_FUNC[31:0]	Режим работы порта
0x0C	PORT_ANALOG[15:0]	Аналоговый режим работы порта
0x10	PORT_PULL[31:0]	Доопределение входа резистором порта
0x14	PORT_PD[31:0]	Режим работы выходного драйвера
0x18	PORT_PWR[31:0]	Режим мощности передатчика
0x1C	PORT_GFEN[15:0]	Режим работы входного фильтра
0x20	PORT_SETTX[15:0]	Регистр PORT_SETTX записью 1 устанавливает 1 в регистре PORT_RXTX
0x24	PORT_CLRTX[15:0]	Регистр PORT_CLRTX записью 1 устанавливает 0 в регистре PORT_RXTX
0x28	PORT_RDTX[15:0]	Регистр позволяет читать то, что записано в выходной регистр порта

#### 17.1.1 PORT<sub>x</sub>\_RXTX

Таблица 133 – Регистр RXTX

<b>Номер</b>	31...16	15...0
<b>Доступ</b>	U	R/W
<b>Сброс</b>	0	0
	-	<b>PORT RXTX [15:0]</b>

Таблица 134 – Описание бит регистра RXTX

№ бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31...16	–	Зарезервировано
15...0	PORT RXTX[15:0]	Режим работы контроллера Данные для выдачи на выходы порта и для чтения

#### 17.1.2 PORT<sub>x</sub>\_OE

Таблица 135 – Регистр OE

<b>Номер</b>	31...16	15...0
<b>Доступ</b>	U	R/W
<b>Сброс</b>	0	0
	-	<b>PORT OE [15:0]</b>

Таблица 136 – Описание бит регистра OE

<b>№ бита</b>	<b>Функциональное имя бита</b>	<b>Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений</b>
31...16	-	Зарезервировано
15...0	PORT OE[15:0]	Режим работы контроллера Направление передачи данных на выводах порта 1 – выход 0 – вход

### 17.1.3 *PORTx\_FUNC*

Таблица 137 – Регистр FUNC

<b>Номер</b>	31, 30	...	3, 2	1, 0
<b>Доступ</b>	R/W	...	R/W	R/W
<b>Сброс</b>	0	...	0	0
	<b>MODE15[1:0]</b>	...	<b>MODE1[1:0]</b>	<b>MODE0[1:0]</b>

Таблица 138 – Описание бит регистра FUNC

<b>№ бита</b>	<b>Функциональное имя бита</b>	<b>Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений</b>
31...2	MODEx	Аналогично MODE0 для остальных битов порта
1, 0	MODE0[1:0]	Режим работы вывода порта 00 – порт 01 – основная функция 10 – альтернативная функция 11 – переопределенная функция

### 17.1.4 *PORTx\_ANALOG*

Таблица 139 – Регистр ANALOG

<b>Номер</b>	31...16	15...0
<b>Доступ</b>	U	R/W
<b>Сброс</b>	0	0
	-	<b>ANALOG EN[15:0]</b>

Таблица 140 – Описание бит регистра ANALOG

<b>№ бита</b>	<b>Функциональное имя бита</b>	<b>Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений</b>
31..16		
15...0	ANALOG EN[15:0]	Режим работы контроллера 0 – аналоговый 1 – цифровой

### 17.1.5 PORTx\_PULL

Таблица 141 – Регистр PULL

<b>Номер</b>	31...16	15...0
<b>Доступ</b>	R/W	R/W
<b>Сброс</b>	0	0
	<b>PULL UP[15:0]</b>	<b>PULL DOWN[15:0]</b>

Таблица 142 – Описание бит регистра PULL

<b>№ бита</b>	<b>Функциональное имя бита</b>	<b>Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений</b>
31..16	PULL UP15:0]	Режим работы контроллера Разрешение подтяжки вверх 0 – подтяжка в питание выключена 1 – подтяжка в питание включена (есть подтяжка)
15...0	PULL DOWN[15:0]	Режим работы контроллера Разрешение подтяжки вниз 1 – подтяжка в ноль включена (есть подтяжка) 0 – подтяжка в ноль выключена

### 17.1.6 PORTx\_PD

Таблица 143 – Регистр PD

<b>Номер</b>	31...16	15...0
<b>Доступ</b>	R/W	R/W
<b>Сброс</b>	0	0
	<b>PORT SHM[15:0]</b>	<b>PORT PD[15:0]</b>

Таблица 144 – Описание бит регистра PD

<b>№ бита</b>	<b>Функциональное имя бита</b>	<b>Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений</b>
31..16	PORT SHM[15:0]	Режим работы контроллера Режим работы входа 0 – триггер Шмита выключен гистерезис 200 мВ. 1 – триггер Шмита включен гистерезис 400 мВ.
15...0	PORT PD[15:0]	Режим работы контроллера Режим работы выхода 0 – управляемый драйвер 1 – открытый сток

### 17.1.7 PORTx\_PWR

Таблица 145 – Регистр PWR

<b>Номер</b>	31, 30	...	3, 2	1, 0
<b>Доступ</b>	R/W	...	R/W	R/W
<b>Сброс</b>	0	...	0	0
	<b>PWR15[1:0]</b>	...	<b>PWR1[1:0]</b>	<b>PWR0[1:0]</b>

Таблица 146 – Описание бит регистра PWR

№ бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31..2	PWRx	Аналогично PWR0 для остальных битов порта
1, 0	PWR0[1:0]	Режим работы вывода порта 00 – зарезервировано 01 – медленный фронт 10 – быстрый фронт 11 – максимально быстрый фронт

### 17.1.8 PORTx\_GFEN

Таблица 147 – Регистр GFEN

<b>Номер</b>	31...16	15...0
<b>Доступ</b>	U	R/W
<b>Сброс</b>	0	0
	-	<b>GFEN[15:0]</b>

Таблица 148 – Описание бит регистра GFEN

№ бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31...16	-	Зарезервировано
15...0	GFEN[15:0]	Режим работы входного фильтра 0 – фильтр выключен 1 – фильтр включен

### 17.1.9 PORTx\_SETTX

Таблица 149 – Регистр SETTX

<b>Номер</b>	31...16	15...0
<b>Доступ</b>	U	R/W
<b>Сброс</b>	0	0
	-	<b>SETTX[15:0]</b>

Таблица 150 – Описание бит регистра SETTX

№ бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31...16	-	Зарезервировано
15...0	SETTX[15:0]	Регистр индивидуальной установки выхода порта Запись единицы в соответствующий разряд регистра устанавливает в единицу соответствующий разряд выхода порта PORTx_RXTX. Запись нуля не влияет на состояние соответствующего выхода порта PORTx_RXTX. Читается ранее записанное в регистр значение, а не состояние соответствующих входов порта PORT_RXTX

**17.1.10 PORT<sub>x</sub>\_CLRTX**

Таблица 151 – Регистр CLRTX

<b>Номер</b>	31...16	15...0
<b>Доступ</b>	U	R/W
<b>Сброс</b>	0	0
	-	<b>CLRTX[15:0]</b>

Таблица 152 – Описание бит регистра CLRTX

<b>№ бита</b>	<b>Функциональное имя бита</b>	<b>Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений</b>
31...16	-	Зарезервировано
15...0	CLRTX[15:0]	Регистр индивидуальной установки выхода порта. Запись единицы в соответствующий разряд регистра сбрасывает в ноль соответствующий разряд выхода порта PORT <sub>x</sub> _RXTX. Запись нуля не влияет на состояние соответствующего выхода порта PORT <sub>x</sub> _RXTX. Читается ранее записанное в регистр значение, а не состояние соответствующих входов порта PORT <sub>x</sub> _RXTX



## 18 Детектор напряжения питания

Блок детектора напряжения питания PVD предназначен для контроля питания Ucc и VUcc при работе микроконтроллера. Блок PVD позволяет сравнивать внешние уровни напряжения с внутренними опорными уровнями и в случае превышения или снижения ниже опорного уровня выработать сигнал или прерывание для программной обработки.

Уровень опорного напряжения для сравнения с Ucc задается битами PLS[2:0] в регистре PVDCS, для сравнения с VUcc задается битами PLBS[1:0] в регистре PVDCS. В соответствии с уровнями напряжения формируются флаги PVD и PBVD. Данные флаги выставляются при возникновении события и сбрасываются программно.

Таблица 153 – Типовые уровни напряжений детектора питания

Параметр	Не менее	Типовое	Не более
Входное напряжение, Ucc, В	2,0	-	3,6
Входное напряжение, VUcc, В	1,8	-	3,6
Уровень срабатывания PVD от Ucc, при PLS = "000", В		2,0	
Уровень срабатывания PVD от Ucc, при PLS = "001", В		2,2	
Уровень срабатывания PVD от Ucc, при PLS = "010", В		2,4	
Уровень срабатывания PVD от Ucc, при PLS = "011", В		2,6	
Уровень срабатывания PVD от Ucc, при PLS = "100", В		2,8	
Уровень срабатывания PVD от Ucc, при PLS = "101", В		3,0	
Уровень срабатывания PVD от Ucc, при PLS = "110", В		3,2	
Уровень срабатывания PVD от Ucc, при PLS = "111", В		3,4	
Уровень срабатывания PBVD от VUcc, при PBLBS = "00", В		1,8	
Уровень срабатывания PBVD от VUcc, при PBLBS = "01", В		2,2	
Уровень срабатывания PBVD от VUcc, при PBLBS = "10", В		2,6	
Уровень срабатывания PBVD от VUcc, при PBLBS = "11", В		3,0	

### 18.1 Описание регистров блока PVD

Таблица 154 – Описание регистров блока PVD

Базовый адрес	Название	Описание
0x4005_8000	POWER	Датчик подсистемы питания
<b>Смещение</b>		
0x00	PVDCS [12:0]	Регистр управления и состояния датчика питания

#### 18.1.1 PVDCS

Таблица 155 – Регистр PVDCS

Номер	31...13	12	11	10
Доступ	U	R/W	R/W	R/W
Сброс	0	0	0	0
	-	<b>PVDBEN</b>	<b>INV</b>	<b>INVB</b>

Номер	9	8	7	6	5...3	2, 1	0
Доступ	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Сброс	0	0	0	0	000	00	0
	<b>IEPVD</b>	<b>IEPVBD</b>	<b>PVD</b>	<b>PVBD</b>	<b>PLS[2:0]</b>	<b>PBLBS[1:0]</b>	<b>PVDEN</b>

Таблица 156 – Описание бит регистра PVDCS

№	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31..13	–	Зарезервировано
12	PVDBEN	Бит разрешения работы блока датчика напряжения питания ВUсс 0 – датчик отключен 1 – датчик включен
11	INV	Флаг инверсии выхода от датчика PVD 0 – нет инверсии 1 – есть инверсия Если флаг не инвертируется, то флаг выставляется при превышении заданного уровня, если инвертируется, то при снижении ниже заданного уровня
10	INVB	Флаг инверсии выхода от датчика PVBD 0 – нет инверсии 1 – есть инверсия Если флаг не инвертируется, то флаг выставляется при превышении заданного уровня, если инвертируется, то при снижении ниже заданного уровня
9	IEPVD	Флаг разрешения прерывания от датчика PVD 0 – прерывание запрещено 1 – прерывание разрешено Очищается записью 0, если при очистке, датчик продолжает выдавать сигнал, то флаг не будет очищен
8	IEPVBD	Флаг разрешения прерывания от датчика PVBD 0 – прерывание запрещено 1 – прерывание разрешено Очищается записью 0, если при очистке, датчик продолжает выдавать сигнал, то флаг не будет очищен
7	PVD	Результат сравнения напряжения основного питания 0 – напряжение питания меньше чем уровень, задаваемый PLS 1 – напряжение питания больше чем уровень, задаваемый PLS Очищается программно записью 0, если при очистке, датчик продолжает выдавать сигнал, то флаг не будет очищен.  Примечание – Сброс флага необходимо проводить с подтверждением – сбрасывать дважды
6	PVBD	Результат сравнения напряжения батарейного питания 0 – напряжение питания меньше чем уровень, задаваемый PBLs 1 – напряжение питания больше чем уровень, задаваемый PBLs Очищается программно записью 0, если при очистке, датчик продолжает выдавать сигнал, то флаг не будет очищен.  Примечание – Сброс флага необходимо проводить с подтверждением – сбрасывать дважды.

№	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
5...3	PLS[2:0]	Уровень напряжения для сравнения с напряжением основного питания 000 – 2,0 В 001 – 2,2 В 010 – 2,4 В 011 – 2,6 В 100 – 2,8 В 101 – 3,0 В 110 – 3,2 В 111 – 3,4 В
2, 1	PBLS[1:0]	Уровень напряжения для сравнения с напряжением батарейного питания 00 – 1,8 В 01 – 2,2 В 10 – 2,6 В 11 – 3,0 В
0	PVDEN	Бит разрешения работы блока датчика напряжения питания U <sub>сс</sub> 0 – датчик отключен 1 – датчик включен

## 19 Таймеры общего назначения

Все блоки таймеров выполнены на основе 16-битного перезагружаемого счетчика, который синхронизируется с выхода 16-битного предделителя. Перезагружаемое значение хранится в отдельном регистре. Счет может быть прямой, обратный или двунаправленный (сначала прямой до определенного значения, а затем обратный).

Каждый из двух таймеров микроконтроллера содержит 16-битный счетчик, 16-битный предделитель частоты и 4-канальный блок захвата/сравнения. Их можно синхронизировать системной синхронизацией, внешними сигналами или другими таймерами.

Помимо составляющего основу таймера счетчика, в каждый блок таймера также входит четырехканальный блок захвата/сравнения. Данный блок выполняет, как стандартные функции захвата и сравнения, так и ряд специальных функций. Таймеры с 4 каналами схем захвата и ШИМ с функциями формирования «мертвой зоны» и аппаратной блокировки. Каждый из таймеров может генерировать прерывания и запросы ПДП.

Особенности:

- 16-битный вверх, вниз, вверх / вниз счетчик;
- 16-разрядный программируемый предварительный делитель частоты;
- до четырех независимых 16-битных каналов захвата на один таймер. Каждый из каналов захвата может захватить (скопировать) текущее значение таймера при изменении некоторого входного сигнала. В случае захвата имеется дополнительная возможность генерировать прерывание и/или запрос DMA.
- четыре 16-битных регистра сравнения (совпадения), которые позволяют осуществлять непрерывное сравнение, с дополнительной возможностью генерировать прерывание и/или запрос DMA при совпадении;
- до четырех внешних выводов, соответствующих регистрам совпадения со следующими возможностями:
  - сброс в НИЗКИЙ уровень при совпадении;
  - установка в ВЫСОКИЙ уровень при совпадении;
  - переключение (инвертирование) при совпадении;
  - при совпадении состояние выхода не изменяется;
  - переключение при некотором условии.

### 19.1 Функционирование

Таймер предназначен для того, чтобы подсчитывать циклы периферийной тактовой частоты  $F_{dts}$  или какие-либо внешние события и произвольно генерировать прерывания, запросы DMA или выполнять другие действия. Значения таймера, при достижении которых будут выполнены те или иные действия, задаются восьмью регистрами совпадения. Кроме того, в микроконтроллере имеются четыре входа захвата, чтобы захватить значение таймера при изменении некоторого входного сигнала, с возможностью генерировать прерывание или запрос DMA.

Структурная схема блока таймера представлена на рисунке 33.

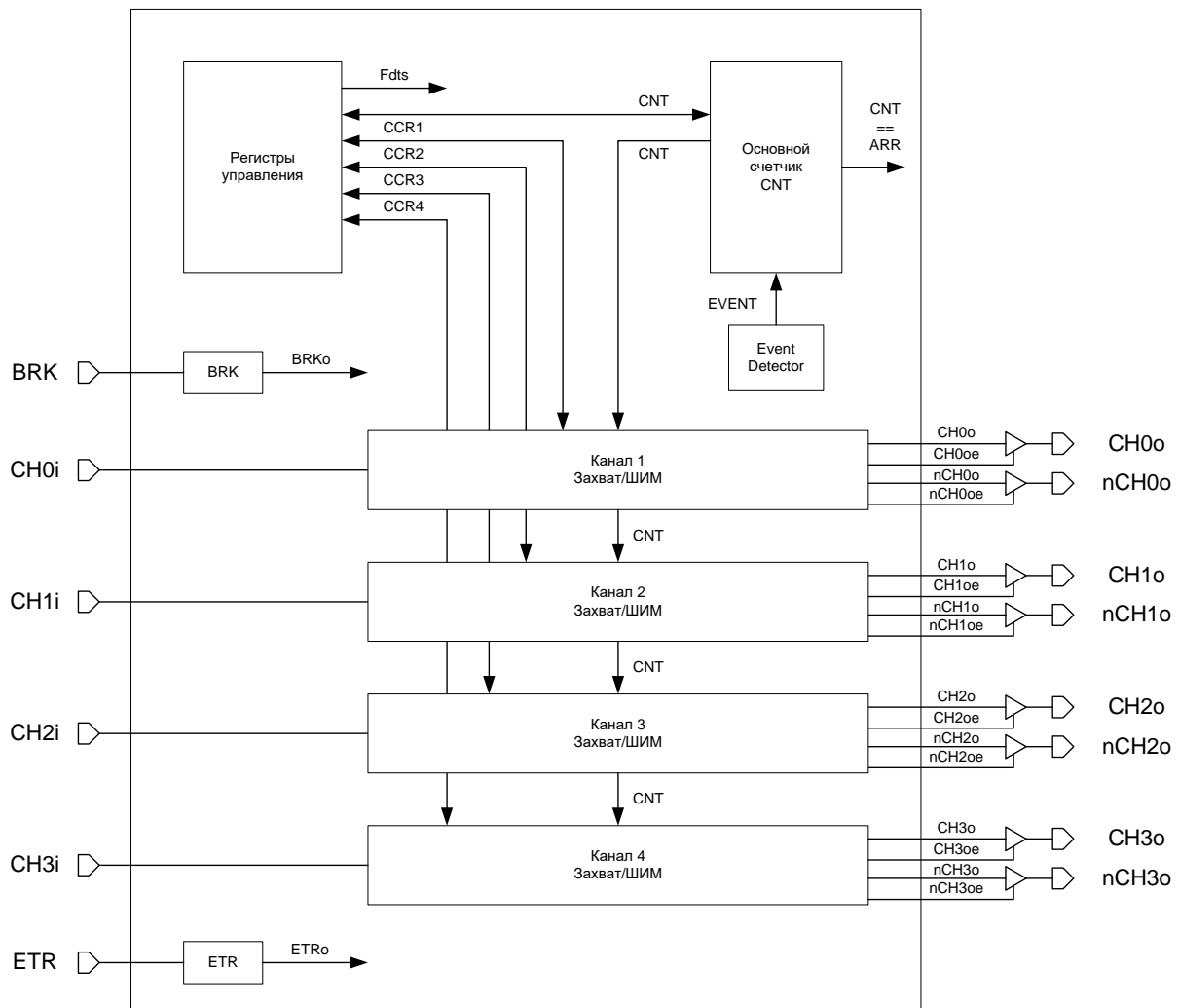


Рисунок 33 – Структурная схема таймера

Таймер содержит основной 16-ти битный счетчик CNT, блок регистров управления и четыре канала схем Захвата/ШИМ.

Таймер позволяет работать в режимах:

- таймер;
- расширенный таймер, с объединением нескольких таймеров;
- схема захвата;
- схема ШИМ.

### 19.1.1 Инициализация таймера

Перед началом работы с таймерами в первую очередь должны быть включены тактовые сигналы. Параметры задаются в блоке «Сигналы тактовой частоты».

Для задания тактовой частоты блока необходимо установить бит разрешения тактирования блока (бит 14 для таймера 1, бит 15 для таймера 2 регистра PER2\_CLOCK). В регистре TIM\_CLOCK установить бит TIMyCLKEN, чтобы разрешить тактовую частоту для определенного таймера, задать коэффициент деления тактовой частоты HCLK для каждого таймера.

После подачи тактового сигнала на блок таймера можно приступать к работе с ним.

### 19.1.2 Режим таймера

Таймеры построены на базе 16-битный счетчика, объединенного с 16-битным предварительным делителем. Скорость счета таймера зависит от значения, находящегося в регистре делителя.

Счетчик может считать вверх, вниз или вверх и вниз.

Базовый блок таймера включает в себя:

Основной счетчик таймера (TIMx\_CNT);

Делитель частоты при счете основного счетчика (TIMx\_PSC);

Основание счета основного счетчика (TIMx\_ARR).

Сигналом для изменения CNT может служить как внутренняя частота TIM\_CLK, так и события в других счетчиках, либо события на линиях TxCHO данного счетчика.

Чтобы запустить работу основного счетчика необходимо задать:

Начальное значение основного счетчика таймера – TIMx\_CNT;

Значение предварительного делителя счетчика – TIMx\_PSG, при этом основной счетчик будет считать на частоте  $CLK = TIMx\_CLK / (PSG + 1)$ ;

Значение основания счета для основного счетчика TIMx\_ARR;

Режим работы счетчика TIMx\_CNTRL:

выбрать источник события переключения счетчика EVENT\_SEL;

режим счета основного счетчика CNT\_MODE (значения 00 и 01 при тактировании внутренней частотой, значения 10 и 11 при тактировании внешними сигналами);

направление счета основного счетчика DIR;

разрешить работу счетчика CNT\_EN.

По событиям совпадения значения основного счетчика со значением нуля или значением основания счета генерируется прерывание и запроса DMA, которые могут быть замаскированы.

## 19.2 Режимы счета

Счет вверх: CNT\_MODE = 00, DIR = 0

```
TIMx->TIMx_CNTRL = 0x00000000; //Режим инициализации таймера
```

```
//Настраиваем работу основного счетчика
```

```
TIMx->TIMx_CNT = 0x00000004; //Начальное значение счетчика
```

```
TIMx->TIMx_PSG = 0x00000000; //Предделитель частоты
```

```
TIMx->TIMx_ARR = 0x00000013; //Основание счета
```

```
//Разрешение работы таймера.
```

```
TIMx->TIMx_CNTRL = 0x00000001; //Счет вверх по TIM_CLK.
```

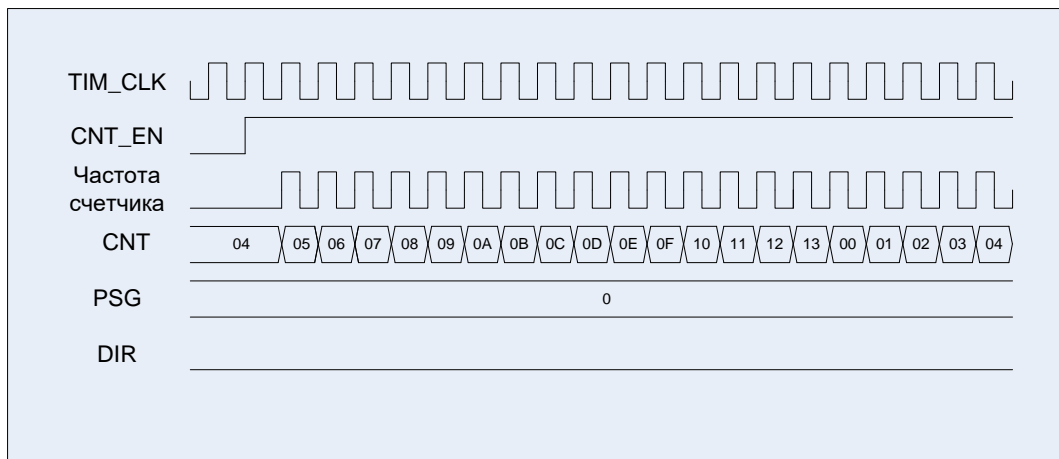


Рисунок 34 – Диаграммы работы таймера, счет вверх от 0 до 0x0013, стартовое значение 0x0004

Счет вниз: CNT\_MODE = 00, DIR = 1

```
TIMx->TIMx_CNTRL = 0x00000000; //Режим инициализации таймера
//Настраиваем работу основного счетчика
TIMx->TIMx_CNT = 0x00000004; //Начальное значение счетчика
TIMx->TIMx_PSG = 0x00000000; //Предделитель частоты
TIMx->TIMx_ARR = 0x00000013; //Основание счета

//Разрешение работы таймера.
TIMx->TIMx_CNTRL = 0x00000009; //Счет вниз по TIM_CLK.
```

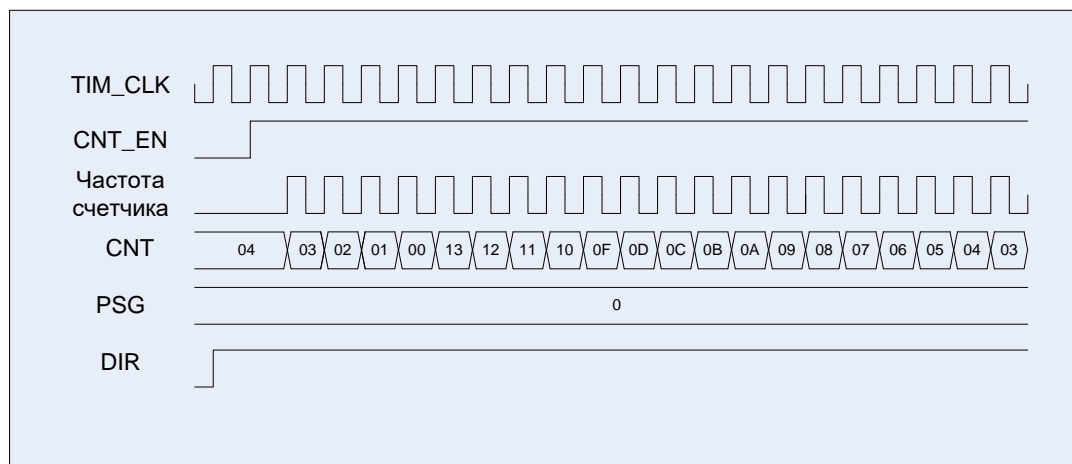


Рисунок 35 – Диаграммы работы таймера, счет вниз от 0x0013 до 0, стартовое значение 0x0004

Счет вверх/вниз: CNT\_MODE = 01, DIR = 0

```
TIMx->TIMx_CNTRL = 0x00000000; //Режим инициализации таймера
//Настраиваем работу основного счетчика
TIMx->TIMx_CNT = 0x00000004; //Начальное значение счетчика
TIMx->TIMx_PSG = 0x00000000; //Предделитель частоты
TIMx->TIMx_ARR = 0x00000013; //Основание счета

//Разрешение работы таймера.
TIMx->TIMx_CNTRL = 0x00000041; //Счет вверх/вниз по TIM_CLK.
```



Рисунок 36 – Диаграммы работы таймера, счет вверх/вниз, сначала вверх

Счет вверх/вниз: CNT\_MODE = 01, DIR = 1

```
TIMx->TIMx_CNTRL = 0x00000000; //Режим инициализации таймера
//Настраиваем работу основного счетчика
TIMx->TIMx_CNT = 0x00000004; //Начальное значение счетчика
TIMx->TIMx_PSG = 0x00000000; //Предделитель частоты
TIMx->TIMx_ARR = 0x00000013; //Основание счета
```

```
//Разрешение работы таймера.
TIMx->TIMx_CNTRL = 0x00000049; //Счет вверх/вниз по TIM_CLK.
```

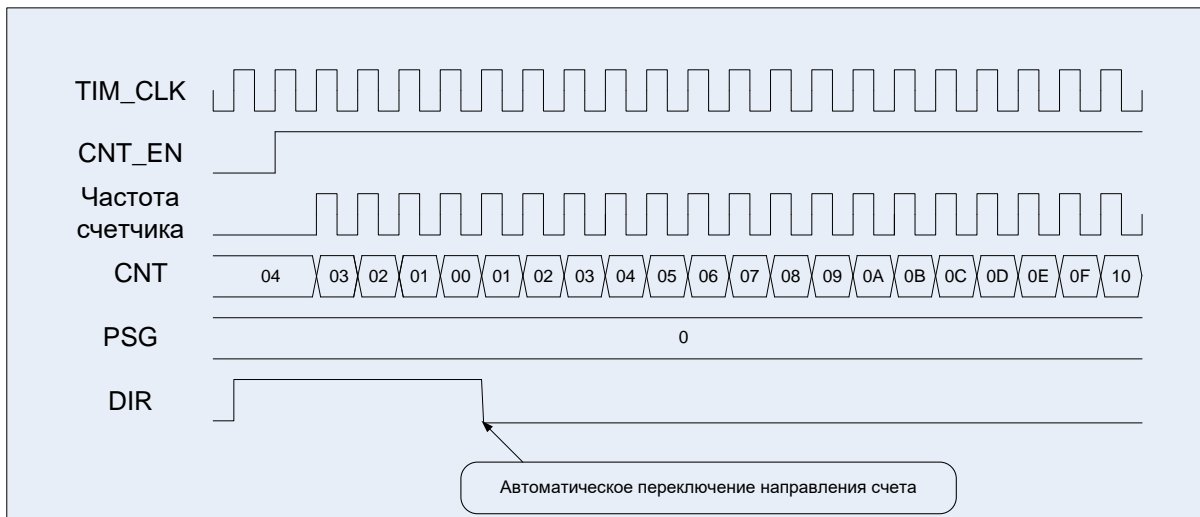


Рисунок 37 – Диаграммы работы таймера, счет вверх/вниз, сначала вниз



### 19.3 Источник событий для счета

Внутренний тактовый сигнал (TIM\_CLK):

События в других счетчиках (CNT==ARR в таймере X)

Внешний тактовый сигнал режим 1: События на линиях TxCH0 данного счетчика

Внешний тактовый сигнал режим 2: События на входе ETR данного счетчика

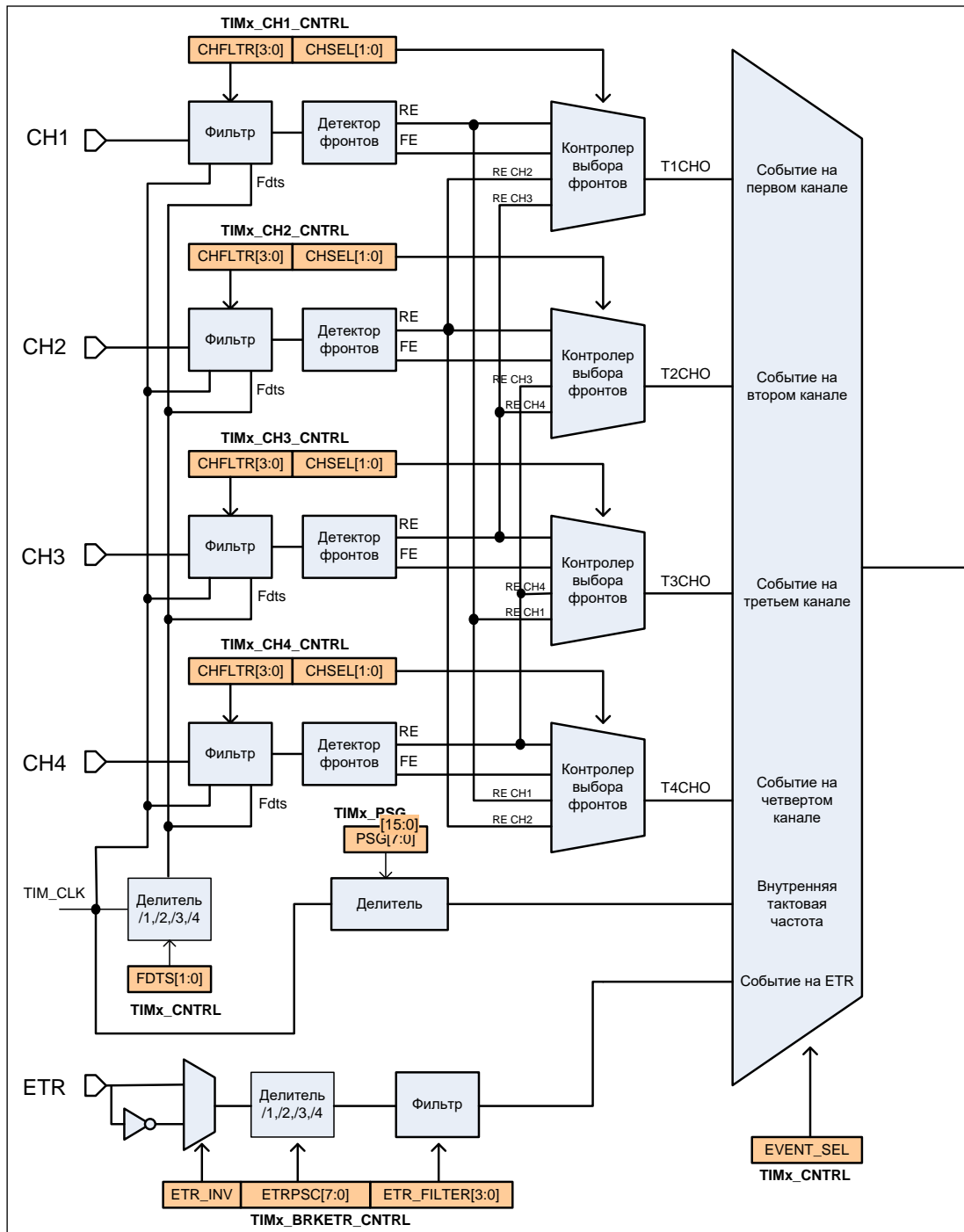
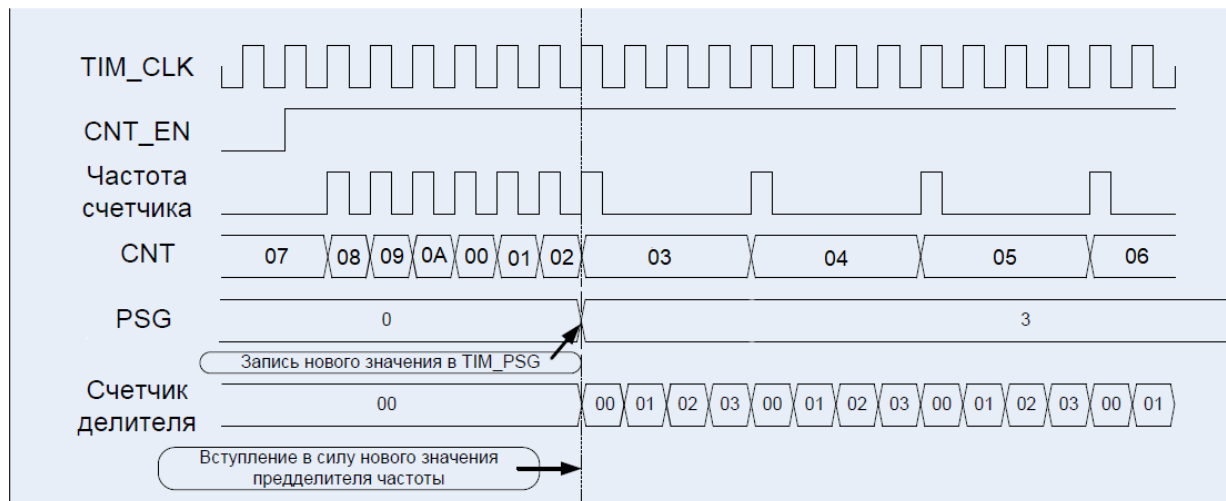


Рисунок 38 – Структурная схема формирования события для счета

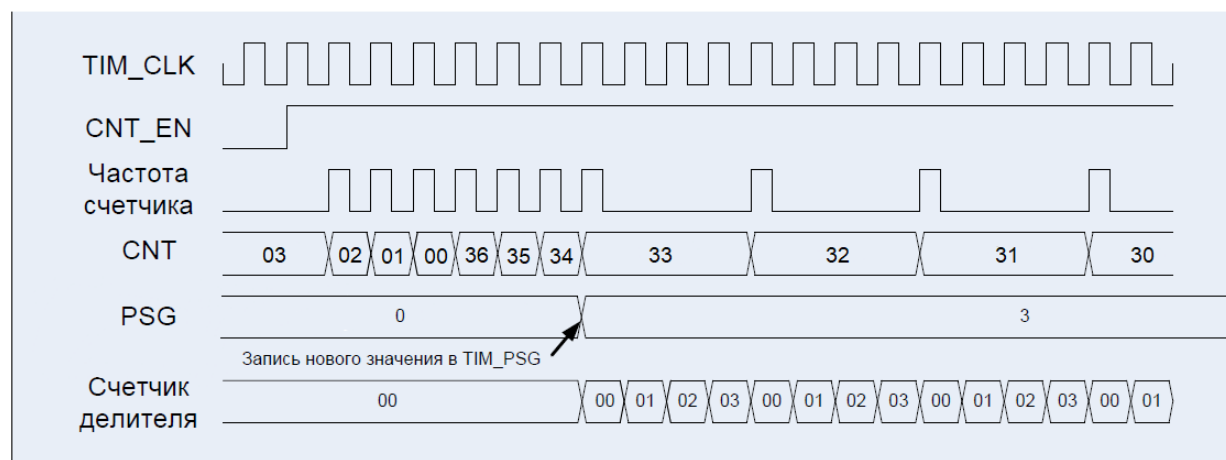
### 19.3.1 Внутренний тактовый сигнал (TIM\_CLK)

Этот режим выбирается, когда CNT\_MODE = 0x, EVENT\_SEL = 0000. Для запуска этого режима необходимо задать начальное значение основного счетчика, значение предварительного делителя основного счетчика, основание счета для основного счетчика и задать режим работы в регистре TIMx\_CNTRL. Значения регистров TIMx\_CNT, TIMx\_PSG и TIMx\_ARR можно изменять даже во время работы счётчика, при этом их значения вступят в силу мгновенно после записи их в регистр. Значение регистра основания счёта (TIMx\_ARR) может вступить в силу по CNT = ARR или CNT = 0, в зависимости от направления счёта, если установлен бит ARRB\_EN = 1 (регистр TIMx\_CNTRL).

Если значение предварительного делителя основного счетчика не равно нулю, то счетный регистр делителя будет инкрементироваться по каждому импульсу сигнала TIM\_CLK до тех пор, пока не достигнет значения, находящегося в регистре делителя. Далее счетный регистр делителя сбрасывается в ноль, содержимое основного счетчика таймера изменится на 1 и снова начинается счет. Поле DIR определяет, в какую сторону будет меняться значение счетчика: DIR = 0 – счетчик считает вверх (см. Рисунок 39), DIR = 1 – счетчик считает вниз (см. Рисунок 40). Если CNT\_MODE = 00, то направление счета определяется полем DIR, если CNT\_MODE = 01, счетчик считает вверх/вниз с автоматическим изменением DIR (см. Рисунок 41).



**Рисунок 39 – Диаграммы работы счетчика: счет вверх  
(CNT\_MODE = 00, EVENT\_SEL = 0000, DIR = 0)**



**Рисунок 40 – Диаграммы работы счетчика: счет вниз  
(CNT\_MODE = 00, EVENT\_SEL = 0000, DIR = 1)**

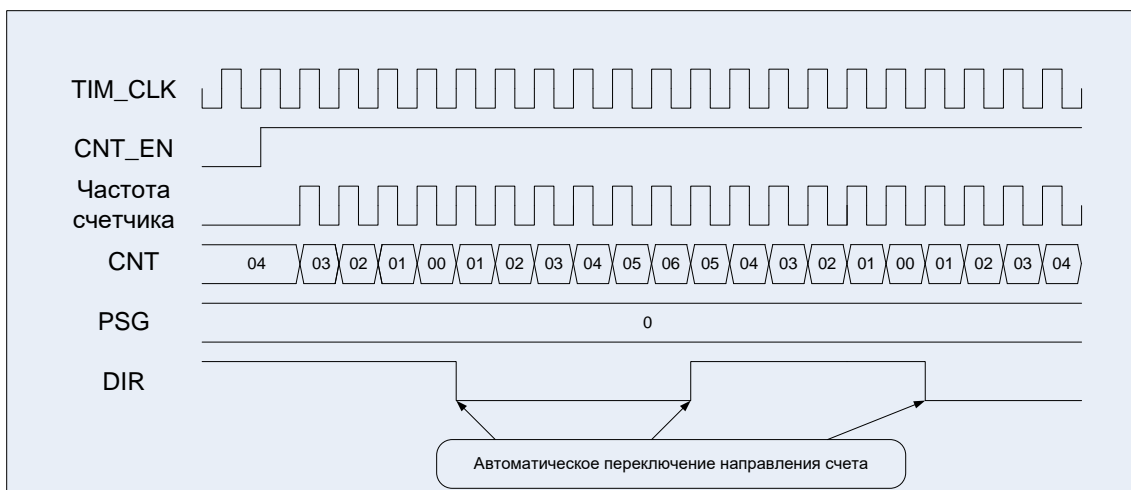


Рисунок 41 – Диаграммы работы счетчика: счет вниз/вверх  
(CNT\_MODE = 01, EVENT\_SEL = 0000, DIR = 1)

### 19.3.2 События в других счетчиках (CNT==ARR в таймере X)

Каждый из блоков таймеров полностью независим друг от друга, но у них предусмотрена возможность синхронизированной друг с другом работы. Это позволяет создавать более сложные массивы таймеров, которые работают полностью автономно и не требуют написания какого-либо кода программы для выполнения сложных временных функций.

У каждого таймера имеются входы запуска от других трех таймеров, а также внешние входы, связанные с выводами блоков захвата/сравнения.

У каждого из блоков таймеров имеется выход запуска, который соединен с входами других двух таймеров. Синхронизация таймеров возможна в нескольких различных режимах. На рисунке 42 показан пример каскадного соединения счетчиков.

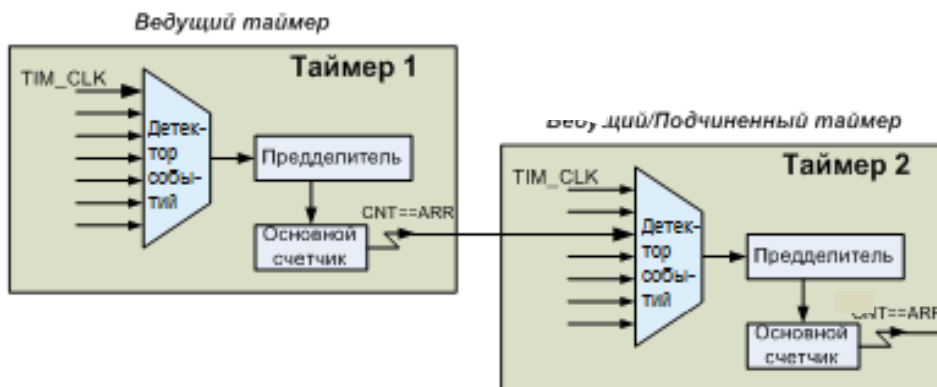


Рисунок 42 – Пример каскадного соединения таймеров

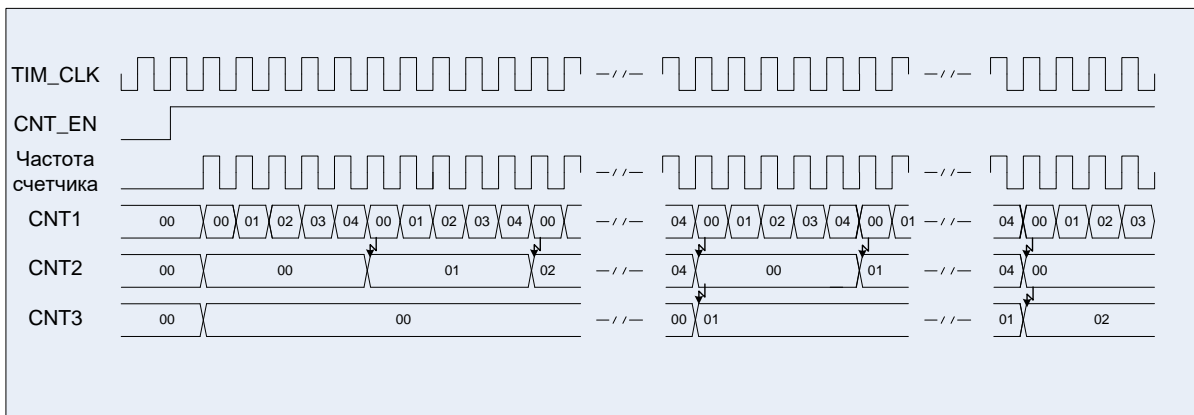


Рисунок 43 – Диаграммы работы трех таймеров в каскаде

DIR\_1, DIR\_2, DIR\_3 = 0;

EVENT\_SEL\_1 = 0000, EVENT\_SEL\_2 = 0001, EVENT\_SEL\_3 = 0010;

CNT\_MODE\_1, CNT\_MODE\_2, CNT\_MODE\_3 = 00;

### 19.3.3 Внешний тактовый сигнал режим 1

События на линиях TxCHO данного счетчика

Этот режим выбирается, когда EVENT\_SEL = 01xx в регистре TIMx\_CNTRL. Счетчик считает только по переднему фронту. Биты CHSEL[1:0] регистра TIMx->CHy\_CNTRL не имеют значения. Канал таймера работает с битами CHSEL[1:0] только в режиме захвата, генерируя прерывание по соответствующему фронту.

На входе сигнала стоит фильтр, с помощью которого можно контролировать длительность сигнала, для фильтрации можно использовать как сигнал TIM\_CLK, при этом может быть идентифицированная длительность 1, 2, 4, 8 TIM\_CLK, также можно при фильтровании использовать производную от TIM\_CLK частоту FDTS. Частота семплирования данных задается в регистре TIMx\_CNTRL в поле FDTS.

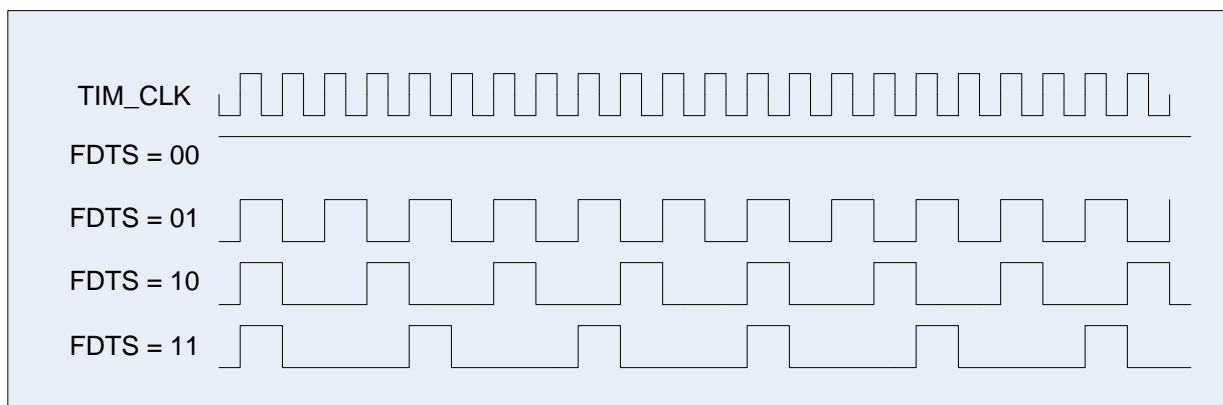


Рисунок 44 – Диаграммы возможных частот семплирования данных (FDTS)

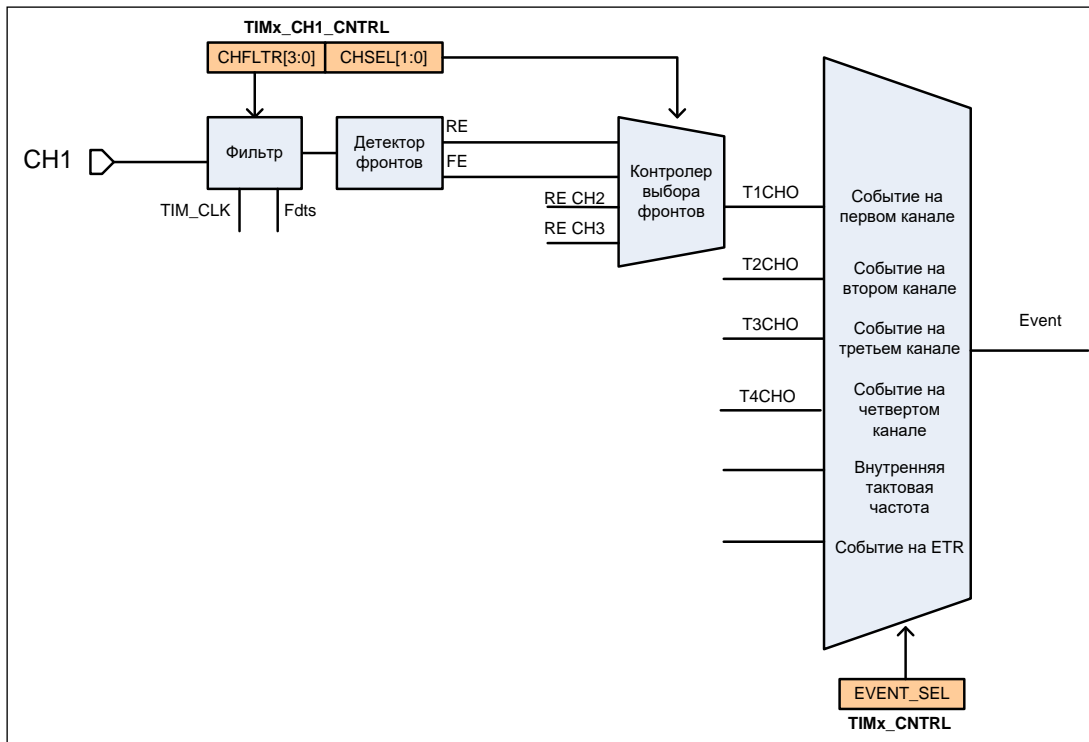


Рисунок 45 – Тактирование с входа первого канала

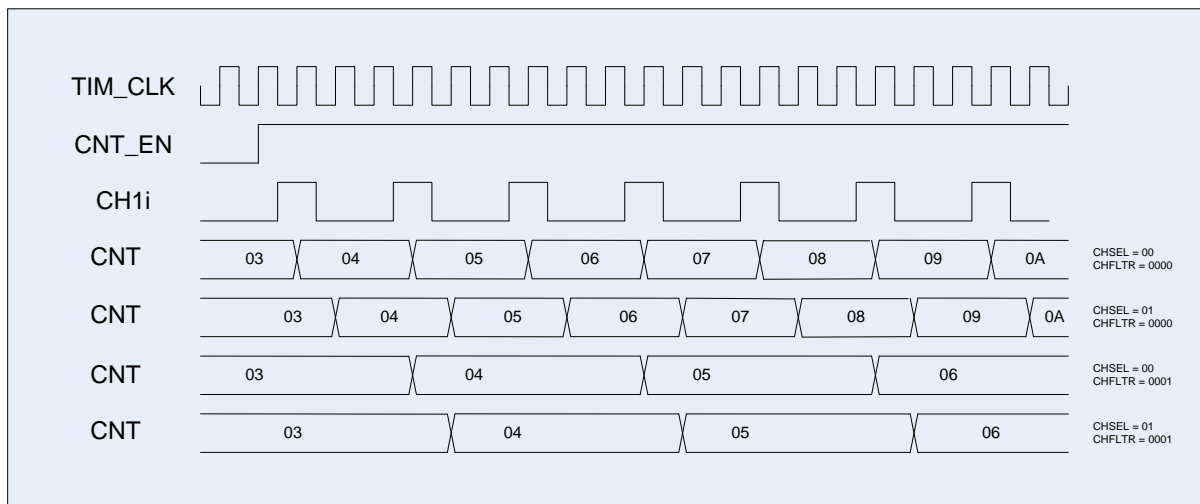


Рисунок 46 – Диаграмма внешнего тактирования с разными вариантами фильтра

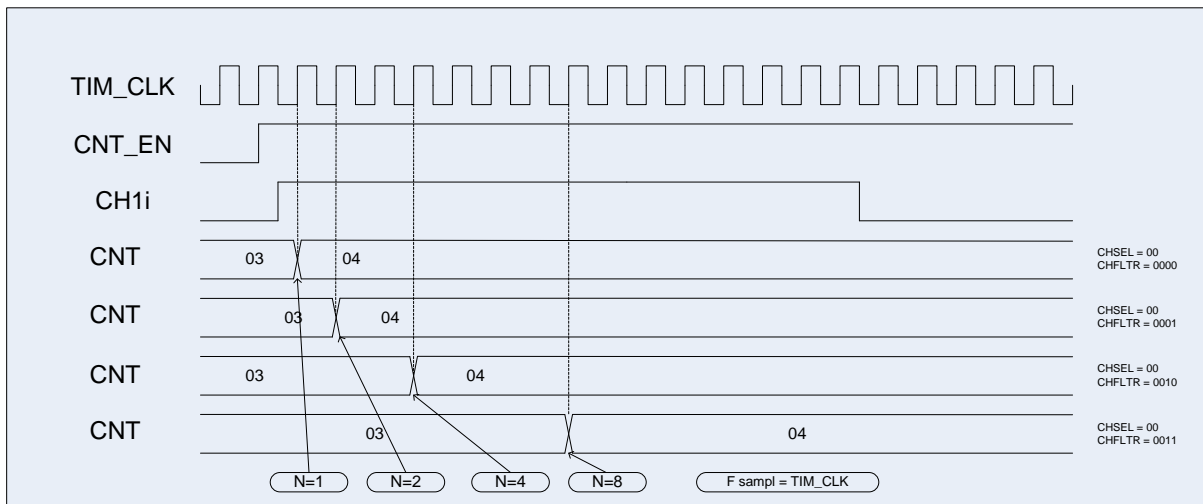


Рисунок 47 – Диаграмма внешнего тактирования с разными вариантами фильтра

### 19.3.4 Внешний тактовый сигнал режим 2.

События на линии ETR данного счетчика

Этот режим выбирается, когда EVENT\_SEL = 1000 в регистре TIMx\_CNTRL. В регистре TIMx\_BRKETR\_CNTRL можно настроить коэффициент деления 2, 4 или 8 (ETRPSC) данного входа тактовой частоты, а также использовать инверсию входа.

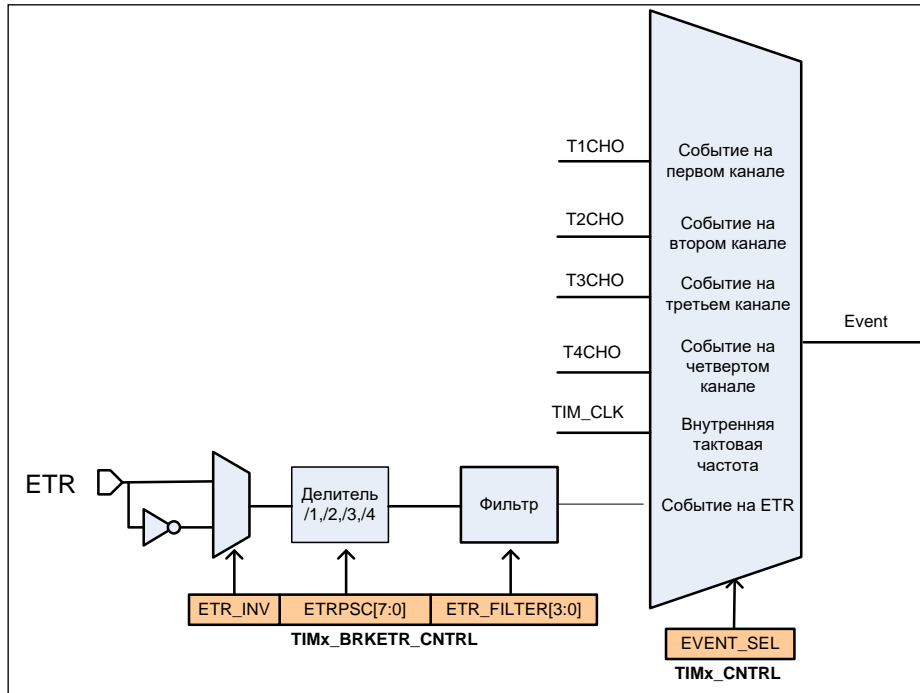


Рисунок 48 – Схема тактирования сигналом со входа ETR

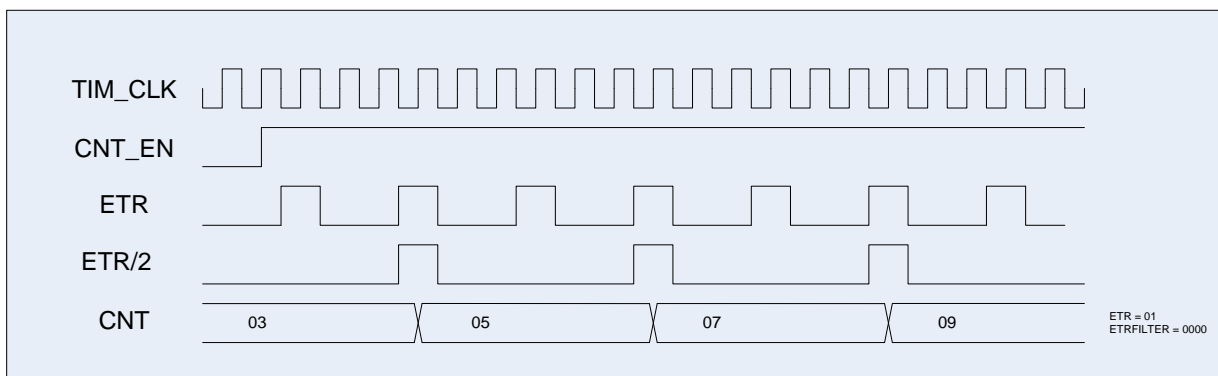


Рисунок 49 – Диаграмма тактирования сигналом со входа ETR

## 19.4 Режим захвата

Структурная схема блока Захвата представлена на Рисунке 50.

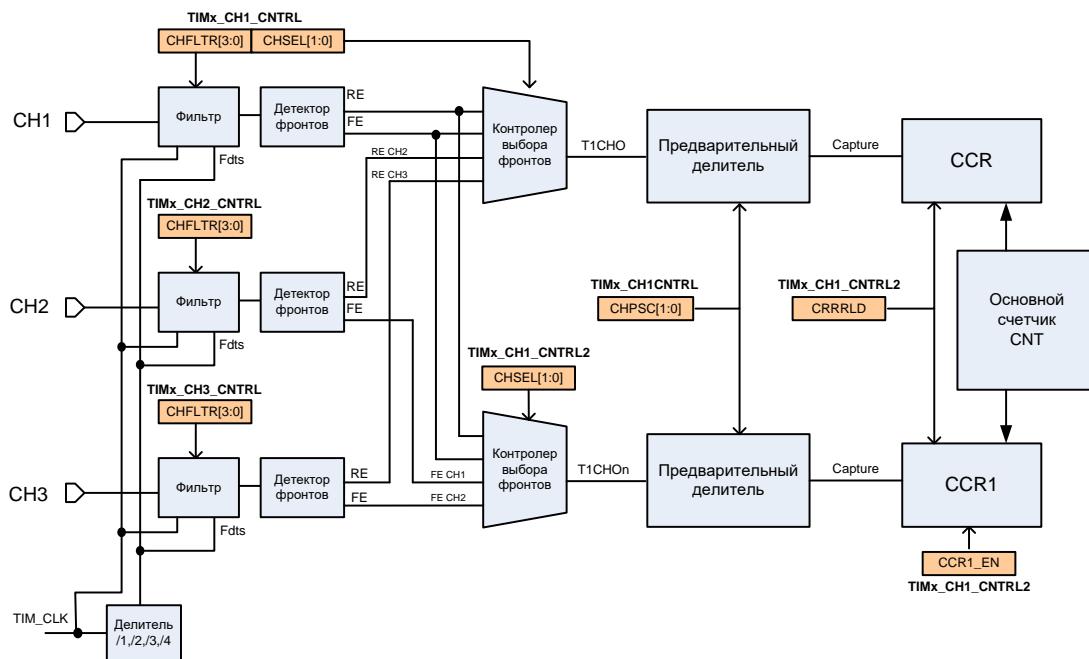


Рисунок 50 – Структурная схема блока захвата на примере канала 1

Для включения режима захвата для определенного канала необходимо в регистре управления каналом  $TIMx\_CHn\_CNTRL$  записать 1 в поле CAPnPWM. Для регистрации событий по линии  $Chx_i$  используется схема регистрации событий. Входной сигнал фиксируется в Таймере с частотой  $Fdts$ , или  $TIM\_CLK$ . Также вход может быть настроен на прием импульсов заданной длины за счет конфигурирования блока FILTER. На выходе блока фильтр вырабатывается сигнал положительного перепада и отрицательного перепада. На блоке MUX производится выбор используемого для Захвата сигнала, между положительным фронтом канала, отрицательным фронтом канала и положительными и отрицательными фронтами сигналов от других каналов. После блока MUX предварительный делитель может быть использован для фиксации каждого события, каждого второго, каждого четвертого и каждого восьмого события. Выход предварительного делителя является сигналом Capture для регистра CCR, и Capture1 для регистра CCR1 при этом в регистры CCR и CCR1 записывается текущее значение основного счетчика CNT.

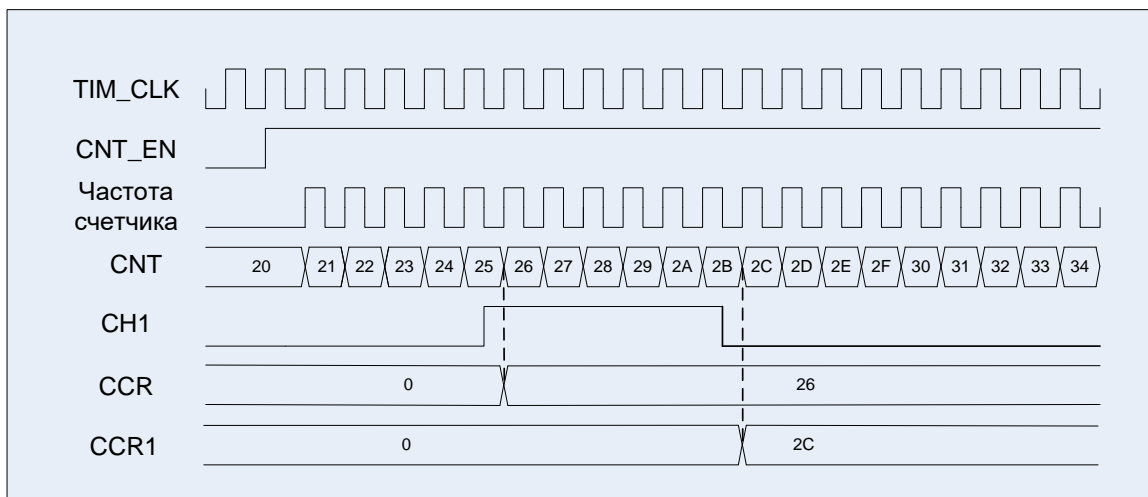


Рисунок 51 – Диаграмма захвата события со входа первого канала

На рисунке 51 показан пример захвата значения основного счетчика в регистр CCR по положительному фронту на входе канала, а в регистр CCR1 по отрицательному фронту на входе канала. В регистре TIMx\_IE можно разрешить выработку прерываний по событию захвата на определенном канале, а в регистре TIMx\_DMA\_RE можно разрешить формирование запросов DMA.

### 19.5 Режим ШИМ

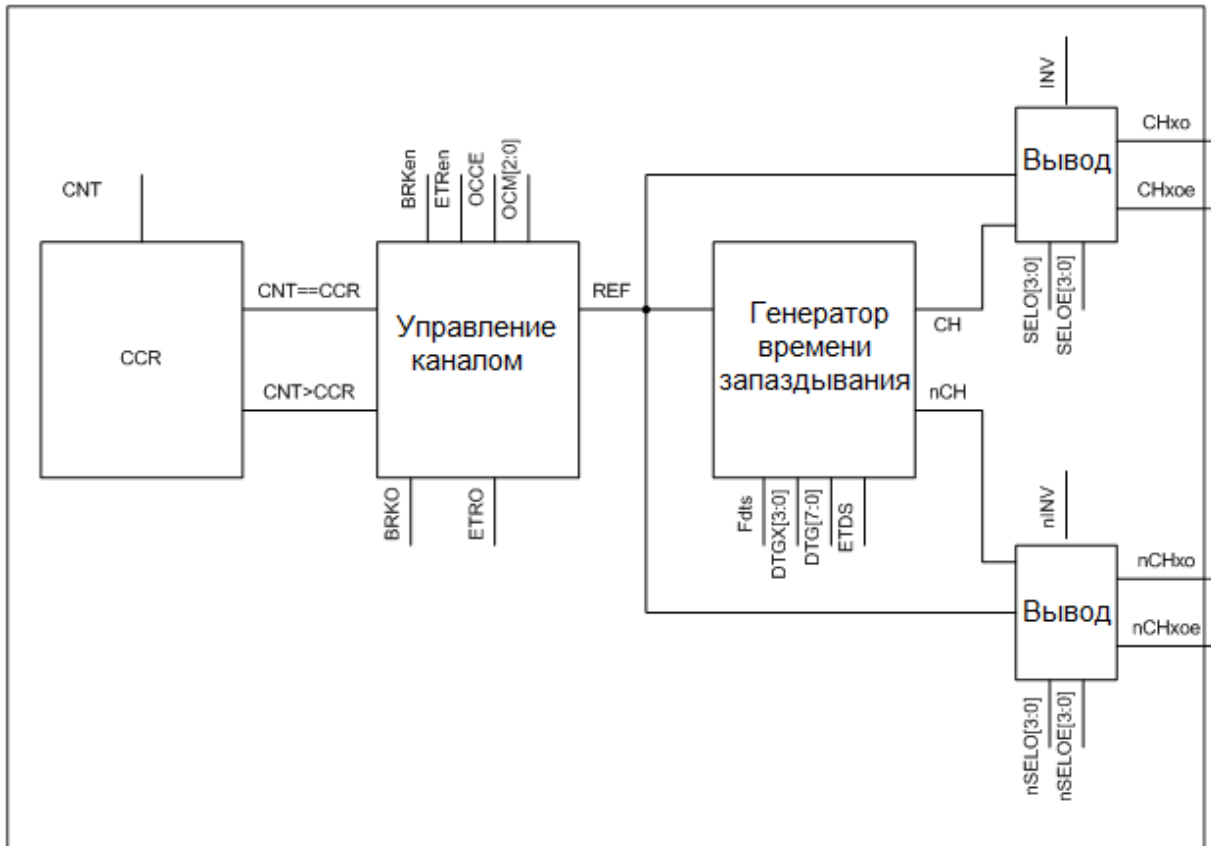


Рисунок 52 – Структурная схема блока сравнения

Для включения режима сравнения для определенного канала необходимо в регистре управления каналом TIMx\_CHy\_CNTRL (см. подраздел «TIMx\_CHy\_CNTRL») записать 0 в поле CAPnPWM. При работе в режиме ШИМ выходной сигнал может формироваться на основании сравнения значения в регистре CCR (см. подраздел «Регистр конфигурации и управления») и основного счетчика CNT или регистров CCR, CCR1 и значения основного счетчика CNT. Полученный сигнал может без изменения выдаваться на выходы ChxO и nCHxO. Либо с применением схемы DEAD TIME Generator формируются управляющие сигналы с мертвой зоной. У каждого канала есть два выхода – прямой и инверсный. Для каждого выхода формируется как сигнал для выдачи, так и сигнал разрешения выдачи, т.е. если выход канала должен всегда выдавать тот или иной уровень, то на выводе разрешения выдачи ChxOE (для прямого) и на CHxNOE (для инверсного) должны формироваться «1». Если канал работает на вход (например, режим захвата), то там всегда должен быть «0» для прямого канала. Сигналы OE по тем же принципам, что и просто выходные уровни, но у них есть собственные сигналы разрешения вывода SELOE и nSELOE, в которых можно выбрать постоянный уровень, либо формируемый на основании REF.



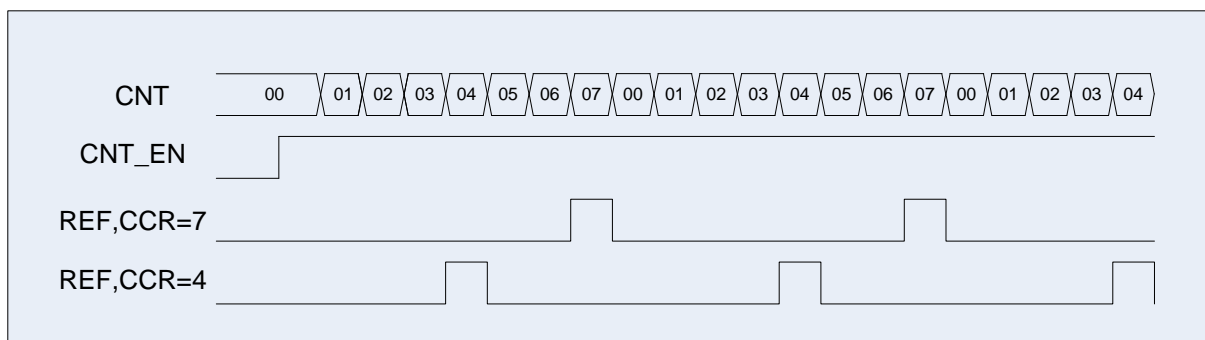


Рисунок 53 – Диаграмма работы схемы в режиме ШИМ, CCR1\_EN=0

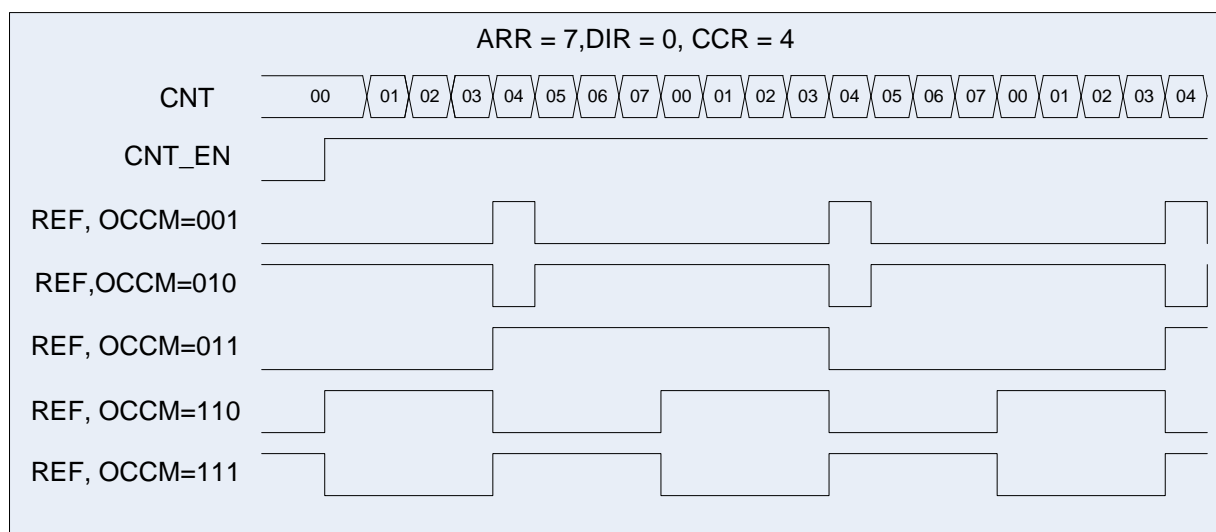


Рисунок 54 – Диаграмма работы схемы в режиме ШИМ, CCR1\_EN=0

Сигнал REF может быть очищен с использованием внешнего сигнала со входа ETR или внешнего триггерированного по PCLK сигнала со входа BRK.

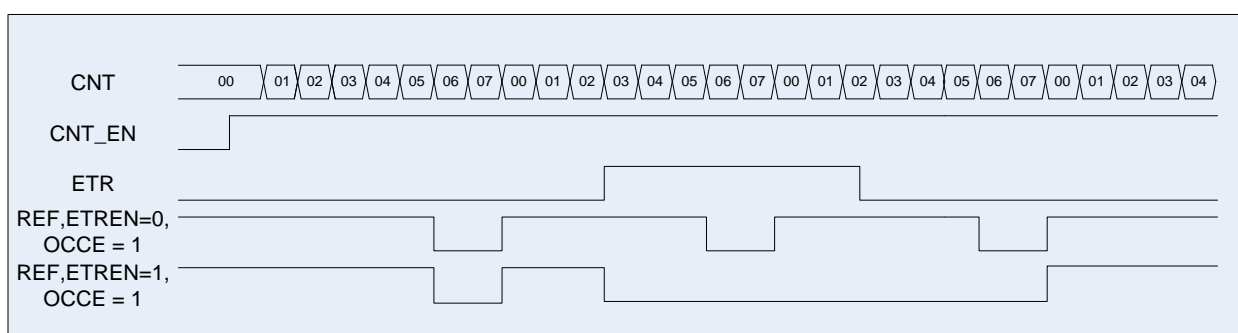
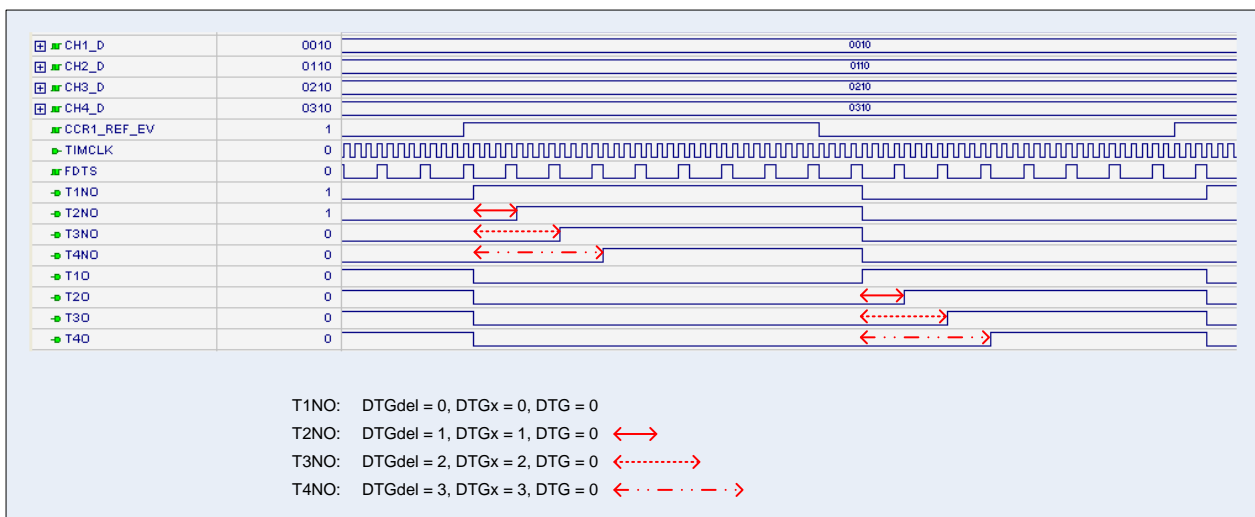
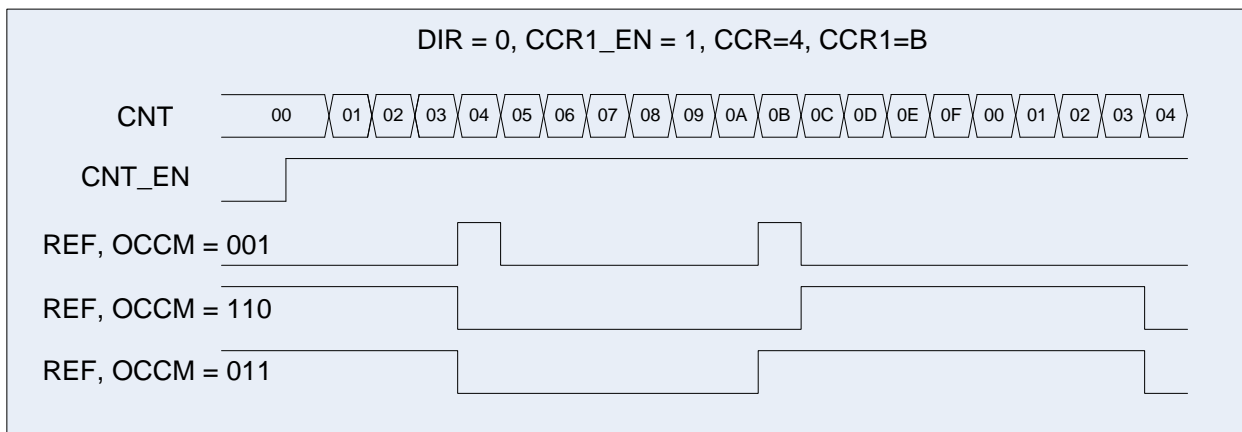


Рисунок 55 – Диаграмма работы схемы в режиме ШИМ, CCR1\_EN = 0



**Рисунок 56 – Диаграмма работы схемы DTG**

Если CCR1\_EN = 1, тогда значение основного счетчика CNT сравнивается со значениями регистров CCR и CCR1, и в зависимости от запрограммированного формата выработки сигнала REF (регистры управления каналами таймера TIMx\_CHy\_CNTRL поле OCCM) будет формироваться сигнал соответствующей формы.



**Рисунок 57 – Диаграмма работы схемы в режиме ШИМ, CCR1\_EN = 1**

При записи новых значений CCR и CCR1, если установлен бит CRRRLD, то регистры CCR1 и CCR получают новые значения только при CNT = 0, иначе запись осуществляется немедленно. Факт окончания записи обозначается взведением флага WR\_CMPL.

## 19.6 Примеры

### 19.6.1.1 Обычный счетчик

```

RST_CLK->PER_CLOCK = 0xFFFFFFFF;
RST_CLK->TIM_CLOCK = 0x07000000;
TIMx->TIMx_CNTRL = 0x00000000;
//Настраиваем работу основного счетчика
TIMx->TIMx_CNT = 0x00000000; //Начальное значение счетчика
TIMx->TIMx_PSG = 0x00000000; //Предделитель частоты
TIMx->TIMx_ARR = 0x0000000F; //Основание счета
    
```

```

TIMx->TIMx_IE = 0x00000002; //Разрешение генерировать прерывание при CNT = ARR
    
```

```

TIMx->TIMx_CNTRL = 0x00000001; //Счет вверх по TIM_CLK. Разрешение работы таймера.
    
```

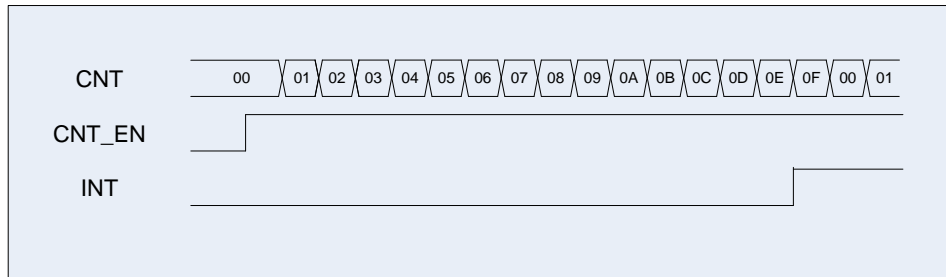


Рисунок 58 – Режим обычного счетчика

**19.6.1.2 Режим захвата**

```
RST_CLK->PER_CLOCK = 0xFFFFFFFF;//Разрешение тактовой частоты таймеров
RST_CLK->TIM_CLOCK = 0x07000000;//Включение тактовой частоты таймеров
TIMx->TIMx_CNTRL = 0x00000000;//Режим инициализации таймера
//Настраиваем работу основного счетчика
TIMx->TIMx_CNT = 0x00000000;//Начальное значение счетчика
TIMx->TIMx_PSG = 0x00000000;//Предделитель частоты
TIMx->TIMx_ARR = 0x000000FF;//Основание счета
```

```
TIMx->TIMx_IE = 0x00001E00;//Разрешение генерировать прерывание
//по переднему фронту на выходе CAP по всем каналам
//Режим работы каналов – захват
TIMx->TIMx_Chy_CNTRL[0] = 0x00008000;
TIMx->TIMx_Chy_CNTRL[1] = 0x00008002;
TIMx->TIMx_Chy_CNTRL[2] = 0x00008001;
TIMx->TIMx_Chy_CNTRL[3] = 0x00008003;
```

```
//Режим работы выхода канала – канал на выход не работает
TIMx->TIMx_Chy_CNTRL1[0]= 0x00000000;
TIMx->TIMx_Chy_CNTRL1[1]= 0x00000000;
TIMx->TIMx_Chy_CNTRL1[2]= 0x00000000;
TIMx->TIMx_Chy_CNTRL1[3]= 0x00000000;
```

TIMx->TIMx\_CNTRL = 0x00000001;//Счет вверх по TIM\_CLK. Разрешение работы таймера.

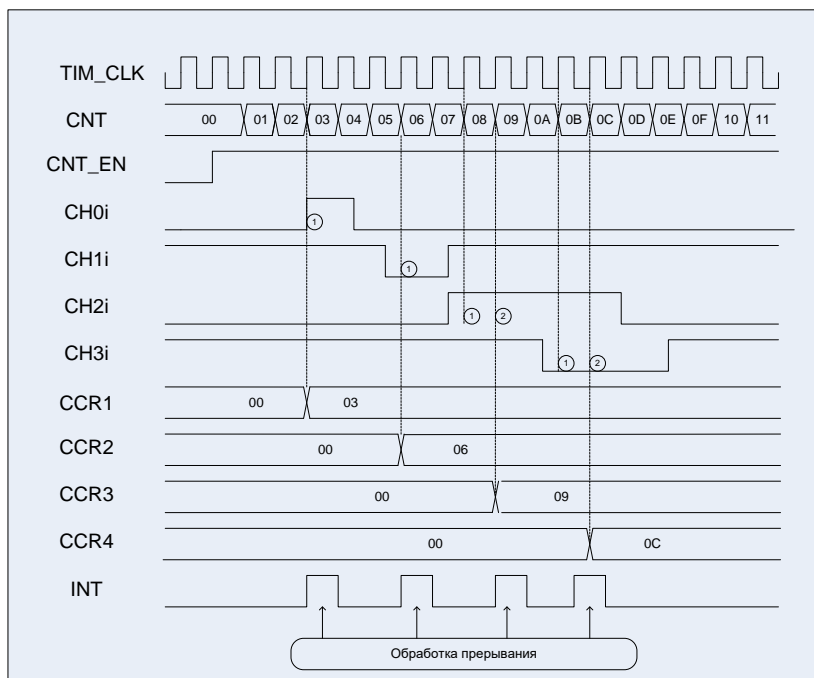


Рисунок 59 – Диаграммы примера работы в режиме захвата

### 19.6.1.3 Режим ШИМ

```
RST_CLK->PER_CLOCK = 0xFFFFFFFF; //Разрешение тактовой частоты таймеров
RST_CLK->TIM_CLOCK = 0x07000000; //Включение тактовой частоты таймеров
TIMx->TIMx_CNTRL = 0x00000000; //Режим инициализации таймера
//Настраиваем работу основного счетчика
TIMx->TIMx_CNT = 0x00000000; //Начальное значение счетчика
TIMx->TIMx_PSG = 0x00000000; //Предделитель частоты
TIMx->TIMx_ARR = 0x00000010; //Основание счета
```

```
TIMx->TIMx_IE = 0x000001E0; //Разрешение генерировать прерывание
//по переднему фронту на выходе REF по всем каналам
```

*//Режим работы каналов – ШИМ*

```
TIMx->TIMx_Chy_CNTRL[0] = 0x00000200;
TIMx->TIMx_Chy_CNTRL[1] = 0x00000200;
TIMx->TIMx_Chy_CNTRL[2] = 0x00000400;
TIMx->TIMx_Chy_CNTRL[3] = 0x00000600;
```

*//Режим работы выхода канала – канал на выход не работает*

```
TIMx->TIMx_Chy_CNTRL1[0] = 0x00000099;
TIMx->TIMx_Chy_CNTRL1[1] = 0x00000099;
TIMx->TIMx_Chy_CNTRL1[2] = 0x00000099;
TIMx->TIMx_Chy_CNTRL1[3] = 0x00000099;
```

*//Разрешение работы таймера.*

```
TIMx->TIMx_CNTRL = 0x00000001; //Счет вверх по TIM_CLK.
```

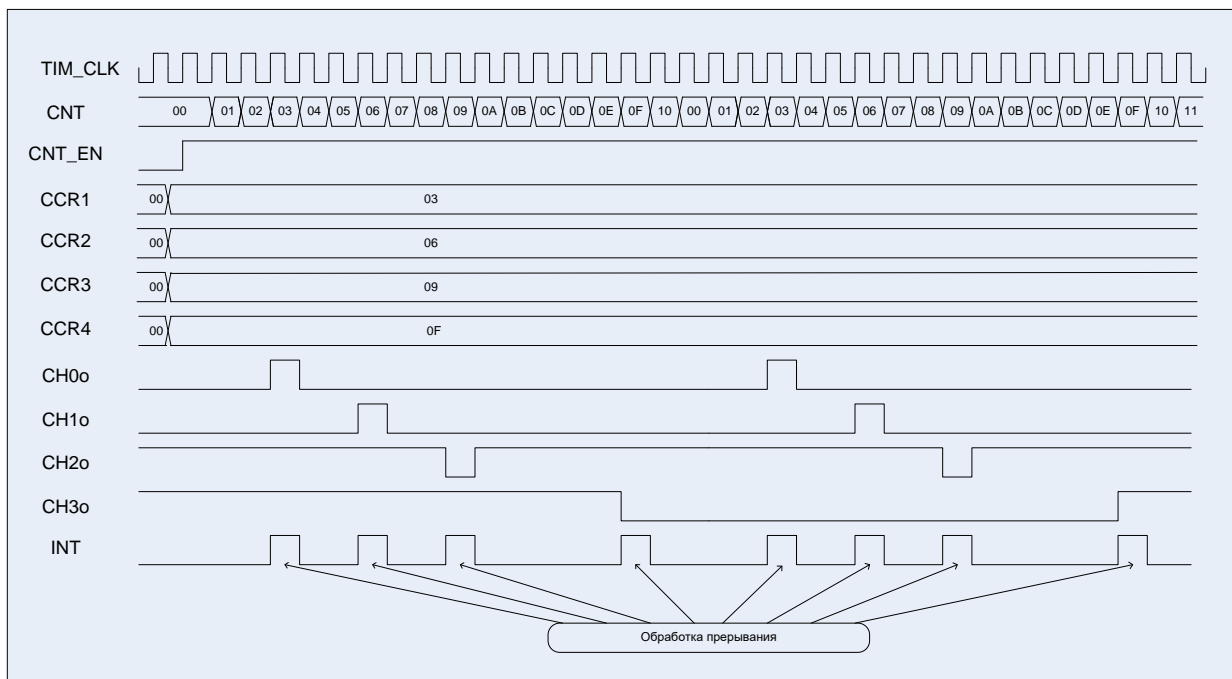


Рисунок 60 – Диаграммы примера работы в режиме ШИМ

### 19.7 Описание регистров блока таймера

Таблица 157 – Базовые адреса и смещения регистров управления

<b>Адрес</b>	<b>Название</b>	<b>Описание</b>
0x4007_0000	Timer1	Контроллер Timer1
0x4007_8000	Timer2	Контроллер Timer2
<b>Смещение</b>		
0x00	TIMx_CNT[15:0]	Основной счетчик таймера
0x04	TIMx_PSG[15:0]	Делитель частоты при счете основного счетчика
0x08	TIMx_ARR[15:0]	Основание счета основного счетчика
0x0C	TIMx_CNTRL[7:0]	Регистр управления основного счетчика
0x10	TIMx_CCR1[15:0]	Регистр сравнения, захвата для 1 канала таймера
0x14	TIMx_CCR2[15:0]	Регистр сравнения, захвата для 2 канала таймера
0x18	TIMx_CCR3[15:0]	Регистр сравнения, захвата для 3 канала таймера
0x1C	TIMx_CCR4[15:0]	Регистр сравнения, захвата для 4 канала таймера
0x20	TIMx_CH1_CNTRL[15:0]	Регистр управления для 1 канала таймера
0x24	TIMx_CH2_CNTRL[15:0]	Регистр управления для 2 канала таймера
0x28	TIMx_CH3_CNTRL[15:0]	Регистр управления для 3 канала таймера
0x2C	TIMx_CH4_CNTRL[15:0]	Регистр управления для 4 канала таймера
0x30	TIMx_CH1_CNTRL1[15:0]	Регистр управления 1 для 1 канала таймера
0x34	TIMx_CH2_CNTRL1[15:0]	Регистр управления 1 для 2 канала таймера
0x38	TIMx_CH3_CNTRL1[15:0]	Регистр управления 1 для 3 канала таймера
0x3C	TIMx_CH4_CNTRL1[15:0]	Регистр управления 1 для 4 канала таймера
0x40	TIMx_CH1_DTG[15:0]	Регистр управления DTG для 1 канала таймера
0x44	TIMx_CH2_DTG[15:0]	Регистр управления DTG для 2 канала таймера
0x48	TIMx_CH3_DTG[15:0]	Регистр управления DTG для 3 канала таймера
0x4C	TIMx_CH4_DTG[15:0]	Регистр управления DTG для 4 канала таймера
0x50	TIMx_BRKETR_CNTRL[15:0]	Регистр управления входом BRK и ETR
0x54	TIMx_STATUS[15:0]	Регистр статуса таймера
0x58	TIMx_IE[15:0]	Регистр разрешения прерывания таймера
0x5C	TIMx_DMA_RE[15:0]	Регистр разрешения запросов DMA от прерываний таймера

<b>Адрес</b>	<b>Название</b>	<b>Описание</b>
0x60	TIMx_CH1_CNTRL2[15:0]	Регистр управления 2 для 1 канала таймера
0x64	TIMx_CH2_CNTRL2[15:0]	Регистр управления 2 для 2 канала таймера
0x68	TIMx_CH3_CNTRL2[15:0]	Регистр управления 2 для 3 канала таймера
0x6C	TIMx_CH4_CNTRL2[15:0]	Регистр управления 2 для 4 канала таймера
0x70	TIMx_CCR11[15:0]	Регистр сравнения 1, захвата для 1 канала таймера
0x74	TIMx_CCR21[15:0]	Регистр сравнения 1, захвата для 2 канала таймера
0x78	TIMx_CCR31[15:0]	Регистр сравнения 1, захвата для 3 канала таймера
0x7C	TIMx_CCR41[15:0]	Регистр сравнения 1, захвата для 4 канала таймера

### 19.7.1 TIMx\_CNT

Таблица 158 – Основной счетчик таймера TIMx\_CNT

<b>Номер</b>	31...16	15...0
<b>Доступ</b>	R/W	R/W
<b>Сброс</b>	0	0
	-	<b>CNT[15:0]</b>

Таблица 159 – Описание бит регистра TIMx\_CNT

<b>№ бита</b>	<b>Функциональное имя бита</b>	<b>Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений</b>
31..16	-	Зарезервировано
15...0	CNT[15:0]	Значение основного счетчика таймера

### 19.7.2 TIMx\_PSG

Таблица 160 – Делитель частоты при счете основного счетчика TIMx\_PSG

<b>Номер</b>	31...16	15...0
<b>Доступ</b>	R/W	R/W
<b>Сброс</b>	0	0
	-	<b>PSG[15:0]</b>

Таблица 161 – Описание бит регистра TIMx\_PSG

<b>№ бита</b>	<b>Функциональное имя бита</b>	<b>Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений</b>
31...16	-	Зарезервировано
15...0	PSG[15:0]	Значение предварительного делителя счетчика Основной счетчик считает на частоте CLK = TIM_CLK/(PSG+1)

### 19.7.3 TIMx\_ARR

Таблица 162 – Основание счета основного счетчика TIMx\_ARR

<b>Номер</b>	31...16	15...0
<b>Доступ</b>	R/W	R/W
<b>Сброс</b>	0	0
	-	<b>ARR[15:0]</b>

Таблица 163 – Описание бит регистра TIMx\_ARR

<b>№ бита</b>	<b>Функциональное имя бита</b>	<b>Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений</b>
31...16	-	Зарезервировано
15...0	ARR[7:0]	Основание счета для основного счетчика CNT = [0...ARR]

### 19.7.4 TIMx\_CNTRL

Таблица 164 – Регистр управления основного счетчика TIMx\_CNTRL

<b>Номер</b>	31..12	11..8	7, 6	5, 4	3	2	1	0
<b>Доступ</b>	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
<b>Сброс</b>	0	0000	00	00	0	0	0	0
	-	<b>EVENT SEL[3:0]</b>	<b>CNT MODE[1:0]</b>	<b>FDTS [1:0]</b>	<b>DIR</b>	<b>WR CMPL</b>	<b>ARRB EN</b>	<b>CNT EN</b>

Таблица 165 – Описание бит регистра TIMx\_CNTRL

<b>№ бита</b>	<b>Функциональное имя бита</b>	<b>Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений</b>
31..12	-	Зарезервировано
11..8	EVENT_SEL [3:0]	Биты выбора источника событий 0000 – событие переднего фронта на TIM_CLK 0001 – CNT == ARR в таймере 1 0010 – CNT == ARR в таймере 2 0011 – CNT == ARR в таймере 3 0100 – событие на первом канале 0101 – событие на втором канале 0110 – событие на третьем канале 0111 – событие на четвертом канале 1000 – событие на ETR
7, 6	CNT_MODE [1:0]	Режим счета основного счетчика 00 – счетчик вверх при DIR=0 счетчик вниз при DIR=1 при PSG = 0 01 – счетчик вверх/вниз с автоматическим изменением DIR при PSG = 0 10 – счетчик вверх при DIR=0 счетчик вниз при DIR=1 11 – счетчик вверх/вниз с автоматическим изменением DIR режимы CNT_MODE[1:0] = 00 и CNT_MODE[1:0] = 01 действуют, если EVENT_SEL == 4'b0000; режим CNT_MODE[1:0] = 10 и CNT_MODE[1:0] = 11 действует, если EVENT_SEL != 4'b0000

<b>№ бита</b>	<b>Функциональное имя бита</b>	<b>Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений</b>
5, 4	FDTS[1:0]	Частота семплирования данных FDTS 00 – каждый TIM_CLK 01 – каждый второй TIM_CLK 10 – каждый третий TIM_CLK 11 – каждый четвертый TIM_CLK
3	DIR	Направление счета основного счетчика 0 – вверх, от 0 до ARR 1 – вниз, от ARR до 0
2	WR_CMPL	Окончание записи, при задании нового значения регистров CNT, PSG и ARR 1 – данные не записаны и идет запись 0 – новые данные можно записывать
1	ARRB_EN	Разрешение мгновенного обновления ARR 0 – ARR будет перезаписан в момент записи в ARR 1 – ARR будет перезаписан при завершении счета CNT
0	CNT_EN	Разрешение работы таймера 0 – таймер отключен 1 – таймер включен

### 19.7.5 TIMx\_CCRy

Таблица 166 – Регистр сравнения, захвата для ‘у’ канала таймера TIMx\_CCRy

<b>Номер</b>	31...16	15...0
<b>Доступ</b>	R/W	R/W
<b>Сброс</b>	0	0
	-	<b>CCR[15:0]</b>

Таблица 167 – Описание бит регистра TIMx\_CCRy

<b>№ бита</b>	<b>Функциональное имя бита</b>	<b>Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений</b>
31..16	-	Зарезервировано
15...0	CCR[15:0]	Значение CCR, с которым сравнивается CNT при работе в ШИМ режиме. Значение CNT, при котором произошел факт захвата события, в режиме захвата

### 19.7.6 TIMx\_CCRy1

Таблица 168 – Регистр сравнения, захвата для ‘у’ канала таймера TIMx\_CCRy1

<b>Номер</b>	31	15...0
<b>Доступ</b>	R/W	R/W
<b>Сброс</b>	0	0
	-	<b>CCR1[15:0]</b>



Таблица 169 – Описание бит регистра TIMx\_CCRy1

№ бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31..16	-	Зарезервировано
15...0	CCR1[15:0]	Значение CCR1, с которым сравнивается CNT при работе в ШИМ режиме. Значение CNT, при котором произошел факт захвата события, в режиме захвата

### 19.7.7 TIMx\_CHy\_CNTRL

Таблица 170 – Регистр управления для 'у' канала таймера TIMx\_CHy\_CNTRL

Номер	31...16	15	14	13	12
Доступ	U	R/W	R/W	R/W	R/W
Сброс	0	0	0	0	0
	-	<b>CAP nPWM</b>	<b>WR CMPL</b>	<b>ETREN</b>	<b>BRKEN</b>

Номер	11...9	8	7, 6	5, 4	3...0
Доступ	R/W	R/W	R/W	R/W	R/W
Сброс	000	0	00	00	0000
	<b>OCCM[2:0]</b>	<b>OCCE</b>	<b>CHPSC[1:0]</b>	<b>CHSEL[1:0]</b>	<b>CHFLTR[3:0]</b>

Таблица 171 – Описание бит регистра TIMx\_CHy\_CNTRL

№ бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31...16	-	Зарезервировано
15	CAP nPWM	Режим работы канала Захват или ШИМ 1 – канал работает в режиме Захват 0 – канал работает в режиме ШИМ
14	WR CMPL	Флаг окончания записи, при задании нового значения регистра CCR 1 – данные не записаны и идет запись 0 – новые данные можно записывать
13	ETREN	Разрешения сброса по выводу ETR 0 – запрещен сброс 1 – разрешен
12	BRKEN	Разрешение сброса по выводу BRK 0 – запрещен сброс 1 – разрешен
11...9	OCCM[2:0]	Формат выработки сигнала REF в режиме ШИМ Если CCR1_EN = 0: 000 – всегда 0 001 – 1, если CNT = CCR; 010 – 0, если CNT = CCR; 011 – переключение REF, если CNT = CCR; 100 – всегда 0; 101 – всегда 1; 110 – 1, если DIR= 0 (счет вверх), CNT<CCR, иначе 0; 0, если DIR= 1 (счет вниз), CNT>CCR, иначе 1; 111 – 0, если DIR= 0 (счет вверх), CNT<CCR, иначе 1;

№ бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
		<p align="center">1, если DIR= 1 (счет вниз), CNT&gt;CCR, иначе 0.</p> <p>Если CCR1_EN = 1:                      000 – всегда 0;                      001 – 1, если CNT = CCR или CNT = CCR1                      010 – 0, если CNT = CCR или CNT = CCR1;                      011 – переключение REF, если CNT =CCR или CNT =CCR1;                      100 – всегда 0;                      101 – всегда 1;                      110 – 1, если DIR = 0 (счет вверх), CCR&lt; CNT&lt; CCR1, иначе 0;                              0, если DIR = 1 (счет вниз), CCR &lt; CNT &lt; CCR1, иначе 1;                      111 – 0, если DIR = 0 (счет вверх), CCR&lt; CNT &lt; CCR1, иначе 1;                              1, если DIR = 1 (счет вниз), CCR&lt; CNT&lt; CCR1, иначе 0                      При условии, что CCR &lt; CCR1</p>
8	OCCE	Разрешение работы ETR 0 – запрет ETR 1 – разрешение ETR
7, 6	CHPSC[1:0]	Предварительный делитель входного канала 00 – нет деления 01 – /2 10 – /4 11 – /8
5, 4	CHSEL[1:0]	Выбор события по входному каналу CH <sub>i</sub> для фиксации значения основного счетчика (регистр TIM <sub>x</sub> ->CNT) в регистр CCR: 00 – положительный фронт на входном канале CH <sub>i</sub> ; 01 – отрицательный фронт на входном канале CH <sub>i</sub> ; 10 – положительный фронт от других каналов Для первого канала от 2 канала Для второго канала от 3 канала Для третьего канала от 4 канала Для четвертого канала от 1 канала 11 – положительный фронт от других каналов Для первого канала от 3 канала Для второго канала от 4 канала Для третьего канала от 1 канала Для четвертого канала от 2 канала
3...0	CHFLTR[3:0]	Сигнал зафиксирован: 0000 – в 1 триггере на частоте TIM_CLK 0001 – в 2 триггерах на частоте TIM_CLK 0010 – в 4 триггерах на частоте TIM_CLK 0011 – в 8 триггерах на частоте TIM_CLK 0100 – в 6 триггерах на частоте FDTs/2 0101 – в 8 триггерах на частоте FDTs/2 0110 – в 6 триггерах на частоте FDTs/4

№ бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
		0111 – в 8 триггерах на частоте FDTS/4 1000 – в 6 триггерах на частоте FDTS/8 1001 – в 8 триггерах на частоте FDTS/8 1010 – в 5 триггерах на частоте FDTS/16 1011 – в 6 триггерах на частоте FDTS/16 1100 – в 8 триггерах на частоте FDTS/16 1101 – в 5 триггерах на частоте FDTS/32 1110 – в 6 триггерах на частоте FDTS/32 1111 – в 8 триггерах на частоте FDTS/32

### 19.7.8 TIMx\_CHy\_CNTRL1

Таблица 172 – Регистр управления 1 для 'у' канала таймера TIMx\_CHy\_CNTRL1

Номер	31...13	12	11, 10	9, 8	7...5	4	3, 2	1, 0
Доступ	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Сброс	0	0	00	00	0	0	00	00
	-	NINV	NSELO [1:0]	NSELOE [1:0]	-	INV	SELO [1:0]	SELOE [1:0]

Таблица 173 – Описание бит регистра TIMx\_CHy\_CNTRL1

№ бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31..13	-	Зарезервировано
12	NINV	Режим выходной инверсии инверсного канала nCHy: 0 – выход не инвертируется; 1 – выход инвертируется.
11, 10	NSELO[1:0]	Режим работы выхода канала: 00 – всегда на выход выдается 0, канал на выход не работает; 01 – всегда на выход выдается 1, канал всегда работает на выход; 10 – на выход выдается сигнал REF; 11 – на выход выдается сигнал с DTG.
9, 8	NSELOE[1:0]	Режим работы канала на выход: 00 – всегда на OE выдается 0, канал на выход не работает; 01 – всегда на OE выдается 1, канал всегда работает на выход; 10 – на OE выдается сигнал REF, при REF = 0 вход, при REF = 1 выход; 11 – на OE выдается сигнал с DTG, при CHn = 0 вход, при CHn = 1 выход.
7...5	-	
4	INV	Режим выходной инверсии прямого канала CHy: 0 – выход не инвертируется; 1 – выход инвертируется.

№ бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
3, 2	SELO[1:0]	Режим работы выхода канала 00 – всегда на выход выдается 0, канал на выход не работает 01 – всегда на выход выдается 1, канал всегда работает на выход 10 – на выход выдается сигнал REF. 11 – на выход выдается сигнал с DTG.
1, 0	SELOE[1:0]	Режим работы канала на выход 00 – всегда на OE выдается 0, канал на выход не работает 01 – всегда на OE выдается 1, канал всегда работает на выход 10 – на OE выдается сигнал REF, при REF = 0 вход, при REF = 1 выход. 11 – на OE выдается сигнал с DTG, при CH = 0 вход, при CH = 1 выход

### 19.7.9 TIMx\_CHy\_CNTRL2

Таблица 174 – Регистр управления 2 для 'у' канала таймера TIMx\_CHy\_CNTRL2

Номер	31...5	4	3	2	1, 0
Доступ	U	U	R/W	R/W	R/W
Сброс	0	0	0	0	00
	-	EV_DELAY	CRRRLD	CCR1_EN	CHSEL[1:0]

Таблица 175 – Описание бит регистра TIMx\_CHy\_CNTRL2

№ бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31...5	-	Зарезервировано
4	EV_DELAY	Задержка события захвата до обновления регистров CCR и CCR1 0 – событие захвата происходит в момент обнаружения события, асинхронно с обновлением регистров CCR и CCR1 1 – событие захвата происходит синхронно с обновлением информации в регистрах CCR и CCR1
3	CRRRLD	Разрешение обновления регистров CCR и CCR1 0 – обновление возможно в любой момент времени 1 – обновление будет осуществлено только при CNT = 0
2	CCR1_EN	Разрешение работы регистра CCR1 0 – CCR1 не используется 1 – CCR1 используется

1, 0	CHSEL1[1:0]	<p>Выбор события по входному каналу CH<i>x</i>i для фиксации значения основного счетчика (регистр TIM<i>x</i>-&gt;CNT) в регистр CCR1:</p> <p>00 – положительный фронт на входном канале CH<i>x</i>i;          01 – отрицательный фронт на входном канале CH<i>x</i>i          10 – отрицательный фронт от других каналов              Для первого канала от 2 канала              Для второго канала от 3 канала              Для третьего канала от 4 канала              Для четвертого канала от 1 канала          11 – отрицательный фронт от других каналов              Для первого канала от 3 канала              Для второго канала от 4 канала              Для третьего канала от 1 канала              Для четвертого канала от 2 канала</p>
------	-------------	---

### 19.7.10 TIMx\_CHy\_DTG

Таблица 176 – Регистр управления DTG TIMx\_CHy\_DTG

<b>Номер</b>	31...16	15...8	7...5	4	3...0
<b>Доступ</b>	U	R/W	U	R/W	R/W
<b>Сброс</b>	0	00000000	000	0	0000
	-	<b>DTG[7:0]</b>	-	<b>EDTS</b>	<b>DTGx[3:0]</b>

Таблица 177 – Описание бит регистра TIMx\_CHy\_DTG

№ бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31...16	-	Зарезервировано
15...8	DTGx[7:0]	Основной делитель частоты Задержка DTGdel = DTGx*(DTG+1)
7...5	-	Зарезервировано
4	EDTS	Частота работы DTG 0 – TIM_CLK 1 – FDTs
3...0	DTG[3:0]	Предварительный делитель частоты DTG

### 19.7.11 TIMx\_BRKETR\_CNTRL

Таблица 178 – Регистр TIMx\_BRKETR\_CNTRL управления входом BRK и ETR

<b>Номер</b>	31...8	7...4	3, 2	1	0
<b>Доступ</b>	U	R/W	R/W	R/W	R/W
<b>Сброс</b>		0000	00	0	0
	-	<b>ETR FILTER[3:0]</b>	<b>ETR PSC[1:0]</b>	<b>ETR INV</b>	<b>BRK INV</b>

Таблица 179 – Описание бит регистра TIMx\_BRKETR\_CNTRL

№ бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31...8	-	Зарезервировано
7...4	ETR FILTER[3:0]	Цифровой фильтр на входе ETR. Сигнал зафиксирован: 0000 – в 1 триггере на частоте TIM_CLK 0001 – в 2 триггерах на частоте TIM_CLK 0010 – в 4 триггерах на частоте TIM_CLK 0011 – в 8 триггерах на частоте TIM_CLK 0100 – в 6 триггерах на частоте FDTs/2 0101 – в 8 триггерах на частоте FDTs/2 0110 – в 6 триггерах на частоте FDTs/4 0111 – в 8 триггерах на частоте FDTs/4 1000 – в 6 триггерах на частоте FDTs/8 1001 – в 8 триггерах на частоте FDTs/8 1010 – в 5 триггерах на частоте FDTs/16 1011 – в 6 триггерах на частоте FDTs/16 1100 – в 8 триггерах на частоте FDTs/16 1101 – в 5 триггерах на частоте FDTs/32 1110 – в 6 триггерах на частоте FDTs/32 1111 – в 8 триггерах на частоте FDTs/32
3, 2	ETRPSC[1:0]	Асинхронный пред. Делитель внешней частоты 00 – без деления 01 – /2 10 – /4 11 – /8
1	ETR INV	Инверсия входа ETR 0 – без инверсии 1 – инверсия
0	BRK INV	Инверсия входа BRK 0 – без инверсии 1 – инверсия

### 19.7.12 TIMx\_STATUS

Таблица 180 – Регистр статуса таймера

Номер	31...17	16...13	12...9	8...5	4
Доступ	U	R/W	R/W	R/W	R/W
Сброс	0	0	0	0	0
	-	<b>CCR CAP1 EVENT[3:0]</b>	<b>CCR REF EVENT[3:0]</b>	<b>CCR CAP EVENT[3:0]</b>	<b>BRK EVENT</b>

Номер	3	2	1	0
Доступ	R/W	R/W	R/W	R/W
Сброс	0	0	0	0
	<b>ETR FE EVENT</b>	<b>ETR RE EVENT</b>	<b>CNT ARR EVENT</b>	<b>CNT ZERO EVENT</b>

Таблица 181 – Описание бит регистра TIMx\_STATUS

<b>№ бита</b>	<b>Функциональное имя бита</b>	<b>Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений</b>
31...17	-	Зарезервировано
16..13	CCR CAP1 EVENT[3:0]	Событие настроенного фронта на входе CHx канала таймера 0 – нет события 1 – есть событие Сбрасывается записью 0, если запись одновременно с новым событием, приоритет у нового события. Бит 0 – первый канал Бит 3 – четвертый канал
12...9	CCR REF EVENT[3:0]	Событие переднего фронта на выходе REF каналов таймера 0 – нет события 1 – есть событие Сбрасывается записью 0, если запись одновременно с новым событием, приоритет у нового события. Бит 0 – первый канал Бит 3 – четвертый канал
8...5	CCR CAP EVENT[3:0]	Событие настроенного фронта на входе CHx канала таймера 0 – нет события 1 – есть событие Сбрасывается записью 0, если запись одновременно с новым событием, приоритет у нового события. Бит 0 – первый канал Бит 3 – четвертый канал
4	BRK EVENT	Триггерированное по PCLK состояние входа BRK, 0 – BRK == 0 1 – BRK == 1 Сбрасывается записью 0, при условии наличия 0 на входе BRK
3	ETR FE EVENT	Событие заднего фронта на входе ETR 0 – нет события 1 – есть событие Сбрасывается записью 0, если запись одновременно с новым событием, приоритет у нового события
2	ETR RE EVENT	Событие переднего фронта на входе ETR 0 – нет события 1 – есть событие Сбрасывается записью 0, если запись одновременно с новым событием, приоритет у нового события
1	CNT ARR EVENT	Событие совпадения CNT с ARR 0 – нет события 1 – есть событие Сбрасывается записью 0, если запись одновременно с новым событием совпадения, приоритет у нового события. Если с момента совпадения до момента программного сброса CNT и ARR не изменили состояния, то флаг повторно не взводится.

№ бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
0	CNT ZERO EVENT	Событие совпадения CNT с нулем 0 – нет события 1 – есть событие Сбрасывается записью 0, если запись одновременно с новым событием совпадения, приоритет у нового события. Если с момента совпадения до момента программного сброса CNT не изменил состояния, то флаг повторно не взводится.

### 19.7.13 TIMx\_IE

Таблица 182 – Регистр разрешения прерывания таймера

Номер	31...17	16...13	12...9	8...5	4
Доступ	U	R/W	R/W	R/W	R/W
Сброс	0	0	0	0	0
	-	<b>CCRCAP1 EVENTE[3:0]</b>	<b>CCRREF EVENTE[3:0]</b>	<b>CCRCAP EVENTE[3:0]</b>	<b>BRK EVENTIE</b>

Номер	3	2	1	0
Доступ	R/W	R/W	R/W	R/W
Сброс	0	0	0	0
	<b>ETRFE EVENTIE</b>	<b>ETRRE EVENTIE</b>	<b>CNTARR EVENTIE</b>	<b>CNTZERO EVENTIE</b>

Таблица 183 – Описание бит регистра TIMx\_IE

№ бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31...17	-	Зарезервировано
16...13	CCR CAP1 EVENT IE [3:0]	Флаг разрешения прерывания по событию настроенного фронта на входе CNx1 канала таймера (фиксация значения основного счетчика таймера в регистре CCR1) 0 – нет прерывания 1 – прерывание разрешено Бит 0 – первый канал Бит 3 – четвертый канал
12...9	CCR REF EVENT IE[3:0]	Флаг разрешения прерывания по событию переднего фронта на выходе REF каналов таймера 0 – нет прерывания 1 – прерывание разрешено Бит 0 – первый канал Бит 3 – четвертый канал
8...5	CCR CAP EVENT IE [3:0]	Флаг разрешения прерывания по событию настроенного фронта на входе CNx1 канала таймера (фиксация значения основного счетчика таймера в регистре CCR) 0 – нет прерывания 1 – прерывание разрешено Бит 0 – первый канал Бит 3 – четвертый канал



№ бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
4	BRK EVENT IE	Флаг разрешения по триггерированному по PCLK состоянию входа BRK, 0 – нет прерывания 1 – прерывание разрешено
3	ETR FE EVENT IE	Флаг разрешения прерывания по заднему фронту на входе ETR 0 – нет прерывания 1 – прерывание разрешено
2	ETR RE EVENT IE	Флаг разрешения прерывания по переднему фронту на входе ETR 0 – нет прерывания 1 – прерывание разрешено
1	CNT ARR EVENT IE	Флаг разрешения прерывания по событию совпадения CNT и ARR 0 – нет прерывания 1 – прерывание разрешено
0	CNT ZERO EVENT IE	Флаг разрешения прерывания по событию совпадения CNT и нуля 0 – нет прерывания 1 – прерывание разрешено

#### 19.7.14 TIMx\_DMA\_RE

Таблица 184 – Регистр TIMx\_DMA\_RE разрешения запросов DMA от прерываний таймера

<b>Номер</b>	31...17	16...13	12...9	8...5	4
<b>Доступ</b>	U	R/W	R/W	R/W	R/W
<b>Сброс</b>	0	0	0	0	0
	-	<b>CCRCAP1 EVENTRE[3:0]</b>	<b>CCRREF EVENTRE[3:0]</b>	<b>CCRCAP EVENTRE[3:0]</b>	<b>BRK EVENTRE</b>

<b>Номер</b>	3	2	1	0
<b>Доступ</b>	R/W	R/W	R/W	R/W
<b>Сброс</b>	0	0	0	0
	<b>ETRFE EVENTRE</b>	<b>ETRRE EVENTRE</b>	<b>CNTARR EVENTRE</b>	<b>CNTZERO EVENTRE</b>

Таблица 185 – Описание бит регистра TIMx\_DMA\_RE

№ бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31...17	-	Зарезервировано
16...13	CCR CAP1 EVENT RE [3:0]	Флаг разрешения запроса DMA по событию настроенного фронта на входе CHx <sub>i</sub> канала таймера (фиксация значения основного счетчика таймера в регистре CCR1) 0 – нет запроса DMA 1 – запрос DMA разрешен  Бит 0 – первый канал Бит 3 – четвертый канал

<b>№ бита</b>	<b>Функциональное имя бита</b>	<b>Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений</b>
12...9	CCR REF EVENT RE[3:0]	Флаг разрешения запроса DMA по событию переднего фронта на выходе REF каналов таймера 0 – нет запроса DMA 1 – запрос DMA разрешен  Бит 0 – первый канал Бит 3 – четвертый канал
8...5	CCR CAP EVENT RE [3:0]	Флаг разрешения запроса DMA по событию настроенного фронта на входе CH <i>x</i> канала таймера (фиксация значения основного счетчика таймера в регистре CCR) 0 – нет запроса DMA 1 – запрос DMA разрешен  Бит 0 – первый канал Бит 3 – четвертый канал
4	BRK EVENT RE	Флаг разрешения по триггерированному по PCLK состоянию входа BRK, 0 – нет запроса DMA 1 – запрос DMA разрешен
3	ETR FE EVENT RE	Флаг разрешения запроса DMA по заднему фронту на входе ETR 0 – нет запроса DMA 1 – запрос DMA разрешен
2	ETR RE EVENT RE	Флаг разрешения запроса DMA по переднему фронту на входе ETR 0 – нет запроса DMA 1 – запрос DMA разрешен
1	CNT ARR EVENT RE	Флаг разрешения запроса DMA по событию совпадения CNT и ARR 0 – нет запроса DMA 1 – запрос DMA разрешен
0	CNT ZERO EVENT RE	Флаг разрешения запроса DMA по событию совпадения CNT и нуля 0 – нет запроса DMA 1 – запрос DMA разрешен

## 20 Контроллер АЦП последовательных приближений

В микроконтроллере реализован 12-ти разрядный АЦП последовательных приближений. С помощью АЦП последовательных приближений можно оцифровать сигнал с 8 внешних аналоговых выводов портов В и С и двух внутренних каналов, на которые выводится датчик температуры и источник опорного напряжения. Скорость выборки составляет до 500 тысяч преобразований в секунду для каждого АЦП последовательных приближений.

Контроллер АЦП последовательных приближений позволяет:

- оцифровать один из 8 внешних каналов;
- оцифровать значение встроенного датчика температуры;
- оцифровать значение встроенного источника опорного напряжения;
- осуществить автоматический опрос заданных каналов;
- выработать прерывание при выходе оцифрованного значения за заданные пределы.

Для осуществления преобразования требуется 28 тактов синхронизации CLK. В качестве синхросигнала может выступать частота процессора CPU\_CLK или частота ADC\_CLK, формируемая в блоке «Сигналы тактовой частоты». Выбор частоты осуществляется с помощью бита Cfg\_REG\_CLKS. В контроллере АЦП последовательных приближений частота может быть поделена с помощью битов Cfg\_REG\_DIVCLK[3:0]. Максимальная частота CLK не может превышать 14 МГц.

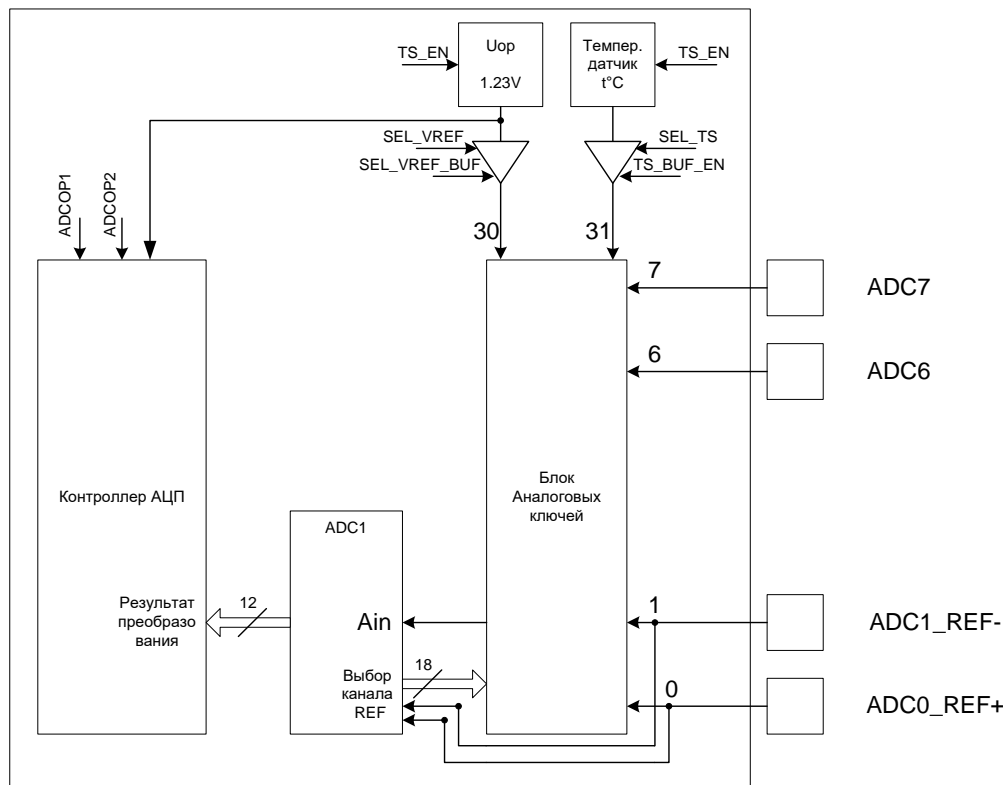


Рисунок 61 – Структурная схема контроллера АЦП последовательных приближений

Для включения АЦП последовательных приближений необходимо установить бит Cfg\_REG\_ADON. Для снижения тока потребления вместо собственного источника опорного напряжения в АЦП последовательных приближений может использоваться источник датчика температуры. Для этого необходимо включить блок датчика температуры и источник опорного напряжения, установив бит TS\_EN (Таблица 189) в 1. После включения можно использовать источник опорного напряжения для АЦП последовательных приближений вместо его собственного. Для этого необходимо установить биты ADC1\_OP в единицу. Для преобразования необходимо, чтобы выводы,

используемые АЦП последовательных приближений в порте D, были сконфигурированы как аналоговые и были отключены какие-либо внутренние подтяжки.

### **20.1 Преобразование внешнего канала**

В регистре ADCx\_CFG в битах Cfg\_REG\_CHS[4:0] необходимо задать соответствующий выводу номер канала. Преобразование может осуществляться при внутренней опоре бит Cfg\_M\_REF = 0 и внешней Cfg\_M\_REF = 1, в этом случае опора берется с выводов ADC\_REF+ и ADC\_REF-. Биты Cfg\_REG\_CHCH, Cfg\_REG\_RNGC, Cfg\_REG\_SAMPLE, TS\_BUF\_EN, SEL\_VREF, SEL\_TS и Cfg\_Sync\_Conver должны быть сброшены.

Для начала преобразования необходимо записать 1 в бит Cfg\_REG\_GO.

После завершения преобразования будет взведен бит Flg\_REG\_EOCIF в регистре ADC1\_STATUS. А в регистре ADC1\_RESULT будет результат преобразования.

После считывания результата бит Flg\_REG\_EOCIF сбросится.

Если после первого преобразования результат не был считан, и было выполнено второе преобразование, то в регистре результата ADC1\_RESULT будет значение от последнего преобразования, а помимо бита Flg\_REG\_EOCIF будет взведен бит Flg\_REG\_OVERWRITE. Флаг Flg\_REG\_OVERWRITE может быть сброшен только записью в регистр ADC1\_STATUS.

### **20.2 Последовательное преобразование нескольких каналов**

Для автоматического последовательного преобразования нескольких каналов или одного канала в регистре ADC1\_CHSEL необходимо установить единицы в битах, соответствующих необходимым для преобразования каналам. Выставление данных бит необходимо обеспечить до установки конфигурации АЦП, то есть до записи в регистр ADCx\_CFG. Преобразование может осуществляться при внутренней опоре бит Cfg\_M\_REF = 0 и внешней Cfg\_M\_REF = 1, в этом случае опора берется с выводов ADC\_REF+ и ADC\_REF-. Биты Cfg\_REG\_RNGC, TS\_BUF\_EN, SEL\_VREF, SEL\_TS и Cfg\_Sync\_Conver должны быть сброшены, а Cfg\_REG\_SAMPLE и Cfg\_REG\_CHCH должны быть установлены. С помощью битов Delay\_GO можно задать паузу между преобразованиями при переборе каналов. Для начала преобразования необходимо записать 1 в бит Cfg\_REG\_GO.

После завершения преобразования будет взведен бит Flg\_REG\_EOCIF в регистре ADC1\_STATUS. А в регистре ADC1\_RESULT будет результат преобразования.

После считывания результата бит Flg\_REG\_EOCIF сбросится.

Если после первого преобразования результат не был считан, и было выполнено второе преобразование, то в регистре результата ADC1\_RESULT будет значение от последнего преобразования, а помимо бита Flg\_REG\_EOCIF будет взведен бит Flg\_REG\_OVERWRITE. Флаг Flg\_REG\_OVERWRITE может быть сброшен только записью в регистр ADC1\_STATUS.

Для последовательного преобразования одного и того же канала можно в регистре ADC1\_CHSEL выбрать только один канал и установить бит Cfg\_REG\_CHCH в 1, либо установить номер канала в битах Cfg\_REG\_CHS[4:0] и сбросить бит Cfg\_REG\_CHCH в 0. В этом случае процесс последовательного преобразования будет выполняться только для данного канала. Последовательное преобразование значения датчика температуры и источника опорного напряжения могут выполняться только в режиме последовательного преобразования одного канала.

### **20.3 Преобразование с контролем границ**

При необходимости отслеживать нахождение оцифрованных значений в допустимых пределах, можно задать нижнюю и верхнюю допустимые границы в регистрах ADC1\_L\_LEVEL и ADC1\_H\_LEVEL. При этом если установлен

бит Cfg\_REG\_RNGC, то в случае если результат преобразования выходит за границы выставляется флаг Flg\_REG\_AWOIFEN. А в регистре результата будет полученное значение.

#### **20.4 Датчик опорного напряжения**

С помощью АЦП последовательных приближений можно осуществить преобразования источника опорного напряжения. Для этого необходимо включить блок датчика температуры и источник опорного напряжения, установив бит TS\_EN в 1. После включения можно использовать источник опорного напряжения для АЦП последовательных приближений вместо его собственного, что позволяет снизить ток потребления. Для этого необходимо установить биты ADC1\_OP в единицу. Для выбора источника опорного напряжения в качестве источника для преобразования необходимо в битах Cfg\_REG\_CHS установить значение 30 канала. Установить биты TS\_BUF\_EN и SEL\_VREF. После чего можно запустить процесс преобразования. Для начала преобразования необходимо записать 1 в бит Cfg\_REG\_GO.

После завершения преобразования будет взведен бит Flg\_REG\_EOCIF в регистре ADC1\_STATUS. А в регистре ADC1\_RESULT будет результат преобразования.

После считывания результата бит Flg\_REG\_EOCIF сбросится.

Если после первого преобразования результат не был считан, и было выполнено второе преобразование, то в регистре результата ADC1\_RESULT будет значение от последнего преобразования, а помимо бита Flg\_REG\_EOCIF будет взведен бит Flg\_REG\_OVERWRITE. Флаг Flg\_REG\_OVERWRITE может быть сброшен только записью в регистр ADC1\_STATUS.

Для последовательного преобразования только источника опорного напряжения можно в регистре ADC1\_CHSEL выбрать только 30 канал и установить бит Cfg\_REG\_CHCH в 1, либо установить номер 30-го канала в битах Cfg\_REG\_CHS[4:0] и сбросить бит Cfg\_REG\_CHCH в 0. В этом случае процесс последовательного преобразования будет выполняться только для данного канала. При этом должны быть также установлены биты TS\_BUF\_EN и SEL\_VREF.

#### **20.5 Датчик температуры**

С помощью первого АЦП последовательных приближений можно осуществить преобразования датчика опорного напряжения. Для этого необходимо включить блок датчика температуры и источник опорного напряжения, установив бит TS\_EN в 1. После включения можно использовать источник опорного напряжения для АЦП последовательных приближений вместо его собственного, что позволяет снизить ток потребления. Для этого необходимо установить биты ADC1\_OP в единицу. Для выбора датчика температуры в качестве источника для преобразования необходимо в битах Cfg\_REG\_CHS установить значение 31 канала. Установить биты TS\_BUF\_EN и SEL\_TS. После чего можно запустить процесс преобразования. Для начала преобразования необходимо записать 1 в бит Cfg\_REG\_GO.

После завершения преобразования будет взведен бит Flg\_REG\_EOCIF в регистре ADC1\_STATUS. А в регистре ADC1\_RESULT будет результат преобразования.

После считывания результата бит Flg\_REG\_EOCIF сбросится.

Если после первого преобразования результат не был считан, и было выполнено второе преобразование, то в регистре результата ADC1\_RESULT будет значение от последнего преобразования, а помимо бита Flg\_REG\_EOCIF будет взведен бит Flg\_REG\_OVERWRITE. Флаг Flg\_REG\_OVERWRITE может быть сброшен только записью в регистр ADC1\_STATUS.

Для последовательного преобразования только датчика температуры можно в регистре ADC1\_CHSEL выбрать только 31 канал и установить бит Cfg\_REG\_CHCH в 1, либо установить номер 31-го канала в битах Cfg\_REG\_CHS[4:0] и сбросить

бит Cfg\_REG\_CHCH в 0. В этом случае процесс последовательного преобразования будет выполняться только для данного канала. При этом должны быть также установлены биты TS\_BUF\_EN и SEL\_TS.

### 20.6 Время заряда внутренней емкости

Процесс преобразования состоит из двух этапов: сначала происходит заряд внутренней емкости до уровня внешнего сигнала, и затем происходит преобразование уровня заряда внутренней емкости в цифровой вид. Таким образом, для точного преобразования внешнего сигнала в цифровой вид, за время первого этапа внутренняя емкость должна зарядиться до уровня внешнего сигнала. Это время определяется соотношением номинальной внутренней емкости, входным сопротивлением тракта АЦП и выходным сопротивлением источника сигнала. Формула (1) позволяет определить максимальное выходное сопротивление источника  $R_{AIN}$  для обеспечения качественного преобразования:

$$R_{AIN} < \frac{T_{track}}{C_{ADC} \cdot \ln(2^N)} - R_{ADC} \quad (1)$$

$$T_{track} = 4 \cdot T_{C\_ADC} + N_{PCLKd} \cdot T_{PCLKd} = \frac{4}{f_{C\_ADC}} + \frac{(DelayGo+1)}{f_{PCLKd}} \quad (2)$$

где

$C_{ADC}$  – внутренняя емкость АЦП (~15-20 пФ);

$N$  – требуемая точность в разрядах;

$R_{ADC}$  – входное сопротивление тракта АЦП (~500 Ом);

$T_{track}$  – время заряда внутренней емкости (определяется формулой 2), [с];

$f_{C\_ADC}$  – рабочая частота АЦП (определяется Cfg REG CLKS в регистре ADC1\_CFG),

[с<sup>-1</sup>];

$f_{PCLKd}$  – определяется формулой 3.

$$f_{PCLKd} = \frac{f_{PCLK}}{2^{Cfg\_REG\_DIVCLK}} \quad (3)$$

Время заряда внутренней емкости можно изменять с помощью битов DelayGo[2:0].

Если необходимо обеспечить преобразование с точностью 12 разрядов  $\pm 1/4$  LSB, то  $N = 14$ . Если необходимо обеспечить преобразование с точностью 10 разрядов  $\pm 1$  LSB, то  $N=10$ .

Таблица 186 – Время заряда внутренней емкости АЦП последовательных приближений и время преобразования

DelayGo [2:0]	Дополнительная задержка перед началом преобразования	Общее время $T_s$ заряда емкости АЦП последовательных приближений перед началом преобразования	Общее время преобразования АЦП последовательных приближений
000	1 x PCLKd	4 x C_ADC + 1 x PCLKd	28 x C_ADC + 1 x PCLKd
001	2 x PCLKd	4 x C_ADC + 2 x PCLKd	28 x C_ADC + 2 x PCLKd
010	3 x PCLKd	4 x C_ADC + 3 x PCLKd	28 x C_ADC + 3 x PCLKd
011	4 x PCLKd	4 x C_ADC + 4 x PCLKd	28 x C_ADC + 4 x PCLKd
100	5 x PCLKd	4 x C_ADC + 5 x PCLKd	28 x C_ADC + 5 x PCLKd

<b>DelayGo [2:0]</b>	<b>Дополнительная задержка перед началом преобразования</b>	<b>Общее время T<sub>s</sub> заряда емкости АЦП последовательных приближений перед началом преобразования</b>	<b>Общее время преобразования АЦП последовательных приближений</b>
101	6 x PCLKd	4 x C_ADC + 6 x PCLKd	28 x C_ADC + 6 x PCLKd
110	7 x PCLKd	4 x C_ADC + 7 x PCLKd	28 x C_ADC + 7 x PCLKd
111	8 x PCLKd	4 x C_ADC + 8 x PCLKd	28 x C_ADC + 8 x PCLKd

Помимо точности, определяемой временем зарядки внутренней емкости АЦП, точность преобразования имеет ошибки, связанные с технологическими разбросами схемы и шумами и определяемые параметрами EDLADC, EILADC и EOFFADC.

Задание режимов работы АЦП в регистре ADCx\_CFG необходимо производить до задания бита Cfg REG GO, иначе новая конфигурация будет действовать со следующего преобразования.

### 20.7 Описание регистров блока контроллера АЦП последовательных приближений

Таблица 187 – Описание регистров блока контроллера АЦП последовательных приближений

<b>Базовый адрес</b>	<b>Название</b>	<b>Описание</b>
0x4004_0000	ADC	Контроллер ADC
<b>Смещение</b>		
0x00	ADC1_CFG	Регистр управления ADC
0x04	ADC2_CFG	Регистр управления ADC
0x08	ADC1_H_LEVEL	Регистр верхней границы ADC
0x10	ADC1_L_LEVEL	Регистр нижней границы ADC
0x18	ADC1_RESULT	Регистр результата ADC
0x20	ADC1_STATUS	Регистр статуса ADC
0x28	ADC1_CHSEL	Регистр выбора каналов перебора ADC
0x30	ADC_TRIM	Регистр настройки термодатчика

#### 20.7.1 ADC1\_CFG

Таблица 188 – Регистр ADC1\_CFG

<b>Номер</b>	31...28	27...25	24...21	20	19	18
<b>Доступ</b>	R/W	U	R/W	R/W	R/W	R/W
<b>Сброс</b>	0	0	0	0	0	0
	<b>Delay ADC[3:0]</b>	<b>Delay Go[2:0]</b>	<b>TR[3:0]</b>	<b>SEL VREF</b>	<b>SEL TS</b>	<b>TS_BUF EN/ADC2 OP</b>
<b>Номер</b>	17	16	15...12	11	10	9
<b>Доступ</b>	R/W	R/W	R/W	R/W	R/W	R/W
<b>Сброс</b>	0	0	0	0	0	0
	<b>TS_EN/ ADC1 OP</b>	<b>CfgSync Conver</b>	<b>CfgREG DIVCLK [3:0]</b>	<b>Cfg M_REF</b>	<b>CfgREG RNGC</b>	<b>CfgREG CHCH</b>

<b>Номер</b>	8..4	3	2	1	0
<b>Доступ</b>	R/W	R/W	R/W	R/W	R/W
<b>Сброс</b>	0	0	0	0	0
	<b>CfgREG CHS[4:0]</b>	<b>CfgREG SAMPLE</b>	<b>CfgREG CLKS</b>	<b>CfgREG GO</b>	<b>CfgREG ADON</b>

Таблица 189 – Описание бит регистра ADC1\_CFG

<b>№ бита</b>	<b>Функциональное имя бита</b>	<b>Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений</b>
31..28	Delay ADC [3:0]	Зарезервировано
27..25	Delay Go [2:0]	Задержка перед началом следующего преобразования после завершения предыдущего при последовательном переборе каналов 000 – 0 тактов CLK 001 – 1 такт CLK ... 111 – 7 тактов CLK
24..21	TR[3:0]	Подстройка опорного напряжения Смотри диаграмму на рисунке 62
20	SEL VREF	Выбор для оцифровки источника опорного напряжения на 1,23 В 0 – не выбран 1 – выбран Должен использоваться совместно с выбором канала Cfg_REG_CHS = 30.
19	SEL TS	Выбор для оцифровки датчика температуры 0 – не выбран 1 – выбран Должен использоваться совместно с выбором канала Cfg_REG_CHS = 31.
18	TS BUF EN	<b>В регистре ADC1_CFG</b> Включения выходного усилителя для датчика температуры 0 – выключен 1 – включен Используется при TS_EN = 1. Для уменьшения тока потребления.
17	TS EN	<b>В регистре ADC1_CFG.</b> Включения датчика температуры и источника опорного напряжения 0 – выключен 1 – включен При включении датчика температуры и источника опорного напряжения выходной сигнал стабилизируется в течение времени Tstb.
17	ADC1 OP	<b>В регистре ADC2_CFG.</b> Выбор источника опорного напряжения 1.23В 0 – внутренний (не точный) 1 – от датчика температуры (точный)



<b>№ бита</b>	<b>Функциональное имя бита</b>	<b>Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений</b>
16	Cfg Sync Conver	Всегда записывать ноль
15..12	Cfg REG DIVCLK [3:0]	Выбор коэффициента деления входной частоты 0000 – CPU_CLK = HCLK; 0001 – CPU_CLK = HCLK/2; 0010 – CPU_CLK = HCLK/4; 0011 – CPU_CLK = HCLK/8; ... 1011 – CPU_CLK = HCLK/2048 Остальные CPU_CLK = HCLK
11	Cfg M_REF	Выбор источника опорных напряжений 0 – внутренне опорное напряжение (от Audd и Auss) 1 – внешнее опорное напряжение (от Uref+ и Uref-)
10	Cfg REG RNGC	Разрешение автоматического контролирования уровней 1 – Разрешено, выработка прерывания при выходе за диапазон в регистрах границы обработки 0 – не разрешено
9	Cfg REG CHCH	Выбор переключения каналов 1 – переключение включено (перебираются каналы, выбранные в регистре выбора канала) 0 – используется только выбранный канал
8...4	Cfg REG CHS [4:0]	Выбор аналогового канала, по которому поступает сигнал для преобразования. 00000 – 0 канал 00001 – 1 канал ... 11111 – 31 канал
3	Cfg REG SAMPLE	Выбор способа запуска АЦП последовательных приближений. 1 – последовательное, автоматический запуск после завершения предыдущего преобразования 0 – одиночное.
2	Cfg REG CLKS	Выбор источника синхросигнала CLK работы ADC 1 – C_ADC 0 – PCLKd (в соответствии с формулой 3 раздела 18.6)
1	Cfg REG GO	Начало преобразования Запись "1" начинает процесс преобразования, сбрасывается автоматически
0	Cfg REG ADON	Включение АЦП последовательных приближений 1 – включено 0 – выключено

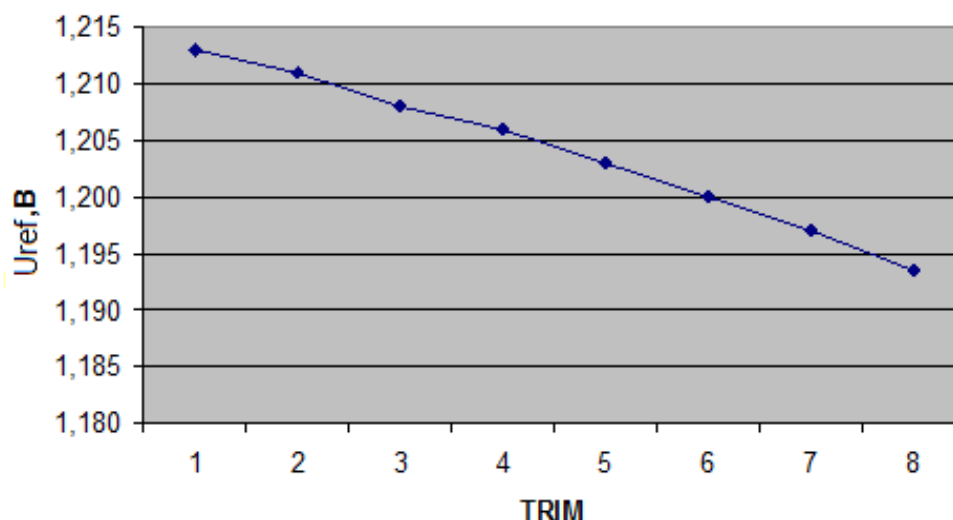


Рисунок 62 – Зависимость источника опорного напряжения от подстройки

### 20.7.2 ADC1\_H\_LEVEL

Таблица 190 – Регистр ADC1\_H\_LEVEL

<b>Номер</b>	31...12	11...0
<b>Доступ</b>	U	R/W
<b>Сброс</b>	0	0
	-	<b>REGH LEVEL [11:0]</b>

Таблица 191 – Описание бит регистра ADC1\_H\_LEVEL

№ бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31...12	-	Зарезервировано
11...0	REGH LEVEL [11:0]	Верхняя граница зоны допуска

### 20.7.3 ADC1\_L\_LEVEL

Таблица 192 – Регистр ADC1\_L\_LEVEL

<b>Номер</b>	31...12	11...0
<b>Доступ</b>	U	R/W
<b>Сброс</b>	0	0
	-	<b>REGL LEVEL [11:0]</b>

Таблица 193 – Описание бит регистра ADC1\_L\_LEVEL

№ бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31...12	-	Зарезервировано
11...0	REGL LEVEL [11:0]	Нижняя граница зоны допуска

### 20.7.4 ADC1\_RESULT

Таблица 194 – Регистр ADC1\_RESULT

<b>Номер</b>	31...21	20...16	15...12	11...0
<b>Доступ</b>	U	RO	U	RO
<b>Сброс</b>	0	0	0	0
	-	<b>CHANNEL [11:0]</b>	-	<b>RESULT [11:0]</b>

Таблица 195 – Описание бит регистра ADC1\_RESULT

<b>№ бита</b>	<b>Функциональное имя бита</b>	<b>Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений</b>
31..12	-	Зарезервировано
20..16	CHANNEL [11:0]	Канал результата преобразования
15..12	-	Зарезервировано
11...0	RESULT [11:0]	Значение результата преобразования

### 20.7.5 ADC1\_STATUS

Таблица 196 – Регистр ADC1\_STATUS

<b>Номер</b>	31...5	4	3	2	1	0
<b>Доступ</b>	U	R/W	R/W	R/W	R/W	R/W
<b>Сброс</b>	0	0	0	0	0	0
	-	<b>ECOIF IE</b>	<b>AWOIFIE</b>	<b>FlgREG EOCIF</b>	<b>FlgREG AWOIFEN</b>	<b>FlgREG OVERWRITE</b>

Таблица 197 – Описание бит регистра ADC1\_STATUS

<b>№ бита</b>	<b>Функциональное имя бита</b>	<b>Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений</b>
31...5	-	Зарезервировано
4	ECOIF_IE	Флаг разрешения генерирования прерывания по событию Flg_REG_ECOIF 0 – прерывания не генерируется 1 – прерывание генерируется
3	AWOIF_IE	Флаг разрешения генерирования прерывания по событию Flg_REG_AWOIFEN 0 – прерывания не генерируется 1 – прерывание генерируется
2	Flg REG EOCIF	Флаг выставляется, когда закончено преобразования и данные еще не считаны. Очищается считыванием результата из регистра ADC1_RESULT. 1 – есть готовый результат преобразования 0 – нет результата
1	Flg REG AWOIFEN	Флаг выставляется, когда результат преобразования выше верхней или ниже нижней границы автоматического контроля уровней. Сбрасывается только при записи нуля в данный бит. 0 – результат в допустимой зоне 1 – вне допустимой зоны

<b>№ бита</b>	<b>Функциональное имя бита</b>	<b>Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений</b>
0	Flg REG OVERWRITE	Данные в регистре результата были перезаписаны, данный флаг сбрасывается только при записи в регистр флагов. 0 – не было события перезаписи не считанного результата 1 – был результат преобразования, который не был считан

### 20.7.6 ADC1\_CHSEL

Таблица 198 – Регистр ADC1\_CHSEL

<b>Номер</b>	31...0
<b>Доступ</b>	R/W
<b>Сброс</b>	0
	<b>SI_Ch_Ch_REF[31:0]</b>

Таблица 199 – Описание бит регистра ADC1\_CHSEL

<b>№ бита</b>	<b>Функциональное имя бита</b>	<b>Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений</b>
31...0	SI_Ch_Ch_REF [31:0]	Выбор каналов автоматического перебора 0 в соответствующем бите канал не участвует в переборе 1 – канал участвует в переборе

### 20.7.7 ADC\_TRIM

Таблица 200 – Регистр ADC\_TRIM

<b>Номер</b>	31...7	6	5...1	0
<b>Доступ</b>	U	R/W	R/W	R/W
<b>Сброс</b>	0	0	10000	0
	-	<b>SEL_VREF_BUF</b>	<b>TS_TRIM[4:0]</b>	<b>0</b>

Таблица 201 – Описание бит регистра ADC\_TRIM

<b>№ бита</b>	<b>Функциональное имя бита</b>	<b>Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений</b>
31..7	-	Зарезервировано
6	SEL VREF BUF	Включение выходного усилителя для источника опорного напряжения 0 – выключен 1 – включен Используется при TS_EN = 1. Для уменьшения тока потребления.
5..1	TS_TRIM[4:0]	Подстройка опорного напряжения
0	-	Зарезервировано

## 21 Контроллер ЦАП

В микроконтроллере реализован один канал ЦАП. Для включения ЦАП необходимо установить бит Cfg\_ON\_DAC в 1, используемый вывод ЦАП в порте А был сконфигурированы как аналоговый и были отключены какие-либо внутренние подтяжки. При работе ЦАП после записи данных в регистр данных DAC\_DATA на выходе DAC\_OUT формируется уровень напряжения, соответствующий записанному значению. ЦАП может работать как от внутренней опоры Cfg\_M\_REF=0, тогда ЦАП формирует выходной сигнал в диапазоне от 0 до напряжения питания U<sub>cc</sub>. В режиме работы с внешней опорой Cfg\_M\_REF=1 ЦАП формирует выходное напряжение в диапазоне от 0 до значения DAC\_REF.

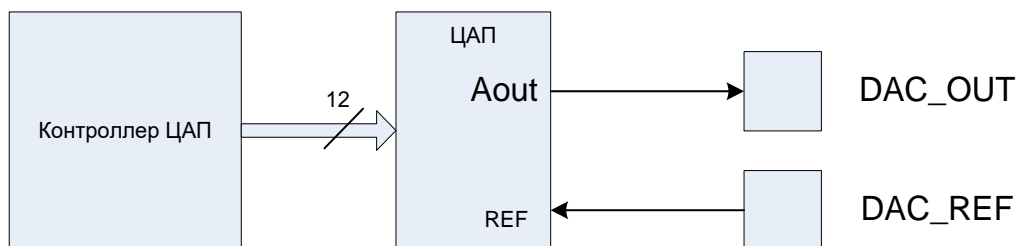


Рисунок 63 – Структурная схема контроллера ЦАП

### 21.1 Описание регистров блока контроллера ЦАП

Таблица 202 – Описание регистров блока контроллера ЦАП

Базовый адрес	Название	Описание
0x4003_8000	DAC	Контроллер DAC
<b>Смещение</b>		
0x00	DAC_CFG	Регистр управления DAC
0x04	DAC0_DATA	Регистр данных DAC0

#### 21.1.1 DAC\_CFG

Таблица 203 – Регистр CFG

Номер	31...5	4	3	2	1	0
Доступ	U	R/W	U	R/W	U	R/W
Сброс	0	0	0	0	0	0
	-	<b>Cfg SYNCA</b>	-	<b>Cfg ON DAC0</b>	-	<b>Cfg M_REF0</b>

Таблица 204 – Описание бит регистра CFG

№ бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31...5	-	Зарезервировано
4	Cfg_SYNC_A	Всегда записывать нуль
3	-	Зарезервировано
2	Cfg_ON_DAC0	Включение DAC0 1 – включен 0 – выключен
1	-	Зарезервировано

<b>№ бита</b>	<b>Функциональное имя бита</b>	<b>Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений</b>
0	Cfg_M_REF0	Выбор источника опорного напряжения DAC0 0 – в качестве опорного напряжения используется напряжение питания с вывода VDD33A. 1 – в качестве опорного напряжения используется напряжение на входе опорного напряжения VREFP.

### 21.1.2 DAC0\_DATA

Таблица 205 – Регистр DAC0\_DATA

<b>Номер</b>	31...12	11...0
<b>Доступ</b>	U	R/W
<b>Сброс</b>	0	0
	-	<b>DAC0_DATA[11:0]</b>

Таблица 206 – Описание бит регистра DAC0\_DATA

<b>№ бита</b>	<b>Функциональное имя бита</b>	<b>Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений</b>
31...12	-	Зарезервировано
11...0	DAC0 DATA[11:0]	Данные DAC0

## 22 Контроллер схемы компаратора

В микроконтроллере реализована схема компаратора. Схема компаратора обеспечивает следующие режимы работы:

- сравнение двух сигналов с трех различных выводов микросхемы;
- сравнение сигнала с трех различных выводов с внутренней шкалой напряжений;
- сравнение сигнала с вывода IN1 с внутренним источником опорного напряжения;
- формирование внутренней шкалы напряжений от питания микроконтроллера и от внешних выводов.

Для включения компаратора необходимо установить бит ON (

<b>Номер</b>	7...4	3	2	1	0
<b>Доступ</b>	R/W	R/W	R/W	R/W	R/W
<b>Сброс</b>	0	0	0	0	0
	<b>CVR[3:0]</b>	<b>CVREN</b>	<b>CVRSS</b>	<b>CVRR</b>	<b>ON</b>

Таблица 210) в 1, используемые выводы в порте E должны быть сконфигурированы как аналоговые и должны быть отключены какие-либо внутренние подтяжки. После появления флага Ready компаратор готов к работе.

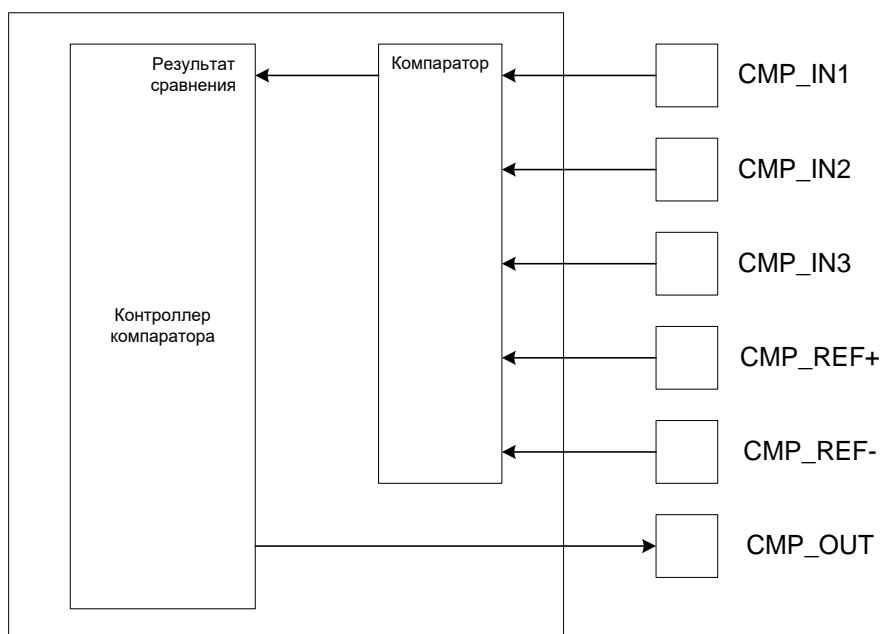


Рисунок 64 – Структура блока компаратора

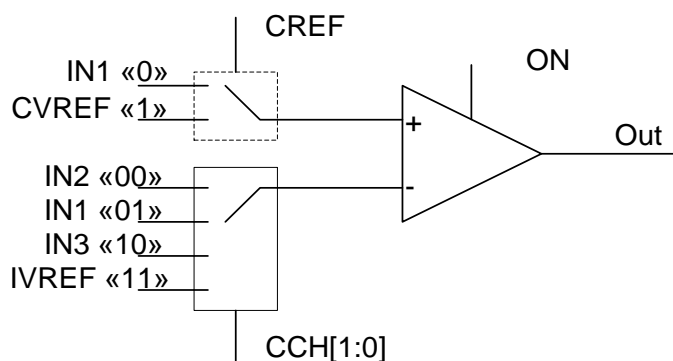


Рисунок 65 – Схема компаратора

\*IVREF – выход внутреннего источника опорного напряжения 1,2 В

## 22.1 Структура мультиплексирования входов компаратора

### 22.1.1 Сравнение внешних сигналов

Компаратор позволяет проводить сравнение двух сигналов, поступающих с трех выводов микросхемы. На вход «+» компаратора может быть подан сигнал IN1 (бит CREF=0), на вход «-» могут быть поданы сигналы IN1 (CCH=01), IN2 (CCH=00) и IN2 (CCH=10), при этом, если уровень на входе «+» будет больше уровня на входе «-», то выход Out установится в 1.

### 22.1.2 Сравнение сигнала с внутренним источником опорного напряжения

Компаратор позволяет проводить сравнение сигнала, поступающего с вывода IN1 микросхемы, с внутренним источником опорного напряжения IVREF. Для этого на вход «+» компаратора должен быть подан сигнал IN1 (бит CREF=0), на вход «-» должен быть подан сигнал IVREF (CCH=11), при этом, если уровень на входе «+» будет больше уровня на входе «-», то выход Out установится в 1.

### 22.1.3 Сравнение внешних сигналов с внутренней шкалой напряжений

Компаратор позволяет проводить сравнение внешних сигналов, поступающих с трех выводов микросхемы, со шкалой напряжений, формируемых внутри микросхемы. На вход «+» компаратора должен быть подан сигнал CVREF (бит CREF=1), на вход «-» могут быть поданы сигналы IN1 (CCH=01), IN2 (CCH=00) и IN3 (CCH=10), при этом, если уровень на входе «+» будет больше уровня на входе «-», то выход Out установится в 1.

### 22.1.4 Формирование внутренней шкалы напряжений

Внутренняя шкала напряжений формируется на резистивном делителе, который включает битом CVREN=1.

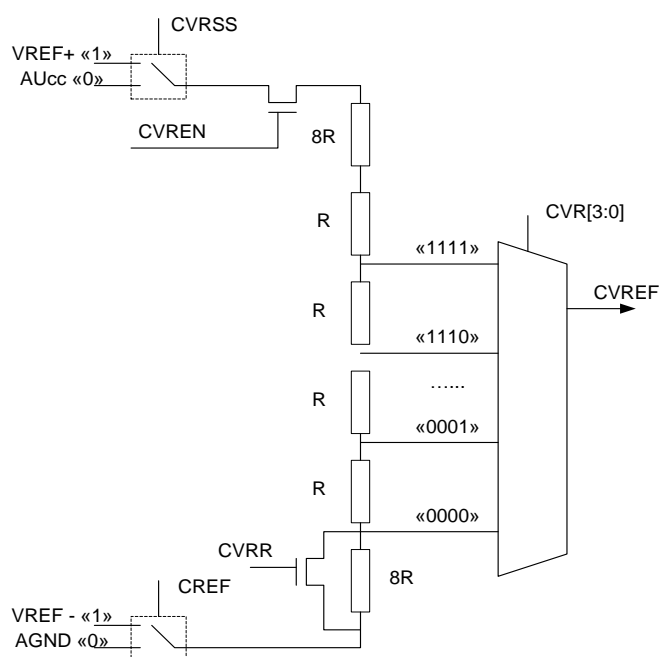


Рисунок 66 – Структура блока формирования CVREF

При этом в качестве опорного напряжения делителя может выступать питание микросхемы AUcc (CVRSS = 0) или напряжение на выводе COMP\_VREF+ (CVRSS = 1).



Нижнее опорное напряжение компаратора задается на выводе COMP\_VREF-. Напряжение на выводе CVREF формируется на основании комбинации битов CVRR и CVR и приведены в таблице 207 как справочные данные, реальные значения в конкретном кристалле могут отличаться за счет технологического разброса параметров.

Таблица 207 – Формирование внутренней шкалы напряжений CVREF

CVRR	CVR[3:0]	Отношение резисторов	Напряжение CREF, В (при Ucc=3,3 В)	Входной импеданс VREF+, Ом
0	0000	8/32	0.83	12K
	0001	9/32	0.93	13K
	0010	10/32	1.03	13.8K
	0011	11/32	1.13	14.4K
	0100	12/32	1.24	15K
	0101	13/32	1.34	15.4K
	0110	14/32	1.44	15.8K
	0111	15/32	1.55	15.9K
	1000	16/32	1.65	16K
	1001	17/32	1.75	15.9K
	1010	18/32	1.86	15.8K
	1011	19/32	1.96	15.4K
	1100	20/32	2.06	15K
	1101	21/32	2.17	14.4K
	1110	22/32	2.27	13.8K
	1111	23/32	2.37	12.9K
1	0000	0/24	0.00	0.5K
	0001	1/24	0.14	1.9K
	0010	2/24	0.28	3.7K
	0011	3/24	0.41	5.3K
	0100	4/24	0.55	6.7K
	0101	5/24	0.69	7.9K
	0110	6/24	0.83	9K
	0111	7/24	0.96	9.9K
	1000	8/24	1.10	10.7K
	1001	9/24	1.24	11.3K
	1010	10/24	1.38	11.7K
	1011	11/24	1.51	11.9K
	1100	12/24	1.65	12K
	1101	13/24	1.79	11.9K
	1110	14/24	1.93	11.7K
	1111	15/24	2.06	11.3K

Результат работы компаратора на выходе COMP\_OUT может быть проинвертирован с помощью бита INV и выдан на вывод микросхемы OUT\_COMP. Также результат сравнения доступен внутри микроконтроллера. Комбинационный сигнал с компаратора отображается в бите Rslt\_As (при чтении может быть считан как 1, но при этом не выработать прерывания). Зафиксированный в триггере по тактовой частоте HCLK сигнал сравнения отображается в бите Rslt\_Sy. Флаг Rst\_Ich фиксирует событие появления положительного сигнала сравнения и устанавливается в 1 до тех пор, пока не будет считан регистр COMP\_RESULT\_LATCH

## 22.2 Описание регистров блока контроллера компаратора

Таблица 208 – Описание регистров блока контроллера компаратора

Базовый адрес	Название	Описание
0x4003_0000	COMP	Контроллер Компаратора
<b>Смещение</b>		
0x00	COMP_CFG	Регистр управления Компаратора
0x04	COMP_RESULT	Регистр результата Компаратора
0x08	COMP_RESULT_LATCH	Регистр результата Компаратора – защелка

### 22.2.1 COMP\_CFG

Таблица 209 – Регистр COMP\_CFG

Номер	31...14	13	12	11	10, 9	8
Доступ	U	R/W	RO	R/W	R/W	R/W
Сброс	0	0	0	0	0	0
	-	<b>CMPIE</b>	<b>Ready</b>	<b>INV</b>	<b>CCH[1:0]</b>	<b>CREF</b>

Номер	7...4	3	2	1	0
Доступ	R/W	R/W	R/W	R/W	R/W
Сброс	0	0	0	0	0
	<b>CVR[3:0]</b>	<b>CVREN</b>	<b>CVRSS</b>	<b>CVRR</b>	<b>ON</b>

Таблица 210 – Описание бит регистра COMP\_CFG

№ бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31..14	-	Зарезервировано
13	CMPIE	Флаг разрешения генерации прерывания по событию Rst_Ich. 0 – запрещено прерывание 1 – разрешено прерывание
12	Ready	Сигнал готовности аналогового компаратора при включении 0 – компаратор не включен или не готов к работе 1 – компаратор готов к работе.
11	INV	Инверсия выхода компаратора 0 – Out 1 – не Out
10, 9	CCH [1:0]	Биты выбора сигнал управления мультиплексора канала 00 – на «-» компаратора сигнал подается с IN2 01 – на «-» компаратора сигнал подается с IN1 10 – на «-» компаратора сигнал подается с IN3 11 – на «-» компаратора сигнал подается с IVREF*
8	CREF	Бит выбора сигнал управления мультиплексора канала 0 – на «+» компаратора сигнал подается с IN1 1 – на «+» компаратора сигнал подается с CREF
7...4	CVR [3:0]	Биты выбора сигнал управления мультиплексора выбора CVREF

№ бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
3	CVREN	Бит разрешения работы источника CVREF 0 – не разрешен 1 – разрешен
2	CVRSS	Бит выбора опоры CVREF 0 – источник CVREF работает в границах Avdd AGND 1 – источник CVREF работает в границах Vref+ Vref-
1	CVRR	Бит выбора диапазона CVREF 1 – источник CVREF работает в нижнем диапазоне 0 – источник CVREF работает в верхнем диапазоне.
0	ON	Включение компаратора 0 – выключен 1 – включен

### 22.2.2 COMP\_RESULT

Таблица 211 – Регистр COMP\_RESULT

<b>Номер</b>	31...3	2	1	0
<b>Доступ</b>	U	R/W	R/W	R/W
<b>Сброс</b>	0	0	0	0
	-	<b>Rst_Ich</b>	<b>Rslt_As</b>	<b>Rslt_Sy</b>

Таблица 212 – Описание бит регистра COMP\_RESULT

№ бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31...3	-	Зарезервировано
2	Rst_Ich	Значение компарирования хранится до момента считывания из регистра COMP_RESULT_LATCH, после чего сбрасывается. Вводится по переднему фронту сигнала с компаратора.
1	Rslt_As	Значение компарирования непосредственно с компаратора
0	Rslt_Sy	Протактированное значение компарирования частотой PCLK

### 22.2.3 COMP\_RESULT\_LATCH

Таблица 213 – Регистр COMP\_RESULT\_LATCH

<b>Номер</b>	31...1	0
<b>Доступ</b>	U	R/W
<b>Сброс</b>	0	0
	-	<b>Rst_Ich</b>

Таблица 214 – Описание бит регистра COMP\_RESULT\_LATCH

№ бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31...1	-	Зарезервировано
0	Rst_Ich	Значение компарирования хранится до момента считывания из регистра COMP_RESULT_LATCH, после чего сбрасывается. Вводится по переднему фронту сигнала с компаратора.

## **23 Контроллер SSP**

Модуль порта синхронной последовательной связи (SSP – Synchronous Serial Port) выполняет функции интерфейса последовательной синхронной связи в режиме ведущего и ведомого устройства и обеспечивает обмен данными с подключенным ведомым или ведущим периферийным устройством в соответствии с одним из протоколов:

- интерфейс SPI фирмы Motorola;
- интерфейс SSI фирмы Texas Instruments;
- интерфейс Microwire фирмы National Semiconductor.

Как в ведущем, так и в ведомом режиме работы модуль SSP обеспечивает:  
преобразование данных, размещенных во внутреннем буфере FIFO передатчика (восемь 16-разрядных ячеек данных) из параллельного в последовательный формат;  
преобразование данных из последовательного в параллельный формат и их запись в аналогичный буфер FIFO приемника (восемь 16-разрядных ячеек данных).

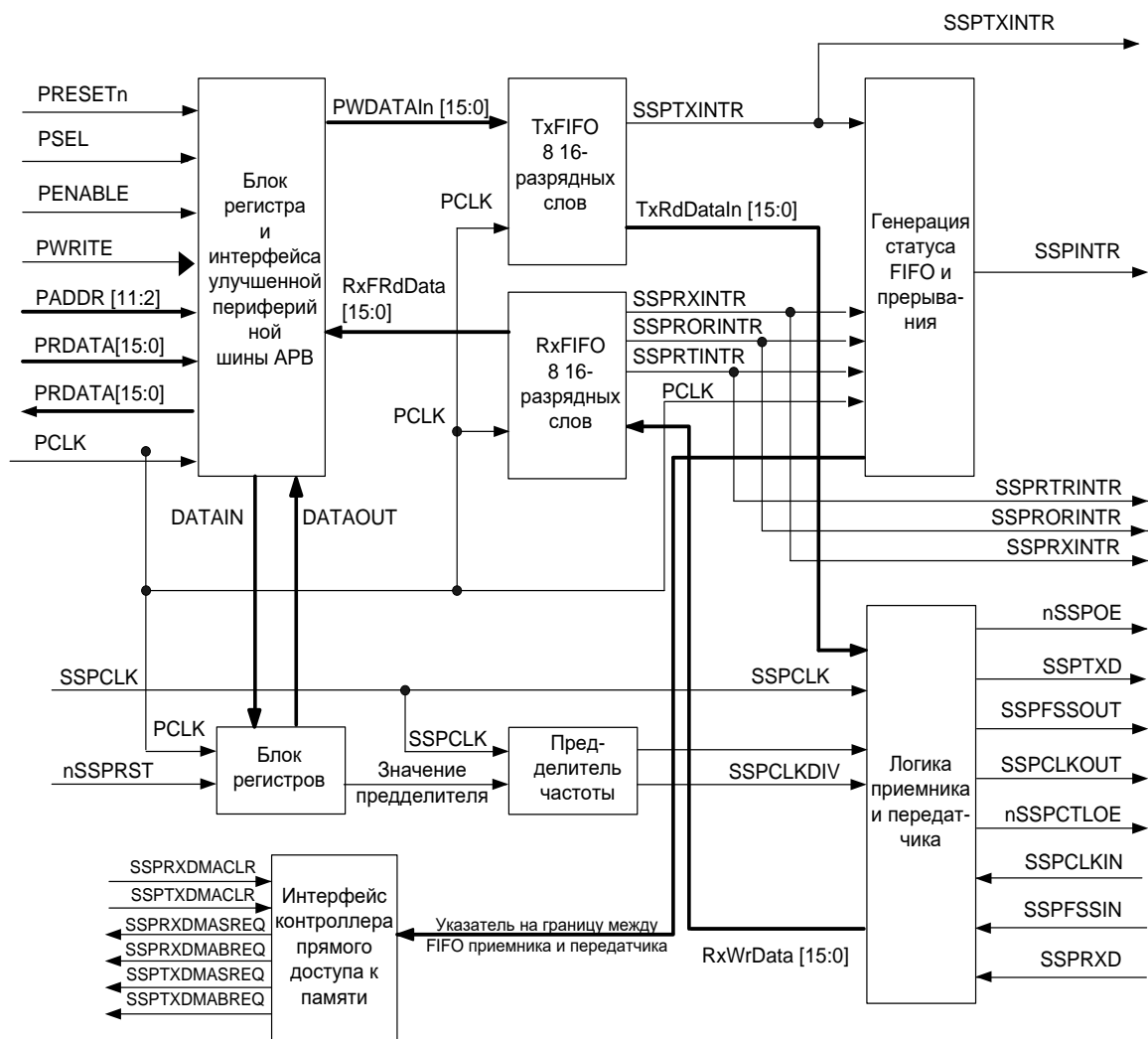
Модуль формирует сигналы прерываний по следующим событиям:  
необходимость обслуживания буферов FIFO приемника и передатчика;  
переполнение буфера FIFO приемника;  
наличие данных в буфере FIFO приемника по истечении времени таймаута.

Основные сведения о модуле представлены в следующих разделах:  
характеристики интерфейса SPI;  
характеристики интерфейса Microwire;  
характеристики интерфейса SSI.

### **23.1 Основные характеристики модуля SSP**

- Может функционировать как в ведущем, так и в ведомом режиме;
- Программное управление скоростью обмена;
- Содержит независимые буферы приема и передачи (8 ячеек, 16 бит) с организацией доступа типа FIFO (First In First Out – первый вошел, первый вышел);
- Программный выбор одного из интерфейсов обмена: SPI, Microwire, SSI;
- Программируемая длительность информационного кадра от 4 до 16 бит;
- Независимое маскирование прерываний от буфера FIFO передатчика, буфера FIFO приемника, а также по переполнению буфера приемника;
- Доступна возможность тестирования по шлейфу;
- Поддержка прямого доступа к памяти (ПДП).

Структурная схема модуля SSP представлена на рисунке 67.



**Рисунок 67 – Структурная схема модуля SSP**

### 23.2 Программируемые параметры

Следующие ключевые параметры могут быть заданы программно:  
 Режим функционирования периферийного устройства – ведущее или ведомое;  
 Разрешение или запрещение функционирования;  
 Формат информационного кадра;  
 Скорость передачи данных;  
 Фаза и полярность тактового сигнала;  
 Размер блока данных – от 4 до 16 бит;  
 Маскирование прерываний.

### 23.3 Характеристики интерфейса SPI

Последовательный синхронный интерфейс SPI фирмы Motorola обеспечивает: полнодуплексный обмен данными по четырехпроводной линии; программное задание фазы и полярности тактового сигнала.

### 23.4 Характеристики интерфейса Microwire

Интерфейс Microwire фирмы National Semiconductor обеспечивает: полудуплексный обмен данными с использованием восьмибитных управляющих последовательностей.

### **23.5 Характеристики интерфейса SSI**

Интерфейс SSI фирмы Texas Instruments обеспечивает:  
полнодуплексный обмен данными по четырехпроводной линии;  
возможность перевода линии передачи данных в третье (высокоимпедансное) состояние.

### **23.6 Общий обзор модуля SSP**

Модуль PrimeCell SSP представляет собой интерфейс синхронного последовательного обмена данными, способный функционировать в качестве ведущего или ведомого устройства и поддерживающий протоколы передачи данных SPI фирмы Motorola, Microwire фирмы National Semiconductor, а также SSI фирмы Texas Instruments.

Модуль выполняет следующие функции:

- Преобразование данных, полученных от периферийного устройства, из последовательной в параллельную форму;
- Преобразование данных, передаваемых на периферийное устройство, из параллельной в последовательную форму;
- Центральный процессор читает и записывает данные, а также управляющую информацию и информацию о состоянии;
- Прием и передача данных буферизуются с помощью буферов FIFO, обеспечивающих хранение до восьми слов данных шириной 16 бит независимо для режимов приема и передачи.

Последовательные данные передаются по линии SSP\_TXD и принимаются с линии SSP\_RXD.

Модуль SSP содержит программируемые делители частоты, формирующие тактовый сигнал обмена данными SSPCLKOUT из сигнала, поступающего на линию SSP\_CLK. Скорость передачи данных может достигать более 2 МГц, в зависимости от частоты SSP\_CLK и характеристик подключенного периферийного устройства.

Режим обмена данными, формат информационного кадра и количество бит данных задаются программно с помощью регистров управления SSPCR0 и SSPCR1.

Модуль формирует четыре независимо маскируемых прерывания:

- SSPTXINTR – запрос на обслуживание буфера передатчика;
- SSPRXINTR – запрос на обслуживание буфера приемника;
- SSPRORINTR – переполнение приемного буфера FIFO;
- SSPRTINTR – таймаут ожидания чтения данных из приемного FIFO.

Кроме того, формируется общий сигнал прерывания SSPINTR, возникающий в случае активности одного из вышеуказанных независимых немаскированных прерываний.

Модуль также формирует сигналы запроса на прямой доступ к памяти (ПДП) для совместной работы с контроллером ПДП.

В зависимости от режима работы модуля сигнал SSPFSSOUT используется либо для кадровой синхронизации (интерфейс SSI, активное состояние – высокий уровень), либо для выбора ведомого режима (интерфейсы SPI и Microwire, активное состояние – низкий уровень).

#### **23.6.1 Блок формирования тактового сигнала**

В режиме ведущего устройства модуль формирует тактовый сигнал обмена данными SSPCLKOUT с помощью внутреннего делителя частоты, состоящего из двух последовательно соединенных счетчиков без цепи сброса.

Путем записи значения в регистр SSPCPSR можно задать коэффициент предварительного деления частоты в диапазоне от 2 до 254 с шагом 2. Так как младший

значащий разряд коэффициента деления не используется, исключается возможность деления частоты на нечетный коэффициент, что, в свою очередь гарантирует формирование тактового сигнала симметричной формы (с одинаковой длительностью полупериодов высокого и низкого уровня).

Сформированный описанным образом сигнал далее поступает на второй делитель частоты, с выход которого и снимается тактовый сигнал обмена данными SSPCLKOUT.

Коэффициентом деления второго делителя задается программно в диапазоне от 1 до 256, путем записи соответствующего значения в регистр управления SSPCR0.

### **23.6.2 Буфер FIFO передатчика**

Буфер передатчика имеет ширину 16 бит, глубину 8 слов, схему организации доступа типа «первый вошел, первый вышел». Данные от центрального процессора, записанные через шину AMBA APB, сохраняются в буфере до тех пор, пока не будут считаны блоком передачи данных.

### **23.6.3 Буфер FIFO приемника**

Буфер приемника имеет ширину 16 бит, глубину 8 слов, схему организации доступа типа «первый вошел, первый вышел». Принятые от периферийного устройства данные сохраняются блоком приема данных в нем до тех пор, пока не будут считаны центральным процессором через шину AMBA APB.

### **23.6.4 Блок приема и передачи данных**

**В режиме ведущего устройства** модуль формирует тактовый сигнал обмена данными SSPCLKOUT для подключенных ведомых устройств. Как было описано ранее, данный сигнал формируется путем деления частоты сигнала SSPCLK.

Блок передатчика последовательно считывает значения из буфера FIFO передатчика и производит их преобразование из параллельной в последовательную форму. Далее поток последовательных данных и элементов кадровой синхронизации, тактированные сигналом SSPCLKOUT, передаются по линии SSP\_TXD к подключенным ведомым устройствам.

Блок приемника выполняет преобразование данных, поступающих синхронно с линии SSP\_RXD из последовательной в параллельную форму, после чего загружает их в буфер FIFO приемника, откуда они могут быть считаны через интерфейс шины APB.

**В режиме ведомого устройства** тактовый сигнал обмена данными формируется одним из подключенных к модулю периферийных устройств и поступает по линии SSPCLKIN.

При этом блок передатчика, тактируемый этим внешним сигналом, считывает данные из буфера FIFO, преобразует их из параллельной формы в последовательную, после чего выдает поток последовательных данных и элементов кадровой синхронизации в линию SSP\_TXD.

Аналогично, блок приемника выполняет преобразование данных, поступающих с линии SSP\_RXD синхронно с сигналом SSPCLKIN из последовательной в параллельную форму, после чего загружает их в буфер FIFO приемника, откуда они могут быть считаны через интерфейс шины APB.

Примечание – В режиме работы ведомого устройства, запросы ведущим устройством, на выдачу информации от ведомого, необходимо осуществлять при наличии данных в FIFO передатчика ведомого.

### **23.6.5 Блок формирования прерываний**

Модуль SSP генерирует независимые маскируемые прерывания с активным высоким уровнем. Кроме того, формируется комбинированное прерывание путем объединения указанных независимых прерываний по схеме ИЛИ.

Комбинированный сигнал прерывания может быть подан на внешний контроллер прерываний системы, при этом появится дополнительная возможность маскирования устройства в целом, что облегчает построение модульных драйверов устройств.

Другой подход состоит в подаче на системный контроллер прерываний независимых линий запроса на прерывание от приемопередатчика. В этом случае процедура обработки сможет одновременно считать информацию обо всех источниках прерывания. Данный подход привлекателен в случае, если скорость доступа к регистрам периферийных устройств значительно превышает тактовую частоту центрального процессора в системе реального времени.

Модуль SSP позволяет использовать оба описанных выше подхода.

Предусмотрены независимые линии запроса прерывания по готовности приемника и передатчика SSPTXINTR и SSPRXINTR, что позволяет обслуживание устройства (чтение или запись данных) по достижению заданного уровня заполнения буферов FIFO приемника или передатчика.

### **23.6.6 Конфигурирование приемопередатчика**

После сброса работа блоков приемопередатчика запрещается до выполнения процедуры задания конфигурации.

Для этого необходимо выбрать ведущий или ведомый режим работы устройства, а также используемый протокол передачи данных (SPI фирмы Motorola, SSI фирмы Texas Instruments, либо Microwave фирмы National Semiconductor), после чего записать необходимую информацию в регистры управления SSPCR0 и SSPCR1.

Кроме того, для установки требуемой скорости передачи данных необходимо выбрать параметры блока формирования тактового сигнала с учетом значения частоты внешнего сигнала SSPCLK и записать соответствующую информацию в регистр SSPCPSR.

### **23.6.7 Разрешение работы приемопередатчика**

Разрешение осуществляется путем установки бита SSE регистра управления SSPCR1. Буфер FIFO передатчика может быть либо проинициализирован путем записи в него до восьми 16-разрядных слов заблаговременно перед установкой этого бита, либо заполняться передаваемыми данными в процедуре обслуживания прерывания.

После разрешения работы модуля приемопередатчик начинает обмен данными по линиям SSP\_TXD и SSP\_RXD.

### **23.6.8 Соотношения между тактовыми сигналами**

В модуле имеется ограничение на соотношение между частотами тактовых сигналов PCLK и SSP\_CLK. Частота SSP\_CLK должна меньше или равна частоте PCLK. Выполнение этого требования гарантирует синхронизацию сигналов управления, передаваемых из зоны действия тактового сигнала SSP\_CLK в зону действия сигнала PCLK в течение времени, меньшего продолжительности передачи одного информационного кадра:

$$F_{SSPCLK} \leq F_{PCLK}.$$



В режиме ведомого устройства сигнал SSPCLKIN от ведущего внешнего устройства поступает на схемы синхронизации, задержки и обнаружения фронта. Для того чтобы обнаружить фронт сигнала SSPCLKIN необходимо три такта сигнала SSPCLK. Сигнал SSP\_TXD имеет меньшее время установки по отношению к заднему фронту SSPCLKIN, по которому и происходит считывание данных из линии. Время установки и удержания сигнала SSP\_RXD по отношению к сигналу SSPCLKIN должно выбираться с запасом, гарантирующим правильное считывание данных. Для обеспечения корректной работы устройства необходимо, чтобы частота SSP\_CLK была как минимум в 12 раз больше, чем максимальная предполагаемая частота сигнала SSPCLKIN.

Выбор частоты тактового сигнала SSP\_CLK должен обеспечивать поддержку требуемого диапазона скоростей обмена данными. Отношение минимальной частоты сигнала SSP\_CLK к максимальной частоте сигнала SSPCLKOUT в режиме ведомого устройства равно 12, в режиме ведущего – двум.

Так в режиме ведущего устройства для обеспечения максимальной скорости обмена 1,8432 Мбит/с частота сигнала SSP\_CLK должна составлять не менее 3,6864 МГц. В этом случае в регистр SSPCPSR должно быть записано значение 2, а поле SCR[7:0] регистра SSPCR0 должно быть установлено в 0.

В режиме ведомого устройства для обеспечения той же информационной скорости необходимо использовать тактовый сигнал SSP\_CLK с частотой не менее 22,12 МГц. При этом в регистр SSPCPSR должно быть записано значение 12, а поле SCR[7:0] регистра SSPCR0 должно быть установлено в 0.

Соотношение между максимальной частотой сигнала SSP\_CLK и минимальной частотой SSPCLKOUT составляет  $254 * 256$ .

Минимальная допустимая частота сигнала SSP\_CLK определяется следующей системой соотношений, которые должны выполняться одновременно:

$$\begin{aligned} \text{FSSPCLK}(\min) & \Rightarrow 2 \times \text{FSSPCLKOUT}(\max) \text{ [для режима ведущего]} \\ \text{FSSPCLK}(\min) & \Rightarrow 12 \times \text{FSSPCLKIN}(\max) \text{ [для режима ведомого]} \end{aligned}$$

Аналогично, максимальная допустимая частота сигнала SSP\_CLK определяется следующей системой соотношений, которые должны выполняться одновременно:

$$\begin{aligned} \text{FSSPCLK}(\max) & \leq 254 \times 256 \times \text{FSSPCLKOUT}(\min) \text{ [для режима ведущего]} \\ \text{FSSPCLK}(\max) & \leq 254 \times 256 \times \text{FSSPCLKIN}(\min) \text{ [для режима ведомого]} \end{aligned}$$

### **23.6.9 Программирование регистра управления SSPCR0**

Регистр SSPCR0 предназначен для:  
установки скорости информационного обмена;  
выбора одного из трех протоколов обмена данными;  
выбора размера слова данных.

Скорость информационного обмена зависит от частоты внешнего тактового сигнала SSP\_CLK и коэффициента деления блока формирования тактового сигнала. Последний задается совместно значением поля SCR (Serial Clock Rate – скорость информационного обмена) регистра SSPCR0 и значением поля CPDVS (clock prescale divisor value – коэффициент деления тактового сигнала) регистра SSPCPSR.

Формат информационного кадра задается путем установки значения поля FRF, а размер слова данных – путем установки значения поля DSS регистра SSPCR0.

Для протокола SPI фирмы Motorola, кроме того, задается полярность и фаза сигнала (биты SPH и SPO).

### **23.6.10 Программирование регистра управления SSPCR1**

Регистр SSPCR1 предназначен для:  
выбора ведущего или ведомого режима функционирования приемопередатчика;  
включения режима проверки канала по шлейфу;  
разрешения или запрещения работы модуля.

Выбор ведущего режима осуществляется путем записи 0 в поле MS регистра SSPCR1 (это значение устанавливается после сброса автоматически).

Запись 1 в поле MS переводит приемопередатчик в режим ведомого устройства. В этом режиме разрешение или запрещение формирования сигнала передатчика SSP\_TXD осуществляется путем установки бита SOD (slave mode SSPTXD output disable – запрет линии SSP\_TXD для ведомого режима) регистра SSPCR1. Указанная функция полезна при подключении к одной линии нескольких подчиненных устройств.

Для того чтобы разрешить функционирование приемопередатчика, необходимо установить в 1 бит SSE (Synchronous Serial Port Enable – разрешение последовательного синхронного порта).

### **23.6.11 Формирование тактового сигнала обмена данными**

Тактовый сигнал обмена данными формируется путем деления частоты тактового сигнала SSP\_CLK. На первом этапе формирования частота этого сигнала делится на четный коэффициент CPSDVR, лежащий в диапазоне от 2 до 254, доступный для программирования через регистр SSPCPSR. Сформированный сигнал далее поступает на делитель частоты с коэффициентом (1 + SCR) от 1 до 256, где значение SCR доступно для программирования через SSPCR0.

Частота выходного тактового сигнала обмена данными SSPCLKOUT определяется следующим соотношением:

$$FSSPCLKOUT = FSSPCLK / (CPSDVR \times (1+SCR)).$$

Например, в случае если частота сигнала SSP\_CLK составляет 3,6864 МГц, а значение CPSDVR = 2, частота сигнала SSPCLKOUT лежит в интервале от 7,2 кГц до 1,8432 МГц.

### **23.6.12 Формат информационного кадра**

Каждый информационный кадр содержит, в зависимости от запрограммированного значения, от 4 до 16 бит данных. Передача данных начинается со старшего значащего разряда. Можно выбрать три базовых структуры построения кадра:

- SSI фирмы Texas Instruments;
- SPI фирмы Motorola;
- Microwire фирмы National Semiconductor.

Во всех трех режимах построения кадра тактовый сигнал SSPCLKOUT формируется только тогда, когда приемопередатчик готов к обмену данными. Перевод сигнала SSPCLKOUT в неактивное состояние используется как признак таймаута приемника, то есть наличия в буфере приемника необработанных данных по истечении заданного интервала времени.

В режимах SPI и Microwire, выходной сигнал кадровой синхронизации передатчика SSPFSSOUT имеет активный низкий уровень, и поддерживается в низком уровне в течение всего периода передачи информационного кадра.

В режиме построения кадра SSI фирмы Texas Instruments перед началом каждого информационного кадра на выходе SSPFSSOUT формируется импульс с длительностью, равной одному тактовому интервалу обмена данными. В этом режиме приемопередатчик PrimeCell SSP, равно как ведомые периферийные устройства

передают данные в линию по переднему фронту сигнала SSPCLKOUT, а считывают данные из линии по заднему фронту этого сигнала.

В отличие от полнодуплексных режимов передачи данных SSI и SPI, режим Microwire фирмы National Semiconductor использует специальный способ обмена данными между ведущим и ведомым устройством, функционирующий в режиме полудуплекса. В указанном режиме на внешнее ведомое устройство перед началом передачи информационного кадра посылается специальная восьмибитная управляющая последовательность. В течение всего времени передачи этой последовательности приемник не обрабатывает каких-либо входных данных. После того, как сигнал передан и декодирован ведомым устройством, оно выдерживает паузу в один тактовый интервал после передачи последнего бита управляющей последовательности, после чего передает в адрес ведущего устройства запрошенные данные. Длительность блока данных от ведомого устройства может составлять от 4 до 16 бит, таким образом общая длительность информационного кадра составляет от 13 до 25 бит.

### 23.6.13 Формат синхронного обмена SSI фирмы Texas Instruments

Временные диаграммы последовательного синхронного обмена по протоколу SSI фирмы Texas Instruments представлены на рисунках 68 – 69.

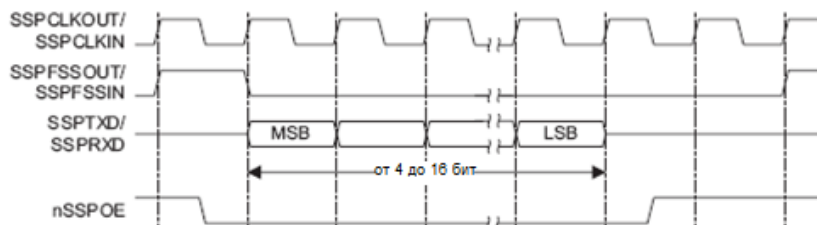


Рисунок 68 – Формат синхронного обмена протокола SSI фирмы Texas Instruments (единичный обмен)

В данном режиме при неактивном приемопередатчике PrimeCell SSP сигналы SSPCLKOUT и SSPFSSOUT переводятся в низкий логический уровень, а линия передачи данных SSP\_TXD поддерживается в третьем состоянии.

После появления хотя бы одного элемента в буфере FIFO передатчика сигнал SSPFSSOUT переводится в высокий логический уровень на время, соответствующее одному периоду сигнала SSPCLKOUT. Значение из буфера FIFO при этом переносится в сдвиговый регистр блока передатчика. По следующему переднему фронту сигнала SSPCLKOUT старший значащий разряд информационного кадра (4 – 16 бит данных) выдается на выход линии SSPTXD и т.д.

В режиме приема данных как модуль PrimeCell SSP, так и ведомое внешнее устройство последовательно загружают биты данных в сдвиговый регистр по заднему фронту сигнала SSPCLKOUT. Принятые данные переносятся из сдвигового регистра в буфер FIFO после загрузки в него младшего значащего бита данных по очередному переднему фронту сигнала SSPCLKOUT.

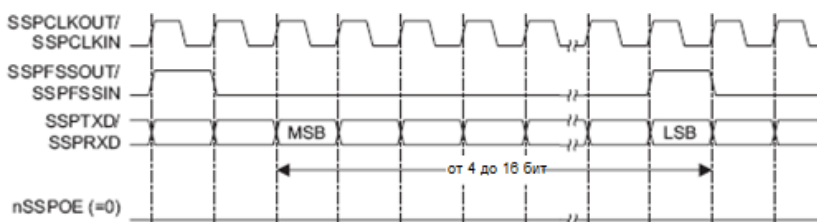


Рисунок 69 – Формат синхронного обмена протокола SSI фирмы Texas Instruments (непрерывный обмен)

### 23.6.14 Формат синхронного обмена SPI фирмы Motorola

Интерфейс SPI фирмы Motorola осуществляется по четырем сигнальным линиям, при этом сигнал SSPFSSOUT выполняет функцию выбора ведомого устройства. Главной особенностью протокола SPI является возможность выбора состояния и фазы сигнала SSPCLKOUT в режиме ожидания (неактивном приемопередатчике) путем задания значений битов SPO и SPH регистра управления SSPSCR0.

#### Выбор полярности тактового сигнала – бит SPO

Если бит SPO равен 0, то в режиме ожидания линия SSPCLKOUT переводится в низкий логический уровень. В противном случае при отсутствии обмена данными линия SSPCLKOUT переводится в высокий логический уровень.

#### Выбор фазы тактового сигнала – бит SPH

Значение бита SPH определяет фронт тактового сигнала, по которому осуществляется выборка данных и изменение состояния на выходе линии.

В случае, если бит SPH установлен в 0, регистрация данных приемником осуществляется после первого обнаружения фронта тактового сигнала, в противном случае – после второго.

### 23.6.15 Формат синхронного обмена SPI фирмы Motorola, SPO=0, SPH=0

Временные диаграммы последовательного синхронного обмена в режиме SPI с SPO=0, SPH=0 показаны на рисунках 70 – 71.

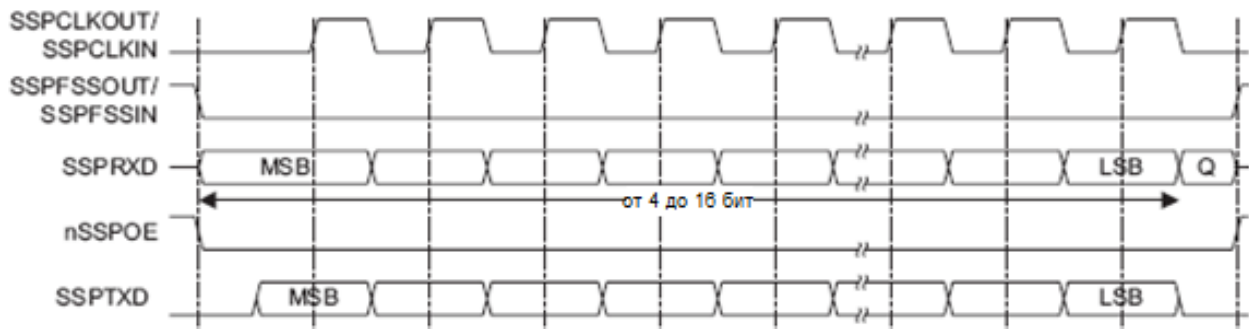


Рисунок 70 – Формат синхронного обмена протокола SPI фирмы Motorola, SPO=0, SPH=0 (одиночный обмен)

Примечание – На рисунке 70 буквой Q обозначен сигнал с неопределенным уровнем.

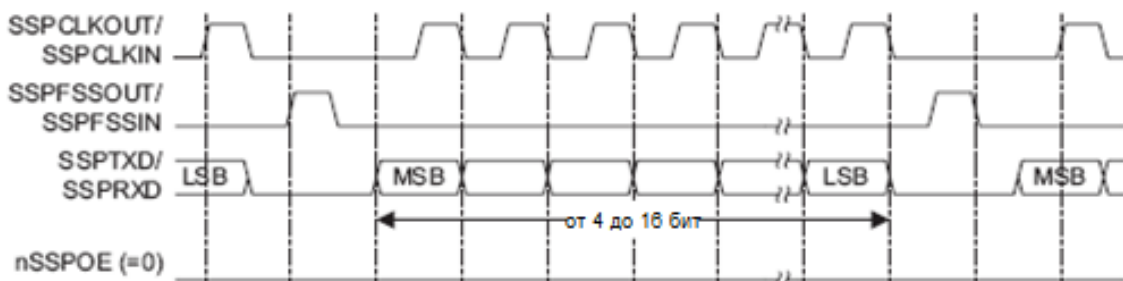


Рисунок 71 – Формат синхронного обмена протокола SPI фирмы Motorola, SPO=0, SPH=0 (непрерывный обмен)

В данном режиме во время ожидания приемопередатчика:  
сигнал SSPCLKOUT имеет низкий логический уровень;  
сигнал SSPFSSOUT имеет высокий логический уровень;

сигнал SSPTXD переводится в низкий логический уровень;  
сигнал nSSPOE переводится в высокий уровень, переводя таким образом выходной контакт SSPTXD передатчика в высокоимпедансное состояние;  
если модуль сконфигурирован как ведущее устройство, линия nSSPCTLOE переводится в низкий уровень, разрешая передачу сигнала на выходной контакт SSPCLKOUT;  
если модуль сконфигурирован как ведомое устройство, линия nSSPCTLOE переводится в высокий уровень, отключая выходной контакт SSPCLKOUT.

Если работа модуля разрешена и в буфере FIFO передатчика содержатся корректные данные, сигнал SSPFSSOUT переводится в низкий логический уровень, что указывает на начало обмена данными и разрешает передачу данных от ведомого устройства на входную линию SSPRXD ведущего. Сигнал nSSPOE переводится в низкий уровень, переводя выходной контакт передатчика SSPTXD из высокоимпедансного в активное состояние.

По истечении полутакта сигнала SSPCLKOUT, на линии SSPTXD формируется значение первого бита передаваемых данных. К этому моменту должны быть сформированы данные на линиях обмена, как ведущего, так и ведомого устройства. По истечении следующего полутакта сигнал SSPCLKOUT переводится в высокий логический уровень.

Далее данные регистрируются по переднему фронту и выдаются в линию по заднему фронту сигнала SSPCLKOUT.

В случае передачи одного слова данных, после приема его последнего бита линия SSPFSSOUT переводится в высокий логический уровень по истечении одного периода тактового сигнала SSPCLKOUT.

В режиме непрерывной передачи данных, на линии SSPFSSOUT должны формироваться импульсы высокого логического уровня между передачами каждого из слов данных. Это связано с тем, что в режиме SPH=0 линия выбора ведомого устройства в низком уровне блокирует запись в сдвиговый регистр. Поэтому ведущее устройство должно переводить линию SSPFSSOUT в высокий уровень по окончании передачи каждого кадра, разрешая, таким образом, запись новых данных. По окончании приема последнего бита блока данных линия SSPFSSOUT переводится в состояние, соответствующее режиму ожидания, по истечении одного такта сигнала SSPCLKOUT.

### **23.6.16 Формат синхронного обмена SPI фирмы Motorola, SPO=0, SPH=1**

Временные диаграммы последовательного синхронного обмена в режиме SPI с SPO=0, SPH=1 показаны на рисунке 72 (одиночный и непрерывный обмен).

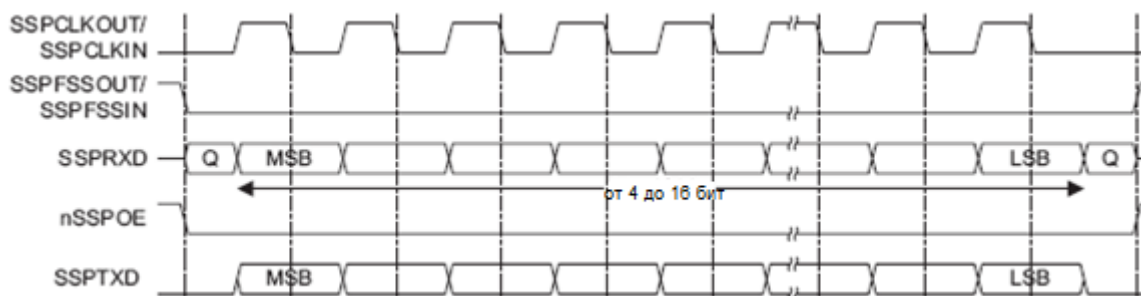


Рисунок 72 – Формат синхронного обмена протокола SPI фирмы Motorola, SPO=0, SPH=1

Примечание – На рисунке 72 буквой Q обозначен сигнал с неопределенным уровнем.  
В данном режиме во время ожидания приемопередатчика:

сигнал SSPCLKOUT имеет низкий логический уровень;  
сигнал SSPFSSOUT имеет высокий логический уровень;  
сигнал SSPTXD переводится в низкий логический уровень;  
сигнал nSSPOE переводится в высокий уровень, переводя таким образом выходной контакт SSPTXD передатчика в высокоимпедансное состояние;  
если модуль сконфигурирован как ведущее устройство, линия nSSPCTLOE переводится в низкий уровень, разрешая передачу сигнала на выходной контакт SSPCLKOUT;  
если модуль сконфигурирован как ведомое устройство, линия nSSPCTLOE переводится в высокий уровень, отключая выходной контакт SSPCLKOUT.

Если работа модуля разрешена и в буфере FIFO передатчика содержатся корректные данные, сигнал SSPFSSOUT переводится в низкий логический уровень, что указывает на начало обмена данными и разрешает передачу данных от ведомого устройства на входную линию SSPRXD ведущего. Сигнал nSSPOE переводится в низкий уровень, переводя выходной контакт передатчика SSPTXD из высокоимпедансного в активное состояние.

По истечении полутакта сигнала SSPCLKOUT на линиях обмена как ведущего, так и ведомого устройств сформированы значения первых битов передаваемых данных. В это же время включается линия SSPCLKOUT и на ней формируется передний фронт сигнала.

Далее данные регистрируются по заднему фронту и выдаются в линию по переднему фронту сигнала SSPCLKOUT.

В случае передачи одного слова данных, после приема его последнего бита линия SSPFSSOUT переводится в высокий логический уровень по истечении одного периода тактового сигнала SSPCLKOUT.

В режиме непрерывной передачи данных, линия SSPFSSOUT постоянно находится в низком логическом уровне, и переводится в высокий уровень по окончании приема последнего бита блока данных, как и в режиме передачи одного слова.

### **23.6.17 Формат синхронного обмена SPI фирмы Motorola, SPO=1, SPH=0**

Временные диаграммы последовательного синхронного обмена в режиме SPI с SPO=1, SPH=0 показаны на рисунках 73 – 74.

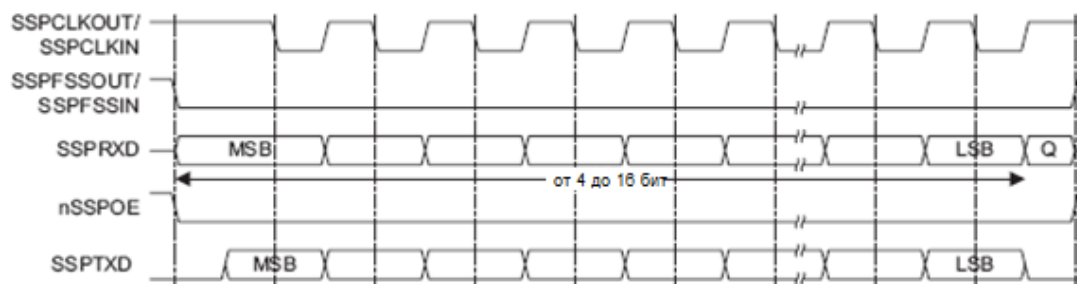


Рисунок 73 – Формат синхронного обмена протокола SPI фирмы Motorola, SPO=1, SPH=0 (одиночный обмен)

Примечание – На рисунке 73 буквой Q обозначен сигнал с неопределенным уровнем.

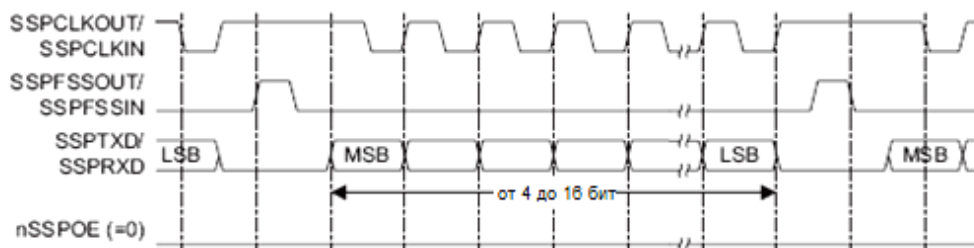


Рисунок 74 – Формат синхронного обмена протокола SPI фирмы Motorola, SPO=1, SPH=0 (непрерывный обмен)

В данном режиме во время ожидания приемопередатчика:  
сигнал SSPCLKOUT имеет высокий логический уровень;  
сигнал SSPFSSOUT имеет высокий логический уровень;  
сигнал SSPTXD переводится в низкий логический уровень;  
сигнал nSSPOE переводится в высокий уровень, переводя, таким образом, выходной контакт SSPTXD передатчика в высокоимпедансное состояние;  
если модуль сконфигурирован как ведущее устройство, линия nSSPCTLOE переводится в низкий уровень, разрешая передачу сигнала на выходной контакт SSPCLKOUT;  
если модуль сконфигурирован как ведомое устройство, линия nSSPCTLOE переводится в высокий уровень, отключая выходной контакт SSPCLKOUT.

Если работа модуля разрешена и в буфере FIFO передатчика содержатся корректные данные, сигнал SSPFSSOUT переводится в низкий логический уровень, что указывает на начало обмена данными и разрешает передачу данных от ведомого устройства на входную линию SSPRXD ведущего. Сигнал nSSPOE переводится в низкий уровень, переводя выходной контакт передатчика SSPTXD из высокоимпедансного в активное состояние.

По истечении полутакта сигнала SSPCLKOUT, на линии SSPTXD формируется значение первого бита передаваемых данных. К этому моменту должны быть сформированы данные на линиях обмена, как ведущего, так и ведомого устройства. По истечении следующего полутакта сигнал SSPCLKOUT переводится в низкий логический уровень.

Далее данные регистрируются по заднему фронту и выдаются в линию по переднему фронту сигнала SSPCLKOUT.

В случае передачи одного слова данных, после приема его последнего бита линия SSPFSSOUT переводится в высокий логический уровень по истечении одного периода тактового сигнала SSPCLKOUT.

В режиме непрерывной передачи данных, на линии SSPFSSOUT должны формироваться импульсы высокого логического уровня между передачами каждого из слов данных. Это связано с тем, что в режиме SPH=0 линия выбора ведомого устройства в низком уровне блокирует запись в сдвиговый регистр. Поэтому ведущее устройство должно переводить линию SSPFSSOUT в высокий уровень по окончании передачи каждого кадра, разрешая, таким образом, запись новых данных. По окончании приема последнего бита блока данных линия SSPFSSOUT переводится в состояние, соответствующее режиму ожидания, по истечении одного такта сигнала SSPCLKOUT.

### 23.6.18 Формат синхронного обмена SPI фирмы Motorola, SPO=1, SPH=1

Временные диаграммы последовательного синхронного обмена в режиме SPI с SPO=1, SPH=1 показаны на рисунке 75 (одиночный и непрерывный обмен).

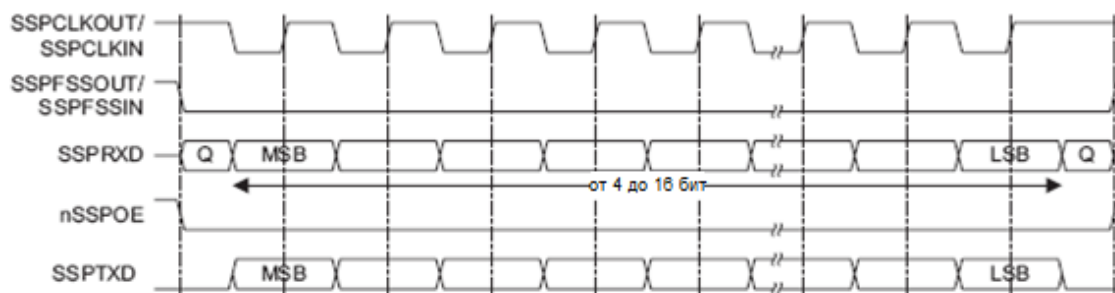


Рисунок 75 – Формат синхронного обмена протокола SPI  
фирмы Motorola, SPO=1, SPH=1

Примечание – На рисунке 75 буквой Q обозначен сигнал с неопределенным уровнем.

В данном режиме во время ожидания приемопередатчика:

сигнал SSPCLKOUT имеет высокий логический уровень;

сигнал SSPFSSOUT имеет высокий логический уровень;

сигнал SSPTXD переводится в низкий логический уровень;

сигнал nSSPOE переводится в высокий уровень, переводя, таким образом, выходной контакт SSPTXD передатчика в высокоимпедансное состояние;

если модуль сконфигурирован как ведущее устройство, линия nSSPCTLOE переводится в низкий уровень, разрешая передачу сигнала на выходной контакт SSPCLKOUT;

если модуль сконфигурирован как ведомое устройство, линия nSSPCTLOE переводится в высокий уровень, отключая выходной контакт SSPCLKOUT.

Если работа модуля разрешена и в буфере FIFO передатчика содержатся корректные данные, сигнал SSPFSSOUT переводится в низкий логический уровень, что указывает на начало обмена данными и разрешает передачу данных от ведомого устройства на входную линию SSPRXD ведущего. Сигнал nSSPOE переводится в низкий уровень, переводя выходной контакт передатчика SSPTXD из высокоимпедансного в активное состояние.

По истечении полутакта сигнала SSPCLKOUT на линиях обмена как ведущего, так и ведомого устройств сформированы значения первых бит передаваемых данных. В это же время включается линия SSPCLKOUT и на ней формируется передний фронт сигнала.

Далее данные регистрируются по переднему фронту и выдаются в линию по заднему фронту сигнала SSPCLKOUT.

В случае передачи одного слова данных, после приема его последнего бита линия SSPFSSOUT переводится в высокий логический уровень по истечении одного периода тактового сигнала SSPCLKOUT.

В режиме непрерывной передачи данных, линия SSPFSSOUT постоянно находится в низком логическом уровне, и переводится в высокий уровень по окончании приема последнего бита блока данных, как и в режиме передачи одного слова.

### 23.6.19 Формат синхронного обмена Microwire фирмы National Semiconductor

Временные диаграммы последовательного синхронного обмена в режиме Microwire показаны на рисунках 76 – 77.



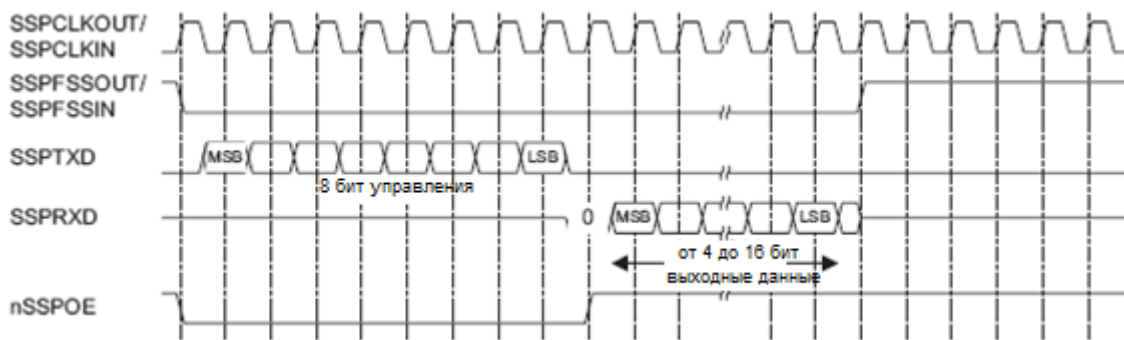


Рисунок 76 – Формат синхронного обмена протокола Microwire фирмы National Semiconductor (одиночный обмен)

Протокол передачи данных Microwire во многом схож с протоколом SPI, за исключением того, что обмен в нем осуществляется в полудуплексном режиме, с использованием служебных последовательностей. Каждая информационный обмен начинается с передачи ведущим устройством специальной восьмибитной управляющей последовательности. В течение всего времени ее передачи приемник не обрабатывает каких-либо входных данных. После того, как сигнал передан и декодирован ведомым устройством, оно выдерживает паузу в один тактовый интервал после передачи последнего бита управляющей последовательности, после чего передает в адрес ведущего устройства запрошенные данные. Длительность блока данных от ведомого устройства может составлять от 4 до 16 бит, таким образом общая длительность информационного кадра составляет от 13 до 25 бит.

В данном режиме во время ожидания приемопередатчика:

сигнал SSPCLKOUT имеет низкий логический уровень;

сигнал SSPFSSOUT имеет высокий логический уровень;

сигнал SSPTXD переводится в низкий логический уровень;

сигнал nSSPOE переводится в высокий уровень, переводя, таким образом, выходной контакт SSPTXD передатчика в высокоимпедансное состояние.

Переход в режим информационного обмена происходит после записи управляющего байта в буфер FIFO передатчика. По заднему фронту сигнала SSPFSSOUT данные из буфера переносятся в регистр сдвига блока передатчика, откуда, начиная со старшего значащего разряда, последовательно выдаются в линию SSPTXD. Линия SSPFSSOUT остается в низком логическом уровне в течение всей передачи кадра. Линия SSPRXD при этом находится в высокоимпедансном состоянии.

Внешнее ведомое устройство осуществляет прием битов данных по переднему фронту сигнала SSPCLKOUT. По окончании приема последнего бита управляющей последовательности она декодируется в течение одного тактового интервала, после чего ведомое устройство передает запрошенные данные в адрес модуля PrimeCell SSP. Биты данных выдаются в линию SSPRXD по заднему фронту сигнала SSPCLKOUT. Ведущее устройство, в свою очередь, регистрирует их по переднему фронту этого тактового сигнала. В случае одиночного информационного обмена, по окончании приема последнего бита слова данных сигнал SSPFSSOUT переводится в высокий уровень на время, соответствующее одному тактовому интервалу, что служит командой для переноса принятого слова данных их регистра сдвига в буфер FIFO приемника.

Примечание – Внешнее устройство может перевести линию приемника в третье состояние по заднему фронту сигнала SSPCLKOUT после приема последнего бита слова данных, либо после перевода линии SSPFSSOUT в высокий логический уровень.

Непрерывный обмен данными начинается и заканчивается также, как и в одиночный обмен. Однако линия SSPFSSOUT удерживается в низком логическом уровне в течение всего сеанса передачи данных. Управляющий байт следующего

информационного кадра передается сразу же после приема младшего значащего разряда текущего кадра. Данные из сдвигового регистра передаются в буфер приемника после регистрации младшего разряда очередного слова по заднему фронту сигнала SSPCLKOUT.

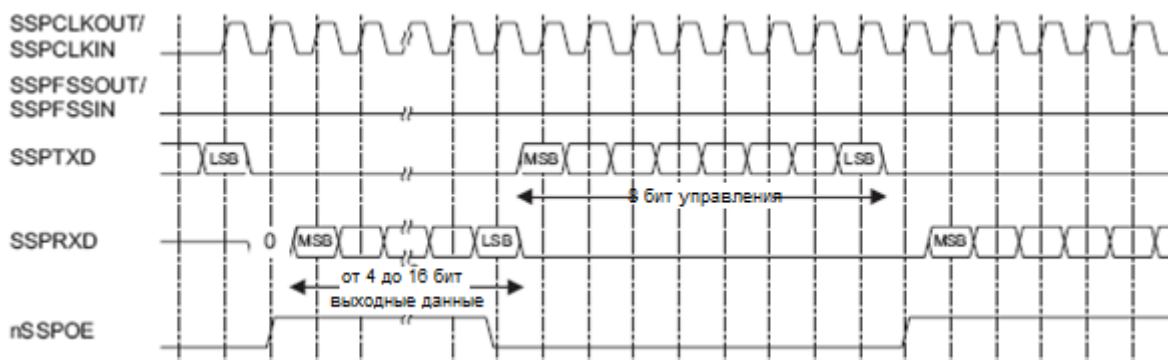


Рисунок 77 – Формат синхронного обмена протокола Microwire фирмы National Semiconductor (непрерывный обмен)

### 23.6.20 Требования к временным параметрам сигнала SSPFSSIN относительно тактового сигнала SSPCLKIN в режиме Microwire

Модуль SSP, работающий в режиме Microwire как ведомое устройство, регистрирует данные по переднему фронту сигнала SSPCLKIN после установки сигнала SSPFSSIN в низкий логический уровень. Ведущие устройства, формирующие сигнал SSPCLKIN должны гарантировать достаточное время установки и удержания сигнала SSPFSSIN по отношению к переднему фронту сигнала SSPCLKIN.

Иллюстрация данных требований представлена на рисунке 43. По отношению к переднему фронту сигнала SSPCLKIN, по которому осуществляется регистрация данных в приемнике ведомого модуля SSP, время установки сигнала SSPFSSIN должно быть, как минимум в два раза больше периода SSPCLKIN, на котором работает модуль. По отношению к предыдущему переднему фронту сигнала SSPCLKIN должно обеспечиваться время удержания не менее одного периода этого тактового сигнала.

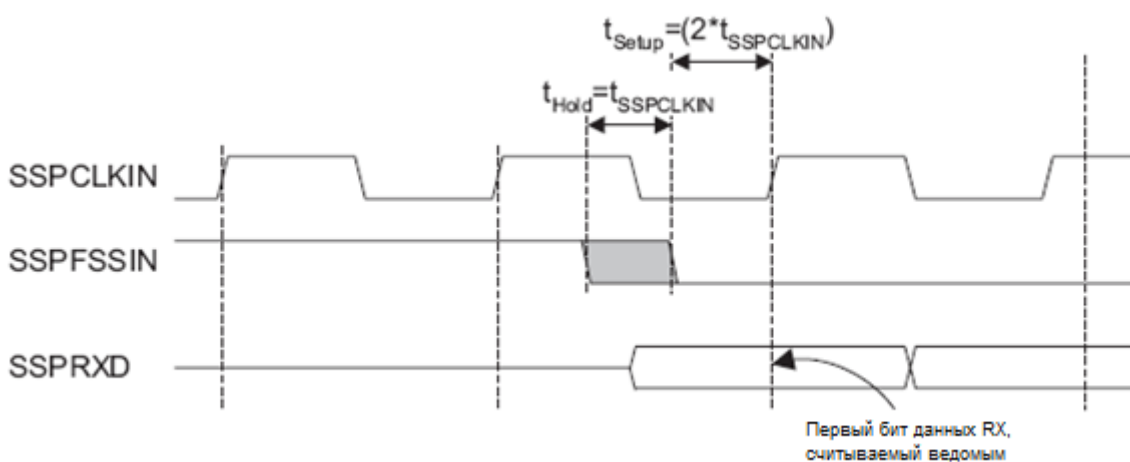


Рисунок 78 – Формат кадра Microwire, требования к времени установки и удержания сигнала SSPFSSIN

### 23.6.21 Примеры конфигурации модуля в ведущем и ведомом режимах

На рисунках 79 – 81 показаны варианты подключения модуля PrimeCell SSP (PL022) к периферийным устройствам, работающим в ведущем или ведомом режиме.

Примечание – Модуль SSP (PL022) не поддерживает динамическое изменение режима ведущий – ведомый. Каждый приемопередатчик должен быть изначально сконфигурирован в одном из этих режимов.

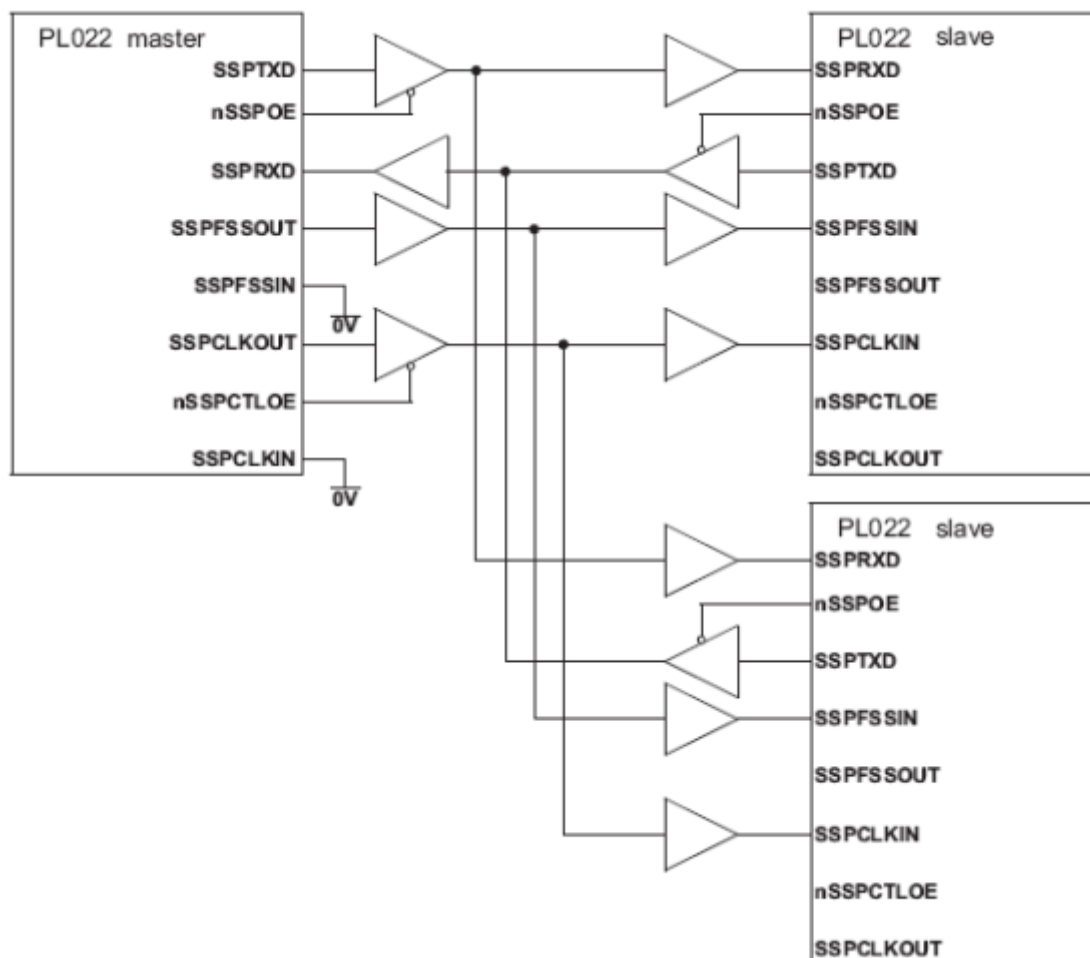


Рисунок 79 – Ведущее устройство PrimeCell SSP подключено к двум ведомым

На рисунке 79 показана совместная работа трех модулей PrimeCell SSP (PL022), один из которых сконфигурирован в качестве ведущего, а два – в качестве ведомых устройств. Ведущее устройство способно передавать данные циркулярно в адрес двух ведомых по линии SSPTXD.

Для ответной передачи данных один из ведомых модулей переводит линию nSSPOE в активное состояние, разрешая, таким образом, прохождение сигнала от своей линии SSPTXD на вход SSPRXD ведущего.

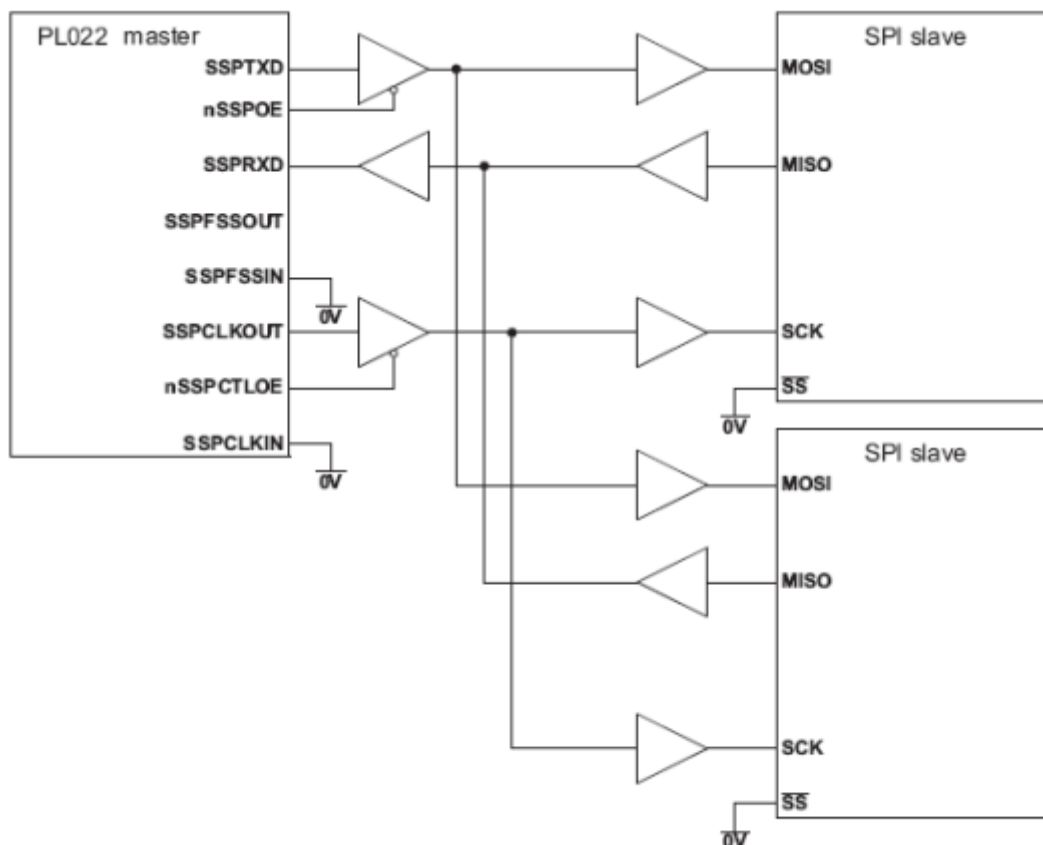


Рисунок 80 – Ведущее устройство PrimeCell SSP подключено к двум ведомым, поддерживающим протокол SPI

На рисунке 80 показано подключение модуля PrimeCell SSP (PL022), сконфигурированного как ведущее устройство, к двум ведомым устройствам, поддерживающим протокол SPI фирмы Motorola. Внешние устройства сконфигурированы как ведомые, путем установки в низкий логический уровень сигнала выбора ведомого устройства Slave Select (SS). Как и в предыдущем примере, ведущее устройство способно передавать данные в адрес ведомых циркулярно по линии SSPTXD. Ответная передача данных на входную линию SSPRXD ведущего устройства одновременно осуществляется только одним из ведомых по соответствующей линии MISO.

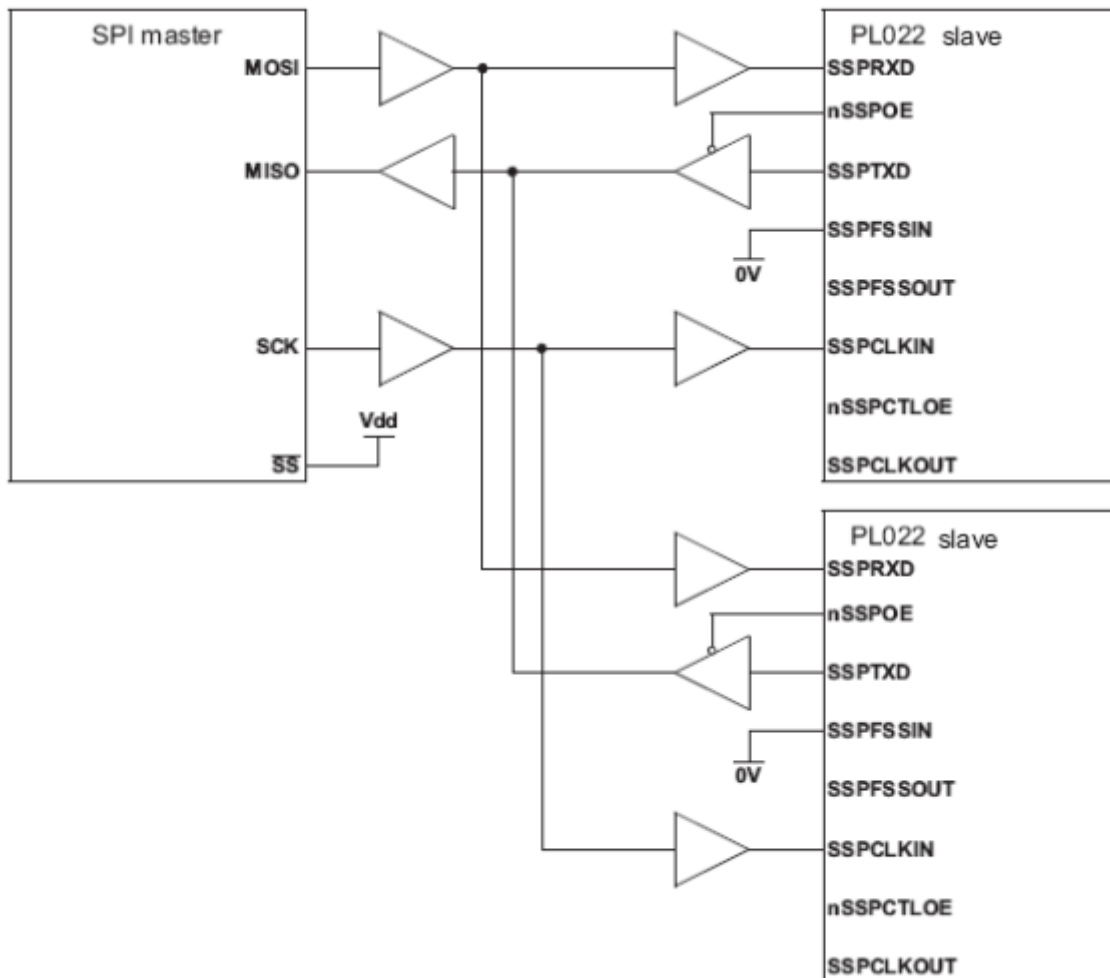


Рисунок 81 – Ведущее устройство, поддерживающее протокол SPI подключено к двум ведомым модулям PrimeCell SSP

На рисунке 81 показано ведущее устройство, поддерживающее протокол SPI фирмы Motorola, соединенное с двумя модулями PrimeCell SSP (PL022), сконфигурированными для работы в ведомом режиме. Линия Slave Select (SS) ведущего устройства в этом случае установлена в высокий логический уровень. Ведущее устройство осуществляет передачу данных по линии MOSI циркулярно в адрес двух ведомых модулей.

Для ответной передачи данных один из ведомых модулей переводит линию nSSPOE в активное состояние, разрешая, таким образом, прохождение сигнала от своей линии SSPTXD на вход SSPRXD ведущего.

### **23.7 Интерфейс прямого доступа к памяти**

Модуль PrimeCell SSP предоставляет интерфейс подключения к контроллеру прямого доступа к памяти. Работа в данном режиме контролируется регистром управления ПДП SSPDMACR.

Интерфейс ПДП включает в себя следующие сигналы:

Для приема:

SSPRXDMSREQ – запрос передачи отдельного символа, инициируется приемопередатчиком. Сигнал переводится в активное состояние в случае, если буфер FIFO приемника содержит, по меньшей мере, один символ.

SSPRXDMAREQ – запрос блочного обмена данными, инициируется модулем приемопередатчика. Сигнал переходит в активное состояние в случае, если буфер FIFO приемника содержит четыре или более символов.

SSPRXDMACLR – сброс запроса на ПДП, инициируется контроллером ПДП с целью сброса принятого запроса. В случае, если был запрошен блочный обмен данными, сигнал сброса формируется в ходе передачи последнего символа данных в блоке.

Для передачи:

SSPTXDMSREQ – запрос передачи отдельного символа, инициируется модулем приемопередатчика. Сигнал переводится в активное состояние в случае, если буфер FIFO передатчика содержит, по меньшей мере, одну свободную ячейку.

SSPTXDMAREQ – запрос блочного обмена данными, инициируется модулем приемопередатчика. Сигнал переводится в активное состояние в случае, если буфер FIFO передатчика содержит четыре или менее символов.

SSPTXDMACLR – сброс запроса на ПДП, инициируется контроллером ПДП с целью сброса принятого запроса. В случае, если был запрошен блочный обмен данными, сигнал сброса формируется в ходе передачи последнего символа данных в блоке.

Сигналы блочного и одноэлементного обмена данными не являются взаимно исключаемыми, они могут быть инициированы одновременно. Например, в случае, если заполнение данными буфера приемника превышает пороговое значение четыре, формируется как сигнал запроса одноэлементного обмена, так и сигнал запроса блочного обмена данными. В случае, если количество данных в буфере приема меньше порогового значения формируется только запрос одноэлементного обмена. Это бывает полезно в ситуациях, при которых объем данных меньше размера блока. Пусть, например, нужно принять 19 символов. Тогда контроллер ПДП осуществит четыре передачи блоков по четыре символа, а оставшиеся три символа передаст в ходе трех одноэлементных обменов.

Примечание – Для оставшихся трех символов контроллер PrimeCell SSP не инициирует процедуру блочного обмена.

Каждый инициированный приемопередатчиком сигнал запроса ПДП остается активным до момента его сброса соответствующим сигналом DMACLR.

После снятия сигнала сброса модуль приемопередатчика вновь получает возможность сформировать запрос на ПДП в случае выполнения описанных выше условий. Все запросы ПДП снимаются после запрета работы приемопередатчика, а также в случае снятия сигнала разрешения ПДП.

В таблице 215 приведены значения порогов заполнения буферов приемника и передатчика, необходимых для срабатывания запросов блочного обмена DMABREQ.

Таблица 215 – Параметры срабатывания запросов блочного обмена данными в режиме ПДП

Пороговый уровень	Длина блока обмена данными	
	Буфер передатчика (количество незаполненных ячеек)	Буфер приемника (количество заполненных ячеек)
1/2	4	4

На рисунке 82 показаны временные диаграммы одноэлементного и блочного запросов ПДП, в том числе действие сигнала DMACLR. Все сигналы должны быть синхронизированы с PCLK.

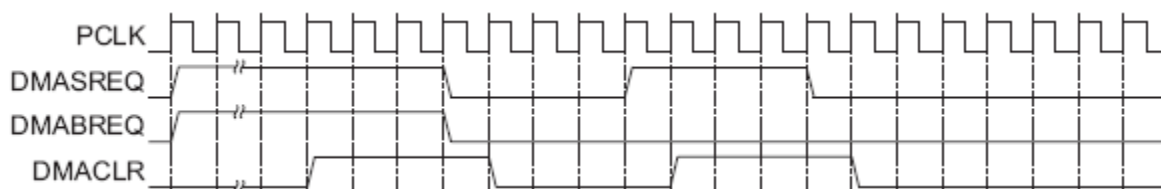


Рисунок 82 – Временные диаграммы обмена в режиме ПДП

## 23.8 Программное управление модулем

### 23.8.1 Общая информация

Базовый адрес модуля не фиксирован и может быть различным в разных системах. Смещение каждого регистра относительно базового адреса постоянно.

Следующие адреса являются резервными и не должны использоваться в нормальном режиме функционирования:

адреса со смещениями в диапазоне +0x028 ... +0x07C и +0xFD0 ... +0xFDC зарезервированы для перспективных расширений возможностей модуля;

адреса со смещениями в диапазоне +0x080 ... +0x088 зарезервированы для тестирования.

### 23.8.2 Описание регистров контроллера SSP

Данные о регистрах модуля приведены в таблице 216.

Таблица 216 – Обобщенные данные о регистрах модуля.

Базовый адрес	Наименование	Тип	Значение после сброса	Размер, бит	Описание
0x4000_0000	SSP				Контроллер SSP
<b>Смещение</b>					
0x000	SSPCR0	RW	0x0000	16	Регистр управления 0
0x004	SSPCR1	RW	0x0	4	Регистр управления 1
0x008	SSPDR	RW	0x----	16	Буфера FIFO приемника (чтение) Буфер FIFO передатчика (запись)
0x00C	SSPSR	RO	0x03	3	Регистр состояния
0x010	SSPCPSR	RW	0x00	8	Регистр делителя тактовой частоты
0x014	SSPIMSC	RW	0x0	4	Регистр маски прерывания

0x018	SSPRIS	RO	0x8	4	Регистр состояния прерываний без учета маскирования
0x01C	SSPMIS	RO	0x0	4	Регистр состояния прерываний с учетом маскирования
0x020	SSPICR	WO	0x0	4	Регистр сброса прерывания
0x024	SSPDMA CR	RW	0x0	2	Регистр управления прямым доступом к памяти

Примечание – В столбце «Тип» указан вид доступа к регистру:

RW – чтение и запись;

RO – только чтение;

WO – только запись.

### 23.8.2.1 Регистр управления 0 SSPx\_CR0

Регистр SSPCR0 содержит пять битовых полей, предназначенных для управления блоками модуля PrimeCell SSP. Назначение разрядов регистра представлено в таблице 217.

Таблица 217 – Формат регистра SSPCR0

Бит	Наименование	Назначение
15...8	SCR	Скорость последовательного обмена. Значение поля SCR используется при формировании тактового сигнала обмена данными. Информационная скорость удовлетворяет соотношению: $F\_SSPCLK / (CPSDVR * (1 + SCR))$ , где CPSDVR – четное число в диапазоне от 2 до 254 (см. регистр SSPCPSR), а SCR – число от 0 до 255.
7	SPH	Фаза сигнала SSPCLKOUT (используется только в режиме обмена SPI фирмы Motorola). См. подраздел «Формат синхронного обмена SPI фирмы Motorola».
6	SPO	Полярность сигнала SSPCLKOUT (используется только в режиме обмена SPI фирмы Motorola). См. подраздел «Формат синхронного обмена SPI фирмы Motorola».
5, 4	FRF	Формат информационного кадра. 00 – протокол SPI фирмы Motorola 01 – протокол SSI фирмы Texas Instruments 10 – протокол Microwire фирмы National Semiconductor 11 – резерв
3:0	DSS	Размер слова данных 0000 – резерв 0001 – резерв 0010 – резерв 0011 – 4 бита 0100 – 5 бит 0101 – 6 бит 0110 – 7 бит 0111 – 8 бит 1000 – 9 бит 1001 – 10 бит 1010 – 11 бит 1011 – 12 бит



		1100 – 13 бит 1110 – 14 бит 1111 – 15 бит
--	--	---

### 23.8.2.2 Регистр управления 1 SSPx\_CR1

Регистр SSPCR1 содержит четыре битовых поля, предназначенных для управления блоками модуля PrimeCell SSP. Назначение разрядов регистра представлено в таблице 218.

Таблица 218 – Регистр SSPCR1

Биты	Наименование	Назначение
15...4		Резерв, при чтении результат не определен. При записи следует устанавливать в 0.
3	SOD	Запрет выходных линий в режиме ведомого устройства. Бит используется только в режиме ведомого устройства (MS=1). Это позволяет организовать двусторонний обмен данными в системах, содержащих одно ведущее и несколько ведомых устройств. Бит SOD следует установить в случае, если данный ведомый модуль PrimeCell SSP не должен в настоящее время осуществлять передачу данных в линию SSPTXD. При этом линии обмена данных ведомых устройств можно соединить параллельно. 0 – управление линией SSPTXD в ведомом режиме разрешена. 1 – управление линией SSPTXD в ведомом режиме запрещена.
2	MS	Выбор ведущего или ведомого режима работы: 0 – ведущий модуль (устанавливается по умолчанию); 1 – ведомый модуль.
1	SSE	Разрешение работы приемопередатчика: 0 – работа запрещена; 1 – работа разрешена.
0	LBM	Тестирование по шлейфу: 0 – нормальный режим работы приемопередатчика; 1 – выход регистра сдвига передатчика соединен со входом регистра сдвига приемника.

### 23.8.2.3 Регистр данных SSPx\_DR

Регистр SSPDR имеет разрядность 16 бит и предназначен для чтения принятых и записи передаваемых данных.

Операция чтения обеспечивает доступ к последней несчитанной ячейке буфера FIFO приемника. Запись данных в этот буфер FIFO осуществляет блок приемника.

Операция записи позволяет занести очередное слово в буфер FIFO передатчика. Извлечение данных из этого буфера осуществляет блок передатчика. При этом извлеченные данные помещаются в регистр сдвига передатчика, откуда последовательно выдаются на линию SSPTXD с заданной скоростью информационного обмена.

В случае, если выбран размер информационного слова менее 16 бит, перед записью в регистр SSPDR необходимо обеспечить выравнивание данных по правой

границе. Блок передатчика игнорирует неиспользуемые биты. Принятые информационные слова автоматически выравниваются по правой границе в блоке приемника.

В режиме обмена данными Microwire фирмы National Semiconductor модуль PrimeCell SSP по умолчанию работает с восьмиразрядными информационными словами (старший значащий байт игнорируется). Размер принимаемых данных задается программно. Буфера FIFO приемника и передатчика автоматически не очищаются даже в случае, если бит SSE установлен в 0. Это позволяет заполнить буфер передатчика необходимой информацией заблаговременно, перед разрешением работы модуля.

Назначение разрядов регистра SSPDR описано в таблице 219.

Таблица 219 – Формат регистра SSPDR

<b>Бит</b>	<b>Наименование</b>	<b>Назначение</b>
15...0	DATA	Принимаемые данные (чтение) Передаваемые данные (запись) В случае, если выбран размер информационного слова менее 16 бит, перед записью в регистр SSPDR необходимо обеспечить выравнивание данных по правой границе. Блок передатчика игнорирует неиспользуемые биты. Принятые информационные слова автоматически выравниваются по правой границе в блоке приемника.

#### 23.8.2.4 Регистр состояния SSPx\_SR

Регистр состояния доступен только для чтения и содержит информацию о состоянии буферов FIFO приемника и передатчика и занятости модуля PrimeCell SSP.

В таблице 220 представлено назначение бит регистра SSPSR.

Таблица 220 – Регистр SSPSR

<b>Биты</b>	<b>Наименование</b>	<b>Назначение</b>
15...5		Резерв, при чтении результат не определен.
4	BSY	Флаг занятости модуля: 0 – модуль SSP неактивен 1 – модуль SSP в настоящее время передает и/или принимает данные, либо буфер FIFO передатчика не пуст
3	RFF	Буфер FIFO приемника заполнен: 0 – не заполнен 1 – заполнен.
2	RNE	Буфер FIFO приемника не пуст: 0 – пуст 1 – не пуст
1	TNF	Буфер FIFO передатчика не заполнен: 0 – заполнен 1 – не заполнен
0	TFE	Буфер FIFO передатчика пуст: 0 – не пуст 1 – пуст

### 23.8.2.5 Регистр делителя тактовой частоты SSPx\_CPSR

Регистр SSPCPSR используется для установки параметров делителя тактовой частоты. Записываемое значение должно быть целым числом в диапазоне от 2 до 254. Младший значащий разряд регистра принудительно устанавливается в ноль. Если записать в регистр SSPCPSR нечетное число, его последующее чтение даст результатом это число, но с установленным в ноль младшим битом.

Назначение бит регистра SSPCPSR представлено в таблице 221.

Таблица 221 – Регистр SSPCPSR

Биты	Наименование	Назначение
15...8	–	Резерв, при чтении результат не определен. При записи следует заполнить нулями
7...0	CPSDVSR	Коэффициент деления тактовой частоты. Записываемое значение должно быть целым числом в диапазоне от 2 до 254. Младший значащий разряд регистра принудительно устанавливается в ноль

### 23.8.2.6 Регистр установки и сброса маски прерывания SSPx\_IMSC

При чтении выдается текущее значение маски. При записи производится установка или сброс маски на соответствующее прерывание. При этом запись 1 в разряд разрешает соответствующее прерывание, запись 0 – запрещает.

После сброса все биты регистра маски устанавливаются в нулевое состояние.

Назначение битов регистра SSPIMSC показано в таблице 222.

Таблица 222 – Регистр SSPIMSC

Биты	Наименование	Назначение
15...4		Резерв. Не модифицируйте. При чтении выдаются нули.
3	TXIM	Маска прерывания по заполнению на 50% и менее буфера FIFO передатчика 1 – не маскирована 0 – маскирована
2	RXIM	Маска прерывания по заполнению на 50% и более буфера FIFO приемника 1 – не маскирована 0 – маскирована
1	RTIM	Маска прерывания по таймауту приемника (буфер FIFO приемника не пуст и не было попыток его чтения в течение времени таймаута) 1 – не маскирована 0 – маскирована
0	RORIM	Маска прерывания по переполнению буфера приемника 1 – не маскирована 0 – маскирована

### 23.8.2.7 Регистр состояния прерываний SSPx\_RIS

Этот регистр доступен только для чтения и содержит текущее состояние прерываний без учета маскирования. Данные, записываемые в регистр, игнорируются.

Назначение бит в регистре SSPRIS представлено в таблице 223.

Таблица 223 – Регистр SSPRIS

Биты	Наименование	Назначение
15...4		Резерв. Не модифицируйте. При чтении выдаются нули
3	TXRIS	Состояние до маскирования прерывания SSPTXINTR
2	RXRIS	Состояние до маскирования прерывания SSPRXINTR
1	RTRIS	Состояние до маскирования прерывания SSPRTINTR
0	RORRIS	Состояние до маскирования прерывания SSPRORINTR

### 23.8.2.8 Регистр маскированного состояния прерываний SSPMIS

Этот регистр доступен только для чтения и содержит текущее состояние прерываний с учетом маскирования. Данные, записываемые в регистр, игнорируются.

Назначение бит в регистре SSPMIS представлено в таблице 224.

Таблица 224 – Регистр SSPMIS

Биты	Наименование	Назначение
15...4		Резерв. Не модифицируйте. При чтении выдаются нули.
3	TXMIS	Состояние маскированного прерывания SSPTXINTR.
2	RXMIS	Состояние маскированного прерывания SSPRXINTR.
1	RTMIS	Состояние маскированного прерывания SSPRTINTR.
0	RORMIS	Состояние маскированного прерывания SSPRORINTR.

### 23.8.2.9 Регистр сброса прерываний SSPx\_ICR

Этот регистр доступен только для записи и предназначен для сброса признака прерывания по заданному событию путем записи 1 в соответствующий бит. Запись в любой из разрядов регистра 0 игнорируется.

Назначение бит в регистре SSPICR представлено в таблице 225.

Таблица 225 – Регистр SSPICR

Биты	Наименование	Назначение
15...2		Резерв. Не модифицируйте. При чтении выдаются нули.
1	RTIC	Сброс прерывания SSPRTINTR.
0	RORIC	Сброс прерывания SSPRORINTR.

### 23.8.2.10 Регистр управления прямым доступом к памяти SSPx\_DMCR

Регистр доступен по чтению и записи. После сброса все биты регистра обнуляются.

Назначение бит регистра UARTDMACR представлено в таблице 226.

Таблица 226 – Регистр SSPDMACR

Биты	Наименование	Назначение
15...2		Резерв. Не модифицируйте. При чтении выдаются нули.
1	TXDMAE	Использование ПДП при передаче. Если бит установлен в 1, разрешено формирование запросов ПДП для обслуживания буфера FIFO передатчика.
0	RXDMAE	Использование ПДП при приеме. Если бит установлен в 1, разрешено формирование запросов ПДП для обслуживания буфера FIFO приемника.

## **23.9 Прерывания**

В модуле предусмотрено пять маскируемых линий запроса на прерывание, в том числе, четыре независимые линии запроса с активным высоким логическим уровнем, а также один общий сигнал, представляющий собой комбинацию независимых по схеме ИЛИ.

Сигналы запроса на прерывание:

SSPRXINTR – запрос на обслуживание буфера FIFO приемника;

SSPTXINTR – запрос на обслуживание буфера FIFO передатчика;

SSPRORINTR – переполнение буфера FIFO приемника;

SSPRTINTR – таймаут приемника;

SSPINTR – логическое ИЛИ сигналов SSPRXINTR, SSPTXINTR, SSPRTINTR и SSPRORINTR.

Каждый из независимых сигналов запроса на прерывание может быть маскирован путем установки соответствующего бита в регистре маски SSPIMSC. Установка бита в 1 разрешает соответствующее прерывание, в 0 – запрещает.

Доступность как индивидуальных, так и общей линии запроса позволяет организовать обслуживание прерываний в системе, как путем применения глобальной процедуры обработки, так и с помощью драйвера устройства, построенного по модульному принципу.

Прерывания от приемника и передатчика SSPRXINTR и SSPTXINTR выведены отдельно от прерываний по изменению состояния устройства. Это позволяет использовать данные сигналы запроса для обеспечения чтения и записи данных, согласованной с достижением заданного порога заполнения буферов FIFO приемника и передатчика.

Признаки возникновения каждого из условий прерывания можно считать либо из регистра прерываний SSPRIS, либо из маскированного регистра прерываний SSPMIS.

### **23.9.1 SSPRXINTR**

Прерывание по заполнению буфера FIFO приемника формируется в случае, если буфер приемника содержит четыре или более несчитанных слов данных.

### **23.9.2 SSPTXINTR**

Прерывание по заполнению буфера FIFO передатчика формируется в случае, если буфер передатчика содержит четыре или менее корректных слов данных.

Состояние прерывания не зависит от значения сигнала разрешения работы модуля PrimeCell SSP. Это позволяет организовать взаимодействие программного обеспечения с передатчиком одним из двух способов. Во-первых, можно записать данные в буфер заблаговременно, перед активизацией передатчика и разрешения прерываний. Во-вторых, можно предварительно разрешить работу модуля и формирование прерываний и заполнять буфер передатчика в ходе работы процедуры обслуживания прерываний.

### **23.9.3 SSPRORINTR**

Прерывание по переполнению буфера FIFO приемника формируется в случае, если буфер уже заполнен и блоком приемника осуществлена попытка записать в него еще одно слово. При этом принятое слово данных регистрируется в регистре сдвига приемника, но в буфер приемника не заносится.

### **23.9.4 SSPRTINTR**

Прерывание по таймауту приемника возникает в случае, если буфер FIFO приемника не пуст, и на вход приемника не поступало новых данных в течение периода

времени, необходимого для передачи 32 бит. Данный механизм гарантирует, что пользователь будет знать о наличии в буфере приемника необработанных данных.

Прерывание по таймауту снимается либо после считывания данных из буфера приемника до его опустошения, либо после приема новых слов данных по входной линии SSPRXD. Кроме того, оно может быть снято путем записи 1 в бит RTIC регистра сброса прерывания SSPTICR.

### **23.9.5 SSPINTR**

Все описанные сигналы запроса на прерывание скомбинированы в общую линию путем объединения по схеме ИЛИ сигналов SSPRXINTR, SSPTXINTR, SSPRTINTR и SSPRORINTR с учетом маскирования. Общий выход может быть подключен к системному контроллеру прерывания, что позволит ввести дополнительное маскирование запросов на уровне периферийных устройств.

## 24 Контроллер UART

Модуль универсального асинхронного приемопередатчика (UART – Universal Asynchronous Receiver-Transmitter) представляет собой периферийное устройство типа «система на кристалле», совместимое с шиной AMBA (Advanced Microcontroller Bus Architecture), разработанное, испытанное и лицензированное компанией ARM.

Контроллер работает в качестве ведомого устройства, подключенного к шине APB (Advanced Peripheral Bus). В состав контроллера включен кодек (ENDEC – Encoder/Decoder) последовательного интерфейса инфракрасной передачи данных в соответствии с протоколом SIR (SIR – Serial Infra Red) ассоциации Infrared Data Association (IrDA).

Основные сведения о модуле представлены в следующих разделах:

- характеристики;
- программируемые параметры;
- отличия от приемопередатчика 16C650.

Примечание – вследствие изменений, внесенных в программную модель контроллера PL011, это изделие не обеспечивает обратной совместимости с предыдущей моделью PrimeCell UART PL010.

### 24.1 Основные характеристики модуля UART

Удовлетворяет спецификации AMBA Rev 2.0, что облегчает интеграцию модуля в систему на кристалле.

Может быть запрограммировано для использования как в качестве универсального асинхронного приемопередатчика, так и для инфракрасного обмена данными (SIR).

Содержит независимые буферы приема (16x12) и передачи (16x8) типа FIFO (First In First Out – первый вошел, первый вышел), что позволяет снизить интенсивность прерываний центрального процессора.

Программное отключение FIFO позволяет ограничить размер буфера одним байтом.

Программное управление скоростью обмена. Обеспечивается возможность деления тактовой частоты опорного генератора в диапазоне (1x16 – 65535x16). Допускается использование нецелых коэффициентов деления частоты, что позволяет использовать любой опорный генератор с частотой более 3.6864 МГц.

Поддержка стандартных элементов асинхронного протокола связи – стартового, стопового битов и бита контроля четности, которые добавляются перед передачей и удаляются после приема.

Независимое маскирование прерываний от буфера FIFO передатчика, буфера FIFO приемника, по таймауту приемника, по изменению линий состояния модема, а также в случае обнаружения ошибки.

Поддержка прямого доступа к памяти.

Обнаружение ложных стартовых битов.

Формирование и обнаружения сигнала разрыва линии.

Поддержка функции управления модемом (линии CTS, DCD, DSR, RTS, DTR и RI).

Возможность организации аппаратного управления потоком данных.

Полностью программируемый асинхронный последовательный интерфейс с характеристиками:

Данные длиной 5,6,7 или 8 бит;

Формирование и контроль четности (проверочный бит выставляется по четности, нечетности, имеет фиксированное значение, либо не передается);

Формирование 1 или 2 стоповых бит;

Скорость передачи данных – от 0 до UARTCLK/16 Бод.

Кодек ИУ обмена данными IrDA SIR обеспечивает:

Программный выбор обмена данными по линиям асинхронного приемопередатчика либо кодека ИК связи IrDA SIR;

Поддержку функционирования с информационной скоростью до 115200 бит/с в режиме полудуплекса;

Поддержку длительности бит для нормального режима (3/16) и для режима пониженного энергопотребления (1,41 – 2,23 мкс).

Программируемое деление опорной частоты UARTCLK для получения заданной длительности бит в режиме пониженного энергопотребления.

Наличие идентификационного регистра, однозначно идентифицирующего модуль, что позволяет операционной системе выполнять автоматическую конфигурацию.

## **24.2 Программируемые параметры**

Следующие ключевые параметры могут быть заданы программно:

Скорость передачи данных – целая и дробная часть числа.

Количество бит данных;

Количество стоповых бит;

Режим контроля четности;

Разрешение или запрет использования буферов FIFO (глубина очереди данных – 32 элемента или один элемент, соответственно);

Порог срабатывания прерывания по заполнению буферов FIFO (1/8, 1/4, 1/2, 3/4, и 7/8);

Частота внутреннего тактового генератора (номинальное значение – 1,8432 МГц) может быть задана в диапазоне 1,42 – 2,12 МГц для обеспечения возможности формирования бит данных с укороченной длительностью в режиме пониженного энергопотребления;

Режим аппаратного управления потоком данных.

Для проверки функционирования и соединений модуля предусмотрены дополнительные регистры тестирования.

## **24.3 Отличия от контроллера UART 16C650**

Контроллер отличается от промышленного стандарта асинхронного приемопередатчика 16C650 следующими характеристиками:

Пороги срабатывания прерывания по заполнению буфера FIFO приемника – 1/8, 1/4, 1/2, 3/4, и 7/8;

Пороги срабатывания прерывания по заполнению буфера FIFO передатчика – 1/8, 1/4, 1/2, 3/4, и 7/8;

Отличается распределение адресов внутренних регистров и назначение бит в регистрах;

Недоступны изменения сигналов в состоянии модема.

Следующие возможности контроллера 16C650 не поддерживаются:

Полуторная длительность стопового бита (поддерживается только 1 или 2 стоповых бита);

Независимое задание тактовой частоты приемника и передатчика.



#### **24.4 Функциональные возможности**

Устройство выполняет следующие функции:

Преобразование данных, полученных от периферийного устройства, из последовательной в параллельную форму;

Преобразование данных, передаваемых на периферийное устройство, из параллельной в последовательную форму.

Центральный процессор читает и записывает данные, а также управляющую информацию и информацию о состоянии через интерфейс шины AMBA APB. Прием и передача данных буферизуются с помощью внутренней памяти FIFO, позволяющей сохранить до 32 байт независимо для режимов приема и передачи.

Модуль приемопередатчика:

Содержит программируемый генератор, формирующий тактовый сигнал одновременно для передачи и для приема данных на основе внутреннего тактового сигнала UARTCLK;

Обеспечивает возможности, сходные с возможностями индустриального стандарта – контроллера UART 16C650.

Режим работы приемопередатчика и скорость обмена данными контролируются регистром управления линией UARTLCR\_H и регистрами делителя скорости передачи данных – целой части (UARTIBRD) и дробной части (UARTFBRD).

Устройство может формировать следующие сигналы:

Независимые маскируемые прерывания от приемника (в том числе по таймауту), передатчика, а также по изменению состояния модема и в случае обнаружения ошибки;

Общее прерывание, возникающее в случае, если возникло одно из независимых немаскированных прерываний;

Сигналы запроса на прямой доступ к памяти (ПДП) для совместной работы с контроллером ПДП.

В случае возникновения ошибки в структуре сигнала, четности данных, а также разрыва линии соответствующий бит ошибки устанавливается и сохраняется в буфере FIFO. В случае переполнения буфера немедленно устанавливается соответствующий бит в регистре переполнения, а доступ к записи в буфер FIFO блокируется.

Существует возможность программно ограничить размер буфера FIFO одним байтом, что позволяет реализовать общепринятый интерфейс асинхронной последовательной связи с двойной буферизацией.

Поддерживаются входные линии состояния модема: «готовность к приему» (Clear To Send, CTS), «обнаружен информационный сигнал» (Data Carrier Detected, DCD), «источник данных готов» (Data Set Ready, DSR) и «индикатор вызова» (Ring Indicator, RI), а также выходные линии: «запрос на передачу» (Request to Send, RTS) и «приемник данных готов» (Data Terminal Ready, DTR).

Доступна возможность аппаратного управления потоком данных по линиям nUARTCTS и nUARTRTS.

Блок последовательного интерфейса инфракрасной (ИК) передачи данных в соответствии с протоколом IrDA SIR реализует протокол обмена данными ENDEC. В случае его активизации обмен информацией осуществляется не с помощью сигналов UARTTXD и UARTRXD, а посредством сигналов nSIROUT и SIRIN.

В этом случае устройство переводит линию UARTTXD в пассивное состояние (высокий уровень), и перестает реагировать на изменение состояния модема, а также сигнала на линии UARTRXD. Протокол SIR ENDEC обеспечивает возможность обмена данными исключительно в режиме полудуплекса, то есть он не может передавать во время приема данных и принимать во время передачи данных.

В соответствии со спецификацией физического уровня протокола IrDA SIR, задержка между передачей и приемом должна составлять не менее 10 мс.

### 24.5 Описание функционирования блока UART

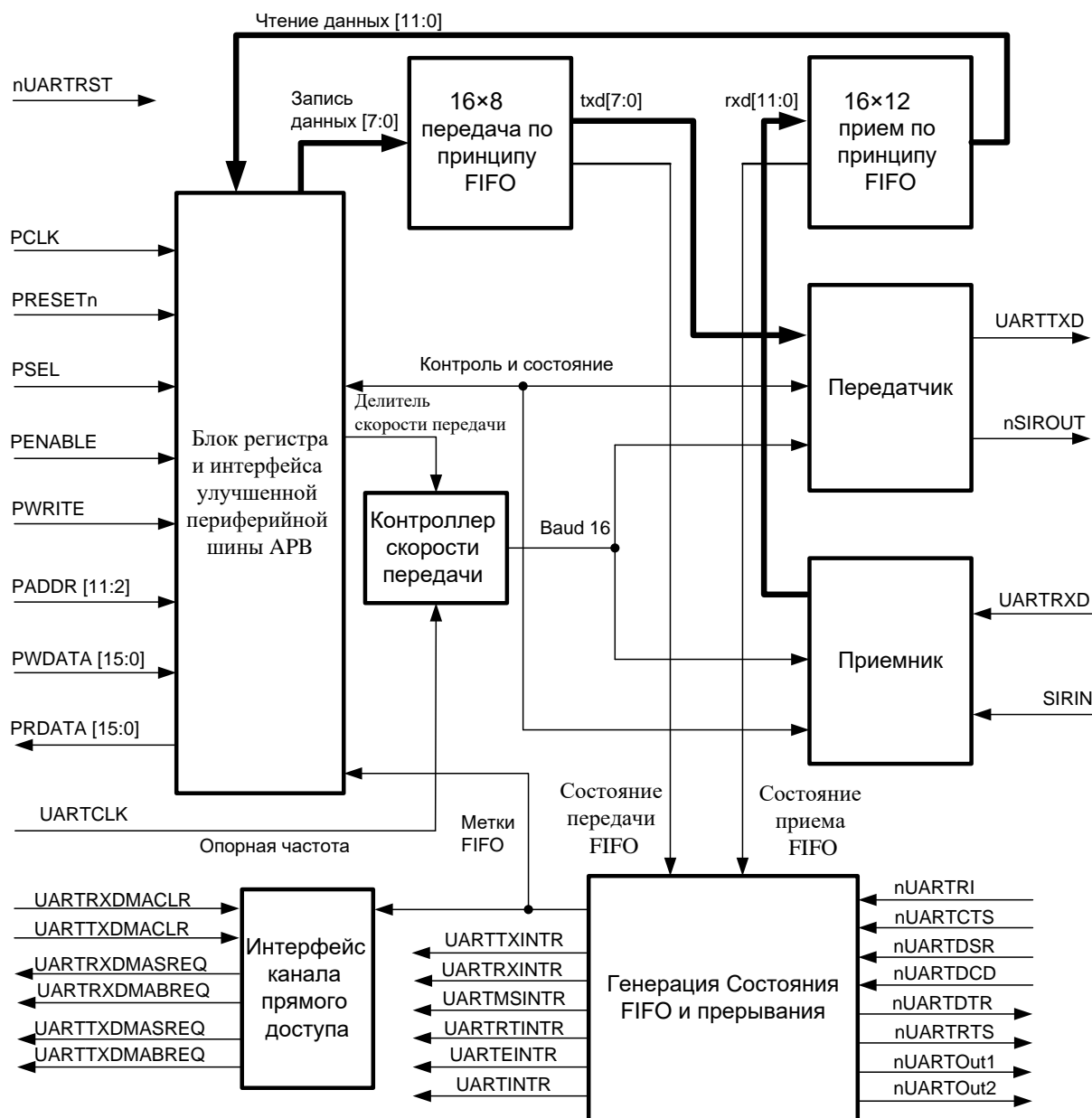


Рисунок 83 – Блок-схема универсального асинхронного приемопередатчика (УАПП)

Примечание – С целью обеспечения ясности на схеме не показаны схемы тестирования.

#### 24.5.1 Генератор тактового сигнала приемопередатчика

Генератор содержит счетчики без цепи сброса, формирующие внутренние тактовые сигналы Baud16 и IrLPBaud16.

Сигнал Baud16 используется для синхронизации схем управления приемником и передатчиком последовательного обмена данными. Он представляет собой последовательность импульсов с шириной, равной одному периоду сигнала UARTCLK и частотой, в 16 раз выше скорости передачи данных.

Сигнал IrLPBaud16 предназначен для синхронизации схемы формирования импульсов с длительностью, требуемой для ИК обмена данными в режиме с пониженным энергопотреблением.

#### **24.5.2 Буфер FIFO передатчика**

Буфер передатчика имеет ширину 8 бит, глубину 16 слов, схему организации доступа типа «первый вошел, первый вышел». Данные от центрального процессора, записанные через шину APB, сохраняются в буфере до тех пор, пока не будут считаны логической схемой передачи данных. Существует возможность запретить буфер FIFO передатчика, в этом случае он будет функционировать как однобайтовый буферный регистр.

#### **24.5.3 Буфер FIFO приемника**

Буфер приемника имеет ширину 12 бит, глубину 16 слов, схему организации доступа типа «первый вошел, первый вышел». Принятые от периферийного устройства данные и соответствующие кодов ошибки сохраняются логикой приема данных в нем до тех пор, пока не будут считаны центральным процессором через шину APB. Буфер FIFO приемника может быть запрещен, в этом случае он будет действовать как однобайтовый буферный регистр.

#### **24.5.4 Блок передатчика**

Логические схемы передатчика осуществляют преобразование данных, считанных из буфера передатчика, из параллельной в последовательную форму. Управляющая логика выдает последовательный поток бит в порядке: стартовый бит, биты данных, начиная с младшего значащего разряда, бит проверки на четность, и, наконец, стоповые биты, в соответствии с конфигурацией, записанной в регистре управления.

#### **24.5.5 Блок приемника**

Логические схемы приемника преобразуют данные, полученные от периферийного устройства, из последовательной в параллельную форму после обнаружения корректного стартового импульса. Кроме того, производятся проверки переполнения буфера, ошибки контроля четности, ошибки в структуре сигнала, а также разрыва линии. Признаки обнаружения этих ошибок также сохраняются в выходном буфере.

#### **24.5.6 Блок формирования прерываний**

Контроллер генерирует независимые маскируемые прерывания с активным высоким уровнем. Кроме того, формируется комбинированное прерывание путем объединения указанных независимых прерываний по схеме ИЛИ.

Комбинированный сигнал прерывания может быть подан на внешний контроллер прерываний системы, при этом появится дополнительная возможность маскирования устройства в целом, что облегчает построение модульных драйверов устройств.

Другой подход состоит в подаче на системный контроллер прерываний независимых линий запроса на прерывание от приемопередатчика. В этом случае процедура обработки сможет одновременно считать информацию обо всех источниках прерывания. Данный подход привлекателен в случае, если скорость доступа к регистрам периферийных устройств значительно превышает тактовую частоту центрального процессора в системе реального времени.

Для более подробной информации см. подраздел «Прерывания».

### 24.5.7 Блок и регистры синхронизации

Контроллер поддерживает как асинхронный, так и синхронный режимы работы тактовых генераторов PCLK и UARTCLK. Регистры синхронизации и логика квитирования реализованы и постоянно находятся в активном состоянии. Это практически не отражается на характеристиках устройства и занимаемой площади. Синхронизация сигналов управления осуществляется в обоих направлениях потока данных, то есть как из области действия PCLK в область действия UARTCLK, так и наоборот.

### 24.6 Описание функционирования ИК кодека IrDA SIR

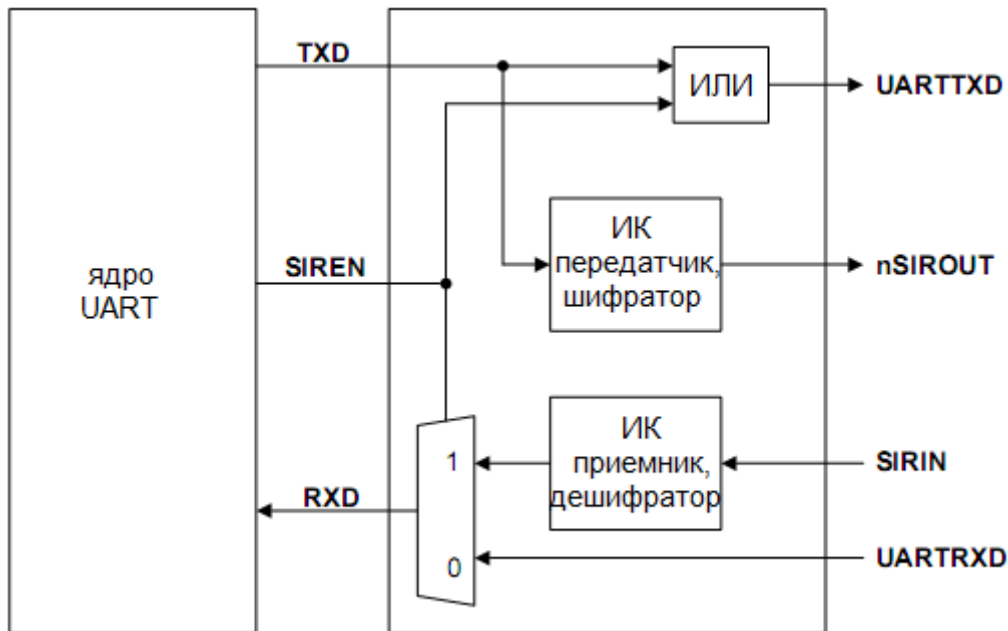


Рисунок 84 – Структурная схема кодека

#### 24.6.1 Кодер ИК передатчика

Кодер преобразует поток данных с выхода асинхронного передатчика, сформированный по закону модуляции без возврата к нулю (NRZ). Спецификация физического уровня протокола IrDA SIR подразумевает использование модуляции с возвратом к нулю и инверсией (RZI), в соответствии с которой передача логического нуля соответствует излучению одного светового ИК импульса. Сформированный выходной поток импульсов подается на усилитель и, далее, на ИК светодиод.

Длительность импульса в режиме IrDA составляет, согласно спецификации, 3 периода внутреннего тактового генератора с частотой Baud16, то есть, 3/16 периода времени, выделенного на передачу одного бита.

В режиме IrDA с пониженным энергопотреблением ширина импульса задана как 3/16 периода, выделенного на передачу бита, при скорости передачи данных 115200 бит/с. Данное требование реализуется за счет формирования трех периодов тактового сигнала IrLPBaud16 с номинальной частотой 1,8432 МГц, который, в свою очередь, формируется путем деления частоты UARTCLK. Значение частоты IrLPBaud16 задается путем записи соответствующего коэффициента деления частоты в регистр UARTILPR.

Выход кодера имеет активное низкое состояние. При передаче логической единицы выход кодера остается в низком состоянии, при передаче логического нуля – формируется импульс, при этом выход кратковременно переводится в высокое состояние.

Как в нормальном режиме, так и в режиме пониженного энергопотребления использование нецелых значений коэффициента деления скорости передачи данных приводит к увеличению джиттера фронтов импульсов данных. Наличие джиттера в случае использования дробных коэффициентов деления связано с тем, что интервалы между тактовыми импульсами Baud16 будут нерегулярными – период сигнала Baud16 в разное время будет содержать различное количество периодов сигнала UARTCLK. Можно показать, что в наихудшем случае величина джиттера в потоке ИК импульсов может достигать трех периодов UARTCLK. В соответствии со спецификацией стандарта IrDA SIR, джиттер не должен превышать величины 13%. В случае, если частота сигнала UARTCLK составляет более 3,6834 МГц, а скорость передачи данных меньше или равна 115200 бит/с, величина джиттера не превышает 9%, таким образом, требования стандарта выполняются.

### **24.6.2 Декодер ИК приемника**

Декодер преобразует поток данных, сформированных по закону возврата к нулю, полученного от приемника ИК сигнала, и выдает поток данных без возврата к нулю на вход приемника UART. В неактивном состоянии вход декодера находится нормально в высоком состоянии. Выходной сигнал кодера имеет полярность, противоположную полярности входа декодера.

Обнаружение стартового бита осуществляется при низком уровне сигнала на входе декодера.

Примечание – Для того, чтобы исключить ложные срабатывания UART от импульсных помех, на входе SIRIN игнорируются импульсы с длительностью менее, чем:

- 3/16 длительности Baud16 в режиме IrDA;
- 3/16 длительности IrLPBaud16 в режиме IrDA с пониженным энергопотреблением.

## **24.7 Описание работы**

### **24.7.1 Сброс модуля**

Приемопередатчик и кодек могут быть сброшены общим сигналом сброса PRESETn, а также специфическим для модуля сигналом nUARTRST. Схема сброса должна использовать сигнал PRESETn для активизации сигнала nUARTRST в асинхронном режиме и его снятия синхронно с UARTCLK. Сигнал PRESETn должен быть установлен в низкий уровень в течение периода времени, достаточного для сброса самого медленного блока системы на кристалле, после чего переведен обратно в высокий уровень. В случае рассматриваемого модуля приемопередатчика необходимо, чтобы сигнал PRESETn находился в низком уровне в течение, как минимум, одного периода PCLK.

Значения регистров после сброса описаны в главе 3 – модель программиста.

### **24.7.2 Тактовые сигналы**

Частота, тактового сигнала UARTCLK должна обеспечивать поддержку требуемого диапазона скоростей передачи данных:

$$F\_UARTCLK(\min) \geq 16 * \text{baud\_rate\_max};$$
$$F\_UARTCLK(\max) \leq 16 * 65535 * \text{baud\_rate\_min}.$$

Например, для поддержки скорости передачи данных в диапазоне от 110 до 460800 Бод частота UARTCLK должна находиться в интервале от 7,3728 МГц до 115,34 МГц.

Частота UARTCLK, кроме того, должна выбираться с учетом возможности установки скорости передачи данных в рамках заданных требований точности.

Также существует ограничение на соотношение между тактовыми частотами PCLK и UARTCLK. Частота UARTCLK должна быть не более, чем в 5/3 раз выше частоты PCLK.

$$F\_UARTCLK \leq 5/3 * F\_PCLK.$$

Например, при работе в режиме UART с максимальной скоростью передачи данных NCLK/16 бод, при частоте UARTCLK 14,7456 МГц, частота PCLK должна быть не менее 8,85276 МГц. Это гарантирует, что контроллер UART будет иметь достаточно времени для записи принятых данных в буфер FIFO.

### **24.7.3 Работа универсального асинхронного приемопередатчика**

Управляющая информация хранится в регистре управления линией UARTLCR. Этот регистр имеет внутреннюю ширину 30 бит, однако внешний доступ по шине APB к нему осуществляется через следующие регистры:

UARTLCR\_H – определяет:

- Параметры передачи данных;
- Длину слова;
- Режим буферизации;
- Количество передаваемых стоповых бит;
- Режим контроля четности;
- Формирование сигнала разрыва линии.

UARTIBRD – определяет целую часть коэффициента деления для скорости передачи данных.

UARTFBRD – определяет дробную часть коэффициента деления для скорости передачи данных.

### **24.7.4 Дробный коэффициент деления**

Коэффициент деления для формирования скорости передачи данных состоит из 22 бит, при этом 16 бит выделено для представления его целой части, а 6 бит – дробной части. Возможность задания нецелых коэффициентов деления позволяет осуществлять обмен данными со стандартными информационными скоростями, при этом используя в качестве UARTCLK тактовый сигнал с произвольной частотой более 3,6864 МГц.

Целая часть коэффициента деления записывается в 16-битный регистр UARTIBRD. Шестиразрядная дробная часть записывается в регистр UARTFBRD. Значение коэффициента деления связано с содержимым указанных регистров следующим образом:

$$\text{Коэффициент деления} = \frac{UARTCLK}{16 * \text{скорость передачи данных}} = BRD\_I + BRD\_F$$

где

BRD\_I – целая часть, а BRD\_F – дробная часть коэффициента деления.

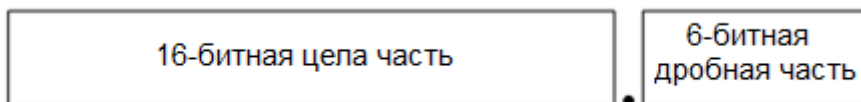


Рисунок 85 – Коэффициент деления

Шестибитное значение, записываемое в регистр UARTFBRD, вычисляется путем выделения дробной части требуемого коэффициента деления, умножения ее на 64 (то есть на  $2^n$ , где  $n$  – ширина регистра UARTFBRD) и округления до ближайшего целого числа:

$$M = \text{integer}(BRD\_F * 2^n + 0,5)$$

где

integer – операция отсечения дробной части числа,  $n = 6$ .

Для иллюстрации вычисления коэффициента деления см. пример 3-1

В модуле формируется внутренний сигнал Vaud16, представляющий собой последовательность импульсов с длительностью, равной периоду сигнала UARTCLK и средней частотой, в 16 раз больше требуемой скорости обмена данными.

#### **24.7.5 Передача и прием данных**

Принятые или передаваемые данные заносятся в 16-элементные буферы FIFO, при этом каждый элемент приемного буфера FIFO, кроме байта данных хранит также четыре бита информации о состоянии модема.

Для передачи данные заносятся в буфер FIFO передатчика. Если работа приемо-передатчика разрешена, начинается передача информационного кадра с параметрами, указанными в регистре управления линией UARTLCR\_H. Передача данных продолжается до опустошения буфера FIFO передатчика. После записи элемента в буфер FIFO передатчика сигнал BUSY переходит в высокое состояние. Это состояние сохраняется в течение всего времени передачи данных. В низкое состояние сигнал BUSY переходит только после того, как буфер FIFO передатчика станет пуст, а последний бит данных (включая стоповые биты) будет передан. Сигнал BUSY может находиться в высоком состоянии даже в случае, если приемопередатчик будет переведен из разрешенного состояния в запрещенное.

В случае, если приемник находился в неактивном состоянии (на линии входного сигнала UARTRXD постоянно присутствовала единица) и произошел переход входного сигнала из высокого в низкий логический уровень (обнаружен стартовый бит), включается счетчик, тактируемый сигналом Vaud16, после чего отсчеты сигнала на входе приемника регистрируются каждые восемь тактов (в режиме асинхронного приемопередатчика) или каждые четыре такта (в режиме ИК обмена данными) сигнала Vaud16. Более частая выборка данных в режиме ИК обмена связана с необходимостью корректной обработки импульсов данных согласно протоколу SIR IrDA.

Стартовый бит считается достоверным в случае, если сигнал на линии UARTRXD сохраняет низкий логический уровень в течение восьми отсчетов сигнала Vaud16 с момента включения счетчика. В противном случае переход в ноль рассматривается как ложный старт и игнорируется.

В случае, если обнаружен достоверный стартовый бит, производится регистрация последовательности данных на входе приемника. Очередной бит данных фиксируются каждые 16 отсчетов тактового сигнала Vaud16 (что соответствует длительности одного символа). Производится регистрация всех бит данных (согласно запрограммированным параметрам) и бита четности (если включен режим контроля четности).

Наконец, производится проверка присутствия корректного стопового бита (высокий логический уровень сигнала UARTRXD). В случае, если последнее условие не выполняется, устанавливается признак ошибки формирования кадра. После того, как слово данных принято полностью, оно заносится в буфер FIFO приемника, наряду с четырьмя битами признаков ошибки, связанных с принятым.

### **24.7.6 Биты ошибки**

Три бита признаков ошибки, ассоциированные с принятым символом данных, заносятся на позиции [10:8] слова данных в буфере FIFO приемника. Также предусмотрен признак ошибки переполнения буфера FIFO, расположенный на позиции 11 слова данных.

В таблице 237 описано назначение всех битов слова данных в FIFO буфере приемника.

### **24.7.7 Бит переполнения буфера**

Бит переполнения непосредственно не связан с конкретным символом в буфере приемника. Признак переполнения фиксируется в случае, если буфер FIFO заполнен, в то время как очередной символ данных полностью принят (находится в регистре сдвига). При этом данные из регистра сдвига не попадают в буфер приемника и теряются с началом приема очередного символа. Как только в буфере приемника появляется свободное место, очередной принятый символ данных заносится в буфер FIFO вместе с текущим значением признака переполнения. После успешной записи данных в буфер признак переполнения сбрасывается.

Таблица 227 – Назначение бит слова данных в FIFO-буфере приемника

<b>Бит буфера FIFO</b>	<b>Назначение</b>
11	Признак переполнения буфера
10	Ошибка – разрыв линии
09	Ошибка проверки на четность
08	Ошибка формирования кадра
07:00	Принятые данные

### **24.7.8 Запрет буфера FIFO**

Предусмотрена возможность отключения FIFO буферов приемника и передатчика. В этом случае приемная и передающая сторона контроллера UART располагают лишь однокбайтными буферными регистрами. Бит переполнения буфера устанавливается при этом тогда, когда очередной символ данных уже принят, однако предыдущий еще не был считан.

В настоящей реализации модуля буферы FIFO физически не отключаются, необходимая функциональность достигается за счет логических манипуляций с флагами. При этом в случае, если буфер FIFO отключен, а сдвиговый регистр передатчика пуст (не используется), запись байта данных происходит непосредственно в регистр сдвига, минуя буферный регистр.

#### **Проверка по шлейфу**

Проверка по шлейфу (замыкание выхода передатчика на вход приемника) выполняется путем установки в 1 бита LBE в регистре управления контроллером UARTCR.

### **24.7.9 Работа кодека ИК обмена данными IrDA SIR**

Кодек обеспечивает сопряжение асинхронного потока данных, сформированного приемопередатчиком, с полудуплексным последовательным интерфейсом IrDA SIR. Какая-либо аналоговая обработка сигнала при этом не выполняется. Назначение кодека – сформировать цифровой поток данных на вход приемника асинхронного сигнала и обработать цифровой поток данных с выхода передатчика.



Предусмотрено два режима работы:

В режиме IrDA уровень логического нуля передается на линию nSIROUT в виде импульса с высоким логическим уровнем и длительностью 3/16 от выбранного периода следования бит данных. Логическая единица при этом передается в виде постоянного низкого уровня сигнала. Сформированный выходной сигнал далее подается на передатчик ИК-сигнала, обеспечивая излучение светового импульса всякий раз при передаче нулевого бита. На приемной стороне световые импульсы воздействуют на базу фототранзистора ИК приемника, который в результате формирует низкий логический уровень. Это, в свою очередь, обуславливает низкий уровень на входе SIRIN.

В режиме IrDA с пониженным энергопотреблением длительность передаваемых импульсов ИК излучения устанавливается в три раза выше длительности импульсов внутреннего опорного сигнала IrLPBaud16 (равной 1,63 мкс при номинальной частоте 1,8432 МГц). Данный режим активизируется путем установки бита SIRLP в регистре управления UARTCR.

Как в нормальном режиме, так и в режиме пониженного энергопотребления: кодирование осуществляется на основе бит данных, сформированных асинхронным передатчиком модуля; в ходе приема данных декодированные биты далее обрабатываются блоком асинхронного приема.

В соответствии со спецификацией физического уровня протокола IrDA SIR, обмен данными должен осуществляться в режиме полудуплекса, при этом задержка между передачей и приемом данных должна составлять не менее 10 мс. Эта задержка должна формироваться программно. Необходимость ее введения обусловлена тем, что воздействие передающего ИК светодиода на находящийся рядом ИК приемник может привести к искажению принимаемого сигнала или даже ввести приемный тракт в состояние насыщения. Задержка между окончанием передачи и началом приема данных именуется латентность, или время установки (готовности) приемника.

Сигнал IrLPBaud16 формируется путем деления частоты сигнала UARTCLK в соответствии с коэффициентом деления, записанным в регистре UARTILPR.

Коэффициент деления вычисляется по формуле:

$$\text{Коэффициент деления} = \frac{F_{\text{UARTCLK}}}{F_{\text{IrLPBaud16}}}$$

где номинальное значение IrLPBaud16 составляет 1,8432 МГц. Коэффициент деления должен быть выбран так, чтобы выполнялось соотношение:

$$1,42 \text{ МГц} < F_{\text{IrLPBaud16}} < 2,12 \text{ МГц.}$$

#### **Проверка по шлейфу**

Проверка по шлейфу выполняется после установки в 1 бита LBE регистра управления контроллером UARTCR с одновременной установкой в 1 бита SIRTEST регистра управления тестированием UARTTTCR.

В этом режиме данные, передаваемые на выход nSIROUT, должны подаваться на вход SIRIN.

Примечание – Это единственный случай использования тестового регистра в нормальном режиме функционирования модуля.

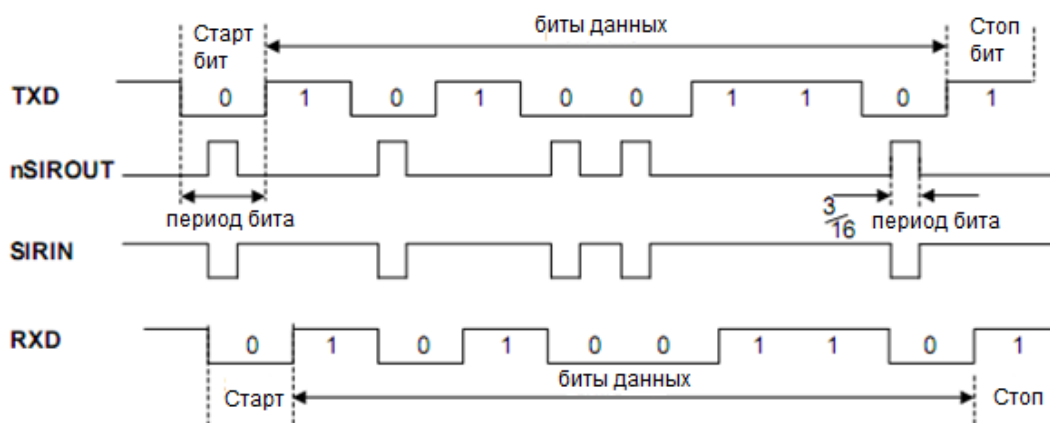


Рисунок 86 – Модуляция данных IrDA

### 24.8 Линии управления модемом

Модуль универсального асинхронного приемопередатчика может использоваться как в режиме оконечного оборудования (DTE), так и в режиме оборудования передачи данных (DCE). На рисунке 87 показаны сигналы модема в режиме DTE. Назначение сигналов в режиме DCE представлены в таблице 228.

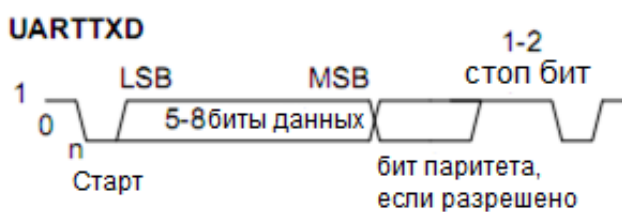


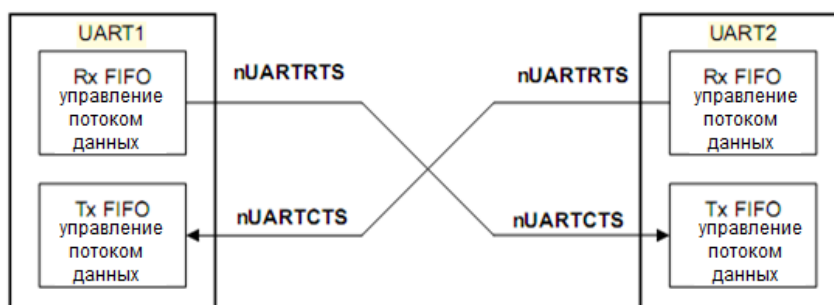
Рисунок 87 – Кадр передачи данных

Таблица 228 – Назначение управления модемом в режимах DTE и DCE

Сигнал	Назначение	
	Режим оконечного оборудования	Режим оборудования передачи данных
nUARTCTS	Готов к передаче данных	Запрос передачи данных
nUARTDSR	Источник данных готов	Приемник данных готов
nUARTDCD	Обнаружен информационный сигнал	-
nUARTRI	Индикатор вызова	-
nUARTRTS	Запрос передачи данных	Готов к передаче данных
nUARTDTR	Приемник данных готов	Источник данных готов
nUARTOUT1	-	Обнаружен информационный сигнал
nUARTOUT2	-	Индикатор вызова

#### 24.8.1 Аппаратное управление потоком данных

Программно активизируемый режим аппаратного управления потоком данных позволяет контролировать (приостанавливать и возобновлять) информационный обмен с помощью сигналов nUARTRTS и nUARTCTS. Иллюстрация взаимодействия двух устройств последовательной связи с аппаратным управлением потоком данных представлена на рисунке 88.



**Рисунок 88 – Взаимодействие двух устройств последовательной связи с аппаратным управлением потоком данных**

Если разрешено управление потоком данных по сигналу RTS, линия nUARTRTS переводится в активное состояние только после того, как в FIFO буфере приема появляется заданное количество свободных элементов.

Если разрешено управление потоком данных по сигналу CTS, передача данных осуществляется только после перевода линии nUARTCTS в активное состояние.

Режим аппаратного управления потоком данных задается путем установки значений бит RTSEn и CTSEn в регистре управления UARTCR. В таблице 229 показаны необходимые установки для различных режимов управления потоком данных.

**Таблица 229 – Режимы управления потоком данных**

<b>CTSEn</b>	<b>RTSEn</b>	<b>Описание</b>
1	1	Разрешено управление потоком данных по CTS и RTS
1	0	Управления потоком данных осуществляется по линии CTS
0	1	Управления потоком данных осуществляется по линии RTS
0	0	Управления потоком данных запрещено

Примечание – В случае, если выбран режим управления потоком данных по RTS, программное обеспечение не может использовать бит RTSEn регистра UARTCR для проверки состояния линии RTS.

### **24.8.2 Управление потоком данных по линии RTS**

Логика управления потоком данных по RTS использует данные о превышении пороговых уровней заполнения буфера FIFO приемника. В случае выбора режимов с управлением по RTS, сигнал на линии nUARTRTS переводится в активное состояние только после того, как в FIFO буфере приема появляется заданное количество свободных элементов. После достижения порогового уровня заполнения буфера приемника сигнал nUARTRTS снимается (переводится в пассивное состояние), указывая, таким образом, об отсутствии свободного места для сохранения принятых данных. При этом дальнейшая передача данных должна быть прекращена по завершении передачи текущего символа.

Обратно в активное состояние сигнал nUARTRTS переводится после считывания данных из приемного буфера FIFO в количестве, достаточном для того, чтобы его заполнение оказалось ниже порогового уровня.

В случае, если управление потоком данных по RTS запрещено, однако работа приемопередатчика UART разрешена, прием будет осуществляться до полного заполнения буфера FIFO, либо до завершения передачи данных.

### 24.8.3 Управление потоком данных по линии CTS

В случае выбора одного из режимов с управлением потоком данных по CTS, передатчик осуществляет проверку состояния линии nUARTCTS перед началом передачи очередного байта данных. Передача осуществляется только в случае, если данная линия активна и продолжается до тех пор, пока активное состояние линии сохраняется и буфер передатчика не пуст.

При переходе линии nUARTCTS в неактивное состояние модуль завершает выдачу текущего передаваемого символа, после чего передача данных прекращается.

Если управление потоком данных по CTS запрещено, однако работа приемопередатчика UART разрешена, данные будут выдаваться до опустошения буфера FIFO передатчика.

### 24.9 Интерфейс прямого доступа к памяти

Модуль универсального асинхронного приемопередатчика оснащен интерфейсом подключения к контроллеру прямого доступа к памяти. Работа в данном режиме контролируется регистром управления ПДП UARTDMACR.

Интерфейс ПДП включает в себя следующие сигналы:

#### Для приема:

UARTRXDMASREQ – запрос передачи отдельного символа, инициируется контроллером UART. Размер символа в режиме приема данных – до 12 бит. Сигнал переводится в активное состояние в случае, если буфер FIFO приемника содержит, по меньшей мере, один символ.

UARTRXDMABREQ – запрос блочного обмена данными, инициируется модулем приемопередатчика. Сигнал переходит в активное состояние в случае, если заполнение буфера FIFO приемника превысило заданный порог. Порог программируется индивидуально для каждого буфера FIFO путем записи значения в регистр UARTIFLS17.

UARTRXDMACLR – сброс запроса на ПДП, инициируется модулем приемопередатчика с целью сброса принятого запроса. В случае, если был запрошен блочный обмен данными, сигнал сброса формируется в ходе передачи последнего символа данных в блоке.

#### Для передачи:

UARTTXDMASREQ – запрос передачи отдельного символа, инициируется модулем приемопередатчика. Размер символа в режиме передачи данных – до восьми бит. Сигнал переводится в активное состояние в случае, если буфер FIFO передатчика содержит, по меньшей мере, одну свободную ячейку.

UARTTXDMABREQ – запрос блочного обмена данными, инициируется модулем приемопередатчика. Сигнал переводится в активное состояние в случае, если заполнение буфера FIFO передатчика ниже заданного порога. Порог программируется индивидуально для каждого буфера FIFO путем записи значения в регистр UARTIFLS.

UARTTXDMACLR – сброс запроса на ПДП, инициируется контроллером ПДП с целью сброса принятого запроса. В случае, если был запрошен блочный обмен данными, сигнал сброса формируется в ходе передачи последнего символа данных в блоке.

Сигналы блочного и одноэлементного обмена данными не являются взаимно исключающими, они могут быть инициированы одновременно. Например, в случае, если заполнение данными буфера приемника превышает пороговое значение, формируется как сигнал запроса одноэлементного обмена, так и сигнал запроса блочного обмена данными. В случае, если количество данных в буфере приема меньше порогового значения формируется только запрос одноэлементного обмена. Это бывает полезно в ситуациях, при которых объем данных меньше размера блока. Пусть, например, нужно принять 19 символов, а порог заполнения буфера FIFO установлен равным четырем.

Тогда контроллер ПДП осуществит четыре передачи блоков по четыре символа, а оставшиеся три символа передаст в ходе трех одноэлементных обменов.

Примечание – Для оставшихся трех символов контроллер UART не может инициировать процедуру блочного обмена.

Каждый инициированный приемопередатчиком сигнал запроса ПДП остается активным до момента его сброса соответствующим сигналом DMACLR.

После снятия сигнала сброса модуль приемопередатчика вновь получает возможность сформировать запрос на ПДП в случае выполнения описанных выше условий. Все запросы ПДП снимаются после запрета работы приемопередатчика, а также в случае установки в ноль бита управления ПДП TXDMAE или RXDMAE в регистре управления ПДП UARTDMACR.

В случае запрета буферов FIFO устройство способно передавать и принимать только одиночные символы, как следствие, контроллер может инициировать ПДП только в одноэлементном режиме. При этом модуль в состоянии формировать только сигналы управления ПДП UARTRXDMASREQ и UARTTXDMASREQ. Для информации о запрете буферов FIFO см. описание регистра управления линией UARTLCR\_H.

Когда буферы FIFO включены, обмен данными может производиться в ходе как одноэлементных, так и блочных передач данных, в зависимости от установленной величины порога заполнения буферов и их фактического заполнения. В таблице 230 приведены значения параметров срабатывания запросов блочного обмена UARTRXDMABREQ и UARTTXDMABREQ в зависимости от порога заполнения буфера.

Таблица 230 – Параметры срабатывания запросов блочного обмена данными в режиме ПДП

Пороговый уровень	Длина блока обмена данными	
	Буфер передатчика (количество незаполненных ячеек)	Буфер приемника (количество заполненных ячеек)
1/8	28	4
1/4	24	8
1/2	16	16
3/4	8	24
7/8	4	28

В регистре управления ПДП UARTDMACR предусмотрен бит DMAONERR, который позволяет запретить ПДП от приемника в случае активного состояния линии прерывания по обнаружению ошибки UARTEINTR. При этом соответствующие линии запроса ПДП – UARTRXDMASREQ и UARTRXDMABREQ переводятся в неактивное состояние (маскируются) до сброса UARTEINTR. На линии запроса ПДП, обслуживающие передатчик, состояние UARTEINTR не влияет.

На рисунке 89 показаны временные диаграммы одноэлементного и блочного запросов ПДП, в том числе действие сигнала DMACLR. Все сигналы должны быть синхронизированы с PCLK. В интересах ясности изложения предполагается, что синхронизация сигналов запроса ПДП в контроллере ПДП не производится.

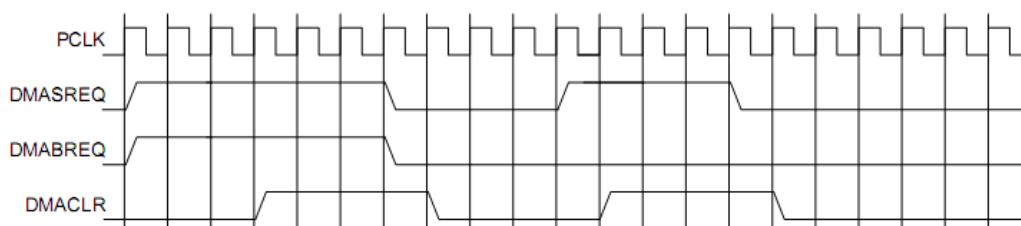


Рисунок 89 – Временные диаграммы одноэлементного и блочного запросов DMA

## 24.10 Прерывания

В модуле предусмотрено 11 маскируемых источников прерывания. Их комбинации формируют пять независимых выходных сигналов запроса на прерывание, а также один общий сигнал, представляющий собой комбинацию независимых по схеме ИЛИ.

Сигналы запроса на прерывание:

UARTRXINTR – прерывание от приемника;

UARTTXINTR – прерывание от передатчика;

UARTRTINTR – прерывание по таймауту приемника;

UARTMSINTR – прерывание по состоянию модема:

UARTRIINTR, изменение состояния линии nUARTRI;

UARTCTSINTR, изменение состояния линии nUARTCTS;

UARTDCDINTR, изменение состояния линии nUARTDCD;

UARTDSRINTR, изменение состояния линии nUARTDSR.

UARTEINTR – ошибка:

UARTOEINTR, переполнение буфера;

UARTBEINTR, прерывание приема – разрыв линии;

UARTPEINTR, ошибка контроля четности;

UARTFEINTR, ошибка в структуре кадра.

UARTINTR – логическое ИЛИ сигналов UARTRXINTR, UARTTXINTR, UARTRTINTR, UARTMSINTR и UARTEINTR.

Каждый из независимых сигналов запроса на прерывание может быть маскирован путем установки соответствующего бита в регистре маски UARTIMSC. Установка бита в 1 разрешает соответствующее прерывание, в 0 – запрещает.

Доступность как индивидуальных, так и общей линии запроса позволяет организовать обслуживание прерываний в системе, как путем применения глобальной процедуры обработки, так и с помощью драйвера устройства, построенного по модульному принципу.

Прерывания от приемника и передатчика UARTRXINTR и UARTTXINTR выведены отдельно от прерываний по изменению состояния устройства. Это позволяет использовать сигналы запроса UARTRXINTR и UARTTXINTR для обеспечения чтения и записи данных, согласованной с достижением заданного порога заполнения буферов FIFO приемника и передатчика.

Прерывание по обнаружению ошибки UARTEINTR формируется в случае возникновения той или иной ошибки приема данных. Предусмотрен ряд условий формирования признака ошибки.

Прерывание по состоянию модема представляет собой комбинацию признаков изменения отдельных линий состояния модема.

Признаки возникновения каждого из условий прерывания можно считать либо из регистра прерываний UARTRIS, либо из маскированного регистра прерываний UARTMIS.

### 24.10.1 UARTMSINTR

Прерывание по состоянию модема возникает в случае изменения любой из линий состояний модема (nUARTCTS, nUARTDCD, nUARTDSR, nUARTRI). Сброс прерывания осуществляется путем записи 1 в соответствующий (в зависимости от линии состояния модема, вызвавшей прерывание) разряд регистра сброса прерывания UARTICR.

### **24.10.2 UARTRXINTR**

Состояние прерывания от приемника может измениться в случае возникновения одного из следующих событий:

Буфер FIFO разрешен и его заполнение достигло заданного порогового значения. В этом случае линия прерывания переходит в высокое состояние. Сигнал прерывания переходит в низкое состояние после чтения данных из буфера приемника до тех пор, пока его заполнение не станет меньше порога, либо после сброса прерывания.

Буфер FIFO запрещен (имеет размер один символ), принят один символ данных. При этом линия прерывания переходит в высокое состояние. Сигнал прерывания переходит в низкое состояние после чтения одного байта данных, либо после сброса прерывания.

### **24.10.3 UARTTXINTR**

Состояние прерывания от передатчика может измениться в случае возникновения одного из следующих событий:

Буфер FIFO разрешен и его заполнение меньше или равно заданному пороговому значению. В этом случае линия прерывания переходит в высокое состояние. Сигнал прерывания переходит в низкое состояние после записи данных в буфера передатчика до тех пор, пока его заполнение не станет больше порога, либо после сброса прерывания.

Буфер FIFO запрещен (имеет размер один символ), данные в буферном регистре передатчика отсутствуют. При этом линия прерывания переходит в высокое состояние. Сигнал прерывания переходит в низкое состояние после записи одного байта данных, либо после сброса прерывания.

Для занесения данных в буфер FIFO передатчика необходимо записать данные в буфер либо перед разрешением работы приемопередатчика и прерываний, либо после разрешения работы приемопередатчика и прерываний.

Примечание – Прерывание передатчика работает по фронту, а не по уровню сигнала. В случае если модуль и прерывания от него разрешены до осуществления записи данных в буфер FIFO передатчика, прерывание не формируется. Прерывание возникает только при опустошении буфера FIFO.

### **24.10.4 UARTRTINTR**

Прерывание по таймауту приемника возникает в случае, если буфер FIFO приемника не пуст, и на вход приемника не поступало новых данных в течение периода времени, необходимого для передачи 32 бит. Прерывание по таймауту снимается либо после считывания данных из буфера приемника до его опустошения (или считывания одного байта в случае, если буфер FIFO запрещен), либо путем записи 1 в соответствующий бит регистра сброса прерывания UARTICR.

### **24.10.5 UARTEINTR**

Прерывание по обнаружению ошибки возникает в случае ошибки при приеме данных. Оно может быть вызвано рядом факторов:

- ошибка в структуре кадра;
- ошибка контроля четности;
- разрыв линии;
- переполнение буфера.

Причину возникновения прерывания можно определить, прочитав содержимое регистра прерываний UARTRIS, либо маскированного регистра прерываний UARTRMIS.

Сброс прерывания осуществляется путем записи соответствующих бит в регистр сброса прерывания UARTICR. За прерываниями по обнаружению ошибки закреплены биты с 7 по 10.

#### **24.10.6 UARTINTR**

Все описанные сигналы запроса на прерывание скомбинированы в общую линию путем объединения по схеме ИЛИ сигналов UARTRXINTR, UARTRTXINTR, UARTRTINTR, UARTMSINTR и UARTEINTR с учетом маскирования. Общий выход может быть подключен к системному контроллеру прерывания, что позволит ввести дополнительное маскирование запросов на уровне периферийных устройств.

### **24.11 Программное управление модулем**

#### **Общая информация**

Следующая информация применима ко всем регистрам контроллера:

Базовый адрес контроллера не фиксирован и может быть различным в разных системах. Смещение каждого регистра относительно базового адреса постоянно.

Не следует пытаться получить доступ к зарезервированным или неиспользуемым адресам. Это может привести к непредсказуемому поведению модуля.

За исключением специально оговоренных в настоящем документе случаев:

не следует изменять значения не определенных в документе разрядов регистров;

не следует использовать значения не определенных в документе разрядов регистров;

все биты регистров (за исключением специально оговоренных случаев) устанавливаются в значение 0 после сброса по включению питания или системного сброса.

Столбец «тип» в таблице 231 определяет режим доступа к регистру в соответствии с обозначениями:

RW – чтение и запись;

RO – только чтение;

WO – только запись.

### **24.12 Обобщенные данные о регистрах устройства**

Данные о регистрах модуля универсального асинхронного приемопередатчика приведены в таблице 231.

Таблица 231 – Обобщенные данные о регистрах устройства

<b>Базовый адрес</b>	<b>Наименование</b>	<b>Тип</b>	<b>Значение после сброса</b>	<b>Размер, бит</b>	<b>Описание</b>
0x4000_8000	UART1				Контроллер UART1
0x4001_0000	UART2				Контроллер UART2
<b>Смещение</b>					
0x000	UARTDR	RW	0x---	12/8	Регистр данных
0x004	UARTRSR/ UARTECR	RW	0x0	4/0	Регистра состояния приемника/Сброс ошибки приемника
0x008-0x014					Резерв



Базовый адрес	Наименование	Тип	Значение после сброса	Размер, бит	Описание
0x018	UARTFR	RO	0b-10010-- -	9	Регистр флагов
0x01C					Резерв
0x020	UARTILPR	RW	0x00	8	Регистр управления ИК обменом в режиме пониженного энергопотребления
0x024	UARTIBRD	RW	0x0000	16	Целая часть делителя скорости обмена данными
0x028	UARTFBRD	RW	0x00	6	Дробная часть делителя скорости обмена данными
0x02C	UARTLCR_H	RW	0x00	8	Регистр управления линией
0x030	UARTCR	RW	0x0300	16	Регистр управления
0x034	UARTIFLS	RW	0x12	6	Регистр порога прерывания по заполнению буфера FIFO
0x038	UARTIMSC	RW	0x000	11	Регистр маски прерывания
0x03C	UARTRIS	RO	0x00-	11	Регистр состояния прерываний
0x040	UARTMIS	RO	0x00-	11	Регистр состояния прерываний с маскированием
0x044	UARTICR	WO	-	11	Регистр сброса прерывания
0x048	UARTDMACR	RW	0x00	3	Регистр управления ПДП
0x080	TCR	RW	0x00	3	Регистр управления тестированием

#### **24.12.1 Регистр данных UARTx\_DR**

##### **В ходе передаче данных:**

Если буфер FIFO передатчика разрешен, то слово данных, записанные в рассматриваемый регистр, направляется в буфер FIFO передатчика.

В противном случае, записанное слово фиксируется в буферный регистр передатчика (последний элемент буфера FIFO).

Операция записи в регистр инициирует передачу данных. Слово данных предваряется стартовым битом, дополняется битом контроля четности (если режим контроля четности включен) и стоповым битом. Сформированное слово отправляется в линию передачи данных.

##### **В ходе приема данных:**

Если буфер FIFO приемника разрешен, байт данных и четыре бита состояния (разрыв, ошибка формирования кадра, четность, переполнение) сохраняются в 12-битном буфере.

В противном случае байт данных и биты состояния записываются в буферный регистр (последний элемент буфера FIFO).

Полученные из линии связи байты данных считывается путем чтения из регистра UARTDR принятых данных совместно с соответствующими битами состояния. Информация о состоянии также может быть получена путем чтения регистра UARTRSR/UARTECR (Таблица 272).

Таблица 232 – Формат регистра UARTDR

Бит	Наименование	Назначение
15:12		Резерв
11	OE	Переполнение буфера приемника. Бит устанавливается в 1 в случае, если на вход приемника поступают данные, в то время, как буфер заполнен. Сбрасывается в 0 после того, как в буфере появится свободное место.
10	BE	Разрыв линии. Устанавливается в 1 при обнаружении признака разрыва линии, то есть в случае наличия низкого логического уровня на входе приемника в течение времени, большего, чем длительность передачи полного слова данных (включая стартовый, стоповый биты и бит проверки на четность). При включенном FIFO данная ошибка ассоциируется с последним символом, поступившим в буфер. В случае обнаружения разрыва линии в буфер загружается только один нулевой символ, прием данных возобновляется только после перехода линии в логическую 1 и последующего обнаружения корректного стартового бита.
9	PE	Ошибка контроля четности. Устанавливается в 1 в случае, если четность принятого символа данных не соответствует установкам битов EPS и SPS в регистре управления линией UARTLCR_H. При включенном FIFO данная ошибка ассоциируется с последним символом, поступившим в буфер.
8	FE	Ошибка в структуре кадра. Устанавливается в 1 в случае, если в принятом символе не обнаружен корректный стоповый бит (корректный стоповый бит равен 1). При включенном FIFO данная ошибка ассоциируется с последним символом, поступившим в буфер.
7:0	DATA	Принимаемые данные (чтение) Передаваемые данные (запись)

Примечание – Необходимо запрещать работу приемопередатчика перед любым перепрограммированием его регистров управления. Если приемопередатчик переводится в отключенное состояние в процессе передачи или приема символа, то перед остановкой он завершает выполняемую операцию.

#### **24.12.2 Регистр состояния приемника / сброса ошибки UARTx\_RSR\_ECR**

Состояние приемника также может быть считано из регистра UARTRSR. В этом случае информация о состоянии признаков разрыва линии, ошибки контроля четности и ошибки в структуре кадра относится к последнему символу, считанному из регистра данных UARTDR. С другой стороны, признак переполнения буфера устанавливается немедленно после возникновения этого состояния (и не связан с последним считанным из регистра UARTDR байтом данных).

Запись в регистрUARTECR приводит к сбросу признаков ошибок переполнения, четности, структуры кадра, разрыва линии. Кроме того, все эти признаки устанавливаются в 0 после сброса устройства.

В таблице 233 представлено назначение бит регистра UARTRSR/UARTECR.

Таблица 233 – Регистр UARTRSR/UARTECR

Биты	Наименование	Назначение
7:0		Запись в регистр сбрасывает признаки ошибок формирования кадра, проверки на четность, разрыва линии и переполнения буфера.
7:4		Резерв, при чтении результат не определен
3	OE	Переполнение буфера приемника. Бит устанавливается в 1 в случае, если на вход приемника поступают данные, в то время, как буфер заполнен. Сбрасывается в 0 после записи в регистр UARTECR. Содержимое буфера остается верным, так как перезаписан был только регистр сдвига. Центральный процессор должен считать данные для того, чтобы освободить буфер FIFO.
2	BE	Разрыв линии. Устанавливается в 1 при обнаружении признака разрыва линии, то есть в случае наличия низкого логического уровня на входе приемника в течение времени, большего чем длительность передачи полного слова данных (включая стартовый, стоповый биты и бит проверки на четность). Бит сбрасывается в 0 после записи в регистр UARTECR. При включенном FIFO данная ошибка ассоциируется с символом, находящемся на вершине буфера. В случае обнаружения разрыва линии в буфер загружается только один нулевой символ, прием данных возобновляется только после перехода линии в логическую 1 и последующего обнаружения корректного стартового бита.
1	PE	Ошибка контроля четности. Устанавливается в 1 в случае, если четность принятого символа данных не соответствует установкам битов EPS и SPS в регистре управления линией UARTLCR_H. Бит сбрасывается в 0 после записи в регистр UARTECR. При включенном FIFO данная ошибка ассоциируется с символом, находящимся на вершине буфера.
0	FE	Ошибка в структуре кадра. Устанавливается в 1 в случае, если в принятом символе не обнаружен корректный стоповый бит (корректный стоповый бит равен 1). Бит сбрасывается в 0 после записи в регистр UARTECR. При включенном FIFO данная ошибка ассоциируется с символом, находящимся на вершине буфера.

Примечание – Перед чтением регистра состояния UARTRSR необходимо считать данные, принятые из линии, путем обращения к регистру данных UARTDR. Противоположная последовательность действий не допускается, так как регистр UARTRSR обновляет свое состояние только после чтения регистра UARTDR. Вместе с тем, информация о состоянии приемника может быть получена непосредственно из регистра данных UARTDR.

### 24.12.3 Регистр флагов UARTx\_FR

После сброса биты регистра флагов TXFF, RXFF и BUSY устанавливаются в 0, а биты TXFE и RXFE – в 1. В таблице 234 представлена информация о назначении битов регистра.

Таблица 234 – Регистр UARTFR

Биты	Наименование	Назначение
15...9		Резерв. Не модифицируйте. При чтении заполняются нулями
8	RI	Инверсия линии nUARTRI
7	TXFE	Буфер FIFO передатчика пуст. Значение бита зависит от состояния бита FEN регистра управления линией UARTLCR_H. Если буфер FIFO запрещен, бит устанавливается в 1, когда буферный регистр передатчика пуст. В противном случае он равен 1, если пуст буфер FIFO передатчика. Данный бит не дает никакой информации о наличии данных в регистре сдвига передатчика
6	RXFF	Буфер FIFO приемника заполнен. Значение бита зависит от состояния бита FEN регистра управления линией UARTLCR_H. Если буфер FIFO запрещен, бит устанавливается в 1, когда буферный регистр приемника занят. В противном случае он равен 1, если заполнен буфер FIFO приемника
5	TXFF	Буфер FIFO передатчика заполнен. Значение бита зависит от состояния бита FEN регистра управления линией UARTLCR_H. Если буфер FIFO запрещен, бит равен 1, когда буферный регистр передатчика занят. В противном случае он равен 1, если заполнен буфер FIFO передатчика
4	RXFE	Буфер FIFO приемника пуст. Значение бита зависит от состояния бита FEN регистра управления линией UARTLCR_H. Если буфер FIFO запрещен, бит устанавливается в 1, когда буферный регистр приемника пуст. В противном случае он равен 1, если пуст буфер FIFO приемника
3	BUSY	UART занят. Бит равен 1 в случае, если контроллер передает в линию данные. Бит остается установленным до тех пор, пока данные, включая стоповые биты, не будут полностью переданы. Кроме того, бит занятости устанавливается в 1 при наличии данных в буфере FIFO передатчика, вне зависимости от состояния приемопередатчика (даже если он запрещен)
2	DCD	Инверсия линии nUARTDCD
1	DSR	Инверсия линии nUARTDSR
0	CTS	Инверсия линии nUARTCTS

#### **24.12.4 Регистр управления ИК обменом в режиме пониженного энергопотребления UARTx\_ILPR**

Этот восьмиразрядный регистр, доступный для чтения и записи, содержит значение коэффициента деления частоты UARTCLK, для формирования тактового сигнала IrLPBaud16. Назначение разрядов регистра показано в таблице 235.

Требуемое значение коэффициента деления для формирования сигнала IrLPBaud16 вычисляется по формуле:  $ILPDVSR = F\_UARTCLK / F\_IrLPBaud16$ , где номинальное значение частоты  $F\_IrLPBaud16$  составляет 1,8432 МГц.

Коэффициент деления должен быть установлен таким образом, чтобы выполнялось соотношение:  $1,42 \text{ МГц} < F\_IrLPBaud16 < 2,12 \text{ МГц}$ , что, в свою очередь, гарантирует формирование кодеком импульсов данных с длительностью 1,41 – 2,11 мкс (в три раза длиннее периода сигнала IrLPBaud16).

Таблица 235 – Регистр UARTILPR

<b>Биты</b>	<b>Наименование</b>	<b>Назначение</b>
7...0	ILPDVSR	Коэффициент деления частоты UARTCLK, для формирования тактового сигнала IrLPBaud16. После сброса устанавливается в 0. Примечание. Коэффициент 0 – запрещенное значение. В случае его установки импульсы IrLPBaud16 формироваться не будут

Примечание – В интересах подавления помех, при работе в режиме IrDA с пониженным энергопотреблением кодек игнорирует поступающие на вход SIRIN импульсы с длительностью, меньшей трех периодов сигнала IrLPBaud16.

#### **24.12.5 Регистр целой части делителя скорости передачи данных UARTx\_IBRD**

Назначение бит регистра представлено в таблице 236.

Таблица 236 – Регистр UARTBIRD

<b>Биты</b>	<b>Наименование</b>	<b>Назначение</b>
15...0	BAUDDIV_INT	Целая часть коэффициента деления частоты для формирования тактового сигнала передачи данных. После сброса устанавливается в 0

#### **24.12.6 Регистр дробной части делителя скорости передачи данных UARTx\_FBRD**

Назначение бит регистра представлено в таблице 237.

Таблица 237 – Регистр UARTBFRD

<b>Биты</b>	<b>Наименование</b>	<b>Назначение</b>
5...0	BAUDDIV_FRAC	Дробная часть коэффициента деления частоты для формирования тактового сигнала передачи данных. После сброса устанавливается в 0

Коэффициент деления вычисляется по формуле:

$$BAUDDIV = \frac{F_{UARTCLK}}{16 * Baud\_rate}$$

где

FUARTCLK – тактовая частота контроллера UART;

Baud\_rate – требуемая скорость передачи данных.

Коэффициент BAUDDIV состоит из целой и дробной частей – BAUDDIV\_INT и BAUDDIV\_FRAC, соответственно.

Примечание – Изменение содержимого регистров UARTIBRD и UARTFBRD вступают в силу только после завершения передачи и приема текущего символа данных.

Минимальный допустимый коэффициент деления – 1, максимальный – 65535 ( $2^{16} - 1$ ). Таким образом, значение UARTIBRD, равное 0 является недопустимым, при этом значение регистра UARTFBRD игнорируется.

Аналогично, при UARTIBRD равном 65535 (0xFFFF), значение UARTFBRD не может быть больше нуля. Невыполнение этого условия приведет к прерыванию приема или передачи.

Далее приведен пример вычисления коэффициента деления.

Пример: Вычисление коэффициента деления

Пусть требуемая скорость передачи данных составляет 230400 бит/с, частота тактового сигнала UARTCLK равна 4 МГц. Тогда:

$$\text{Коэффициент деления} = (4 \cdot 10^6) / (16 \cdot 230400) = 1.085.$$

Таким образом, BRDI = 1, BRDF = 0.085.

Следовательно, значение, записываемое в регистр UARTBFRD, равно

$$m = \text{integer}((0.085 \cdot 64) + 0.5) = 5.$$

Реальное значение коэффициента деления =  $1 + 5/64 = 1,078$ .

Реальная скорость передачи данных =  $(4 \cdot 10^6) / (16 \cdot 1,078) = 231911$  бит/с.

Ошибка установки скорости =  $(231911 - 230400) / 230400 \cdot 100\% = 0,656\%$ .

Максимальная ошибка установки скорости передачи данных с использованием шестизрядного регистра UARTBFRD =  $1/64 \cdot 100\% = 1,56\%$ . Такая ошибка возникает в случае  $m = 1$ , при этом разница накапливается в течение 64-х тактовых интервалов.

В таблице 238 представлены значения коэффициента деления для типичных скоростей передачи данных при частоте UARTCLK = 7,3728 МГц. При таких параметрах дробная часть коэффициента деления не используется, следовательно, в регистр UARTFBRD должен быть записан ноль.

Таблица 238 – Коэффициенты деления для типичных скоростей передачи данных при частоте UARTCLK = 7,3728 МГц

Коэффициент деления	Скорость передачи
0x0001	460800
0x0002	230400
0x0004	115200
0x0006	76800
0x0008	57600
0x000C	38400
0x0018	19200
0x0020	14400

Коэффициент деления	Скорость передачи
0x0030	9600
0x00C0	2400
0x0180	1200
0x105D	110

В таблице 239 приведены значения коэффициента деления для типичных скоростей передачи данных при частоте UARTCLK = 4 МГц.

Таблица 239 – Коэффициенты деления для типичных скоростей передачи данных при частоте UARTCLK = 4 МГц

Целая часть	Дробная часть	Требуемая скорость	Реальная скорость	Ошибка, %
0x001	0x05	230400	231911	0.656
0x002	0x0B	115200	115101	0.086
0x003	0x10	76800	76923	0.160
0x006	0x21	38400	38369	0.081
0x011	0x17	14400	14401	0.007
0x068	0x0B	2400	2400	~0
0x8E0	0x2F	110	110	~0

#### **24.12.7 Регистр управления линией UARTx\_LCR\_H**

Данный регистр обеспечивает доступ к разрядам с 29-го по 22-ой регистра UARTLCR. При сбросе все биты регистра UARTLCR\_H обнуляются. Назначение разрядов регистра описано в таблице 240.

Таблица 240 – Регистр UARTLCR\_H

Биты	Наименование	Назначение
15...8		Резерв. Не модифицируйте. При чтении выдаются нули
7	SPS	Передача бита четности с фиксированным значением. 0 – запрещена; 1 – на месте бита четности передается инверсное значение бита EPS, оно же проверяется при приеме данных. (При EPS=0 на месте бита четности передается 1, при EPS=1 – передается 0). Значение бита SPS не играет роли в случае, если битом PEN формирование и проверка бита четности запрещено
6, 5	WLEN	Длина слова – количество передаваемых или принимаемых информационных бит в кадре: 0b11 – 8 бит, 0b10 – 7 бит, 0b01 – 6 бит, 0b00 – 5 бит
4	FEN	Разрешение работы буфера FIFO приемника и передатчика. 0 – запрещено, 1 – разрешено
3	STP2	Режим передачи двух стоповых бит. 0 – один стоповый бит, 1 – два стоповых бита. Приемник не проверяет наличие дополнительного стопового бита в кадре

Биты	Наименование	Назначение
2	EPS	Четность/нечетность. 0 – бит четности дополняет количество единиц в информационной части кадра до нечетного, 1 – до четного числа. Значение бита EPS не играет роли в случае, если битом PEN формирование и проверка бита четности запрещено
1	PEN	Разрешение проверки четности. 0 – кадр не содержит бита четности, 1 – бит четности передается в кадре и проверяется при приеме данных
0	BRK	Разрыв линии. Если этот бит установлен в 1, то по завершении передачи текущего символа на выходе UARTTXD устанавливается низкий уровень сигнала. Для правильного выполнения этой операции программное обеспечение должно обеспечить передачу сигнала разрыва в течение, как минимум, времени передачи двух информационных кадров. В нормальном режиме функционирования бит должен быть установлен в 0

Содержимое регистров UARTLCR\_H, UARTIBRD и UARTFBRD совместно образует общий 30-разрядный регистр UARTLCR, который обновляется по стробу, формируемому при записи в UARTLCR\_H. Таким образом, для того, чтобы изменение параметров коэффициента деления частоты обмена данными вступило в силу, после их изменения значения регистров UARTIBRD и/или UARTFBRD необходимо осуществить запись данных в регистр UARTLCR\_H.

**Примечания**

- 1 Изменение значений трех регистров можно осуществить корректно двумя способами:
  - Запись UARTIBRD, запись UARTFBRD, запись UARTLCR\_H;
  - Запись UARTFBRD, запись UARTIBRD, запись UARTLCR\_H.

- 2 Для того, чтобы изменить значение лишь одного из регистров (UARTIBRD или UARTFBRD) необходимо выполнить следующие шаги:
  - Запись UARTIBRD (или UARTFBRD), запись UARTLCR\_H.

В таблице 241 приведена таблица истинности для бит управления контролем четности SPS, EPS, PEN регистра управления линией UARTLCR\_H.

Таблица 241 – Управление режимом контроля четности

PEN	EPS	SPS	Бит контроля четности
0	X	X	Не передается, не проверяется
1	1	0	Проверка четности слова данных
1	0	0	Проверка нечетности слова данных
1	0	1	Бит четности постоянно равен 1
1	1	1	Бит четности постоянно равен 0

**Примечания:**

- 1 Регистры UARTLCR\_H, UARTIBRD, and UARTFBRD не должны изменяться:
  - При разрешенной работе приемопередатчика;
  - Во время завершения приема или передачи данных в процессе остановки (перевода в запрещенное состояние) приемопередатчика.
- 2 Целостность данных в буферах FIFO не гарантируется в следующих случаях:
  - После установки бита разрыва линии BRK;
  - Если программное обеспечение произвело остановку приемопередатчика при наличии данных в буферах FIFO, после его повторного перевода в разрешенное состояние.



### 24.12.8 Регистр управления UARTx\_CR

После сброса все биты регистра управления, за исключением битов 9 и 8 устанавливаются в нулевое состояние. Биты 9 и 8 устанавливаются в единичное состояние.

Назначение разрядов регистра управления показано в таблице 242.

Таблица 242 – Регистр управления UARTCR

Биты	Наименование	Назначение
15	CTSEn	Разрешение управления потоком данных по CTS. 1 – разрешено, данные передаются в линию только при активном значении сигнала nUARTCTS
14	RTSEn	Разрешение управления потоком данных по RTS. 1 – разрешено, запрос данных от внешнего устройства осуществляется только при наличии свободного места в буфере FIFO приемника
13	Out2	Инверсия сигнала на линии состояния модема nUARTOut2. В режиме оконечного оборудования (DTE) эта линия может использоваться в качестве линии «сигнал вызова» (RI)
12	Out1	Инверсия сигнала на линии состояния модема nUARTOut1. В режиме оконечного оборудования (DTE) эта линия может использоваться в качестве линии «обнаружен информационный сигнал» (DCD)
11	RTS	Инверсия сигнала на линии состояния модема nUARTRTS
10	DTR	Инверсия сигнала на линии состояния модема nUARTDTR
9	RXE	Прием разрешен. Установка бита в 1 разрешает работу приемника. Прием данных осуществляется либо по интерфейсу асинхронного последовательного обмена, либо по интерфейсу ИК обмена SIR, в зависимости от значения бита SIREN. В случае перевода приемопередатчика в запрещенное состояние в ходе приема данных, он завершает прием текущего символа перед остановкой
8	TXE	Передача разрешена. Установка бита в 1 разрешает работу передатчика. Передача осуществляется либо по интерфейсу асинхронного последовательного обмена, либо по интерфейсу ИК обмена SIR, в зависимости от значения бита SIREN. В случае перевода приемопередатчик в запрещенное состояние в ходе передачи данных, он завершает передачу текущего символа перед остановкой

Биты	Наименование	Назначение
7	LBE	1 – шлейф разрешен, 0 – запрещен. В режиме разрешенного шлейфа: Если установлены бит SIREN=1 и бит регистра управления тестированием UARTTCR (стр. 4-5) SIRTEST=1, то сигнал с выхода кодека nSIROUT инвертируется и подается на вход кодека SIRIN. Бит SIRTEST устанавливается в 1 для того, чтобы вывести устройство из полудуплексного режима, характерного для интерфейса SIR. После окончания тестирования по шлейфу бит SIRTEST должен быть установлен в 0. Если бит SIRTEST=0, то выходная линия передатчика UARTTXD коммутируется на вход приемника UARTRXD. Как в режиме SIR, так и в режиме UART, выходные линии состояния модема коммутируются на соответствующие входные линии. После сброса бит устанавливается в 0
6...3		Резерв. Не модифицируйте. При чтении выдаются нули.
2	SIRLP	Выбор режима ИК обмена с пониженным энергопотреблением: 0 – длительность импульсов данных равна 3/16 длительности передачи бита. 1 – длительность импульсов данных равна трем тактам сигнала IrLPBaud16 вне зависимости от выбранной скорости передачи данных. Выбор этого режима снижает энергопотребление, однако может привести к уменьшению дальности связи
1	SIREN	Разрешение работы кодека ИК передачи данных IrDA SIR: 0 – запрещен. Сигнал nSIROUT находится в низком состоянии, данные на входе SIRIN не обрабатываются. 1 – разрешен. Данные передаются на выход nSIROUT и принимаются с входа SIRIN. Линия UARTTXD находится в высоком состоянии. Данные на входе UARTRXD и линиях состояния модема не обрабатываются. В случае, если UARTEN=0 значение бита не играет роли
0	UARTEN	Разрешение работы приемопередатчика: 0 – работа запрещена. Перед остановкой завершается прием и/или передача обрабатываемого в текущий момент символа. 1 – работа разрешена. Производится обмен данными либо по линиям асинхронного обмена, либо по линиям ИК обмена SIR, в зависимости от состояния бита SIREN

**Примечания**

1 Для того, чтобы разрешить передачу данных, необходимо установить в 1 биты TXE и UARTEN. Аналогично, для разрешения приема данных необходимо установить в 1 биты RXE и UARTEN.

2 Рекомендуется следующая последовательность действий для программирования регистров управления:

- 1) Остановите работу приемопередатчика.
- 2) Дождитесь окончания приема и/или передачи текущего символа данных.
- 3) Сбросьте буфер передатчика путем установки бита FEN регистра UARTLCR\_H в 0.
- 4) Измените настройки регистра UARTCR.
- 5) Возобновите работу приемопередатчика.

**24.12.9 Регистр порога прерывания по заполнению буфера FIFO  
UARTx\_IFLS**

Данный регистр используется для установки порогового значения заполнения буферов передатчика и приемника, по достижению которых генерируется сигнал прерывания UARTTXINTR или UARTRXINTR, соответственно. Прерывание генерируется в момент перехода величины заполнения буфера через заданное значение.

После сброса в регистре устанавливается порог, соответствующий заполнению половины буфера. Формат регистра и значения его битов представлены в таблице 243.

Таблица 243 – Регистр UARTIFLS

<b>Биты</b>	<b>Наименование</b>	<b>Назначение</b>
15...6		Резерв. Не модифицируйте. При чтении выдаются нули
5...3	RXIFLSEL	Порог прерывания по заполнению буфера приемника: b000 = Буфер заполнен на 1/8 b001 = Буфер заполнен на 1/4 b010 = Буфер заполнен на 1/2 b011 = Буфер заполнен на 3/4 b100 = Буфер заполнен на 7/8 b101-b111 = резерв
2...0	TXIFLSEL	Порог прерывания по заполнению буфера передатчика: b000 = Буфер заполнен на 1/8 b001 = Буфер заполнен на 1/4 b010 = Буфер заполнен на 1/2 b011 = Буфер заполнен на 3/4 b100 = Буфер заполнен на 7/8 b101-b111 = резерв Если сдвиговый регистр передатчика пуст, слово, записанное в FIFO, будет сразу же переписано в сдвиговый регистр. Следовательно, для генерирования события прерывания от передатчика блока UART необходимо произвести запись в FIFO такого количества слов, которое превысит установленный порог хотя бы на одно слово с учетом описанного случая.

**24.12.10 Регистр установки сброса маски прерывания UARTIMSC**

При чтении выдается текущее значение маски. При записи производится установка или сброс маски на соответствующее прерывание.

После сброса все биты регистра маски устанавливаются в нулевое состояние. Назначение битов регистра UARTIMSC показано в таблице 244.

Таблица 244 – Регистр UARTIMSC

<b>Биты</b>	<b>Наименование</b>	<b>Назначение</b>
15...11		Резерв. Не модифицируйте. При чтении выдаются нули
10	OEIM	Маска прерывания по переполнению буфера UARTOEINTR. 1 – установлена 0 – сброшена
9	BEIM	Маска прерывания по разрыву линии UARTBEINTR 1 – установлена 0 – сброшена
8	PEIM	Маска прерывания по ошибке контроля четности UARTPEINTR 1 – установлена 0 – сброшена
7	FEIM	Маска прерывания по ошибке в структуре кадра UARTFEINTR 1 – установлена 0 – сброшена
6	RTIM	Маска прерывания по таймауту приема данных UARTRTINTR 1 – установлена 0 – сброшена
5	TXIM	Маска прерывания от передатчика UARTTXINTR 1 – установлена 0 – сброшена
4	RXIM	Маска прерывания от приемника UARTRXINTR. 1 – установлена 0 – сброшена
3	DSRMIM	Маска прерывания UARTDSRINTR по изменению состояния линии nUARTDSR 1 – установлена 0 – сброшена
2	DCDMIM	Маска прерывания UARTDCDINTR по изменению состояния линии nUARTDCD 1 – установлена 0 – сброшена
1	CTSMIM	Маска прерывания UARTCTSINTR по изменению состояния линии nUARTCTS 1 – установлена 0 – сброшена
0	RIMIM	Маска прерывания UARTRIINTR по изменению состояния линии nUARTRI 1 – установлена 0 – сброшена

### 24.12.11 Регистр состояния прерываний UARTx\_RIS

Этот регистр доступен только для чтения и содержит текущее состояние прерываний без учета маскирования. Данные, записываемые в регистр, игнорируются.

Предупреждение. После сброса все биты регистра, за исключением битов прерывания по состоянию модема (биты с 3 по 0), устанавливаются в 0. Значение битов прерывания по состоянию модема после сброса не определено.

Назначение бит в регистре UARTRIS представлено в таблице 245.

Таблица 245 – Регистр UARTRIS

Биты	Наименование	Назначение
15...11		Резерв. Не модифицируйте. При чтении выдаются нули
10	OERIS	Состояние прерывания по переполнению буфера UARTOEINTR 1 – буфер приемника переполнен; 0 – буфер приемника не переполнен.
9	BERIS	Состояние прерывания по разрыву линии UARTBEINTR 1 – произошел разрыв линии приема; 0 – разрыва линии приема не происходило.
8	PERIS	Состояние прерывания по ошибке контроля четности UARTPEINTR 1 – возникла ошибка контроля четности; 0 – ошибки контроля четности не возникало.
7	FERIS	Состояние прерывания по ошибке в структуре кадра UARTFEINTR 1 – возникла ошибка в структуре кадра; 0 – ошибки в структуре кадра не возникало.
6	RTRIS	Состояние прерывания по таймауту приема данных UARTRTINTR* 1 – вышло время таймаута приема данных; 0 – время таймаута приема данных не вышло.
5	TXRIS	Состояние прерывания от передатчика UARTTXINTR 1 – возникло прерывание от передатчика; 0 – прерывания от передатчика нет.
4	RXRIS	Состояние прерывания от приемника UARTRXINTR 1 – возникло прерывание от приемника; 0 – прерывание от приемника не возникало.
3	DSRRMIS	Состояние прерывания UARTDSRINTR по изменению линии nUARTDSR 1 – возникло прерывание; 0 – прерывание не возникало.
2	DCDRMIS	Состояние прерывания UARTDCDINTR по изменению линии nUARTDCD 1 – возникло прерывание; 0 – прерывание не возникало.
1	CTSRMIS	Состояние прерывания UARTCTSINTR по изменению линии nUARTCTS 1 – возникло прерывание; 0 – прерывание не возникало.
0	RIRMIS	Состояние прерывания UARTRIINTR по изменению линии nUARTRI 1 – возникло прерывание; 0 – прерывание не возникало.

\* – Бит RTRIS может быть установлен только при установленной маске прерывания по таймауту приема данных UARTRTINTR в регистре UARTIMSC. Это вызвано тем, что сигнал маски прерывания по таймауту используется в качестве разрешения перехода в режим пониженного энергопотребления. Чтение состояния прерывания по таймауту из регистров UARTRIS и UARTMIS приводит к одинаковым результатам.

#### **24.12.12 Регистр маскированного состояния прерываний UARTx\_MIS**

Этот регистр доступен только для чтения и содержит текущее состояние прерываний с учетом маскирования. Данные, записываемые в регистр, игнорируются.

После сброса все биты регистра, за исключением битов прерывания по состоянию модема (биты с 3 по 0), устанавливаются в 0. Значение битов прерывания по состоянию модема после сброса не определено.

Назначение бит в регистре UARTMIS представлено в таблице 246.

Таблица 246 – Регистр UARTMIS

<b>Биты</b>	<b>Наименование</b>	<b>Назначение</b>
15...11		Резерв. Не модифицируйте. При чтении выдаются нули
10	OEMIS	Маскированное состояние прерывания по переполнению буфера UARTOEINTR 1 – буфер приемника переполнен; 0 – буфер приемника не переполнен.
9	BEMIS	Маскированное состояние прерывания по разрыву линии UARTBEINTR 1 – произошел разрыв линии приема; 0 – разрыва линии приема не происходило.
8	PEMIS	Маскированное состояние прерывания по ошибке контроля четности UARTPEINTR 1 – возникла ошибка контроля четности; 0 – ошибки контроля четности не возникало.
7	FEMIS	Маскированное состояние прерывания по ошибке в структуре кадра UARTFEINTR 1 – возникла ошибка в структуре кадра; 0 – ошибки в структуре кадра не возникало.
6	RTMIS	Маскированное состояние прерывания по таймауту приема данных UARTRTINTR 1 – вышло время таймаута приема данных; 0 – время таймаута приема данных не вышло.
5	TXMIS	Маскированное состояние прерывания от передатчика UARTTXINTR 1 – возникло прерывание от передатчика; 0 – прерывания от передатчика нет.
4	RXMIS	Маскированное состояние прерывания от приемника UARTRXINTR 1 – возникло прерывание от приемника; 0 – прерывание от приемника не возникало.
3	DSRMMIS	Маскированное состояние прерывания UARTDSRINTR по изменению линии nUARTDSR 1 – возникло прерывание; 0 – прерывание не возникало.

<b>Биты</b>	<b>Наименование</b>	<b>Назначение</b>
2	DCDMMIS	Маскированное состояние прерывания UARTDCDINTR по изменению линии nUARTDCD 1 – возникло прерывание; 0 – прерывание не возникало.
1	CTSMMIS	Маскированное состояние прерывания UARTCTSINTR по изменению линии nUARTCTS 1 – возникло прерывание; 0 – прерывание не возникало.
0	RIMMIS	Маскированное состояние прерывания UARTRIINTR по изменению линии nUARTRI 1 – возникло прерывание; 0 – прерывание не возникало.

#### **24.12.13 Регистр сброса прерываний UARTx\_ICR**

Этот регистр доступен только для записи и предназначен для сброса признака прерывания по заданному событию путем записи 1 в соответствующий бит. Запись в любой из разрядов регистра 0 игнорируется.

Назначение бит в регистре UARTICR представлено в таблице 247.

Таблица 247 – Регистр UARTICR

<b>Биты</b>	<b>Наименование</b>	<b>Назначение</b>
15...11		Резерв. Не модифицируйте. При чтении выдаются нули
10	OEIC	Сброс прерывания по переполнению буфера UARTOEINTR 1 – сброс прерывания; 0 – не влияет на состояние регистра.
9	BEIC	Сброс прерывания по разрыву линии UARTBEINTR 1 – сброс прерывания; 0 – не влияет на состояние регистра.
8	PEIC	Сброс прерывания по ошибке контроля четности UARTPEINTR 1 – сброс прерывания; 0 – не влияет на состояние регистра.
7	FEIC	Сброс прерывания по ошибке в структуре кадра UARTFEINTR 1 – сброс прерывания; 0 – не влияет на состояние регистра.
6	RTIC	Сброс прерывания по таймауту приема данных UARTRTINTR 1 – сброс прерывания; 0 – не влияет на состояние регистра.
5	TXIC	Сброс прерывания от передатчика UARTTXINTR 1 – сброс прерывания; 0 – не влияет на состояние регистра.
4	RXIC	Сброс прерывания от приемника UARTRXINTR 1 – сброс прерывания; 0 – не влияет на состояние регистра.

<b>Биты</b>	<b>Наименование</b>	<b>Назначение</b>
3	DSRMIC	Сброс прерывания UARTDSRINTR по изменению линии nUARTDSR 1 – сброс прерывания; 0 – не влияет на состояние регистра.
2	DCDMIC	Сброс прерывания UARTDCDINTR по изменению линии nUARTDCD 1 – сброс прерывания; 0 – не влияет на состояние регистра.
1	CTSMIC	Сброс прерывания UARTCTSINTR по изменению линии nUARTCTS 1 – сброс прерывания; 0 – не влияет на состояние регистра.
0	RIMIC	Сброс прерывания UARTRIINTR по изменению линии nUARTRI 1 – сброс прерывания; 0 – не влияет на состояние регистра.

**24.12.14 Регистр управления прямым доступом к памяти  
UARTx\_DMACR**

Регистр доступен по чтению и записи. После сброса все биты регистра обнуляются.

Назначение бит регистра UARTDMACR представлено в таблице 248.

Таблица 248 – Регистр UARTDMACR

<b>Биты</b>	<b>Наименование</b>	<b>Назначение</b>
15...13		Резерв. Не модифицируйте. При чтении выдаются нули
2	DMAONERR	Если бит установлен в 1, в случае возникновения прерывания по обнаружению ошибки блокируются запросы ПДП от приемника UARTRXDMASREQ и UARTRXDMABREQ
1	TXDMAE	Использование ПДП при передаче. Если бит установлен в 1, разрешено формирование запросов ПДП для обслуживания буфера FIFO передатчика
0	RXDMAE	Использование ПДП при приеме. Если бит установлен в 1, разрешено формирование запросов ПДП для обслуживания буфера FIFO приемника



#### 24.12.15 Регистр управления тестированием UARTx\_TCR

Регистр доступен по чтению и записи. После сброса все биты регистра обнуляются.

Назначение бит регистра TCR представлено в таблице 249.

Таблица 249 – Регистр UARTTCR

Биты	Наименование	Назначение
15...13		Резерв. При чтении значение непредсказуемо.
12...3	-	Зарезервировано
2	SIRTEST	Разрешение приёма данных в кольцевом режиме с выхода IrDA передатчика. 1 – разрешено 0 – запрещено Используется совместно с установкой бита LBE в регистре CR
1	TESTFIFO	Разрешение чтения данных из FIFO передатчика и запись в FIFO приёмника. 1 – разрешено 0 – запрещено
0	ITEN	Перевод контроллера UART в тестовый режим 1 – тестовый режим разрешён 0 – тестовый режим запрещён

## 25 Контроллер прямого доступа в память DMA

### 25.1 Основные свойства контроллера DMA

Основные свойства и отличительные особенности  
настраиваемое количество каналов ПДП;  
каждый канал ПДП имеет свои сигналы управления передачи данных;  
каждый канал ПДП имеет программируемый уровень приоритета;  
каждый уровень приоритета обрабатывается исходя из уровня приоритета, определяемого номером канала ПДП;  
поддержка различного типа передачи данных:  
память – память;  
память – периферия;  
периферия – память;  
поддержка различных типов ПДП циклов;  
поддержка передачи данных различной разрядности;  
каждому каналу ПДП доступна первичная и альтернативная структура управляющих данных канала;  
все управляющие данные канала хранятся в системной памяти в формате «первый – младший значащий разряд»;  
все данные передаются с использованием одиночных АНВ-Lite пакетов;  
разрядность данных приемника равна разрядности данных передатчика;  
количество передач в одном цикле ПДП может программироваться от 1 до 1024;  
инкремент адреса передачи может быть больше чем разрядность данных;  
наличие выходного сигнала состояния ошибки на шине АНВ.

### 25.2 Термины и определения

При описании блока используются следующие термины:

Таблица 250 – Термины и определения

Альтернативная	Альтернативная структура управляющих данных канала. Вы можете установить соответствующий регистр для изменения типа структуры данных (см. подраздел «Структура управляющих данных канала»)
С	Идентификатор номера канала прямого доступа. Например: С=1 – канал DMA 1 С=23 – канал DMA 23
Канал	Возможны конфигурации контроллера с числом каналов до 32. Каждый канал содержит независимые сигналы управления передачей данных, которые могут инициировать передачу данных по каналу DMA
Управляющие данные канала	Структура данных находится в системной памяти. Вы можете запрограммировать эту структуру данных так, что контроллер может выполнять передачу данных по каналу DMA в желаемом режиме. Контроллер должен иметь доступ к области системной памяти, где находится эта информация. Примечание – Любое упоминание в спецификации структуры данных означает управляющие данные канала
Цикл DMA	Все передачи DMA, которые контроллер должен выполнить для передачи N пакетов данных

Передача DMA	Акция пересылки одного байта, полуслова или слова. Общее количество передач DMA, которые контроллер выполняет для канала
Пинг-понг	Режим работы для выбранного канала, при котором контроллер получает начальный запрос и затем выполняет цикл DMA, используя первичную или альтернативную структуру данных. После завершения этого цикла DMA контроллер начинает выполнять новый цикл DMA, используя другую (первичную или альтернативную) структуру данных. Контроллер сигнализирует об окончании каждого цикла DMA, позволяя главному процессору перенастраивать неактивную структуру данных. Контроллер продолжает переключаться от первичной к альтернативной структуре данных и обратно до тех пор, пока он не прочитает «неправильную» структуру данных или пока он не завершит цикл без переключения к другой структуре
Первичная	Первичная структура управляющих данных канала. Контроллер использует эту структуру данных, если соответствующий разряд в регистре <code>chnl_pri_alt_set</code> установлен в 0.
R	Степень числа 2, устанавливающее число передач DMA, которые могут произойти перед сменой арбитража. Количество передач DMA программируется в диапазоне от 1 до 1024 двоичными шагами от 2 в степени 0 до 2 в степени 10
Исполнение с изменением конфигурации	Режим работы для выбранного канала, при котором контроллер получает запрос от периферии и выполняет 4 DMA передачи, используя первичную структуру управляющих данных, которые настраивают альтернативную структуру управляющих данных. После чего контроллер начинает цикл DMA, используя альтернативную структуру данных. После того, как цикл закончится и если периферия устанавливает новый запрос на обслуживание, контроллер выполняет снова 4 DMA передачи, используя первичную структуру управляющих данных, которые опять перенастраивают альтернативную структуру управляющих данных. После чего контроллер начинает цикл DMA, используя альтернативную структуру данных. Контроллер будет продолжать работать вышеописанным способом до тех пор, пока не прочитает неправильную структуру данных или процессор не установит альтернативную структуру данных для обычного цикла. Контроллер устанавливает флаг <code>dma_done</code> , если окончание подобного режима работы происходит после выполнения обычного цикла

### 25.3 Функциональное описание контроллера DMA

На рисунке 90 показана упрощенная структурная схема контроллера.

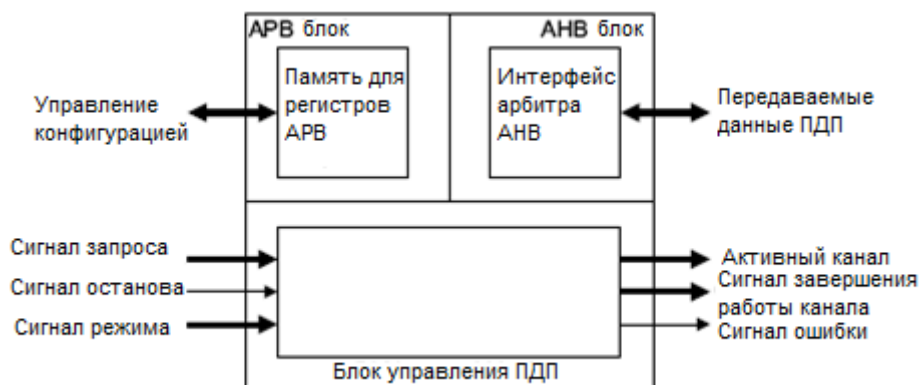


Рисунок 90 – Структурная схема контроллера DMA

Контроллер состоит из следующих основных функциональных блоков:  
 блок подключенный к шине APB;  
 блок подключенный к шине AHB;  
 управляющий блок ПДП.

#### 25.3.1 Распределение каналов DMA

Таблица 251 – Распределение каналов DMA

Номер запроса	dma_req	dma_sreq	Описание
0	UART1TXDMABREQ	UART1TXDMASREQ	Запрос от передатчика UART1
1	UART1RXDMABREQ	UART1RXDMASREQ	Запрос от приёмника UART1
2	UART2TXDMABREQ	UART2TXDMASREQ	Запрос от передатчика UART2
3	UART2RXDMABREQ	UART2RXDMASREQ	Запрос от приёмника UART2
4	SSP1TXDMABREQ	SSP1TXDMASREQ	Запрос от передатчика SPI
5	SSP1RXDMABREQ	SSP1RXDMASREQ	Запрос от приёмника SPI
6	CRCDMABREQ	CRCDMASREQ	Запрос от аппаратного блока вычисления CRC
7	-	-	-
8	-	-	-
9	-	-	-
10	TIM1DMAREQ	TIM1DMAREQ	Запрос от таймера общего назначения TIMER1
11	TIM2DMAREQ	TIM2DMAREQ	Запрос от таймера общего назначения TIMER2
12	ADCIUDMABREQ1	-	Запросы от блока $\Sigma\Delta$ ЦП
13	ADCIUDMABREQ2	-	
14	ADCIUDMABREQ3	-	
15	ADCIUDMABREQ4	-	
16	ADCIUDMABREQ5	-	
17	ADCIUDMABREQ6	-	
18	ADCIUDMABREQ7	-	
19	ADCIUDMABREQ8	-	

Номер запроса	dma_req	dma_sreq	Описание
20	-	-	-
21	-	-	-
22	-	-	-
23	-	-	-
24	-	-	-
25	-	-	-
26	-	-	-
27	-	-	-
28	-	-	-
29	-	-	-
30	-	ADCDMASREQ	Запрос от АЦП последовательных приближений
31	-	-	-

### **25.3.2 Блок, подключенный к шине APB**

Блок содержит набор регистров, позволяющих настраивать контроллер, используя ведомый APB интерфейс. Регистры занимают адресное пространство емкостью 4 кбайт.

### **25.3.3 Блок, подключенный к шине AHB**

Контроллер содержит один блок типа «ведущий» шины AHB-Lite, который позволяет, используя 32-х разрядную шину, передавать данные от источника к приемнику. Источник и приемник являются ведомыми шины AHB. Контроллер соответствует протоколу AMBA 3 AHB-Lite. Подробное описание протокола приведено в документе «Описание протокола AMBA 3 AHB-Lite v1.0».

### **25.3.4 Управляющий блок ПДП**

Этот блок содержит схему управления, позволяющую реализовать следующие функции:

- осуществление арбитража поступающих запросов;
- индикацию активного канала;
- индикацию завершения обмена по каналу;
- индикацию состояния ошибки обмена по интерфейсу AHB-Lite;
- разрешение медленным устройствам приостанавливать исполнение цикла ПДП;
- ожидание запроса на очистку до завершения цикла ПДП;
- осуществление одиночных или множественных передач ПДП для каждого запроса;
- осуществление следующих типов ПДП передач:  
память амять.

Примечание – Передачи типа периферия – периферия не поддерживаются, так как каждый канал имеет один интерфейс запроса ПДП.

На рисунке 91 показаны сигналы управления интерфейса ПДП.



Рисунок 91 – Сигналы интерфейса управления ПДП

### 25.3.5 Пример использования блока ПДП

На рисунке 92 показана примерная структурная схема микроконтроллера с использованием контроллера ПДП.

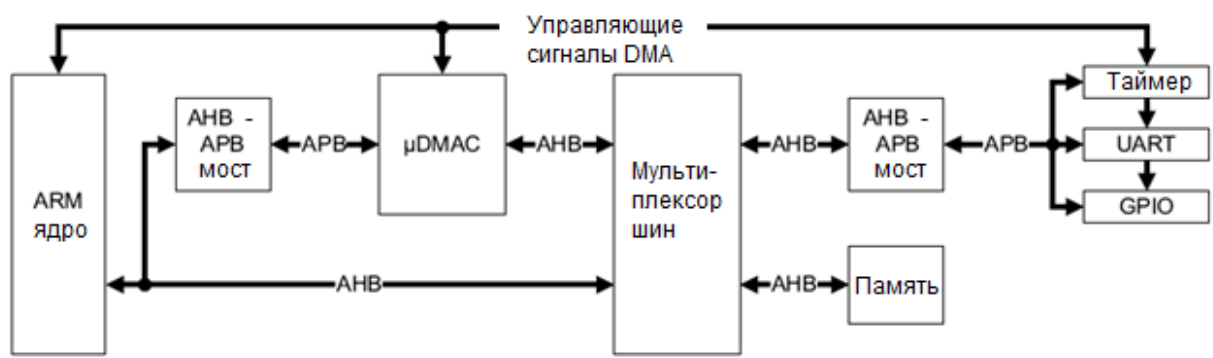


Рисунок 92 – Пример структурной схемы микроконтроллера с использованием контроллера ПДП

### 25.3.6 Типы передач

Контроллер интерфейса не поддерживает пакетные передачи, и, поэтому, сигнал HBURST удерживается всегда в состоянии логического нуля. Контроллер выполняет одиночные передачи, в соответствии с протоколом AHB-Lite, используя сигналы комбинации шины HTRANS, перечисленные в таблице 252

Таблица 252 – Комбинации шины HTRANS

HTRANS[1]	HTRANS[0]*	Значение
0	0	IDLE (нет передачи)
1	0	NONSEQ (одиночная передача)

\* – сигнал постоянно удерживается в состоянии логический ноль.

Отсутствие возможности осуществлять пакетные передачи имеет минимальное влияние на производительность системы, так как пакетные передачи более эффективны в одноуровневых системах с шиной AHB, где блоки должны «захватывать» шину или обращаться к внешней памяти. В тоже время контроллер ПДП предназначен для использования в многоуровневых системах с шиной AHB-Lite, включающих встроенную память.

### 25.3.7 Разрядность передач данных

Контроллер интерфейса предоставляет возможность осуществлять передачу 8, 16 и 32 разрядных данных. Таблица 253 перечисляет значение комбинаций шины HSIZE.

Таблица 253 – Комбинации шины HSIZE

HSIZE[2]*	HSIZE[1]	HSIZE[0]	Разрядность данных (бит)
0	0	0	8
0	0	1	16
	1	0	32
	1	1	**

\* – сигнал постоянно удерживается в состоянии логический ноль.

\*\* – запрещенная комбинация.

Контроллер всегда использует передачи 32-х разрядными данными при обращении к управляющим данным канала. Необходимо устанавливать разрядность данных источника соответствующую разрядности данных приемника.

### 25.3.8 Управление защитой данных

Контроллер позволяет устанавливать режимы защиты данных протокола ANB-Lite, определяемые шиной HPROT[3:1]. Возможен выбор следующих режимов защиты:

- кэширование
- буферизация
- привилегированный.

Таблица 254 перечисляет значения комбинаций шины HPROT.

Таблица 254 – Режимы защиты данных

HPROT[3] Кэширование	HPROT[2] буферизация	HPROT[1] Привилегированный	HPROT[0] Данные/команда	Описание
-	-	-	1*	Доступ к данным
-	-	0	-	Пользовательский доступ
-	-	1	-	Привилегированный доступ
-	0	-	-	Без буферизации
-	1	-	-	Буферизованный
0	-	-	-	Без кэширования
1	-	-	-	Кэшированный

Контроллер удерживает HPROT[0] в состоянии логической единицы чтобы обозначить доступ к данным.

Для каждого цикла ПДП возможен выбор режимов защиты данных передач источника и приемника. Более подробно это описано в разделе Настройка управляющих данных.

Для каждого канала ПДП также возможен выбор режима защиты данных. Более подробно это описано в разделе Управление ПДП.

### 25.3.9 Инкремент адреса

Контроллер позволяет управлять инкрементом адреса при чтении данных из источника и при записи данных в приемник. Инкремент адреса производится в зависимости от разрядности передаваемых данных. В таблице 255 перечислены возможные комбинации.

Таблица 255 – Инкремент адреса

Разрядность данных	Величина инкремента
8	Байт, полуслово, слово
16	Полуслово, слово
32	слово

Минимальная величина инкремента адреса всегда соответствует разрядности передаваемых данных. Максимальная величина инкремента адреса, осуществляемая контроллером, одно слово. Более подробно о настройке инкремента адреса написано в разделе Настройка управляющих данных. Этот раздел описывает разряды управления величиной инкремента адреса в управляющих данных канала.

Примечание – Если необходимо оставлять адрес неизменным при чтении или записи данных, для примера, при работе с FIFO, можно соответствующим образом настроить контроллер на работу с фиксированным адресом.

## 25.4 Управление ПДП

Раздел описывает:

- правила обмена данными
- диаграммы работы контроллера ПДП
- правила арбитража ПДП
- приоритет
- типы циклов ПДП
- индикация ошибок.

### 25.4.1 Правила обмена данными

Контроллер использует правила обмена данными перечисленные в таблице 256 при соблюдении следующих условий:

- канал ПДП включен, что выполняется установкой в состояние логической единицы разрядов управления `chnl_enable_set[C]` и `master_enable`;
- флаги запроса `dma_req[C]` и `dma_sreq[C]` не замаскированы, что выполняется установкой в состояние логического нуля разряда управления `chnl_req_mask_set [C]`;
- контроллер находится не в тестовом режиме, что выполняется установкой в состояние логического нуля разряда управления `int_test_en bit[C]`.

Таблица 256 – Правила, при которых передача данных по каналам разрешена, и запросы не маскируются

Правило	Описание
1	Если <code>dma_active[C]</code> установлен в 0, то установка в 1 <code>dma_req[C]</code> или <code>dma_sreq[C]</code> на один или более тактов сигнала <code>hclk</code> , следующих или не следующих друг за другом, инициирует передачу по каналу номер C
2	Контроллер осуществляет установку в 1 только одного разряда <code>dma_active[C]</code>
3	Контроллер устанавливает в 1 <code>dma_active[C]</code> в момент начала передачи по каналу C



Правило	Описание
4	Для типов циклов ПДП отличных от периферийного «Исполнение с изменением конфигурации», dma_active[C] остается в состоянии 1 до тех пор, пока контроллер не окончит передачи с номерами меньше, чем значение 2R или число передач, указанное в регистре n_minus_1. В периферийном режиме «Исполнение с изменением конфигурации», dma_active[C] остается в состоянии 1 в течение каждой пары ПДП передач, с использованием первичной и альтернативной структур управляющих данных. Так, что контроллер выполняет 2R передач, используя первичную структуру управляющих данных, затем без осуществления арбитража выполняет передачи с номерами меньше, чем значение 2R (или число передач, указанное в регистре n_minus_1) передач, используя альтернативную структуру управляющих данных. По окончании последней передачи dma_active[C] сбрасывается в 0
5	Контроллер устанавливает dma_active[C] в 0 на, как минимум, один такт сигнала hclk, перед тем как снова установит dma_active[C] или dma_active[ ] в 1
6	Для каналов, по которым разрешена передача, контроллер осуществляет установку в 1 только одного dma_done[ ]
7	Если dma_req[C] устанавливается в состояние 1 в момент, когда dma_active[C] или dma_stall также в состоянии 1, то это означает, что контроллер обнаружил запрос
8	Если разряды cycle_ctrl для канала установлены в состояние 3'b100, 3'b101, 3'b110, 3'b111, то dma_done[C] никогда не будет установлен в 1
9	Если все передачи по каналу завершены, и разряды cycle_ctrl позволяют удержание dma_done[C], то по срезе сигнала dma_active[ ] произойдут события: - если dma_stall в состоянии 0, контроллер устанавливает dma_done[ ] в состояние 1 продолжительностью один такт hclk - если dma_stall в состоянии 1 работа контроллера приостановлена. После того, как dma_stall будет установлен в 0, контроллер устанавливает dma_done[ ] в состояние 1 продолжительностью один такт hclk
10	Состояние dma_waitonreq[C] можно изменять только при выключенном канале
11	Если dma_waitonreq[C] в состоянии 1, то сигнал dma_active[C] не перейдет в состояние 0 до тех пор, пока: - контроллер завершит 2R передач (или число передач, указанное в регистре n_minus_1) - dma_req[C] будет установлен в 0 - dma_sreq[C] будет установлен в 0
12	Если за один такт сигнала hclk перед установкой dma_active[C] в 0, устанавливается в 1 dma_stall, то - контроллер установит dma_active[C] в 0 на следующем такте сигнала hclk - передача по каналу C не завершится, пока не будет сброшен в 0 dma_stall
13	Контроллер игнорирует dma_sreq[C] если dma_waitonreq[C] в состоянии 0
14	Контроллер игнорирует dma_sreq[C] если chnl_useburst_set[C] в состоянии 1*

Правило	Описание
15	Для типов циклов ПДП отличных от периферийного «Исполнение с изменением конфигурации» по окончании 2R передач, контроллер устанавливает значение <code>chnl_useburst_set[C]</code> в состояние 0, если количество оставшихся передач меньше, чем 2R В периферийном режиме «Исполнение с изменением конфигурации», контроллер устанавливает значение <code>chnl_useburst_set[C]</code> в состояние 0 только, если количество оставшихся передач с использованием альтернативной структуры управляющих данных меньше, чем 2R
16	Для типов циклов ПДП отличных от периферийного «Исполнение с изменением конфигурации», если за один такт <code>hclk</code> до установки <code>dma_active[C]</code> в 1 <code>dma_sreq[C]</code> и <code>dma_waitonreq[C]</code> установлены в 1 и <code>dma_req[C]</code> установлен в 0, то контроллер выполняет одну ПДП передачу. В периферийном режиме «Исполнение с изменением конфигурации», если за один такт <code>hclk</code> до установки <code>dma_active[C]</code> в 1 <code>dma_sreq[C]</code> и <code>dma_waitonreq[C]</code> установлены в 1 и <code>dma_req[C]</code> установлен в 0, то контроллер выполняет 2R передач с использованием первичной структуры управляющих данных, затем без осуществления арбитража выполняет одну передачу, используя альтернативную структуру управляющих данных
17	Для типов циклов ПДП отличных от периферийного «Исполнение с изменением конфигурации», если за один такт <code>hclk</code> до установки <code>dma_active[C]</code> в 1, <code>dma_sreq[C]</code> и <code>dma_req[C]</code> установлены в 1, то приоритет предоставляется <code>dma_req[c]</code> и контроллер выполняет 2R (или число передач, указанное в регистре <code>n_minus_1</code> ) ПДП передач. В периферийном режиме «Исполнение с изменением конфигурации», если за один такт <code>hclk</code> до установки <code>dma_active[C]</code> в 1, <code>dma_sreq[C]</code> и <code>dma_req[C]</code> установлены в 1, то приоритет предоставляется <code>dma_req[c]</code> и контроллер выполняет 2R передач с использованием первичной структуры управляющих данных, затем без осуществления арбитража выполняет передачи с номерами меньше, чем значение 2R (или число передач, указанное в регистре <code>n_minus_1</code> ), используя альтернативную структуру управляющих данных
18	Когда <code>chnl_req_mask_set[C]</code> установлен в 1, контроллер игнорирует запросы по <code>dma_sreq[C]</code> и <code>dma_req[C]</code>

\* – Необходимо с осторожностью устанавливать эти разряды. Если значение, указанное в регистре `n_minus_1` меньше, чем значение 2R, то контроллер не очистит разряды `chnl_useburst_set` и поэтому запросы по `dma_sreq[C]` будут маскированы. Если периферия не устанавливает `dma_req[C]` в состояние 1, то контроллер никогда не выполнит необходимых передач.

При отключении канала контроллер осуществляет ПДП передачи согласно правилам, представленным в таблице 257.

Таблица 257 – Правила осуществления ПДП передач при «запрещенных» каналах

Правило	Описание
19	Если <code>dma_req[C]</code> установлен в 1, то контроллер устанавливает <code>dma_done[C]</code> в 1. Это позволяет контроллеру показать центральному процессору запрос готовности, даже если канал выключен (запрещен)

Правило	Описание
20	Если dma_sreq[C] установлен в 1, то контроллер устанавливает dma_done[C] в 1 одновременно удерживая dma_waitonreq[C] в 1 и chnl_useburst_set[C] в состоянии 0. Это позволяет контроллеру показать центральному процессору запрос готовности, даже если канал выключен (запрещен)
21	dma_active[C] всегда удерживается в состоянии 0

### 25.4.2 Диаграммы работы контроллера ПДП

Данный раздел описывает следующие примеры функционирования контроллера с использованием правил обмена данными представленными (Таблица 256):

- импульсный запрос на обработку;
- запрос по уровню на обработку;
- флаги завершения;
- флаги ожидания запроса на обработку.

Примечание – Все диаграммы, показанные на рисунках 93 – 97, подразумевают следующее:

- hready находится в состоянии 1;
- АнВ «ведомый» всегда дает ответ «ОКAY».

#### 25.4.2.1 Импульсный запрос на обработку

Рисунок 93 показывает временную диаграмму работы контроллера ПДП при получении импульсного запроса от периферии.

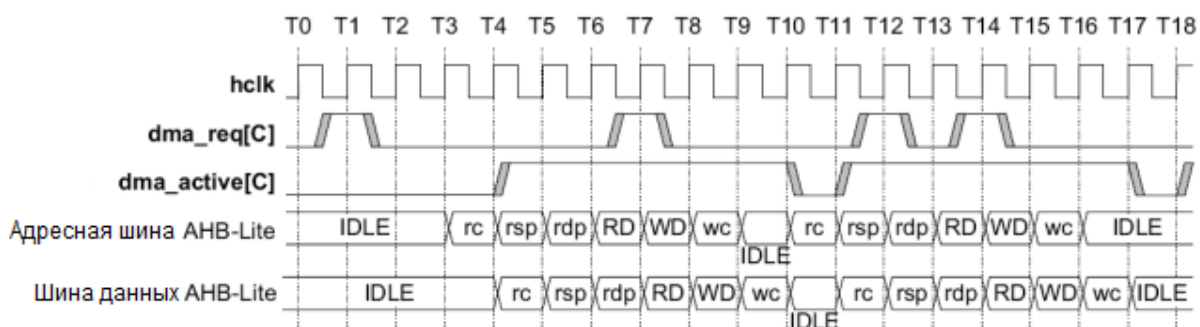


Рисунок 93 – Диаграмма работы при получении импульсного запроса от периферийного блока

#### 25.4.2.2 Запрос на обработку по уровню

Рисунок 94 показывает временную диаграмму работы контроллера ПДП при получении от периферии запроса на обработку по уровню.

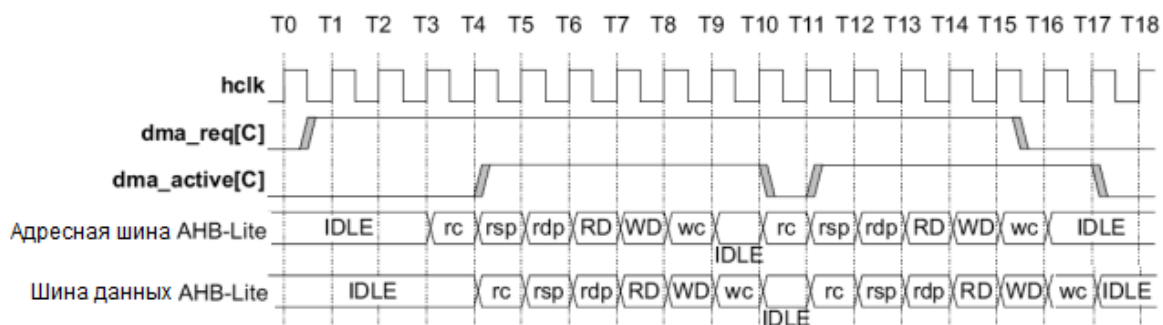


Рисунок 94 – Диаграмма работы при получении от периферийного блока запроса на обработку по уровню

Пояснения к диаграмме работы при получении запроса на обработку по уровню:

- T1      Контроллер обнаружил запрос на обработку по каналу С (Таблица 256, правило 1) при условии, что `chnl_req_mask_set[C]` находится в состоянии 0 (см. правило 18).
- T4      Контроллер устанавливает `dma_active[C]` (см. правила 2 и 3) и начинает ПДП передачи по каналу С.
- T4-T7    Контроллер считывает управляющую данные канала, где  
`rc` – чтение настроек канала, `channel_cfg`  
`rsp` – чтение указателя адреса окончания данных источника, `src_data_end_ptr`  
`rdp` – чтение указателя адреса окончания данных приемника, `dst_data_end_ptr`
- T7-T9    Контроллер выполняет передачу ПДП по каналу С, где  
`RD` – чтение данных  
`WD` – запись данных
- T9-T10    Контроллер осуществляет запись настроек канала, `channel_cfg`, где  
`ws` – запись настроек канала, `channel_cfg`
- T10      Контроллер сбрасывает сигнал `dma_active[C]`, что указывает на окончание передачи ПДП (см. правило 4).  
Контроллер обнаружил запрос на обработку по каналу С (см. правило 1) при условии, что `chnl_req_mask_set[C]` находится в состоянии 0 (см. правило 18).
- T10-T11    Контроллер удерживает `dma_active[C]` на, как минимум, один такт `hclk` (см. правило 5).
- T11      Если канал С имеет более высокий приоритет, то контроллер устанавливает `dma_active[C]` и начинает вторую ПДП передачу по каналу С.
- T11-T14    Контроллер считывает управляющую данные канала.
- T14-T16    Контроллер выполняет передачу ПДП по каналу С.
- T15-T16    Периферийный блок обнаруживает, что передача ПДП началась и сбрасывает `dma_req[C]`.
- T16-T17    Контроллер осуществляет запись настроек канала, `channel_cfg`.
- T17      Контроллер сбрасывает сигнал `dma_active[C]`, что указывает на окончание передачи ПДП (см. правило 4).

При использовании запроса на обработку по уровню, периферийный блок может не обладать достаточным быстродействием, чтобы вовремя снять сигнал запроса, в этом случае он должен установить сигнал `dma_stall`. Установка сигнала `dma_stall` предотвращает повторение выполненной передачи.

### 25.4.2.3 Флаги завершения

Рисунок 95 демонстрирует функционирование сигнала (флага) dma\_done[] при следующих условиях:

- dma\_stall и dma\_waitonreq[] находятся в состоянии 0;
- dma\_stall установлен в 1;
- dma\_waitonreq[] установлен в 1.

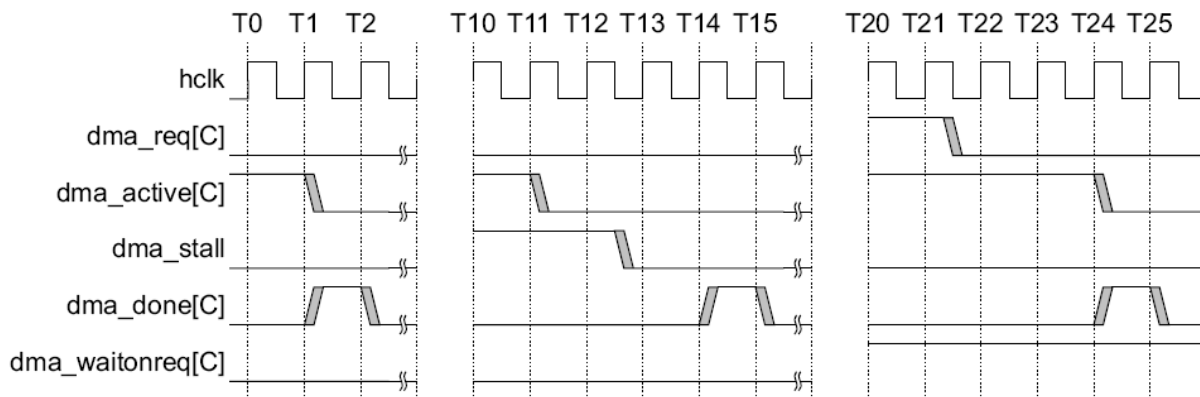


Рисунок 95 – Диаграммы функционирования dma\_done.

Пояснения функционирования dma\_done, такты от T0 до T2:

- T1 Контроллер сбрасывает сигнал dma\_active[C], что указывает на окончание передачи ПДП (см. правило 4).
- T1-T2 Контроллер завершает цикл ПДП и если cycle\_ctrl[2] установлен в 0, то устанавливает в 1 dma\_done[C] на один такт hclk (см. правила 8 и 9). Для других разрешенных каналов сигнал dma\_done[C] останется в состоянии 0 (см. правило 6).

Пояснения функционирования dma\_done, такты от T10 до T15

- T11 Контроллер сбрасывает сигнал dma\_active[C], что указывает на окончание передачи ПДП (см. правило 4).
- T12-T13 Периферийный блок сбрасывает сигнал dma\_stall.
- T14-T15 Контроллер завершает цикл ПДП и если cycle\_ctrl[2] установлен в 0, то устанавливает в 1 dma\_done[C] на один такт hclk (см. правила 8 и 9). Для других разрешенных каналов сигнал dma\_done[C] останется в состоянии 0 (см. правило 6).

Примечание к T11 – Контроллер не устанавливает сигнал dma\_done[C], так как сигнал dma\_stall установлен в 1 в предшествующем такте hclk (см. правила 9 и 12).

Пояснения функционирования dma\_done, такты от T20 до T25

- T20 Контроллер выполнил передачу ПДП, но из-за установленного в 1 dma\_waitonreq[C] он должен ожидать сброса в 0 сигнала dma\_req[C], перед тем как сбросить dma\_active[C] (см. правило 11) и установить dma\_done[C] (см. правило 9).
- T21-T25 Периферийный блок сбрасывает dma\_req[C].

- T24 Контроллер сбрасывает сигнал `dma_active[C]`, что указывает на окончание передачи ПДП (см. правило 4).
- T24-T25 Контроллер завершает цикл ПДП и если `cycle_ctrl[2]` установлен в 0, то устанавливает в 1 `dma_done[C]` на один такт `hclk` (см. правила 8 и 9). Для других разрешенных каналов сигнал `dma_done[C]` останется в состоянии 0 (см. правило 6).

#### 25.4.2.4 Флаги ожидания запроса на обработку

Нижеприведенные рисунки демонстрируют примеры использования флагов ожидания запроса на обработку при выполнении 2R передач и одиночных передач:  
 диаграмма работы контроллера ПДП при использовании периферией `dma_waitonreq`;  
 диаграмма работы контроллера ПДП при использовании периферией `dma_waitonreq` совместно с `dma_sreq`.

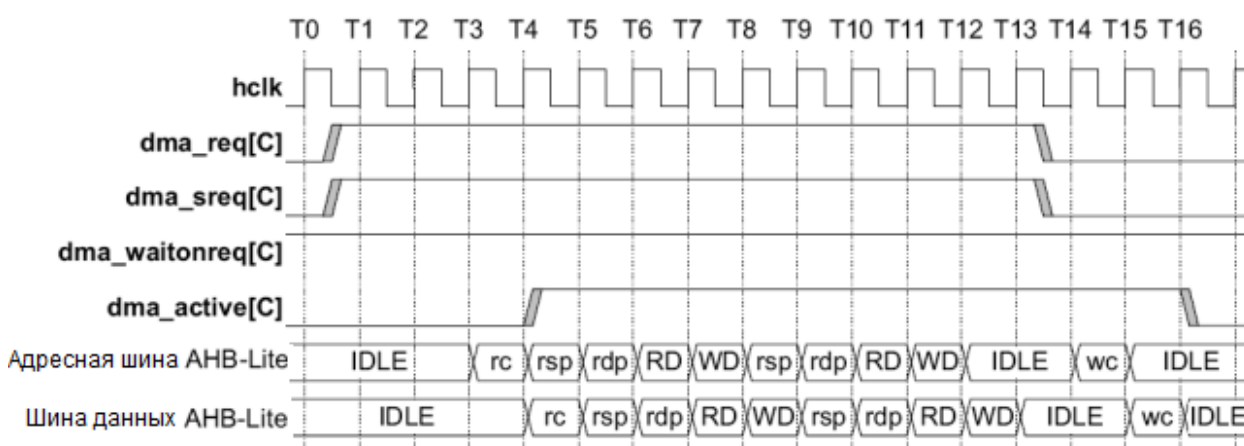


Рисунок 96 – Диаграмма работы контроллера ПДП при использовании периферией `dma_waitonreq`

Пояснения работы контроллера ПДП при использовании периферией `dma_waitonreq`:

- T0-T16 Периферийный блок должен оставлять состояние `dma_waitonreq[C]` постоянно (см. правило 10).
- T0-T1 Контроллер обнаружил запрос на обработку по каналу C (см. правило 1) при условии, что `chnl_req_mask_set[C]` находится в состоянии 0 (см. правило 18).
- T3-T4 Периферийный блок удерживает `dma_req[C]` и `dma_sreq[C]` в 1. Контроллер игнорирует `dma_sreq[C]` запрос и отвечает на `dma_req[C]` запрос (см. правила 16 и 17).
- T4 Контроллер устанавливает `dma_active[C]` (см. правила 2 и 3) и начинает ПДП передачи по каналу C.
- T4-T7 Контроллер считывает управляющую данные канала, где  
`rc` – чтение настроек канала, `channel_cfg`  
`rsp` – чтение указателя адреса окончания данных источника, `src_data_end_ptr`  
`rdp` – чтение указателя адреса окончания данных приемника, `dst_data_end_ptr`

- T7-T9     Контроллер выполняет передачу ПДП по каналу С, где  
RD – чтение данных  
WD – запись данных
- T9\_T11    Контроллер считывает 2 указателя адреса окончания данных rsp и rdp.
- T11-T13    Периферийный блок сбрасывает сигналы dma\_req[C] и dma\_sreq[C].
- T15\_T16    Контроллер осуществляет запись настроек канала, channel\_cfg, где  
wc – запись настроек канала, channel\_cfg
- T16        Контроллер сбрасывает сигнал dma\_active[C], что указывает на  
окончание передачи ПДП (см. правило 11).  
Контроллер устанавливает значение по чтению регистра  
chnl\_useburst\_set[C] в 0, если количество оставшихся передач менее 2R  
(см. правило 15).

Рисунок 97 показывает работу контроллера ПДП при установке dma\_waitonreq в 1 и выполнении одиночной ПДП передачи.

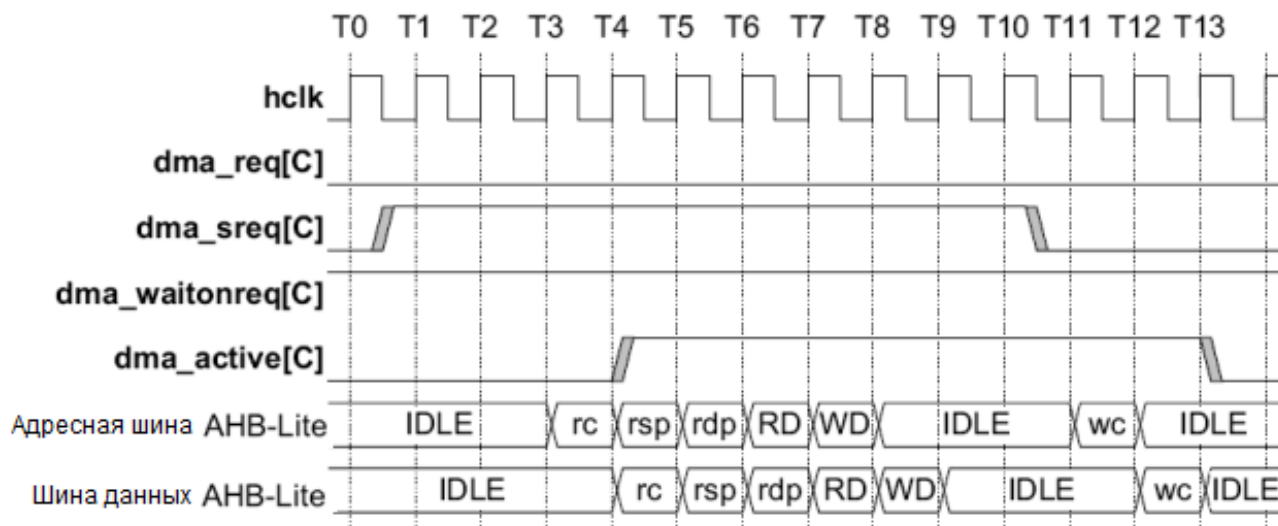


Рисунок 97 – Диаграмма работы контроллера ПДП при использовании периферией dma\_waitonreq совместно с dma\_sreq

Пояснения работы контроллера ПДП при использовании периферией dma\_waitonreq совместно с dma\_sreq:

- T0-T13    Периферийный блок должен оставлять состояние dma\_waitonreq[C] постоянно (см. правило 10).
- T0-T1     Контроллер обнаружил запрос на обработку по каналу С (см. правило 1) при условии, что chnl\_useburst\_set[C] находится в состоянии 0 (см. правила 13 и 14).
- T3-T4     Контроллер отвечает на dma\_sreq[C] запрос (см. правила 16).
- T4        Контроллер устанавливает dma\_active[C] (см. правила 2 и 3) и начинает ПДП передачи по каналу С.
- T4-T7     Контроллер считывает управляющую данные канала, где  
rc – чтение настроек канала, channel\_cfg

rsp – чтение указателя адреса окончания данных источника,  
src\_data\_end\_ptr  
rdp – чтение указателя адреса окончания данных приемника,  
dst\_data\_end\_ptr

- T7-T9 Контроллер выполняет передачу ПДП по каналу C, где  
RD – чтение данных  
WD – запись данных  
Это запрос в ответ на dma\_sreq[], таким образом, R=0 и следовательно контроллер исполнит 1 ПДП передачу.
- T10-T11 Периферийный блок сбрасывает сигнал dma\_sreq[C].
- T12\_T13 Контроллер осуществляет запись настроек канала, channel\_cfg, где  
wc – запись настроек канала, channel\_cfg
- T13 Контроллер сбрасывает сигнал dma\_active[C], что указывает на окончание передачи ПДП (см. правило 11).

### **25.4.3 Правила арбитража ПДП**

Контроллер имеет возможность настройки момента арбитража при передачах ПДП. Эта возможность позволяет уменьшить время отклика при обслуживании каналов с высоким приоритетом.

Контроллер имеет 4 разряда, которые определяют количество транзакций по шине АНВ до повторения арбитража. Эти разряды, так называемая степень R числа 2, изменение R напрямую устанавливает периодичность арбитража. Для примера, если R равно 4, то арбитраж будет проводиться через каждые 16 передач ПДП.

Таблица 258 показывает возможную периодичность арбитража.

Таблица 258 – Периодичность арбитража в единицах передач по шине АНВ

<b>Значение R</b>	<b>Периодичность арбитража каждые x передач ПДП</b>
b0000	1
b0001	2
b0010	4
b0011	8
b0100	16
b0101	32
b0110	64
b0111	128
b1000	256
b1001	512
b1010-b1111	1024

Примечание – Необходимо с осторожностью устанавливать большие значения R для низкоприоритетных каналов, так как это может привести к невозможности обслуживать запросы по высокоприоритетным каналам.

При  $N > 2R$  (N- номер передачи) и если результат деления  $2R$  на  $N$  не целое число, то контроллер всегда выполняет последовательность из  $2R$  передач, до тех пор, пока не станет верным  $N < 2R$ . Контроллер выполняет оставшиеся  $N$  передач в конце цикла ПДП.



Разряды степени R числа 2 находятся в структуре управляющих данных канала. Местонахождение этих разрядов описано в разделе.

#### **25.4.4 Приоритет**

При проведении арбитража, определяется канал для обслуживания в следующем цикле ПДП. Определение следующего канала происходит по следующим признакам:

- номер канала;
- уровень приоритета, присвоенного каналу.

Каждому каналу может быть присвоен уровень приоритета по умолчанию (низкий) или высокий уровень приоритета. Присвоение уровня приоритета осуществляется установкой или сбросом разряда `chnl_priority_set`.

Канал номер 0 имеет высший уровень приоритета, и уровень приоритета снижается с увеличением номера канала. Таблица 259 показывает уровень приоритета каналов ПДП в порядке его уменьшения.

Таблица 259 – Уровень приоритета каналов ПДП

<b>Номер канала</b>	<b>Установка уровня приоритета</b>	<b>Уровень приоритета в порядке его уменьшения</b>
0	Высокий	Наивысший уровень приоритета
1	Высокий	-
2	Высокий	-
-	Высокий	-
-	Высокий	-
-	Высокий	-
30	Высокий	-
31	Высокий	-
0	По умолчанию (низкий)	-
1	По умолчанию (низкий)	-
2	По умолчанию (низкий)	-
-	По умолчанию (низкий)	-
-	По умолчанию (низкий)	-
-	По умолчанию (низкий)	-
30	По умолчанию (низкий)	-
31	По умолчанию (низкий)	Низший уровень приоритета

После окончания цикла ПДП, контроллер выбирает следующий для обслуживания канал из всех включенных каналов ПДП.



Рисунок 98 показывает процесс выбора следующего канала для обслуживания.



Рисунок 98 – Алгоритм выбора следующего канала для обслуживания

Есть ли среди запросов на обслуживание канал с установленным разрядом «высокий уровень»

#### **25.4.5 Типы циклов ПДП**

Разряды `cycle_ctrl` определяют, как контроллер будет выполнять циклы ПДП. Описание значений этих разрядов приведено в таблице 260.

Таблица 260 – Типы циклов ПДП

<b>cycle_ctrl</b>	<b>Описание</b>
b000	Структура управляющих данных канала в запрещенном состоянии
b001	Обычный цикл ПДП
b010	Авто-запрос
b011	Режим пинг-понг
b100	Работа с памятью в режиме «Исполнение с изменением конфигурации» с использованием первичных управляющих данных канала
b101	Работа с памятью в режиме «Исполнение с изменением конфигурации» с использованием альтернативных управляющих данных канала
b110	Работа с периферией в режиме «Исполнение с изменением конфигурации» с использованием первичных управляющих данных канала
b111	Работа с периферией в режиме «Исполнение с изменением конфигурации» с использованием альтернативных управляющих данных канала

Примечание – Разряды `cycle_ctrl` находятся в области памяти отведенной под `channel_cfg`, описанной в разделе Настройка управляющих данных канала.

Для всех типов циклов ПДП повторный арбитраж происходит после 2R передач ПДП. Если установить длинный период арбитража на низко приоритетном канале, то это заблокирует все запросы на обработку от других каналов до тех пор, пока не будут выполнены 2R передач ПДП по данному каналу. Поэтому устанавливая значение R необходимо учитывать, что это может привести к повышенному времени отклика на запрос на обработку от высокоприоритетных каналов.

Данный раздел описывает следующие типы циклов ПДП:  
недействительный;  
основной;  
авто-запрос;  
пинг-понг;  
работа с памятью «исполнение с изменением конфигурации»;  
работа с периферией «исполнение с изменением конфигурации».

##### **25.4.5.1 Недействительный**

После окончания цикла ПДП контроллер устанавливает тип цикла в значение «недействительный», для предотвращения повтора выполненного цикла ПДП.

##### **25.4.5.2 Основной**

В этом режиме контроллер работает только с основными или альтернативными управляющими данными канала. После того, как разрешена работа канала, и контроллер получил запрос на обработку, цикл ПДП выглядит следующим образом:

1. Контроллер выполняет 2R передач. Если число оставшихся передач 0, контроллер переходит к шагу 3.

2. Осуществление арбитража:

если высокоприоритетный канал выдает заброс на обработку, то контроллер начинает обслуживание этого канала;

если периферийный блок или программное обеспечение выдает заброс на обработку (повторный запрос на обработку по каналу), то контроллер переходит к выполнению шагу 1.

3. Контроллер устанавливает dma\_done[C] в состояние 1 на один такт сигнала hclk. Это указывает центральному процессору о завершении цикла ПДП.

#### **25.4.5.3 Авто-запрос**

Функционируя в данном режиме, контроллер ожидает получения одиночного запроса на обработку для разрешения работы и выполнения цикла ПДП. Такая работа позволяет выполнять передачу больших пакетов данных без существенного увеличения времени отклика на обслуживание высокоприоритетных запросов и не требует множественных запросов на обработку от процессора или периферийных блоков.

Контроллер позволяет настроить для использования первичную или альтернативную структуру управляющих данных канала. После того, как разрешена работа канала, и контроллер получил запрос на обработку, цикл ПДП выглядит следующим образом:

1. Контроллер выполняет 2R передач для канала C. Если число оставшихся передач 0, контроллер переходит к шагу 3.

2. Осуществление арбитража:

если высокоприоритетный канал выдает заброс на обработку, то контроллер начинает обслуживание этого канала

если периферийный блок или программное обеспечение выдает заброс на обработку (повторный запрос на обработку по каналу), то контроллер переходит к выполнению шагу 1.

3. Контроллер устанавливает dma\_done[C] в состояние 1 на один такт сигнала hclk. Это указывает центральному процессору о завершении цикла ПДП.

#### **25.4.5.4 Пинг-понг**

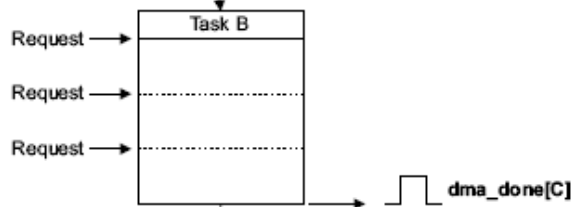
В данном режиме работы контроллер выполняет цикл ПДП, используя одну из структур управляющих данных, а затем выполняет еще один цикл ПДП, используя другую структуру управляющих данных. Контроллер выполняет циклы ПДП с переключением структур до тех пор, пока не считает «неправильную» структуру данных или пока процессор не запретит работу канала.

Рисунок 99 демонстрирует пример функционирования контроллера в режиме Пинг-понг.

Шаг А. Первичная структура,  
cycle\_ctrl=b011,  $2^R = 4$ , N=6



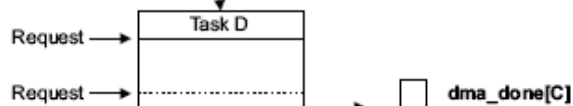
Шаг В. Альтернативная структура,  
cycle\_ctrl=b011,  $2^R = 4$ , N=12



Шаг С. Первичная структура,  
cycle\_ctrl=b011,  $2^R = 2$ , N=2



Шаг D. Альтернативная структура,  
cycle\_ctrl=b011,  $2^R = 4$ , N=5



Шаг Е. Первичная структура,  
cycle\_ctrl=b011,  $2^R = 4$ , N=7



Конец. Альтернативная  
структура, cycle\_ctrl=b000

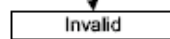


Рисунок 99 – Пример работы в режиме Пинг-понг

Пояснения к рисунку:

- Шаг А** Процессор устанавливает первичную структуру управляющих данных для шага А.  
 Процессор устанавливает альтернативную структуру управляющих данных для шага В. Это позволит контроллеру переключиться к шагу В незамедлительно после выполнения шага А, при условии, что контроллер не получит запрос на обработку от высокоприоритетного канала.  
 Контроллер получает запрос и выполняет 4 передачи ПДП.  
 Контроллер выполняет арбитраж. После получения запроса на обработку от этого же канала, контроллер продолжает цикл, в ситуации отсутствия высокоприоритетных запросов.  
 Контроллер выполняет оставшиеся 2 передачи ПДП.  
 Контроллер устанавливает dma\_done[C] в состояние 1 на один такт сигнала синхронизации hclk и входит в процедуру арбитража.

После выполнения шага А процессор может установить первичные управляющие данные канала для шага С. Это позволит контроллеру переключиться к шагу С незамедлительно после выполнения шага В, при условии, что контроллер не получит запрос на обработку от высокоприоритетного канала.

После получения нового запроса на обработку от канала при условии его наивысшего приоритета выполняется шаг В:

**Шаг В** Контроллер выполняет 4 передачи ПДП.  
Контроллер выполняет арбитраж. После получения запроса на обработку от этого же канала, контроллер продолжает цикл, в ситуации отсутствия высокоприоритетных запросов.  
Контроллер выполняет 4 передачи ПДП.  
Контроллер выполняет арбитраж. После получения запроса на обработку от этого же канала, контроллер продолжает цикл, в ситуации отсутствия высокоприоритетных запросов.  
Контроллер выполняет оставшиеся 4 передачи ПДП.  
Контроллер устанавливает `dma_done[C]` в состояние 1 на один такт сигнала синхронизации `hclk` и входит в процедуру арбитража.

После выполнения шага В процессор может установить альтернативные управляющие данные канала для шага D.

После получения нового запроса на обработку от канала при условии его наивысшего приоритета выполняется шаг С:

**Шаг С** Контроллер выполняет 2 передачи ПДП.  
Контроллер устанавливает `dma_done[C]` в состояние 1 на один такт сигнала синхронизации `hclk` и входит в процедуру арбитража.

После выполнения шага С процессор может установить первичные управляющие данные канала для шага E.

После получения нового запроса на обработку от канала при условии его наивысшего приоритета выполняется шаг D:

**Шаг D** Контроллер выполняет 4 передачи ПДП.  
Контроллер выполняет арбитраж. После получения запроса на обработку от этого же канала, контроллер продолжает цикл, в ситуации отсутствия высокоприоритетных запросов.  
Контроллер выполняет оставшуюся передачу ПДП.  
Контроллер устанавливает `dma_done[C]` в состояние 1 на один такт сигнала синхронизации `hclk` и входит в процедуру арбитража.

После получения нового запроса на обработку от канала при условии его наивысшего приоритета выполняется шаг E:

**Шаг E** Контроллер выполняет 4 передачи ПДП.  
Контроллер выполняет арбитраж. После получения запроса на обработку от этого же канала, контроллер продолжает цикл, в ситуации отсутствия высокоприоритетных запросов.  
Контроллер выполняет оставшиеся 3 передачи ПДП.  
Контроллер устанавливает `dma_done[C]` в состояние 1 на один такт сигнала синхронизации `hclk` и входит в процедуру арбитража.

Если контроллер получит новый запрос на обработку от данного канала, и он будет самым приоритетным, он предпримет попытку выполнения следующего шага. Однако, из-за того, что процессор не установил альтернативные управляющие данные и по окончании шага D контроллер установил `cycle_ctrl` в состояние `b000`, передачи ПДП прекращаются.

Примечание – Для прерывания цикла ПДП, исполняемого в режиме Пинг-понг, также возможен перевод режима работы контроллера на шаг Е в Основной цикл ПДП, путем установки cycle\_ctrl в 3'b001.

**25.4.5.5 Режим работы с памятью «исполнение с изменением конфигурации»**

В данном режиме контроллер, получая начальный запрос на обработку, выполняет 4 передачи ПДП, используя первичные управляющие данные. По окончании этих передач, контроллер начинает цикл ПДП, используя альтернативные управляющие данные. После чего, контроллер выполняет еще 4 передачи ПДП, используя первичные управляющие данные. Контроллер продолжает выполнять циклы ПДА, меняя структуры управляющих данных, пока не произойдет одно из следующих условий:

- процессор переведет контроллер в режим Основной во время цикла с альтернативной структурой;
- контроллер считает «неправильную» структуру управляющих данных.

Примечание – После исполнения контроллером N передач с использованием первичных управляющих данных, он делает эти управляющие данные «неправильными» путем установки cycle\_ctrl в 3'b000.

Контроллер устанавливает флаг dma\_done[C] в этом режиме работы, только когда передача ПДП заканчивается с использованием основного цикла.

В данном режиме контроллер использует первичные управляющие данные для программирования альтернативных управляющих данных. Таблица 261 перечисляет области памяти channel\_cfg, те, которые должны быть определены константами, и те, значения которых определяются пользователем.

Таблица 261 – Channel\_cfg для первичной структуры управляющих данных в режиме работы с памятью «исполнение с изменением конфигурации»

Разряды	Обозначение	Значение	Описание
<b>Области с константными значениями</b>			
[31:30]	dst_inc	b'10	Контроллер производит инкремент адреса пословно
[29:28]	dst_size	b'10	Контроллер осуществляет передачу пословно
[27:26]	src_inc	b'10	Контроллер производит инкремент адреса пословно
[25:24]	src_size	b'10	Контроллер осуществляет передачу пословно
[17:14]	R_power	b'0010	Контроллер выполняет 4 передачи ПДП
[3]	next_useburst	b'0	Для данного режима этот разряд должен быть равен 0
[2:0]	cycle_ctrl	b'100	Контроллер работает в режиме работы с периферией «исполнение с изменением конфигурации»
<b>Области со значениями, определяемыми пользователем</b>			
[23:21]	dst_prot_ctrl	-	Определяет состояние HPROT при записи данных в приемник
[20:18]	src_prot_ctrl	-	Определяет состояние HPROT при чтении данных из источника
[13:4]	n_minus_1	N*	Настраивает контроллер на выполнение N передач ПДП, где N кратно 4

\* – Так как R\_power установлены в состояние 4, необходимо задавать значение N кратное 4. Число равное N/4 это количество раз, которое нужно настраивать альтернативные управляющие данные.

Рисунок 100 демонстрирует пример функционирования в режиме работы с памятью «исполнение с изменением конфигурации».

Инициализация:

1. Настройка первичных управляющих данных для разрешения копирования A,B,C,D: cycle\_ctrl=b100, 2<sup>R</sup>=4, N=16.
2. Запись первичных данных в память, с использованием структуры показанной в таблице ниже.

	src_data_end_ptr	dst_data_end_ptr	channel_cfg	Unused
Данные для A	0x0A000000	0x0AE00000	cycle_ctrl = b101, 2 <sup>R</sup> = 4, N = 3	0xXXXXXXXX
Данные для B	0x0B000000	0x0BE00000	cycle_ctrl = b101, 2 <sup>R</sup> = 2, N = 8	0xXXXXXXXX
Данные для C	0x0C000000	0x0CE00000	cycle_ctrl = b101, 2 <sup>R</sup> = 8, N = 5	0xXXXXXXXX
Данные для D	0x0D000000	0x0DE00000	cycle_ctrl = b001, 2 <sup>R</sup> = 4, N = 4	0xXXXXXXXX

Передача ПДП в режиме работы с памятью «исполнение с изменением конфигурации»:

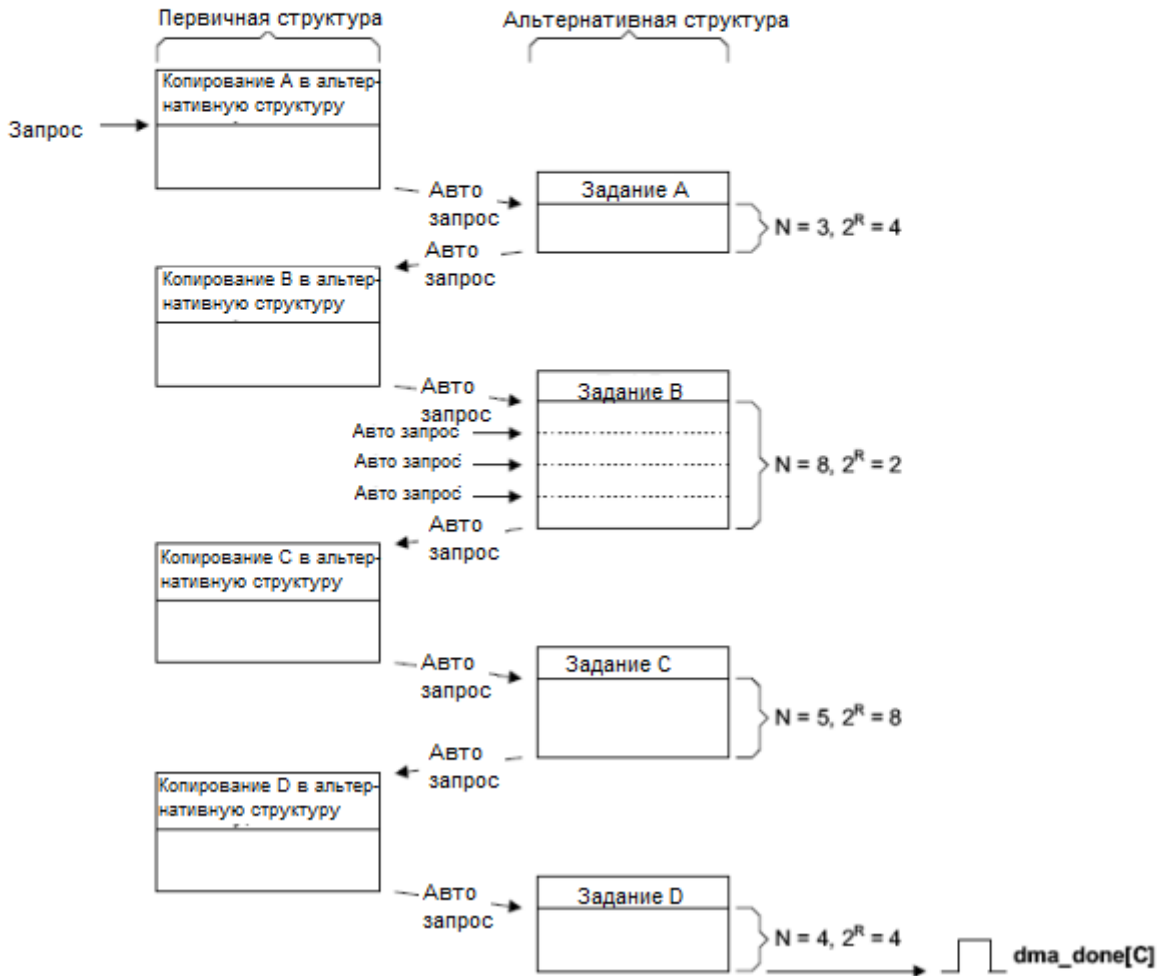


Рисунок 100 – Пример функционирования контроллера в режиме работы с памятью «исполнение с изменением конфигурации».

Пояснения к рисунку 100:

**Инициализация:**

1. Процессор настраивает первичную структуру управляющих данных для работы в режиме работы с памятью «исполнение с изменением конфигурации», путем установки cycle\_ctrl в b100. Так как управляющие данные канала состоят из 4 слов необходимо установить 2<sup>R</sup> в 4. В этом примере количество задач равно 4 и, поэтому N установлен в 16.

2. Процессор записывает управляющие данные для задач A, B, C, D в область памяти с адресом, указанным в src\_data\_end\_ptr.

3. Процессор разрешает работу канала ПДП.



Передачи в данном режиме начинают исполняться при получении контроллером запроса на обслуживание по `dma_req[]` или запроса от процессора. Передачи выполняются следующим образом:

**Первичная, копирование А**

По получению запроса на обслуживание, контроллер выполняет 4 передачи ПДП. Эти передачи записывают альтернативную структуру управляющих данных для задачи А.

Контроллер генерирует авто-запрос для канала, после чего проводит процедуру арбитража.

**Задача А**

Контроллер выполняет задачу А. По окончании, контроллер генерирует авто-запрос для канала и проводит процедуру арбитража.

**Первичная, копирование В**

Контроллер выполняет 4 передачи ПДП. Эти передачи записывают альтернативную структуру управляющих данных для задачи В.

Контроллер генерирует авто-запрос для канала, после чего проводит процедуру арбитража.

**Задача В**

Контроллер выполняет задачу В. По окончании, контроллер генерирует авто-запрос для канала и проводит процедуру арбитража.

**Первичная, копирование С**

Контроллер выполняет 4 передачи ПДП. Эти передачи записывают альтернативную структуру управляющих данных для задачи С.

Контроллер генерирует авто-запрос для канала, после чего проводит процедуру арбитража.

**Задача С**

Контроллер выполняет задачу С. По окончании, контроллер генерирует авто-запрос для канала и проводит процедуру арбитража.

**Первичная, копирование D**

Контроллер выполняет 4 передачи ПДП. Эти передачи записывают альтернативную структуру управляющих данных для задачи D.

Контроллер устанавливает `cycle_ctrl` первичных управляющих данных в `b000` для индикации о том, что эта структура управляющих данных является «неправильной».

Контроллер генерирует авто-запрос для канала, после чего проводит процедуру арбитража.

**Задача D**

Контроллер выполняет задачу D, используя основной цикл ПДП.

Контроллер устанавливает флаг `dma_done[C]` в состояние 1 на один такт сигнала `hclk` и входит в процедуру арбитража.

**25.4.5.6 Режим работы с периферией «исполнение с изменением конфигурации»**

В данном режиме контроллер, получая начальный запрос на обработку, выполняет 4 передачи ПДП, используя первичные управляющие данные. По окончании этих передач, контроллер начинает цикл ПДП, используя альтернативные управляющие данные без осуществления арбитража и не устанавливая сигнал `dma_active[C]` в 0.

Примечание – Это единственный случай, при котором контроллер не осуществляет процедуру арбитража после выполнения передачи ПДП, используя первичные управляющие данные.

После того как этот цикл завершился, контроллер выполняет арбитраж и по получении запроса на обслуживание от периферии, имеющего наивысший приоритет, он выполняет еще 4 передачи ПДП, используя первичные управляющие данные. По окончании этих передач, контроллер начинает цикл ПДП, используя альтернативные управляющие данные без осуществления арбитража и не устанавливая сигнал dma\_active[C] в 0.

Контроллер продолжает выполнять циклы ПДА, меняя структуры управляющих данных, пока не произойдет одно из следующих условий:

- процессор переведет контроллер в режим Основной во время цикла с альтернативной структурой
- контроллер считает «неправильную» структуру управляющих данных.

Примечание – После исполнения контроллером N передач с использованием первичных управляющих данных, он делает эти управляющие данные «неправильными» путем установки cycle\_ctrl в 3'b000.

Контроллер устанавливает флаг dma\_done[C] в этом режиме работы, только когда передача ПДП заканчивается с использованием основного цикла.

В данном режиме контроллер использует первичные управляющие данные для программирования альтернативных управляющих данных. Таблица 262 перечисляет области памяти channel\_cfg, те которые должны быть определены константами, и те, значения которых определяются пользователем.

Таблица 262 – Channel\_cfg для первичной структуры управляющих данных в режиме работы с периферией «Исполнение с изменением конфигурации».

Разряды	Обозначение	Значение	Описание
<b>Области с константными значениями</b>			
[31:30]	dst_inc	b'10	Контроллер производит инкремент адреса пословно
[29:28]	dst_size	b'10	Контроллер осуществляет передачу пословно
[27:26]	src_inc	b'10	Контроллер производит инкремент адреса пословно
[25:24]	src_size	b'10	Контроллер осуществляет передачу пословно
[17:14]	R_power	b'0010	Контроллер выполняет 4 передачи ПДП
[2:0]	cycle_ctrl	b'110	Контролер работает в режиме работы с периферией «исполнение с изменением конфигурации»
<b>Области со значениями, определяемыми пользователем</b>			
[23:21]	dst_prot_ctrl	-	Определяет состояние HPROT при записи данных в приемник
[20:18]	src_prot_ctrl	-	Определяет состояние HPROT при чтении данных из источника
[13:4]	n_minus_1	N*	Настраивает контроллер на выполнение N передач ПДП, где N кратно 4.
[3]	next_useburst	-	При установке в 1, контроллер установит chnl_useburst_set[C] в 1 после выполнения передачи с альтернативной структурой.

\* – Так как R\_power установлены в состояние 4, необходимо задавать значение N кратное 4. Число равное N/4 это количество раз, которое нужно настраивать альтернативные управляющие данные.

Рисунок 101 демонстрирует пример функционирования в режиме работы с периферией «исполнение с изменением конфигурации».

**Инициализация:**

1. Настройка первичных управляющих данных для разрешения копирования А, В, С, и D: cycle\_ctrl=b110, 2R=4, N=16.

2. Запись первичных данных в память, с использованием структуры показанной в таблице ниже.

Передача ПДП в режиме работы с периферией «исполнение с изменением конфигурации».

Инициализация:

1. Настройка первичных управляющих данных для разрешения копирования А, В, С, D cycle\_ctrl = b110, 2<sup>R</sup> = 4, N = 16.

2. Запись первичных данных в память, с использованием структуры показанной в таблице ниже.

	src_data_end_ptr	dst_data_end_ptr	channel_cfg	Unused
Данные для А	0x0A000000	0x0AE00000	cycle_ctrl = b111, 2 <sup>R</sup> = 4, N = 3	0xFFFFFFFF
Данные для В	0x0B000000	0x0BE00000	cycle_ctrl = b111, 2 <sup>R</sup> = 2, N = 8	0xFFFFFFFF
Данные для С	0x0C000000	0x0CE00000	cycle_ctrl = b111, 2 <sup>R</sup> = 8, N = 5	0xFFFFFFFF
Данные для D	0x0D000000	0x0DE00000	cycle_ctrl = b001, 2 <sup>R</sup> = 4, N = 4	0xFFFFFFFF

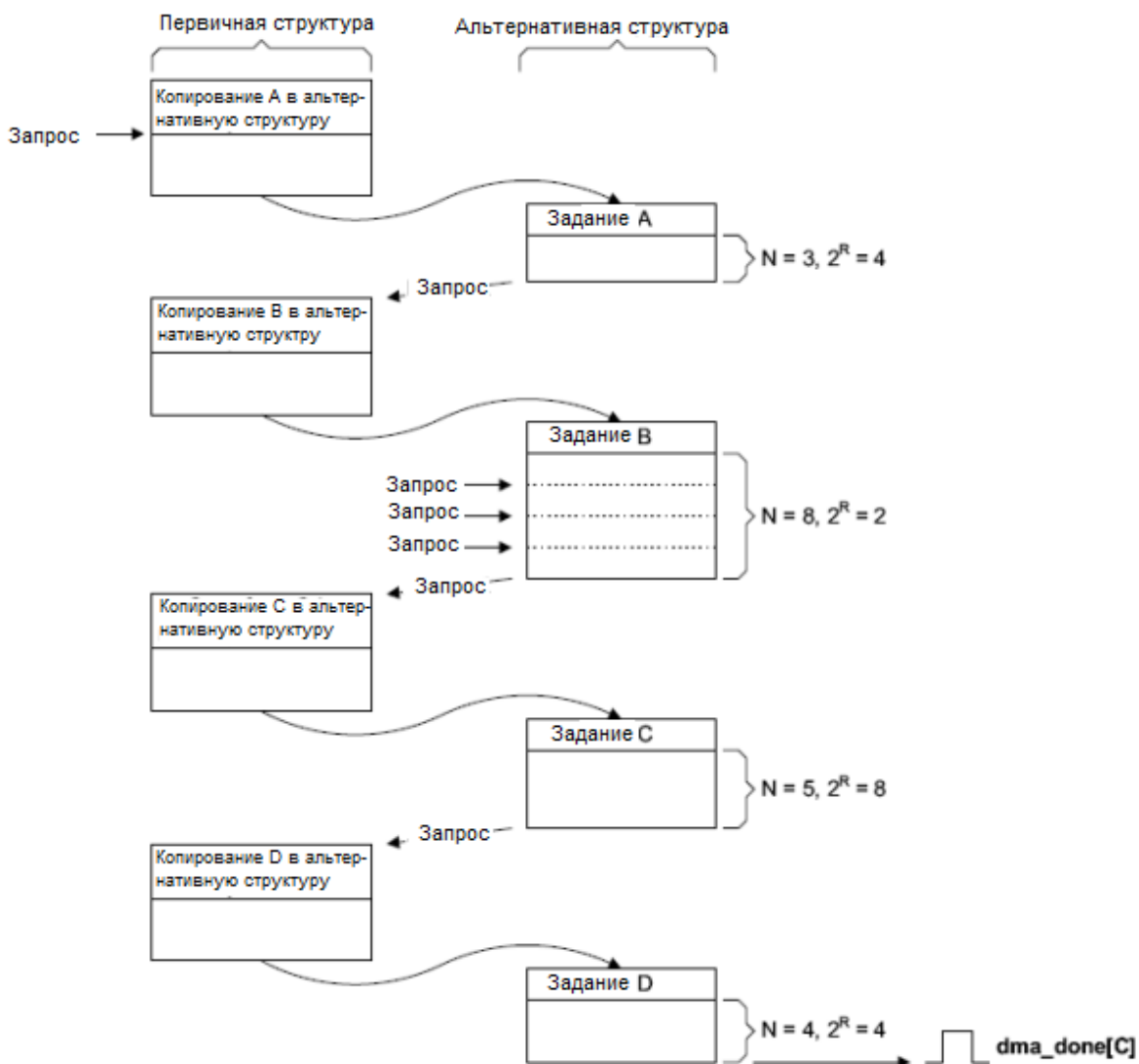


Рисунок 101 – Пример функционирования контроллера в режиме работы с периферией «исполнение с изменением конфигурации»

Пояснения к рисунку 101:

Инициализация:

1. Процессор настраивает первичную структуру управляющих данных для работы в режиме работы с периферией «исполнение с изменением конфигурации», путем установки `cycle_ctrl` в `b110`. Так как управляющие данные канала состоят из 4 слов необходимо установить `2R` в `4`. В этом примере количество задач равно `4` и, поэтому `N` установлен в `16`.

2. Процессор записывает управляющие данные для задач `A`, `B`, `C`, `D` в область памяти с адресом, указанным в `src_data_end_ptr`.

3. Процессор разрешает работу канала ПДП.

Передачи в данном режиме начинают исполняться при получении контроллером запроса на обслуживание по `dma_req[]`. Передачи выполняются следующим образом:

**Первичная, копирование А**

По получению запроса на обслуживание, контроллер выполняет 4 передачи ПДП. Эти передачи записывают альтернативную структуру управляющих данных для задачи `A`.

**Задача А**

Контроллер выполняет задачу `A`.

По окончании, контроллер проводит процедуру арбитража.

**Первичная, копирование В**

Контроллер выполняет 4 передачи ПДП. Эти передачи записывают альтернативную структуру управляющих данных для задачи `B`.

**Задача В**

Контроллер выполняет задачу `B`. Для завершения задачи периферия должна установить последовательно 3 запроса.

По окончании, контроллер проводит процедуру арбитража.

**Первичная, копирование С**

Контроллер выполняет 4 передачи ПДП. Эти передачи записывают альтернативную структуру управляющих данных для задачи `C`.

**Задача С**

Контроллер выполняет задачу `C`.

По окончании, контроллер проводит процедуру арбитража.

После выставления периферией нового запроса на обслуживание, при условии что этот запрос является наиболее приоритетным, процесс продолжается следующим образом:

**Первичная, копирование D**

Контроллер выполняет 4 передачи ПДП. Эти передачи записывают альтернативную структуру управляющих данных для задачи `D`.

Контроллер устанавливает `cycle_ctrl` первичных управляющих данных в `b000` для индикации о том, что эта структура управляющих данных является «неправильной».

**Задача D**

Контроллер выполняет задачу `D`, используя основной цикл ПДП.

Контроллер устанавливает флаг `dma_done[C]` в состояние `1` на один такт сигнала `hclk` и входит в процедуру арбитража.

### **Индикация ошибок**

При получении контроллером по шине АНВ-Lite ответа об ошибке, он выполняет следующие действия:

- отключает канал, связанный с ошибкой;
- устанавливает флаг dma\_err в состояние 1.

После обнаружения процессором флага dma\_err, процессор определяет номер канала, который был активен в момент появления ошибки. Для этого он осуществляет следующее:

Чтение регистра chnl\_enable\_set с целью создания списка отключенных каналов. Если канал установил флаг dma\_done[], то контроллер отключает канал.

Программа, выполняемая процессором, должна всегда хранить данные о каналах, которые недавно установили флаги dma\_done[].

Процессор должен сравнить список выключенных каналов, полученный в шаге 1, с данными о каналах, которые недавно устанавливали флаги dma\_done[].

Канал, по которому отсутствуют данные об установке флага dma\_done[], это и есть канал, с которым связана ошибка.

## **25.5 Структура управляющих данных канала**

В системной памяти должна быть отведена область для хранения управляющих данных каналов. Системная память должна:

- предоставлять смежную область системной памяти, к которой контроллер и процессор имеют доступ;
- иметь базовый адрес, который целочисленно кратен общему размеру структуры управляющих данных канала.

Рисунок 102 показывает область памяти необходимую контроллеру для структур управляющих данных канала, при использовании всех 32 каналов и опциональной альтернативной структуры управляющих данных.

Данные альтернативной структуры

Alternate_Ch_31	0x3F0
Alternate_Ch_30	0x3E0
Alternate_Ch_29	0x3D0
Alternate_Ch_28	0x3C0
Alternate_Ch_27	0x3B0
Alternate_Ch_26	0x3A0
Alternate_Ch_25	0x390
Alternate_Ch_24	0x380
Alternate_Ch_23	0x370
Alternate_Ch_22	0x360
Alternate_Ch_21	0x350
Alternate_Ch_20	0x340
Alternate_Ch_19	0x330
Alternate_Ch_18	0x320
Alternate_Ch_17	0x310
Alternate_Ch_16	0x300
Alternate_Ch_15	0x2F0
Alternate_Ch_14	0x2E0
Alternate_Ch_13	0x2D0
Alternate_Ch_12	0x2C0
Alternate_Ch_11	0x2B0
Alternate_Ch_10	0x2A0
Alternate_Ch_9	0x290
Alternate_Ch_8	0x280
Alternate_Ch_7	0x270
Alternate_Ch_6	0x260
Alternate_Ch_5	0x250
Alternate_Ch_4	0x240
Alternate_Ch_3	0x230
Alternate_Ch_2	0x220
Alternate_Ch_1	0x210
Alternate_Ch_0	0x200

Данные первичной структуры

Primary_Ch_31	0x1F0
Primary_Ch_30	0x1E0
Primary_Ch_29	0x1D0
Primary_Ch_28	0x1C0
Primary_Ch_27	0x1B0
Primary_Ch_26	0x1A0
Primary_Ch_25	0x190
Primary_Ch_24	0x180
Primary_Ch_23	0x170
Primary_Ch_22	0x160
Primary_Ch_21	0x150
Primary_Ch_20	0x140
Primary_Ch_19	0x130
Primary_Ch_18	0x120
Primary_Ch_17	0x110
Primary_Ch_16	0x100
Primary_Ch_15	0x0F0
Primary_Ch_14	0x0E0
Primary_Ch_13	0x0D0
Primary_Ch_12	0x0C0
Primary_Ch_11	0x0B0
Primary_Ch_10	0x0A0
Primary_Ch_9	0x090
Primary_Ch_8	0x080
Primary_Ch_7	0x070
Primary_Ch_6	0x060
Primary_Ch_5	0x050
Primary_Ch_4	0x040
Primary_Ch_3	0x030
Primary_Ch_2	0x020
Primary_Ch_1	0x010
Primary_Ch_0	0x000

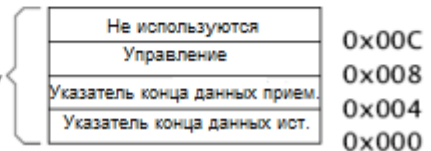


Рисунок 102 – Карта памяти для 32-х каналов, включая альтернативную структуру управляющих данных.

Пример, показанный на Рисунке 102, использует 1 Кбайт системной памяти. В этом примере контроллер использует младшие 10 разрядов адреса для доступа ко всем элементам структуры управляющих данных, и поэтому базовый адрес структуры должен быть 0xXXXXX000, далее 0xXXXXX400, далее 0xXXXXX800, далее 0xXXXXXC00.

Возможно установить базовый адрес для первичной структуры управляющих данных путем записи соответствующего значения в регистр ctrl\_base\_ptr.

Необходимый размер области системной памяти зависит от:

количества каналов, используемых в контроллере;

от того, используется или нет альтернативная структура управляющих данных.

Таблица 263 перечисляет разряды адреса, которые используются контроллером при доступе к различным элементам структуры управляющих данных, в зависимости от количества каналов, используемых в контроллере.

Таблица 263 – Разряды адреса, соответствующие элементам структуры управляющих данных

Количество каналов, используемых в контроллере	[9]	[8]	[7]	[6]	[5]	[4]	[3:0]
1						A	0x0 0x4 0x8
2					A	C[0]	
3-4				A	C[1]	C[0]	
5-8			A	C[2]	C[1]	C[0]	
9-16		A	C[3]	C[2]	C[1]	C[0]	
17-32	A	C[4]	C[3]	C[2]	C[1]	C[0]	

, где

- A      Выбирает одну из структур управляющих данных канала  
 A = 0 выбирает первичную структуру управляющих данных  
 A = 1 выбирает альтернативную структуру управляющих данных

C[x:0]      Выбирает канал ПДП.

Address[3:0]      Выбирает один из управляющих элементов:  
 0x0      выбирает указатель конца данных источника  
 0x4      выбирает указатель конца данных приемника  
 0x8      выбирает конфигурацию управляющих данных  
 0xC      контроллер не имеет доступа к этому адресу. Если это необходимо, то возможно разрешить процессору использовать эти адреса в качестве системной памяти.

Примечание – Совсем не обязательно вычислять базовый адрес альтернативной структуры управляющих данных, так как регистр alt\_ctrl\_base\_ptr содержит эту информацию.

Рисунок 103 демонстрирует пример реализации контроллера с использованием трех каналов ПДП и альтернативной структурой управляющих данных.



Рисунок 103 – Карта памяти для трех каналов ПДП, включая альтернативную структуру управляющих данных

Пример структуры управляющих данных, приведенный на Рисунке 103, использует 128 байт системной памяти. В этом примере контроллер использует младшие 6 разрядов адреса для доступа ко всем элементам структуры управляющих данных, и поэтому базовый адрес структуры должен быть 0xXXXXXX00, далее 0xXXXXXX80.

Таблица 264 перечисляет все разрешенные значения базового адреса для первичной структуры управляющих данных, в зависимости от количества каналов ПДП, использованных в контроллере.



Таблица 264 – Разрешенные базовые адреса

Кол-во каналов ПДП	Разрешенные значения базового адреса для первичной структуры управляющих данных
1	0xXXXXXXXX00, 0xXXXXXXXX20, 0xXXXXXXXX40, 0xXXXXXXXX60, 0xXXXXXXXX80, 0xXXXXXXXXA0, 0xXXXXXXXXC0, 0xXXXXXXXXE0
2	0xXXXXXXXX00, 0xXXXXXXXX40, 0xXXXXXXXX80, 0xXXXXXXXXC0
3-4	0xXXXXXXXX00, 0xXXXXXXXX80
5-8	0xXXXXXXXX000, 0xXXXXXXXX100, 0xXXXXXXXX200, 0xXXXXXXXX300, 0xXXXXXXXX400, 0xXXXXXXXX500, 0xXXXXXXXX600, 0xXXXXXXXX700, 0xXXXXXXXX800, 0xXXXXXXXX900, 0xXXXXXXXXA00, 0xXXXXXXXXB00, 0xXXXXXXXXC00, 0xXXXXXXXXD00, 0xXXXXXXXXE00, 0xXXXXXXXXF00,
9-16	0xXXXXXXXX000, 0xXXXXXXXX200, 0xXXXXXXXX400, 0xXXXXXXXX600, 0xXXXXXXXX800, 0xXXXXXXXXA00, 0xXXXXXXXXC00, 0xXXXXXXXXE00
17-32	0xXXXXXXXX000, 0xXXXXXXXX400, 0xXXXXXXXX800, 0xXXXXXXXXC00

Контроллер использует системную память для доступа к двум указателям адреса конца данных и разрядам управления каждого канала. Следующие подразделы описывают эти 32-х разрядные области памяти и процедуру вычисления контроллером адреса передачи ПДП:

- указатель конца данных источника;
- указатель конца данных приемника;
- разряды управления;
- вычисление адреса.

#### 25.5.1.1 Указатель конца данных источника

Область памяти под названием `src_data_end_ptr` содержит указатель на последний адрес месторасположения данных источника. Таблица 265 перечисляет значения разрядов этой области.

Таблица 265 – Значения разрядов `src_data_end_ptr`.

Разряд	Имя	Описание
[31:0]	<code>src_data_end_ptr</code>	указатель на последний адрес данных источника

Перед тем как контроллер выполнит передачу ПДП, необходимо определить эту область памяти. Контроллер считывает значение этой области перед началом 2R передачи ПДП.

Примечание – Контроллер не имеет доступа по записи в эту область памяти.

#### 25.5.1.2 Указатель конца данных приемника

Область памяти под названием `dst_data_end_ptr` содержит указатель на последний адрес месторасположения данных приемника. Таблица 266 перечисляет значения разрядов этой области.

Таблица 266 – Значения разрядов `dst_data_end_ptr`.

Разряд	Имя	Описание
[31:0]	<code>dst_data_end_ptr</code>	указатель на последний адрес данных приемника

Перед тем как контроллер выполнит передачу ПДП, необходимо определить эту область памяти. Контроллер считывает значение этой области перед началом 2R передачи ПДП.

Примечание – Контроллер не имеет доступа по записи в эту область памяти.

### 25.5.1.3 Разряды управления

Область памяти под названием channel\_cfg обеспечивает управление каждой передачей ПДП. Рисунок 104 показывает название разрядов этой области.

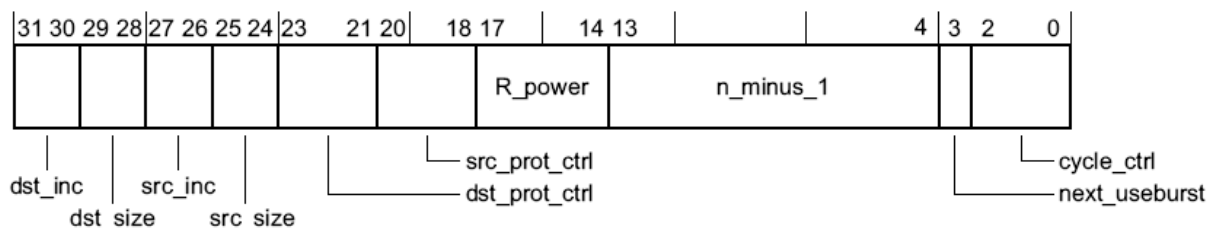


Рисунок 104 – Название разрядов channel\_cfg

Таблица 267 перечисляет назначение разрядов этой области памяти.

Таблица 267 – Назначение разрядов channel\_cfg

Разряд	Имя	Описание
[31:30]	dst_src	Шаг инкремента адреса приемника Шаг инкремента адреса зависит от разрядности данных источника Разрядность данных источника = байт b00 = байт b01 = полуслово (в русском обычно слово) b10 = слово (в русском обычно двойное слово) b11 = нет инкремента. Адрес остается равным значению области памяти dst_data_end_ptr Разрядность данных источника = полуслово b00 = зарезервировано b01 = полуслово b10 = слово b11 = нет инкремента. Адрес остается равным значению области памяти dst_data_end_ptr Разрядность данных источника = слово b00 = зарезервировано b01 = зарезервировано b10 = слово b11 = нет инкремента. Адрес остается равным значению области памяти dst_data_end_ptr
[29:28]	dst_size	Размерность данных приемника Примечание – Значение этого поля должно быть равно значению поля src_size.
[27:26]	src_inc	Шаг инкремента адреса источника Шаг инкремента адреса зависит от разрядности данных источника Разрядность данных источника = байт b00 = байт b01 = полуслово (в русском обычно слово) b10 = слово (в русском обычно двойное слово) b11 = нет инкремента. Адрес остается равным значению области памяти src_data_end_ptr Разрядность данных источника = полуслово b00 = зарезервировано

Разряд	Имя	Описание
		b01 = полуслово b10 = слово b11 = нет инкремента. Адрес остается равным значению области памяти src_data_end_ptr Разрядность данных источника = слово b00 = зарезервировано b01 = зарезервировано b10 = слово b11 = нет инкремента. Адрес остается равным значению области памяти src_data_end_ptr
[25:24]	src_size	Задает размерность данных источника b00 = байт b01 = полуслово (в русском обычно слово) b10 = слово (в русском обычно двойное слово) b11 = зарезервировано
[23:21]	dst_prot_ctl	Задает состояние HPROT[3:1], когда контроллер записывает данные в приемник. Разряд [23] управляет разрядом HPROT[3] 0 = HPROT[3] в состоянии 0 и доступ не кэшируется 1 = HPROT[3] в состоянии 1 и доступ кэшируется Разряд [22] управляет разрядом HPROT[2] 0 = HPROT[2] в состоянии 0 и доступ не буферизуется 1 = HPROT[2] в состоянии 1 и доступ буферизуется Разряд [21] управляет разрядом HPROT[1] 0 = HPROT[1] в состоянии 0 и доступ не привилегированный 1 = HPROT[1] в состоянии 1 и доступ привилегированный
[20:18]	src_prot_ctl	Задает состояние HPROT[3:1], когда контроллер считывает данные из источника. Разряд [20] управляет разрядом HPROT[3] 0 = HPROT[3] в состоянии 0 и доступ не кэшируется 1 = HPROT[3] в состоянии 1 и доступ кэшируется Разряд [19] управляет разрядом HPROT[2] 0 = HPROT[2] в состоянии 0 и доступ не буферизуется 1 = HPROT[2] в состоянии 1 и доступ буферизуется Разряд [18] управляет разрядом HPROT[1] 0 = HPROT[1] в состоянии 0 и доступ не привилегированный 1 = HPROT[1] в состоянии 1 и доступ привилегированный
[17:14]	R_power	Задает количество передач ПДП до выполнения контроллером процедуры арбитража. Возможные значения: b0000 – арбитраж производится после каждой передачи ПДП b0001 – арбитраж производится после 2 передач ПДП b0010 – арбитраж производится после 4 передач ПДП b0011 – арбитраж производится после 8 передач ПДП b0100 – арбитраж производится после 16 передач ПДП b0101 – арбитраж производится после 32 передач ПДП b0110 – арбитраж производится после 64 передач ПДП b0111 – арбитраж производится после 128 передач ПДП b1000 – арбитраж производится после 256 передач ПДП b1001 – арбитраж производится после 512 передач ПДП

Разряд	Имя	Описание
		b1010 - b1111 – арбитраж производится после 1024 передач ПДП. Это означает, что арбитраж не производится, так как максимальное количество передач ПДП равно 1024.
[13:4]	n_minus_1	<p>Перед выполнением цикла ПДП, эти разряды указывают общее количество передач ПДП, из которых состоит цикл ПДП. Необходимо установить эти разряды в значение соответствующие размеру желаемого цикла ПДП.</p> <p>10-разрядное число задает количество передач ПДП минус 1.</p> <p>Возможные значения:</p> <p>b000000000 = 1 передача ПДП  b000000001 = 1 передача ПДП  b000000010 = 2 передачи ПДП  b000000011 = 3 передачи ПДП  b000000100 = 4 передачи ПДП  b000000101 = 5 передач ПДП  ...  b111111111 = 1024 передачи ПДП</p> <p>Контроллер обновит это поле перед тем, как произвести процесс арбитража. Это позволяет контроллеру хранить количество оставшихся передач ПДП до завершения цикла ПДП.</p>
[3]	next_useburst	<p>Контролирует, установлен ли <code>chnl_useburst_set[C]</code> в состояние 1, если контроллер работает в режиме работы с периферией «исполнение с изменением конфигурации» и, если контроллер завершает цикл ПДП, используя альтернативные управляющие данные.</p> <p>Примечание – Перед завершением цикла ПДП, использующего альтернативные управляющие данные, контроллер устанавливает <code>chnl_useburst_set[C]</code> в состояние 0, если количество оставшихся передач ПДП меньше, чем 2R. Установка <code>next_useburst</code> разряда определяет, будет ли контроллер дополнительно переопределять разряд <code>chnl_useburst_set[C]</code>.</p> <p>Если контроллер выполняет цикл ПДП в режиме работы с периферией «исполнение с изменением конфигурации», то после окончания цикла, использующего альтернативные управляющие данные, происходит следующее в зависимости от состояния <code>next_useburst</code>:</p> <p>0 – контроллер не изменяет значение <code>chnl_useburst_set[C]</code>. Если <code>chnl_useburst_set[C]</code> установлен в 0, то для всех оставшихся циклов ПДП в режиме работы с периферией «исполнение с изменением конфигурации», контроллер отвечает на запросы по <code>dma_req[]</code> и <code>dma_sreq[]</code>, при выполнении циклов ПДП он использует альтернативные управляющие данные.</p> <p>1 – контроллер изменяет значение <code>chnl_useburst_set[C]</code> в состояние 1. Поэтому для оставшихся циклов ПДП в режиме работы с периферией «исполнение с изменением конфигурации», контроллер реагирует только на запросы по <code>dma_req[]</code>, при выполнении циклов ПДП он использует альтернативные управляющие данные.</p>

Разряд	Имя	Описание
[2: 0]	cycle_ctrl	<p>Режим работы при выполнении цикла ПДП.</p> <p><b>V000 Стоп.</b> Означает, что структура управляющих данных является «неправильной».</p> <p><b>V001 Основной.</b> Контроллер должен получить новый запрос для окончания цикла ПДП, перед этим он должен выполнить процедуру арбитража.</p> <p><b>V010 Авто-запрос.</b> Контроллер автоматически осуществляет запрос на обработку по соответствующему каналу в течение процедуры арбитража. Это означает, что начального запроса на обработку достаточно для выполнения цикла ПДП.</p> <p><b>V011 Пинг-понг.</b> Контроллер выполняет цикл ПДП используя одну из структур управляющих данных. По окончании выполнения цикла ПДП, контроллер выполняет следующий цикл ПДП, используя другую структуру. Контроллер сигнализирует об окончании каждого цикла ПДП, позволяя процессору перенастраивать неактивную структуру данных. Контроллер продолжает выполнять циклы ПДП, до тех пор, пока он не прочитает «неправильную» структуру данных или пока процессор не изменит cycle_ctrl поле в состояние b001 или b 010.</p> <p><b>V100 Режим работы с памятью «исполнение с изменением конфигурации».</b> Смотри соответствующий раздел. При работе контроллера в данном режиме значение этого поля в первичной структуре управляющих данных должно быть b100.</p> <p><b>V101 Режим работы с памятью «исполнение с изменением конфигурации».</b> Смотри соответствующий раздел. При работе контроллера в данном режиме значение этого поля в альтернативной структуре управляющих данных должно быть b101.</p> <p><b>V110 Режим работы с периферией «исполнение с изменением конфигурации».</b> Смотри соответствующий раздел. При работе контроллера в данном режиме значение этого поля в первичной структуре управляющих данных должно быть b110.</p> <p><b>V111 Режим работы с периферией «исполнение с изменением конфигурации».</b> Смотри соответствующий раздел. При работе контроллера в данном режиме значение этого поля в альтернативной структуре управляющих данных должно быть b111.</p>

В начале цикла ПДП или 2R передачи ПДП, контроллер считывает значение channel\_cfg из системной памяти. После выполнения 2R или N передач, он сохраняет обновленное значение channel\_cfg в системную память.

Контроллер не поддерживает значений dst\_size отличных от значений src\_size. Если контроллер обнаруживает неравные значения этих полей, он использует значение src\_size для размерности данных приемника и источника и при ближайшем обновлении поля n\_minus\_1, он также устанавливает значение поля dst\_size равное src\_size.

После выполнения контроллером N передач, контроллер устанавливает значение поля cycle\_ctrl в b000, делая тем самым channel\_cfg данные «неправильными». Это позволяет избежать повторения выполненной передачи ПДП.

### 25.5.1.4 Вычисление адреса

Для вычисления адреса источника передачи ПДП, контроллер выполняет сдвиг влево значения `n_minus_1` на количество разрядов соответствующее полю `src_inc` и затем вычитает получившееся значение от значения указателя адреса конца данных источника. Подобным образом вычисляется адрес передатчика передачи ПДП, контроллер выполняет сдвиг влево значения `n_minus_1` на количество разрядов соответствующее полю `dst_inc` и затем вычитает получившееся значение от значения указателя адреса конца данных приемника.

В зависимости от значения полей `src_inc` и `dst_inc`, вычисления адресов приемника и источника выполняются по следующим уравнениям:

`src_inc=b00 and dst_inc=b00`  
адрес источника = `src_data_end_ptr - n_minus_1`  
адрес приемника = `dst_data_end_ptr - n_minus_1`.

`src_inc=b01 and dst_inc=b01`  
адрес источника = `src_data_end_ptr - (n_minus_1<<1)`  
адрес приемника = `dst_data_end_ptr - (n_minus_1<<1)`.

`src_inc=b01 and dst_inc=b10`  
адрес источника = `src_data_end_ptr - (n_minus_1<<2)`  
адрес приемника = `dst_data_end_ptr - (n_minus_1<<2)`.

`src_inc=b11 and dst_inc=b11`  
адрес источника = `src_data_end_ptr`  
адрес приемника = `dst_data_end_ptr`.

Таблица 268 перечисляет адреса приемника цикла ПДП для 6 слов.

Таблица 268 – Цикла ПДП для 6 слов с пословным инкрементом

<b>Начальные значения channel_cfg перед циклом ПДП</b>				
<code>src_size=b10, dst_inc=b10, n_minus_1=b101, cycle_ctrl=1</code>				
	<b>Указатель конца данных</b>	<b>Счетчик</b>	<b>Отличие*</b>	<b>Адрес</b>
<b>ПДП передачи</b>	0x2AC	5	0x14	0x298
	0x2AC	4	0x10	0x29C
	0x2AC	3	0xC	0x2A0
	0x2AC	2	0x8	0x2A4
	0x2AC	1	0x4	0x2A8
	0x2AC	0	0x0	0x2AC
<b>Конечные значения channel_cfg после цикла ПДП</b>				
<code>src_size=b10, dst_inc=b10, n_minus_1=0, cycle_ctrl=0</code>				

\* – это значение, полученное после сдвига влево значения счетчика на количество разрядов соответствующее `dst_inc`.

Таблица 269 перечисляет адреса приемника для передач ПДП 12 байт с использованием «полусловного» инкремента.

Таблица 269 – Цикла ПДП для 12 байт с «полусловным» инкрементом

<b>Начальные значения channel_cfg перед циклом ПДП</b>				
src_size=b00, dst_inc=b01, n_minus_1=b1011, cycle_ctrl=1, R_power=b11				
	<b>Указатель конца данных</b>	<b>Счетчик</b>	<b>Отличие*</b>	<b>Адрес</b>
<b>ПДП передачи</b>	0x5E7	11	0x16	0x5D1
	0x5E7	10	0x14	0x5D3
	0x5E7	9	0x12	0x5D5
	0x 5E7	8	0x10	0x5D7
	0x 5E7	7	0xE	0x5D9
	0x5E7	6	0xC	0x5DB
	0x5E7	5	0xA	0x5DD
	0x5E7	4	0x8	0x5DF
<b>Значения channel_cfg после 2R передач ПДП</b>				
src_size=b00, dst_inc=b01, n_minus_1=b011, cycle_ctrl=1, R_power=b11				
<b>ПДП передачи</b>	0x 5E7	3	0x6	0x5E1
	0x 5E7	2	0x4	0x5E3
	0x5E7	1	0x2	0x5E5
	0x5E7	0	0x0	0x5E7
<b>Конечные значения channel_cfg после цикла ПДП</b>				
src_size=b00, dst_inc=b01, n_minus_1=0, cycle_ctrl=0**, R_power=b11				

\* – это значение, полученное после сдвига влево значения счетчика на количество разрядов соответствующее dst\_inc.

\*\* – после окончания цикла ПДП, контроллер делает channel\_cfg «неправильным» сбрасывая в 0 поле cycle\_ctrl.

## 25.6 Описание регистров контроллера DMA

Данная глава описывает регистры контроллера и управление контроллером через них.

Глава содержит следующие разделы:

- о регистровой модели контроллера;
- описание регистров.

Основные положения регистровой модели контроллера:

- нужно избегать адресации при доступе к зарезервированным или неиспользованным адресам, так как это может привести к непредсказуемым результатам.

- необходимо записывать неиспользуемые или зарезервированные разряды регистров нулями и игнорировать значения таких разрядов при считывании, кроме случаев, специально описанных в разделе.

- системный сброс или сброс по установке питания сбрасывает все регистры в состояние 0, кроме случаев, специально описанных в разделе.

- все регистры поддерживают доступ по чтению и записи, кроме случаев, специально описанных в разделе. Доступ по записи обновляет содержание регистра, а доступ по чтению возвращает содержимое регистра.

Таблица 270 – Перечень регистров контроллера

Наименование	Смещение относительно базового адреса	Тип	Значение по сбросу	Описание
dma_status	0x000	RO	0x-0nn0000*	Статусный регистр ПДП
dma_cfg	0x004	WO	-	Регистр конфигурации ПДП
ctrl_base_ptr	0x008	R/W	0x00000000	Регистр базового адреса управляющих данных каналов
alt_ctrl_base_ptr	0x00C	RO	0x000000nn**	Регистр базового адреса альтернативных управляющих данных каналов
dma_waitonreq_status	0x010	RO	0x00000000	Регистр статуса ожидания запроса на обработку каналов
chnl_sw_request	0x014	WO	-	Регистр программного запроса на обработку каналов
chnl_useburst_set	0x018	R/W	0x00000000	Регистр установки пакетного обмена каналов
chnl_useburst_clr	0x01C	WO	-	Регистр сброса пакетного обмена каналов
chnl_req_mask_set	0x020	R/W	0x00000000	Регистр маскирования запросов на обслуживание каналов
chnl_req_mask_clr	0x024	WO	-	Регистр очистки маскирования запросов на обслуживание каналов
chnl_enable_set	0x028	R/W	0x00000000	Регистр установки разрешения каналов
chnl_enable_clr	0x02C	WO	-	Регистр сброса разрешения каналов
chnl_pri_alt_set	0x030	R/W	0x00000000	Регистр установки первичной/альтернативной структуры управляющих данных каналов
chnl_pri_alt_clr	0x034	WO	-	Регистр сброса первичной/альтернативной структуры управляющих данных каналов
chnl_priority_set	0x038	R/W	0x00000000	Регистр установки приоритета каналов
chnl_priority_clr	0x03C	WO	-	Регистр сброса приоритета каналов
-	0x040-0x048		-	зарезервировано
err_clr	0x04C	R/W	0x00000000	Регистр сброса флага ошибки
-	0x050-0xDFC	-		зарезервировано

\* – значение по сбросу зависит от количества каналов ПДП, использованных в контроллере, а также от того, интегрирована ли схема тестирования.

\*\* – значение по сбросу зависит от количества каналов ПДП, использованных в контроллере.



### 25.6.1 Статусный регистр ПДП DMA\_STATUS

Данный регистр имеет доступ только на чтение. При чтении регистр возвращает состояние контроллера. Если контроллер находится в состоянии сброса, то чтение регистра запрещено. Рисунок 105 показывает наименование разрядов этого регистра. Таблица 271 перечисляет назначение разрядов регистра.

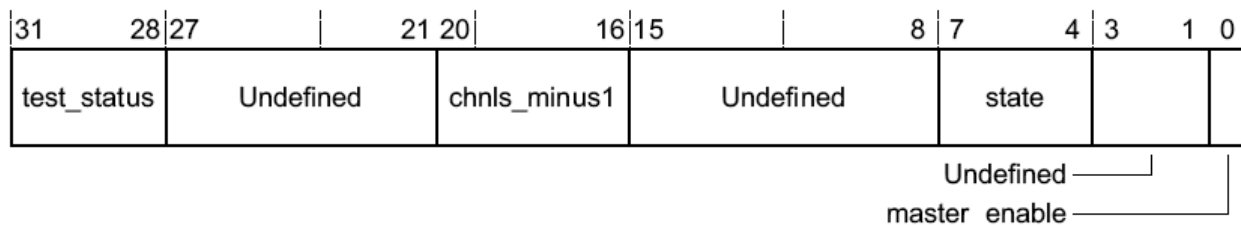


Рисунок 105 – Наименование разрядов регистра dma\_status

Таблица 271 – Назначение разрядов регистра dma\_status

Разряд	Наименование	Описание
[31:28]	test_status	Значение при чтении: 0x0 = контроллер не имеет интегрированной схемы тестирования 0x1 = контроллер имеет интегрированную схему тестирования 0x2 – 0xF = не определено
[27:21]	-	Не определено
[20:16]	chnls_minus1	Количество доступных каналов ПДП минус 1. Например: b00000 = контроллер имеет 1 канал ПДП b00001 = контроллер имеет 2 канала ПДП b00010 = контроллер имеет 3 канала ПДП ... b11111 = контроллер имеет 32 канала ПДП
[15:8]	-	Не определено
[7:4]	state	Текущее состояние автомата управления контроллера. Состояние может быть одним из следующих: b0000 = в покое b0001 = чтение управляющих данных канала b0010 = чтение указателя конца данных источника b0011 = чтение указателя конца данных приемника b0100 = чтение данных источника b0101 = запись данных в приемник b0110 = ожидание запроса на выполнение ПДП b0111 = запись управляющих данных канала b1000 = приостановлен b1001 = выполнен b1010 = режим работы с периферией «исполнение с изменением конфигурации» b1011-b1111 = не определено
[3:1]	-	Не определено
[0]	master_enable	Состояние контроллера 0 = работа контроллера запрещена 1 = работа контроллера разрешена

### 25.6.2 Регистр конфигурации ПДП DMA\_CFG

Данный регистр имеет доступ только на запись. Регистр определяет состояние контроллера. Рисунок 106 показывает наименование разрядов этого регистра. Таблица 272 перечисляет назначение разрядов регистра.

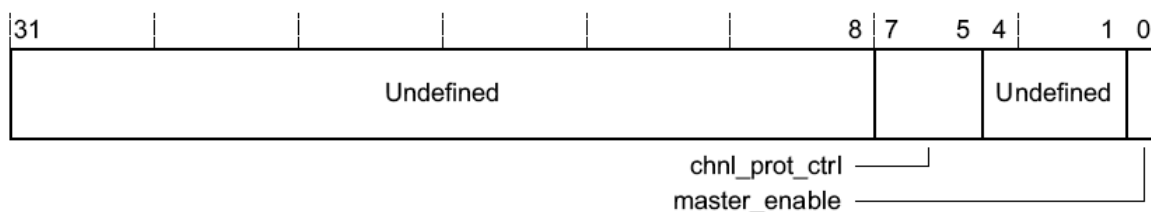


Рисунок 106 – Наименование разрядов регистра dma\_cfg

Таблица 272 – Назначение разрядов регистра dma\_cfg

Разряд	Наименование	Описание
[31:8]	-	Не определено, следует записывать 0.
[7:5]	chnl_prot_ctrl	<p>Определяет уровни индикации сигналов HPROT[3:1] защиты шины АНВ-Lite:</p> <p>Разряд [7] управляет сигналом HPROT[3], с целью индикации о появлении доступа с кэшированием.</p> <p>Разряд [6] управляет сигналом HPROT[2], с целью индикации о появлении доступа с буферизацией.</p> <p>Разряд [5] управляет сигналом HPROT[1], с целью индикации о появлении привилегированного доступа.</p> <p>Примечания</p> <p>1 Если разряд[n] = 1, то соответствующий сигнал HPROT в состоянии 1.</p> <p>2 Если разряд[n] = 0, то соответствующий сигнал HPROT в состоянии 0.</p>
[4:1]	-	Не определено, следует записывать 0.
[0]	master_enable	<p>Определяет состояние контроллера</p> <p>0 = запретить работу контроллера</p> <p>1 = разрешить работу контроллера</p>

### 25.6.3 Регистр базового адреса управляющих данных каналов CTRL\_BASE\_PTR

Данный регистр имеет доступ на запись и чтение. Регистр определяет базовый адрес системной памяти размещения управляющих данных каналов.

Примечание – Контроллер не содержит внутреннюю память для хранения управляющих данных каналов.

Размер системной памяти предназначенной контроллеру зависит от количества каналов ПДП, использующихся контроллером, а также от возможности использования альтернативных управляющих данных каналов. Поэтому количество разрядов регистра необходимых для задания базового адреса варьируется, и зависит от варианта построения системы.

Если контроллер находится в состоянии сброса, то чтение регистра запрещено. Рисунок 107 показывает наименование разрядов этого регистра, в зависимости от количества использующихся каналов ПДП. Таблица 273 перечисляет назначение разрядов регистра.

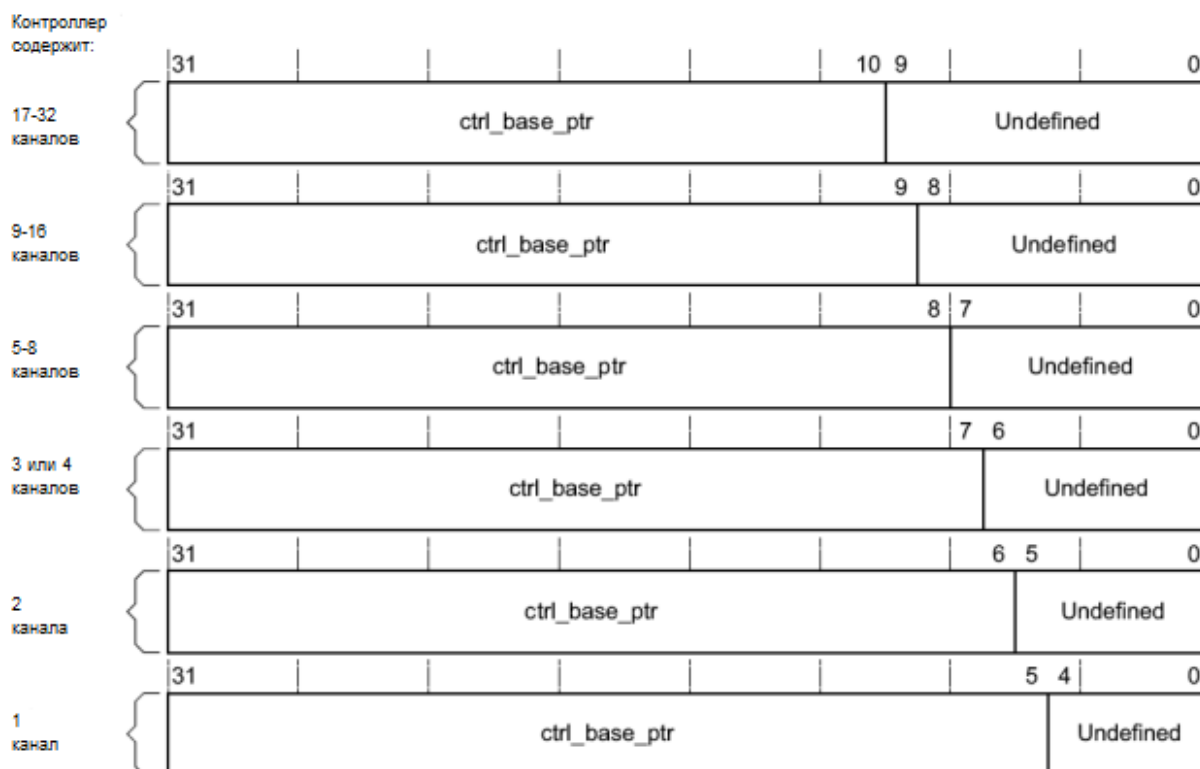


Рисунок 107 – Наименование разрядов регистра ctrl\_base\_ptr

Таблица 273 – Назначение разрядов регистра ctrl\_base\_ptr

Разряд	Наименование	Описание
[31:PL230_DMA_CHNL_BITS+5]	ctrl_base_ptr	Указатель на базовый адрес первичной структуры управляющих данных. См. соответствующий раздел.
[PL230_DMA_CHNL_BITS+4:0]	-	Не определено, следует записывать 0

где PL230\_DMA\_CHNL\_BITS – минимальное число разрядов необходимых для представления количества использующихся каналов минус 1. Значения, которые могут присваиваться PL230\_DMA\_CHNL\_BITS, следующие:

- 0 – контроллер содержит 1 канал ПДП;
- 1 – контроллер содержит 2 канала ПДП;
- 2 – контроллер содержит 3 или 4 канала ПДП;
- 3 – контроллер содержит от 5 до 8 каналов ПДП;
- 4 – контроллер содержит от 9 до 16 каналов ПДП;
- 5 – контроллер содержит от 17 до 32 каналов ПДП.

#### **25.6.4 Регистр базового адреса альтернативных управляющих данных каналов ALT\_CTRL\_BASE\_PTR**

Данный регистр имеет доступ только на чтение. Регистр возвращает при чтении указатель базового адреса альтернативных управляющих данных каналов. Если контроллер находится в состоянии сброса, то чтение регистра запрещено. Рисунок 108 показывает наименование разрядов этого регистра. Этот регистр позволяет не производить вычисления базового адреса альтернативных управляющих данных каналов. Таблица 274 перечисляет назначение разрядов регистра.

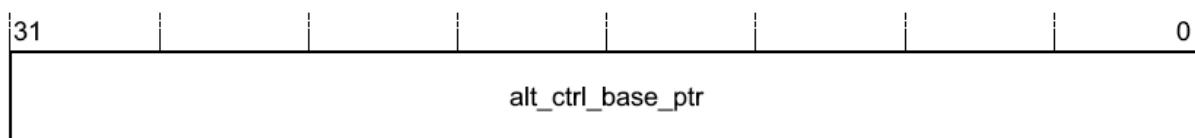


Рисунок 108 – Наименование разрядов регистра alt\_ctrl\_base\_ptr

Таблица 274 – Назначение разрядов регистра alt\_ctrl\_base\_ptr

Разряд	Наименование	Описание
[31:0]	alt_ctrl_base_ptr	Указатель на базовый адрес альтернативной структуры управляющих данных

### 25.6.5 Регистр статуса ожидания запроса на обработку каналов DMA\_WAITONREQ\_STATUS

Данный регистр имеет доступ только на чтение. Регистр возвращает при чтении состояние сигналов dma\_waitonreq[]. Если контроллер находится в состоянии сброса, то чтение регистра запрещено. Рисунок 109 показывает наименование разрядов этого регистра. Таблица 275 перечисляет назначение разрядов регистра.

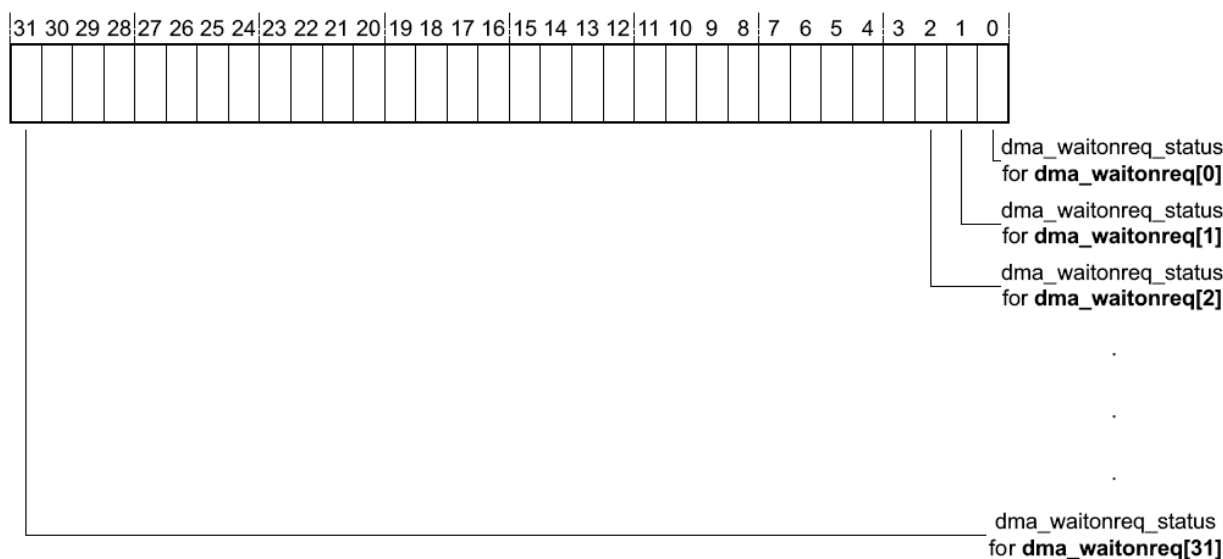


Рисунок 109 – Наименование разрядов регистра dma\_waitonreq\_status

Таблица 275 – Назначение разрядов регистра dma\_waitonreq\_status

Разряд	Наименование	Описание
[31:0]	dma_waitonreq_status	Состояние сигналов ожидания запроса на обработку каналов ПДП. <b>Если при чтении</b> Разряд [C] =0 означает, что dma_waitonreq[C] в состоянии 0 Разряд [C] =1 означает, что dma_waitonreq[C] в состоянии 1

### 25.6.6 Регистр программного запроса на обработку каналов **CHNL\_SW\_REQUEST**

Данный регистр имеет доступ только на запись. Регистр позволяет устанавливать программно запрос на выполнение цикла ПДП. Рисунок 110 показывает наименование разрядов этого регистра. Таблица 276 перечисляет назначение разрядов регистра.

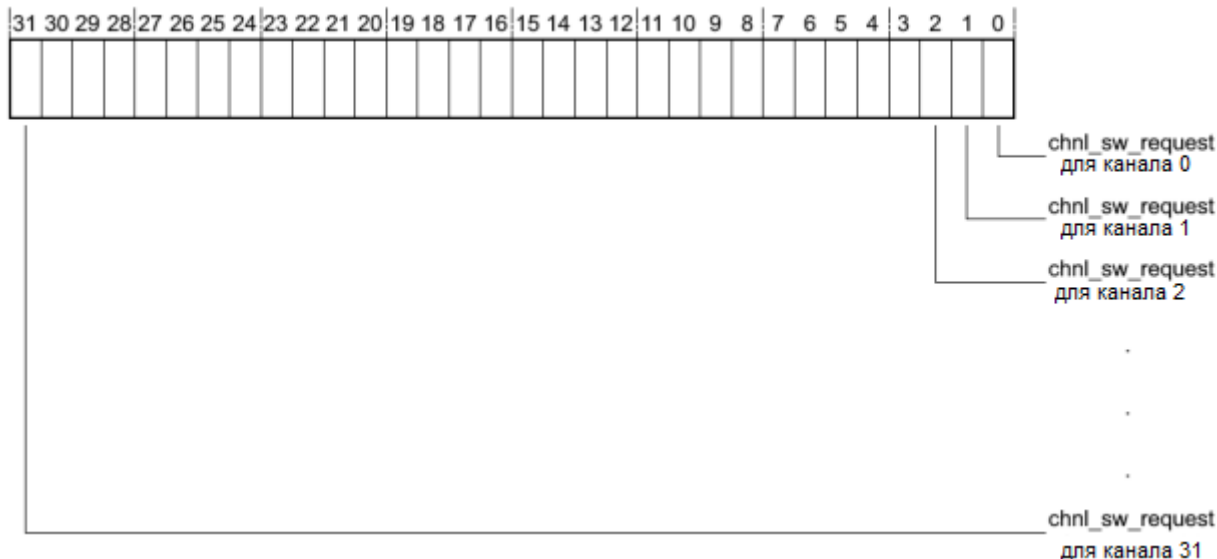


Рисунок 110 – Наименование разрядов регистра chnl\_sw\_request

Таблица 276 – Назначение разрядов регистра chnl\_sw\_request

Разряд	Наименование	Описание
[31:0]	chnl_sw_request	Устанавливает соответствующий разряд для генерации программного запроса на выполнение цикла ПДП по соответствующему каналу ПДП. <b>Если при записи</b> Разряд [C] =0 означает, что запрос на выполнение цикла ПДП по каналу C не будет установлен Разряд [C] =1 означает, что запрос на выполнение цикла ПДП по каналу C будет установлен Запись разряда, соответствующего нереализованному каналу, означает, что запрос на выполнение цикла ПДП не будет установлен.

### 25.6.7 Регистр установки пакетного обмена каналов **CHNL\_USEBURST\_SET**

Данный регистр имеет доступ на чтение и запись. Регистр отключает выполнение одиночных запросов по установке dma\_sreq[] и поэтому, будут обрабатываться и исполняться только запросы по dma\_req[]. Регистр возвращает при чтении состояние установок пакетного обмена. Рисунок 111 показывает наименование разрядов этого регистра. Таблица 277 перечисляет назначение разрядов регистра.

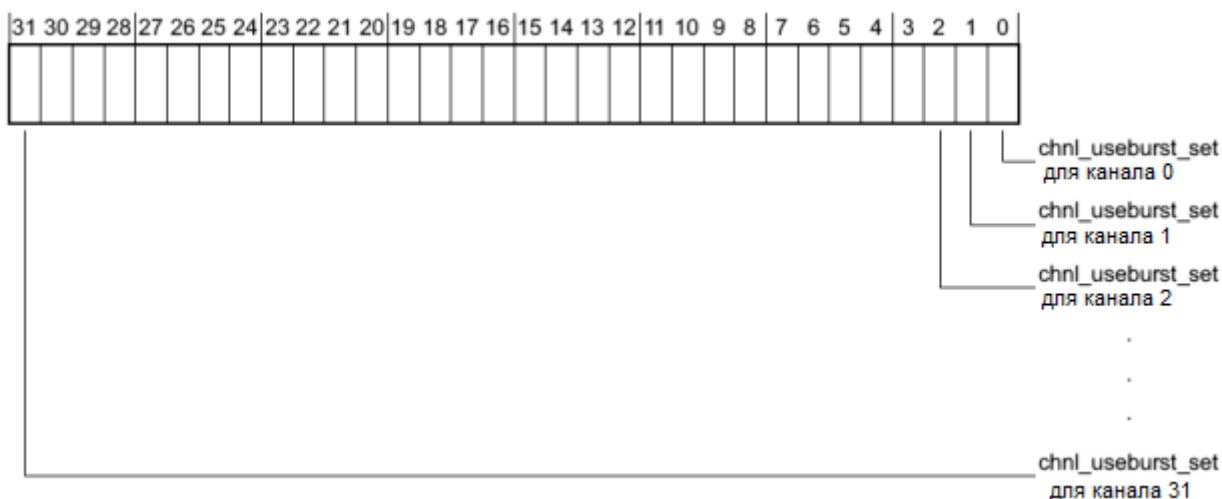


Рисунок 111 – Наименование разрядов регистра chnl\_useburst\_set

Таблица 277 – Назначение разрядов регистра chnl\_useburst\_set

Разряд	Наименование	Описание
[31:0]	chnl_useburst_set	<p>Отключает обработку запросов на выполнение циклов ПДП от dma_sreq[] и возвращает при чтении состояние этих настроек.</p> <p><b>Если при чтении:</b>                      Разряд [C] =0 означает, что канал ПДП C выполняет циклы ПДП в ответ на запросы, полученные от dma_sreq[] и dma_req[]. Контроллер выполняет одиночные передачи или 2R передач. Разряд [C] =1 означает, что канал ПДП C выполняет циклы ПДП в ответ на запросы, полученные только от dma_req[]. Контроллер выполняет 2R передач.</p> <p><b>При записи:</b>                      Разряд [C] =0 не дает эффекта. Необходимо использовать chnl_useburst_clr регистр и установить соответствующий разряд C в 0.                      Разряд [C] =1 отключает возможность обрабатывать запросы на выполнение циклов ПДП, полученные от dma_sreq[]. Контроллер выполняет 2R передач.                      Запись разряда, соответствующего нереализованному каналу не дает никакого эффекта.</p>

После выполнения предпоследней передачи из 2R передач в том случае, если число оставшихся передач (N) меньше чем 2R, контроллер сбрасывает разряд chnl\_useburst\_set в 0. Это позволяет выполнять оставшиеся передачи, используя dma\_sreq[] и dma\_req[].

Примечание – При программировании channel\_cfg значением N меньшим чем 2R, запрещена установка соответствующего разряда chnl\_useburst\_set в случае, если периферийный блок не поддерживает сигнал dma\_req[].

В режиме работы с периферией «исполнение с изменением конфигурации», если разряд next\_useburst установлен в channel\_cfg, то контроллер устанавливает chnl\_useburst\_set [C] в 1, после окончания цикла ПДП, использующего альтернативные управляющие данные.

### 25.6.8 Регистр сброса пакетного обмена каналов CHNL\_USEBURST\_CLR

Данный регистр имеет доступ только на запись. Регистр разрешает выполнение одиночных запросов по установке dma\_sreq[]. Рисунок 112 показывает наименование разрядов этого регистра. Таблица 278 перечисляет назначение разрядов регистра.

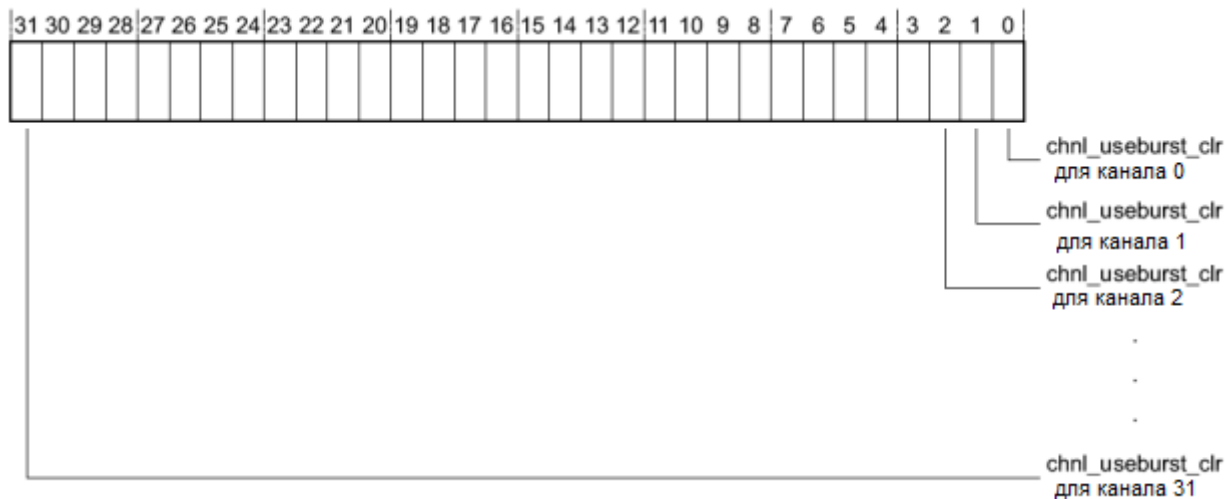


Рисунок 112 – Наименование разрядов регистра chnl\_useburst\_clr

Таблица 278 – Назначение разрядов регистра chnl\_useburst\_clr

Разряд	Наименование	Описание
[31:0]	chnl_useburst_clr	<p>Установка соответствующего разряда разрешает обработку запросов на выполнение циклов ПДП от dma_sreq[].</p> <p><b>При записи:</b>                      Разряд [C] =0 не дает эффекта. Необходимо использовать chnl_useburst_set регистр для отключения обработки запросов от dma_sreq[].                      Разряд [C] =1 разрешает обрабатывать запросы на выполнение циклов ПДП, полученные от dma_sreq[].                      Запись разряда соответствующего нереализованному каналу не дает никакого эффекта.</p>

### 25.6.9 Регистр маскирования запросов на обслуживание каналов CHNL\_REQ\_MASK\_SET

Данный регистр имеет доступ на чтение и запись. Регистр отключает установку запросов на выполнение циклов ПДП на dma\_sreq[] и dma\_req[]. Регистр возвращает при чтении состояние установок маскирования запросов от dma\_sreq[] и dma\_req[] на обслуживание каналов. Рисунок 113 показывает наименование разрядов этого регистра. Таблица 279 перечисляет назначение разрядов регистра.

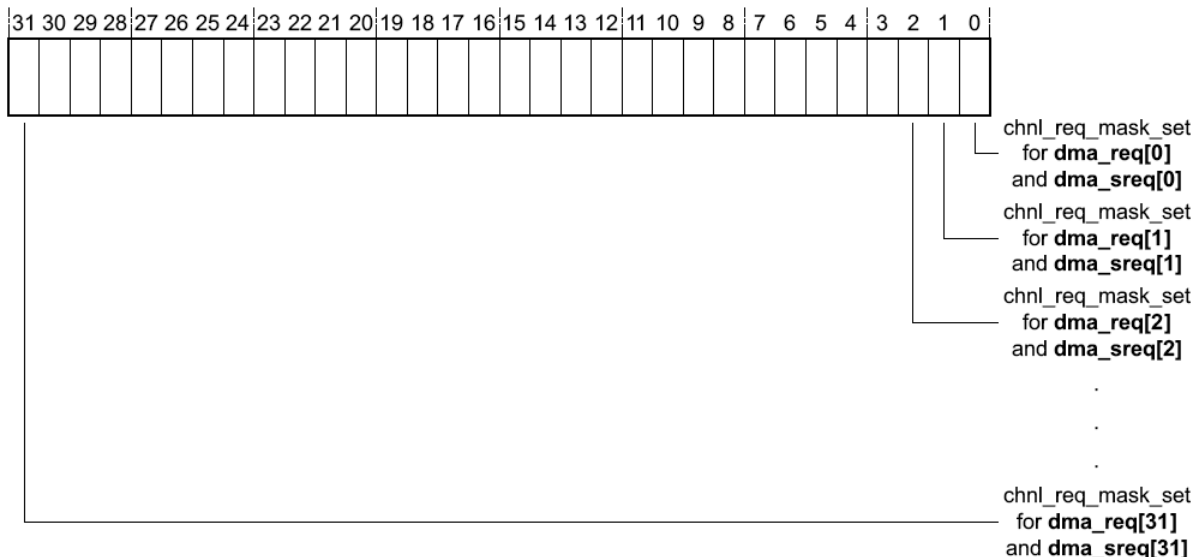


Рисунок 113 – Наименование разрядов регистра chnl\_req\_mask\_set

Таблица 279 – Назначение разрядов регистра chnl\_req\_mask\_set

Разряд	Наименование	Описание
[31:0]	chnl_req_mask_set	Отключает обработку запросов по dma_sreq[] и dma_req[] на выполнение циклов ПДП от каналов и возвращает при чтении состояние этих настроек. <b>Если при чтении:</b> Разряд [С] = 0 означает, что канал ПДП С выполняет циклы ПДП в ответ на запросы. Разряд [С] = 1 означает, что канал ПДП С не выполняет циклы ПДП в ответ на запросы. <b>При записи:</b> Разряд [С] = 0 не дает эффекта. Необходимо использовать chnl_req_mask_clr регистр для разрешения установки запросов. Разряд [С] = 1 отключает установку запросов на выполнение циклов ПДП, по dma_sreq[] и dma_req[]. Запись разряда, соответствующего нереализованному каналу не дает никакого эффекта.



**25.6.10 Регистр очистки маскирования запросов на обслуживание каналов CHNL\_REQ\_MASK\_CLR**

Данный регистр имеет доступ только на запись. Регистр разрешает установку запросов на выполнение циклов ПДП на dma\_sreq[] и dma\_req[]. Рисунок 114 показывает наименование разрядов этого регистра. Таблица 280 перечисляет назначение разрядов регистра.

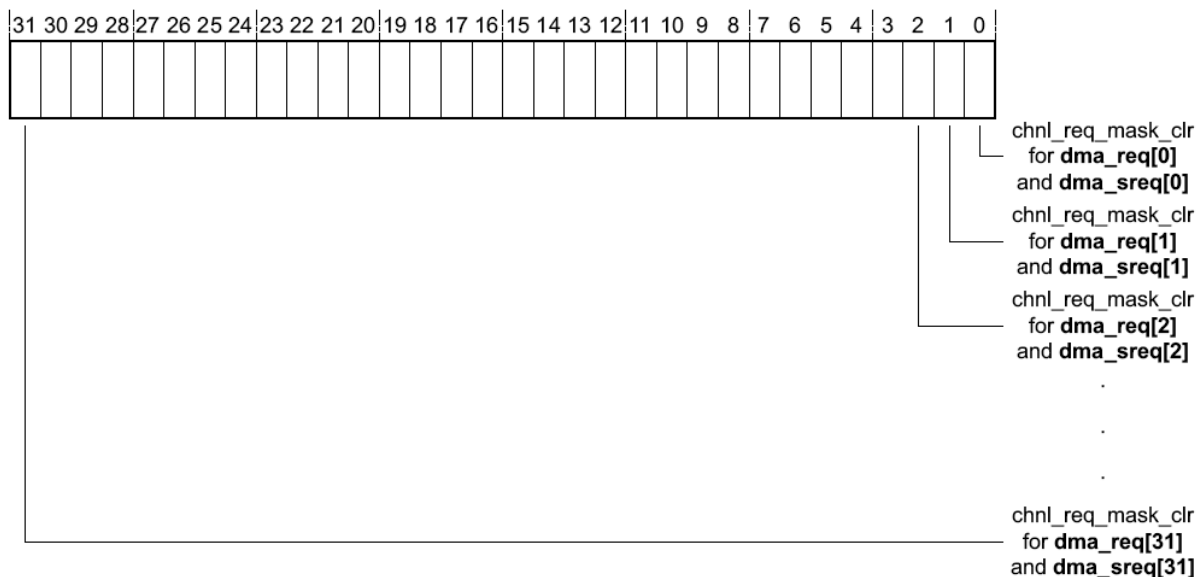


Рисунок 114 – Наименование разрядов регистра chnl\_req\_mask\_clr

Таблица 280 – Назначение разрядов регистра chnl\_req\_mask\_clr

Разряд	Наименование	Описание
[31:0]	chnl_req_mask_clr	<p>Установка соответствующего разряда разрешает установку запросов по dma_sreq[] и dma_req[] на выполнение циклов ПДП от каналов.</p> <p><b>При записи:</b>                      Разряд [C] =0 не дает эффекта. Необходимо использовать chnl_req_mask_set регистр для отключения установки запросов.                      Разряд [C] =1 разрешает установку запросов на выполнение циклов ПДП, по dma_sreq[] и dma_req[].                      Запись разряда, соответствующего нереализованному каналу не дает никакого эффекта.</p>

### 25.6.11 Регистр установки разрешения каналов CHNL\_ENABLE\_SET

Данный регистр имеет доступ на чтение и запись. Регистр разрешает работу каналов ПДП. Регистр возвращает при чтении состояние разрешений работы каналов ПДП. Рисунок 115 показывает наименование разрядов этого регистра. Таблица 281 перечисляет назначение разрядов регистра.

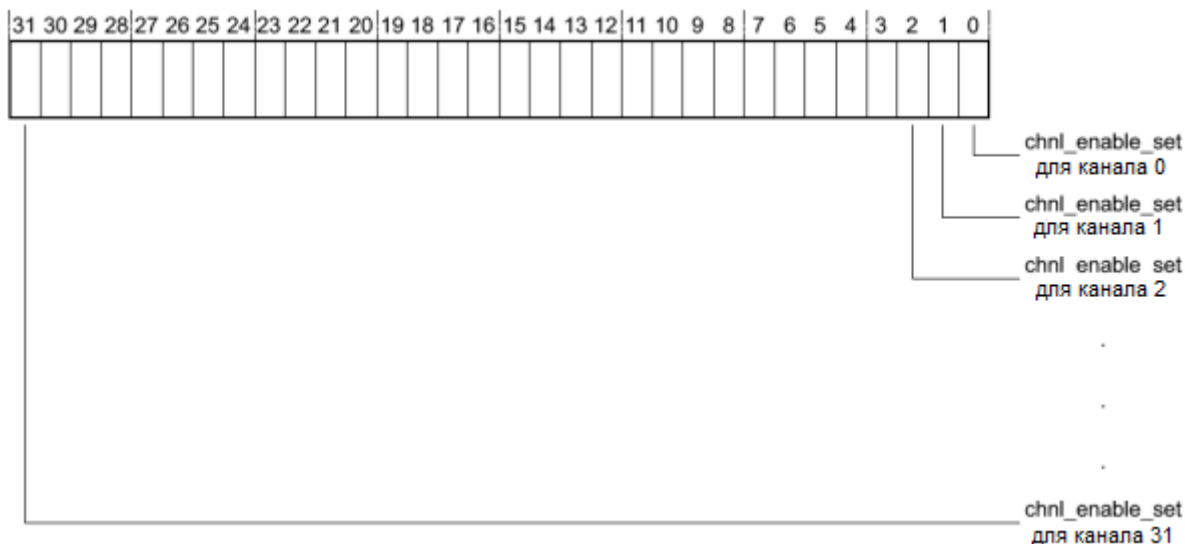


Рисунок 115 – Наименование разрядов регистра chnl\_enable\_set

Таблица 281 – Назначение разрядов регистра chnl\_enable\_set

Разряд	Наименование	Описание
[31:0]	chnl_enable_set	<p>Разрешает работу каналов ПДП и возвращает при чтении состоянии этих настроек.</p> <p><b>Если при чтении:</b>                      Разряд [C] =0 означает, что канал ПДП С отключен.                      Разряд [C] =1 означает, что работа канала ПДП С разрешена.</p> <p><b>При записи:</b>                      Разряд [C] =0 не дает эффекта. Необходимо использовать chnl_enable_clr регистр для отключения канала.                      Разряд [C] =1 разрешает работу канала ПДП С.                      Запись разряда, соответствующего нереализованному каналу не дает никакого эффекта.</p>

### 25.6.12 Регистр сброса разрешения каналов CHNL\_ENABLE\_CLR

Данный регистр имеет доступ только на запись. Регистр запрещает работу каналов ПДП. Рисунок 116 показывает наименование разрядов этого регистра. Таблица 282 перечисляет назначение разрядов регистра.

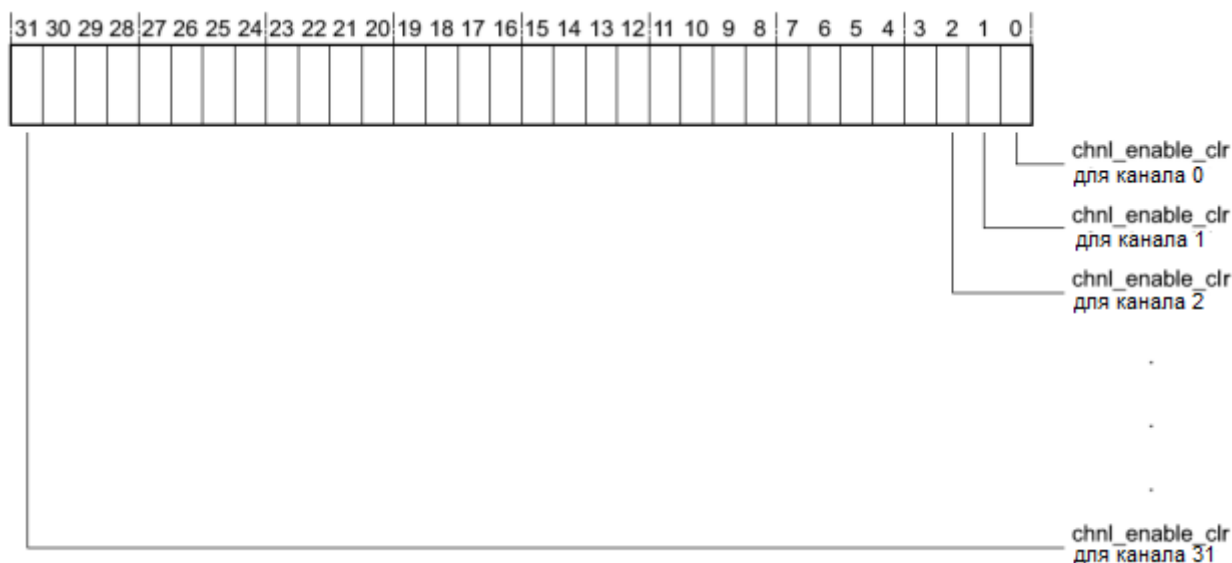


Рисунок 116 – Наименование разрядов регистра chnl\_enable\_clr

Таблица 282 – Назначение разрядов регистра chnl\_enable\_clr

Разряд	Наименование	Описание
[31:0]	chnl_enable_clr	<p>Установка соответствующего разряда запрещает работу соответствующего канала ПДП.</p> <p><b>При записи:</b>                      Разряд [C] =0 не дает эффекта. Необходимо использовать chnl_enable_set регистр для разрешения работы канала.                      Разряд [C] =1 запрещает работу канала ПДП С.                      Запись разряда, соответствующего нереализованному каналу не дает никакого эффекта.</p> <p>Примечание – Контроллер может отключить канал ПДП, установив соответствующий разряд в следующих случаях:                      – при завершении цикла ПДП;                      – при чтении из channel_cfg с полем cycle_ctrl установленным в b000;                      – при появлении ошибки на шине АНВ-Lite.</p>

### 25.6.13 Регистр установки первичной/альтернативной структуры управляющих данных каналов CHNL\_PRI\_ALT\_SET

Данный регистр имеет доступ на запись и чтение. Регистр разрешает работу канала ПДП с использованием альтернативной структуры управляющих данных. Чтение регистра возвращает состояние каналов ПДП (какую структуру управляющих данных использует каждый канал ПДП). Рисунок 117 показывает наименование разрядов этого регистра. Таблица 283 перечисляет назначение разрядов регистра.

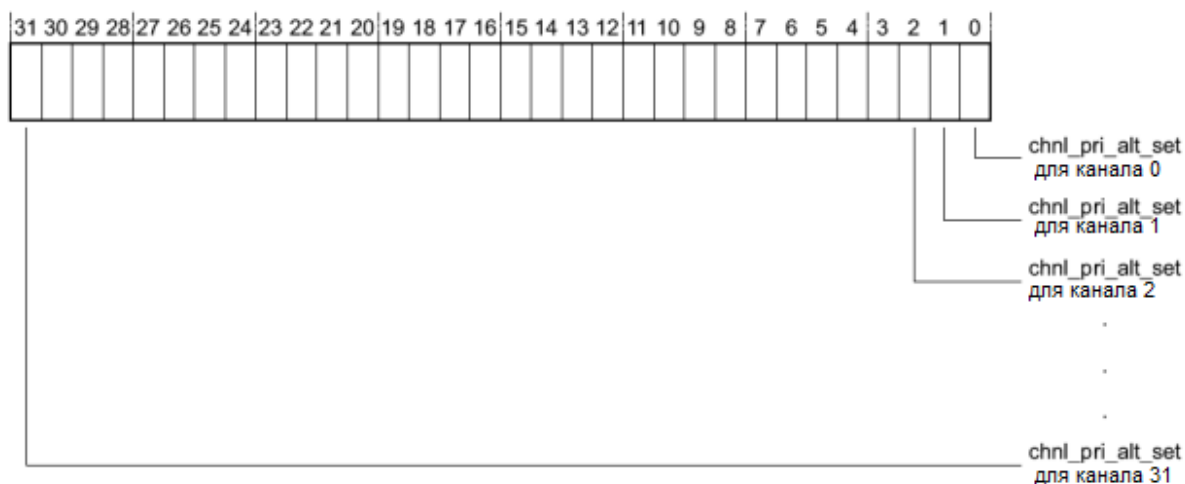


Рисунок 117 – Наименование разрядов регистра chnl\_pri\_alt\_set

Таблица 283 – Назначение разрядов регистра chnl\_pri\_alt\_set

Разряд	Наименование	Описание
[31:0]	chnl_pri_alt_set	<p>Установка соответствующего разряда подключает использование альтернативных управляющих данных для соответствующего канала ПДП, чтение возвращает состояние этих настроек.</p> <p><b>Если при чтении:</b>                      Разряд [C] =0 означает, что канал ПДП С использует первичную структуру управляющих данных.                      Разряд [C] =1 означает, что канал ПДП С использует альтернативную структуру управляющих данных.</p> <p><b>При записи:</b>                      Разряд [C] =0 не дает эффекта. Необходимо использовать chnl_pri_alt_clr регистр для сброса разряда [C] в 0.                      Разряд [C] =1 подключает использование альтернативной структуры управляющих данных каналом ПДП С.                      Запись разряда, соответствующего нереализованному каналу не дает никакого эффекта.</p> <p>Примечание – Контроллер может переключить значение разряда chnl_pri_alt_set[C] в следующих случаях:                      – при завершении 4-х передач ПДП указанных в первичной структуре управляющих данных при выполнении цикла ПДП в режимах работы с памятью или периферией «исполнение с изменением конфигурации».                      – при завершении всех передач ПДП указанных в первичной структуре управляющих данных при выполнении цикла ПДП в режиме Пинг-понг.                      – при завершении всех передач ПДП указанных в альтернативной структуре управляющих данных при выполнении цикла ПДП в режимах                      – Пинг-понг                      – работа с памятью «исполнение с изменением конфигурации»                      – работа с периферией «исполнение с изменением конфигурации».</p>

### 25.6.14 Регистр сброса первичной/альтернативной структуры управляющих данных каналов CHNL\_PRI\_ALT\_CLR

Данный регистр имеет доступ только на запись. Регистр разрешает работу канала ПДП с использованием первичной структуры управляющих данных. Рисунок 118 показывает наименование разрядов этого регистра. Таблица 284 перечисляет назначение разрядов регистра.

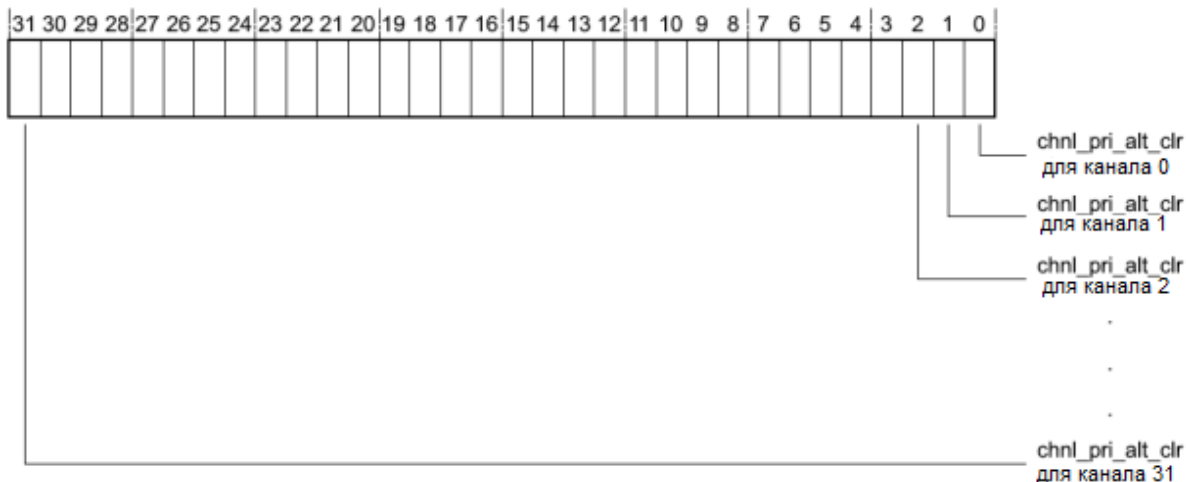


Рисунок 118 – Наименование разрядов регистра chnl\_pri\_alt\_clr

Таблица 284 – Назначение разрядов регистра chnl\_pri\_alt\_clr

Разряд	Наименование	Описание
[31:0]	chnl_pri_alt_clr	<p>Установка соответствующего разряда подключает использование первичных управляющих данных для соответствующего канала ПДП.</p> <p><b>При записи:</b>                      Разряд [C] =0 не дает эффекта. Необходимо использовать chnl_pri_alt_set регистр для выбора альтернативных управляющих данных.                      Разряд [C] =1 подключает использование первичной структуры управляющих данных каналом ПДП С.                      Запись разряда, соответствующего нереализованному каналу, не дает никакого эффекта.</p> <p>Примечание – Контроллер может переключить значение разряда chnl_pri_alt_clr[C] в следующих случаях:                      – при завершении 4-х передач ПДП указанных в первичной структуре управляющих данных при выполнении цикла ПДП в режимах работы с памятью или периферией «исполнение с изменением конфигурации».                      – при завершении всех передач ПДП указанных в первичной структуре управляющих данных при выполнении цикла ПДП в режиме Пинг-понг.                      – при завершении всех передач ПДП указанных в альтернативной структуре управляющих данных при выполнении цикла ПДП в режимах:                      – Пинг-понг;                      – работа с памятью «исполнение с изменением конфигурации»;                      – работа с периферией «исполнение с изменением конфигурации».</p>

### 25.6.15 Регистр установки приоритета каналов CHNL\_PRIORITY\_SET

Данный регистр имеет доступ на запись и чтение. Регистр позволяет присвоить высокий приоритет каналу ПДП. Чтение регистра возвращает состояние приоритета каналов ПДП. Рисунок 119 показывает наименование разрядов этого регистра. Таблица 285 перечисляет назначение разрядов регистра.

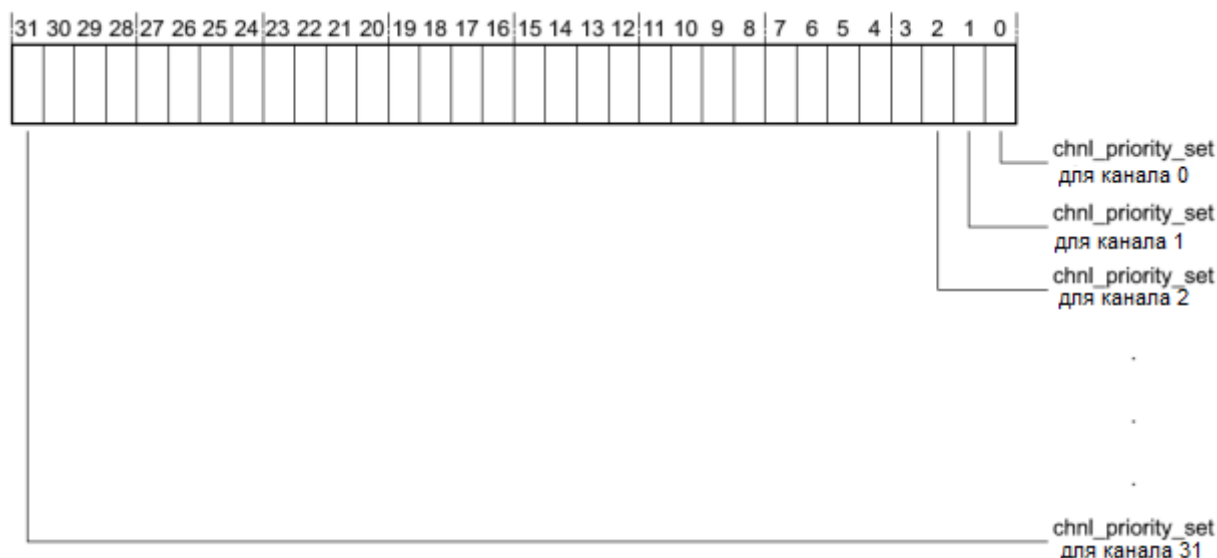


Рисунок 119 – Наименование разрядов регистра chnl\_priority\_set

Таблица 285 – Назначение разрядов регистра chnl\_priority\_set

Разряд	Наименование	Описание
[31:0]	chnl_priority_set	<p>Установка высокого приоритета каналу ПДП, чтение возвращает состояние приоритета каналов ПДП.</p> <p><b>Если при чтении:</b>                      Разряд [C] =0 означает, что каналу ПДП С присвоен уровень приоритета по умолчанию.                      Разряд [C] =1 означает, что каналу ПДП С присвоен высокий уровень приоритета.</p> <p><b>При записи:</b>                      Разряд [C] =0 не дает эффекта. Необходимо использовать chnl_priority_clr регистр для установки каналу С уровня приоритета по умолчанию.                      Разряд [C] =1 устанавливает каналу ПДП С высокий уровень приоритета.                      Запись разряда, соответствующего нереализованному каналу не дает никакого эффекта.</p>

### 25.6.16 Регистр сброса приоритета каналов CHNL\_PRIORITY\_CLR

Данный регистр имеет доступ только на запись. Регистр позволяет присвоить каналу ПДП уровень приоритета по умолчанию. Рисунок 120 показывает наименование разрядов этого регистра. Таблица 286 перечисляет назначение разрядов регистра.

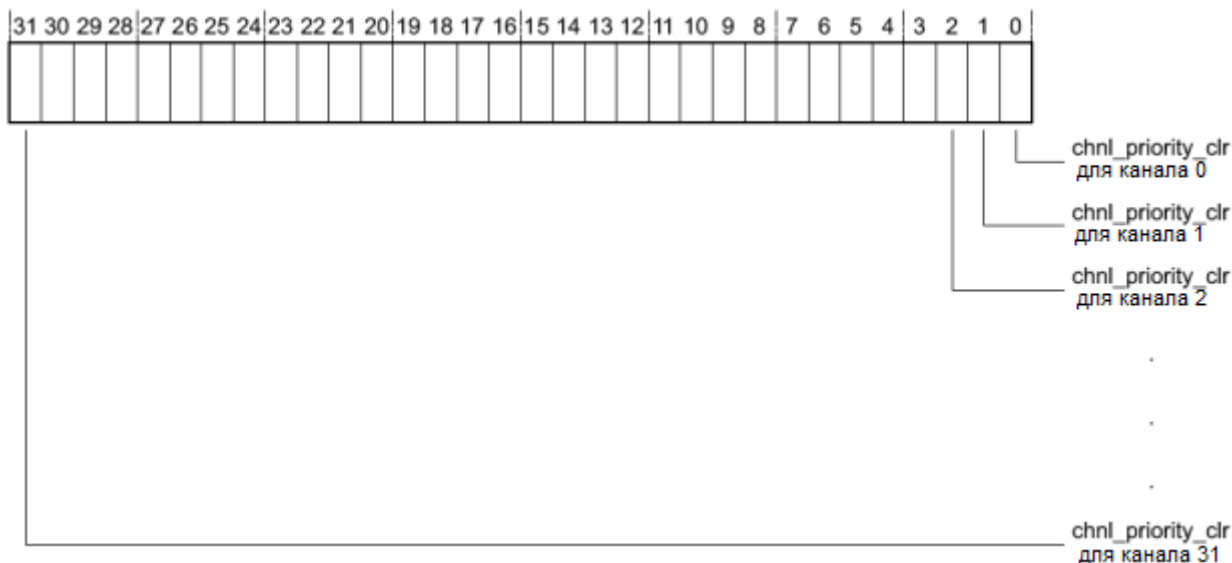


Рисунок 120 – Наименование разрядов регистра chnl\_priority\_clr

Таблица 286 – Назначение разрядов регистра chnl\_priority\_clr

Разряд	Наименование	Описание
[31:0]	chnl_priority_clr	<p>Установка разряда присваивает соответствующему каналу ПДП уровень приоритета по умолчанию.</p> <p><b>При записи:</b>                      Разряд [C] =0 не дает эффекта. Необходимо использовать chnl_priority_set регистр для установки каналу C высокого уровня приоритета.                      Разряд [C] =1 устанавливает каналу ПДП C уровень приоритета по умолчанию.                      Запись разряда, соответствующего нереализованному каналу не дает никакого эффекта.</p>

### 25.6.17 Регистр сброса флага ошибки ERR\_CLR

Данный регистр имеет доступ на запись и чтение. Регистр позволяет сбрасывать сигнал dma\_err в 0. Чтение регистра возвращает состояние сигнала dma\_err. Рисунок 121 показывает наименование разрядов этого регистра. Таблица 287 перечисляет назначение разрядов регистра.

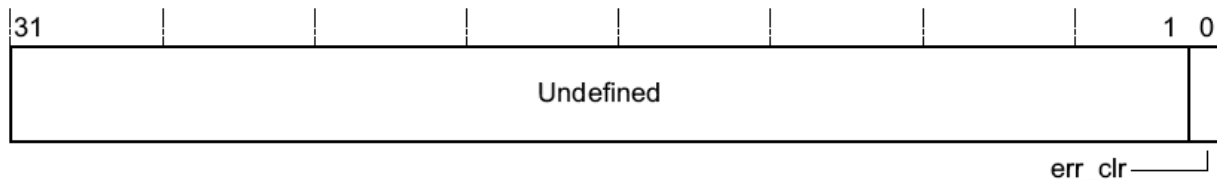


Рисунок 121 – Наименование разрядов регистра err\_clr

Таблица 287 – Назначение разрядов регистра err\_clr

Разряд	Наименование	Описание
[31:1]	-	Не определено. Следует записывать 0.
[0]	err_clr	<p>Установка сигнала в состояние 0, чтение возвращает состояние сигнала (флага) dma_err.</p> <p><b>Если при чтении:</b>                      Разряд [C] = 0 означает, что dma_err находится в состоянии 0.                      Разряд [C] = 1 означает, что dma_err находится в состоянии 1.</p> <p><b>При записи:</b>                      Разряд [C] = 0 не дает эффекта. Состояние dma_err останется неизменным.                      Разряд [C] = 1 сбрасывает сигнал (флаг) dma_err в состояние 0.</p> <p>Примечание – При сбросе сигнала dma_err одновременно с появлением ошибки на шине АНВ-Lite, то приоритет отдается ошибке, и следовательно, значение регистра (и dma_err) останется неизменным (не сброшенным).</p>



## 26 Прерывания и исключения

Состояние исключений:

**Inactive** – исключение не находится в стадии Active или Pending.

**Pending** – исключение находится в состоянии ожидания обработки процессором. Запрос прерывания от периферийных блоков или программы может изменить состояние соответствующего прерывания на состояние pending.

**Active** – исключение начало обрабатываться процессором, но еще не закончено. Обработчик исключения может быть прерван другим обработчиком исключения. В этом случае оба исключения находятся в состоянии Active.

**Active** и **Pending** – исключения начало обрабатываться процессором, но появилось новое исключение в состоянии pending от того же источника.

### 26.1 Типы исключений

Исключения бывают следующих типов:

RESET;

NON MASKABLE INTERRUPT (NMI);

HARD FAULT;

SVCALL;

PendSV;

SysTick;

Прерывания (IRQ);

Прерывания (IRQ).

#### 26.1.1.1 RESET

RESET вызывается при включении питания и горячем сбросе. Модель исключений трактует RESET как специальная форма исключения. Когда выставляется RESET, работа процессора останавливается потенциально в любой точке инструкций. Когда RESET убирается, выполнение перезапускается с адреса, заданного в таблице векторов для сброса. Выполнение перезапускается в thread режиме.

#### 26.1.1.2 NON MASKABLE INTERRUPT (NMI)

Не маскируемое прерывание (NMI) может быть вызвано периферией или установлено программой. Это самое высокоприоритетное исключение после сброса. Всегда разрешено и имеет фиксированный приоритет -2.

NMI не может быть:

замаскировано или предотвращено от активации из другого исключения;  
прерывает любые исключения кроме RESET.

#### 26.1.1.3 HARD FAULT

Hard Fault исключение происходит при ошибке во время обработки исключений или потому, что исключение не может быть обработано каким-либо другим механизмом. Hard fault имеет фиксированный приоритет -1, означающий, что он имеет больший приоритет чем любое из исключений с конфигурируемым приоритетом.

#### 26.1.1.4 SVCALL

Исключение Supervisor Call (SVCALL) возникает при выполнении инструкции SVC. В приложениях с использованием Операционных Сред инструкция SVC может использоваться для доступа к функциям ОС и драйверам устройств.

### 26.1.1.5 PendSV

PendSV является прерыванием запросом сервисов системного уровня. В приложениях с использованием ОС PendSV используется для переключения контекстов, когда нет других активных исключений.

### 26.1.1.6 SysTick

Исключение SysTick является исключением, генерируемым системным таймером, когда он обнуляется. Программное обеспечение также может генерировать исключение SysTick. В приложениях с использованием ОС процессор может использовать это исключение для подсчета системных циклов

### 26.1.1.7 Прерывания (IRQ)

Прерывания или IRQ – это исключения, вызываемые периферийными устройствами или программными запросами. Все прерывания асинхронны по отношению к выполняемым инструкциям. В системе прерывания используются для коммуникации периферии и процессора

Таблица 288 – Таблица различных типов исключений

Номер исключения	IRQ номер	Тип	Приоритет	Адрес вектора обработчика (смещение)	Активация
1	-	RESET	-3, наивысший	0x0000_0004	Асинхронный
2	-14	NMI	-2	0x0000_0008	Асинхронный
3	-13	Hard Fault	-1	0x0000_000C	-
4-10	-	Reserved	-	Зарезервировано	-
11	-5	SVCall	Конфигурируемый	0x0000_002C	Синхронный
12-13	-	-	-	Зарезервировано	-
14	-2	PendSV	Конфигурируемый	0x0000_0038	Асинхронный
15	-1	SysTick	Конфигурируемый	0x0000_003C	Асинхронный
16 и выше	0 и выше	IRQ	Конфигурируемый	0x0000_0040 и выше	Асинхронный

Для асинхронных исключений, кроме RESET, процессор может выполнить другие инструкции между возникновением сигнала исключения и входом в обработчик.

Программа в Privileged режиме может запретить прерывания, имеющие конфигурируемый приоритет.

## 26.2 Обработчики исключений

Для обработки исключений используются:

**Interrupt Service Routines (ISRs)** – Прерывания с IRQ0 по IRQ31 обрабатываются ISRs.

**Fault Handlers** – Обрабатываются только fault handlers.

**System handlers** – NMI, PendSV, SVCall, SysTick и HardFault обрабатываются system handlers.

### 26.2.1.1 Таблица векторов

Таблица векторов содержит указатель стека, вектор входа по RESET и стартовые адреса обработчиков, также называемых векторами. На рисунке 122 представлена последовательность векторов в таблице. Младший бит всех векторов должен быть равен 1, указывая на то, что обработчик выполняется в Thumb-режиме.

Номер исключения	номер IRQ	Вектор	Смещение
16+n	n	IRQn	0x40+4n
.		.	.
.		.	.
.		.	.
18	2	IRQ2	0x48
17	1	IRQ1	0x44
16	0	IRQ0	0x40
15	-1	если применяется SysTick	0x3C
14	-2	PendSV	0x38
13		Зарезервировано	
12			
11	-5	SVCall	0x2C
10			
9			
8			
7			
6			
5			
4			
3	-13	HardFault	0x10
2	-14	NMI	0x0C
			0x08
1		Reset	0x04
		Начальное значение указателя стека	0x00

Рисунок 122 – Таблица векторов

При системном сбросе, таблица векторов располагается по фиксированному адресу 0x00000000.

### 26.3 Приоритеты исключений

Меньшее значение приоритета означает больший приоритет. Конфигурируемы все приоритеты, кроме RESET и Hard Fault.

Если программное обеспечение не задает приоритетов, то все они имеют приоритет 0.

Конфигурируемый приоритет может быть в диапазоне от 0 до 192 с шагом 64. Это означает, что RESET, Hard Fault и NMI, имеющие отрицательное значение приоритета, всегда имеют больший приоритет.

Если имеется несколько исключений с одинаковым приоритетом, то больший приоритет имеет исключение с меньшим порядковым номером.

Если процессор выполняет обработчик исключения и происходит исключение с большим приоритетом, то происходит переход на обработчик исключения с большим приоритетом. Если при выполнении обработчика произошло исключение с таким же приоритетом, то это исключение будет выполнено по завершению текущего обработчика, несмотря на порядковый номер исключения.

## **26.4 Вход в обработчик и выход из обработчика**

При описании используются следующие термины:

### **26.4.1.1 Приоритетное прерывание**

Выполнение процессором процедуры обработки исключительной ситуации (далее по тексту – исключения), может быть прервано в случае возникновения исключения с приоритетом выше, чем у обрабатываемого. В случае, если внутри обработчика исключения возникает прерывание более высокого приоритета возникает ситуация, называемая вложенным исключением. Подробнее данный вопрос рассмотрен в подразделе «Вход в процедуру обработки исключения».

### **26.4.1.2 Возврат**

Возврат из обработчика осуществляется по завершении обработки исключительной ситуации, с одновременным выполнением следующих условий:

в системе отсутствуют необработанные исключения с достаточным приоритетом;

завершенный обработчик не обрабатывал запоздавшее исключение (late-arriving exception).

Процессор обращается к стеку и восстанавливает состояние, имевшее место до вызова обработчика. Более подробная информация дана в подразделе «Возврат из обработчика исключения».

### **26.4.1.3 Передача управления без восстановления контекста (tail-chaining)**

Данный механизм ускоряет процесс обработки исключений. По завершении выполнения обработчика осуществляется проверка наличия необработанных исключений и в случае, если присутствуют исключения, требующие вызова обработчика, восстановление состояния процессора из стека не производится, а управление передается непосредственно на новый обработчик.

### **26.4.1.4 Запоздавшее исключение (late-arriving exception)**

В случае, если во время сохранения состояния при входе в обработчик возникла исключительная ситуация с более высоким приоритетом, процессор передает управление непосредственно высокоприоритетному обработчику.

Подобный способ обработки высокоприоритетного исключения возможен до момента начала выполнения первой инструкции процедуры обработки исключительной ситуации. После возврата из обработчика запоздавшего исключения осуществляется передача управления на прерванный низкоприоритетный обработчик без восстановления контекста.

#### **26.4.1.5 Вход в процедуру обработки исключения**

Вызов процедуры обработки исключения возникает в случае наличия необработанных исключительных ситуаций с достаточным приоритетом и выполнения одного из следующих условий:

процессор находится в режиме приложения (thread mode);

новая исключительная ситуация имеет приоритет выше, чем обрабатываемая в текущий момент времени, что приводит к приоритетному прерыванию выполнения текущего обработчика. В этом случае возникает вложение одного исключения в другое.

Для того, чтобы исключительная ситуация имела достаточный приоритет, необходимо, чтобы уровень ее приоритета был выше значений, заданных в регистрах маскирования. В противном случае исключение находится в состоянии ожидания, процедура его обработки не вызывается.

При необходимости вызова обработчика, за исключением случаев обработки запоздавшего исключения и передачи управления на обработчик без восстановления контекста, процессор заносит в текущий стек восемь слов данных, называемые далее стековым фреймом. Этот фрейм включает в себя следующие значения:

Регистры R0-R3, R12;

Адрес возврата;

Регистр PSR;

Регистр LR.

Указанная операция далее будет называться сохранением контекста. Непосредственно после ее выполнения указатель стека равен младшему адресу стекового фрейма.

Во время сохранения контекста производится выравнивание адреса стека по границе двойного слова.

Стековый фрейм содержит адрес возврата, указывающий на ближайшую невыполненную инструкцию прерванной программы. По завершении процедуры обработки исключения значений адреса возврата заносится в счетчик команд, после чего выполнение программы возобновляется с прерванной точки.

Одновременно с сохранением контекста процессор осуществляет выборку адреса точки входа в процедуру обработки исключения из таблицы векторов исключений. По завершении операции сохранения контекста процессор передает управление на полученный из таблицы адрес.

Одновременно в регистр LR записывается значение EXC\_RETURN, позволяющее определить, какой из двух указателей стека соответствует данному стековому фрейму и в каком режиме находился процессор перед входом в обработчик.

Если во время передачи управления не возникло исключения с более высоким приоритетом, процессор начинает выполнение вызванной процедуры обработки и автоматически изменяет состояние текущего прерывания с ожидающего обработки на активное.

В противном случае процессор передает управление обработчика высокоприоритетной исключительной ситуации без изменения состояния отложенного прерывания в соответствии с правилами, изложенными в разделе «Запоздавшее исключение».

#### **26.4.1.6 Возврат из обработчика исключения**

Возврат из обработчика исключения осуществляется в случае, если процессор находится в режиме обработчика (handler mode) и выполняет одну из следующих инструкций, позволяющих загрузить значение EXC\_RETURN в регистр PC:

инструкцию POP с аргументом PC;

инструкцию VX с любым регистром.

Значение EXC\_RETURN загружается в регистр LR по входу в обработчик исключения. Механизм обработки исключений использует это значение для того, чтобы определить, завершил ли процессор выполнение процедуры обработки исключительной ситуации. Младшие четыре бита EXC\_RETURN содержат информацию о состоянии стека и режиме работы процессора. Информация о назначении разрядов EXC\_RETURN[3:0] и особенности процесса возврата из обработчика исключения представлены в таблице 289.

Процессор устанавливает биты EXC\_RETURN [31:4] в 0xFFFFFFFF. Загрузка данного значения в РС указывает на завершение процедуры обработки исключения и заставляет процессор выполнить необходимые действия для возврата из обработчика.

Таблица 289 – Возврат из обработчика исключения

<b>EXC_RETURN [3:0]</b>	<b>Описание</b>
bXXX0	Резерв.
B0001	Возврат в режим обработчика. Восстановление контекста осуществляется из стека MSP. Дальнейшая работа осуществляется со стеком MSP.
B0011	Резерв.
B01X1	Резерв.
B1001	Возврат в режим приложения. Восстановление контекста осуществляется из стека MSP. Дальнейшая работа осуществляется со стеком MSP.
B1101	Возврат в режим приложения. Восстановление контекста осуществляется из стека PSP. Дальнейшая работа осуществляется со стеком PSP.
B1X11	Резерв.

## 27 Управление электропитанием

В процессоре Cortex-M0 предусмотрены следующие режимы ожидания (пониженного энергопотребления):

**Sleep** – останов синхросигнала для процессора;

**Sleep deep** – останов синхросигнала для процессора, PLL и Flash.

Выбор процессором конкретного режима ожидания определяется значением бита SLEEPDEEP регистра SCR (см. подраздел «Регистр управления системой»).

Далее в разделе описаны механизмы перехода в режим пониженного энергопотребления и условия выхода из этого режима.

### 27.1 Переход в режим пониженного энергопотребления

Система может формировать ложные сигналы событий, выводящие процессор из ожидания, например, они возникают при работе отладчика. Следовательно, программное обеспечение должно быть способно перевести процессор обратно в указанный ожидания. Для этого можно, например, организовать в программе пустой цикл.

### 27.2 Ожидание прерывания

Инструкция ожидания прерывания WFI (wait for interrupt) после своего выполнения немедленно переводит процессор в режим пониженного энергопотребления.

### 27.3 Ожидание события

Инструкция ожидания сигнала события WFE (wait for event) переводит или не переводит процессор в режим пониженного энергопотребления в зависимости от результата проверки одноразрядного регистра события. При этом процессор проверяет значение регистра события, и в случае, если он равен 0, приостанавливает дальнейшее выполнение команд и переходит в состояние ожидания. В случае если он равен 1, процессор записывает в регистр события 0 и продолжает нормальную работы без перехода в режим ожидания.

### 27.4 Переход в режим ожидания по выходу из обработчика исключения (режим sleep-on-exit)

В случае если бит SLEEPONEXIT регистра SCR установлен в 1, по завершении выполнения обработчика исключения процессор возвращается в режим приложения, после чего немедленно переходит в состояние пониженного энергопотребления.

Данный механизм рекомендуется использовать в задачах, в которых процессора используется только для обработки исключений.

### 27.5 Выход из состояния ожидания

Условия выхода процессора из режима ожидания зависят от причины, по которой он был переведен в этот режим.

### 27.6 Выход из ожидания по команде WFI и в режиме sleep-on-exit

Как правило, процессор выходит из режима ожидания только в случае возникновения исключительной ситуации с приоритетом, достаточным для активизации соответствующего обработчика.

В некоторых приложениях может возникнуть необходимость выполнения процедур восстановления системы после выхода процессора из режима пониженного энергопотребления, однако до того, как он начнет выполнять обслуживание прерываний. Для того, чтобы добиться этого, достаточно установить бит PRIMASK в 1. В случае возникновения в системе разрешенного прерывания с приоритетом, выше текущего приоритета, процессор будет выведен из ожидания, однако не сможет передать управление обработчику прерывания до тех пор, пока бит PRIMASK не будет установлен в 0.

### **27.7 Выход из ожидания по команде WFE**

Процессор выходит из режима ожидания в случае обнаружения исключительной ситуации с приоритетом, достаточным для активизации обработчика.

Кроме того, в случае установки бита SEVONPEND регистра SCR в 1, любое новое необслуженное прерывание формирует сигнал события, и выводит процессор из ожидания, даже если оно запрещено или имеет приоритет, недостаточно высокий для запуска обработчика.

Более подробная информация о регистре SCR представлена в разделе «Регистр управления системой».

### **27.8 Рекомендации по программированию режима энергопотребления**

В стандарте ANSI языка C отсутствует возможность непосредственной генерации инструкций WFI и WFE. В CMSIS предусмотрены встроенные функции, предназначенные для включения в код этих инструкций:

```
void __WFE(void) // Wait for Event
void __WFI(void) // Wait for Interrupt
```

Периферийные блоки формируют прерывания с IRQ0 до IRQ31.

Таблица 290 – Формирование прерываний

<b>Прерывания</b>	<b>Блок</b>	<b>Принцип формирования</b>
IRQ0	DMA	Прерывания от DMA DMA_ERR или DMA_DONE. Обработка прерываний от DMA в соответствии с разделом Error signaling технического описания DMA
IRQ1	UART1	Сигнал UARTINTR
IRQ2	UART2	Сигнал UARTINTR
IRQ3	SSP1	Сигнал SSPINTR
IRQ4	POWER	Сигнал прерывания от POWER Detecor
IRQ5	WWDG	Сигнал прерывания от WWDG
IRQ6	Timer1	Сигнал прерывания от Таймера TIM_STATUS и TIM_IE
IRQ7	Timer2	Аналогично
IRQ8	ADC	Сигналы прерываний от АЦП EOCIF_1 или AWOIF_1 или EOCIF_2 или AWOIF_2
IRQ9	COMPARATOR	Сигнал Rslt_Sy1
IRQ10	BACKUP	Прерывание от ВКР и часов реального времени
IRQ11	Внешнее прерывание 1	Сигнал EXT_INT0 Вывод PA[10] в основном режиме



<b>Прерывания</b>	<b>Блок</b>	<b>Принцип формирования</b>
IRQ12	Внешнее прерывание 2	Сигнал EXT_INT1 Вывод PC[4], PB[6] в альтернативном режиме
IRQ13	Внешнее прерывание 3	Сигнал EXT_INT2 Вывод PC[5], PB[7] в альтернативном режиме
IRQ14	ADCIU	Прерывание от канала 1 $\Sigma\Delta\text{ЦП}$
IRQ15	ADCIU	Прерывание от канала 2 $\Sigma\Delta\text{ЦП}$
IRQ16	ADCIU	Прерывание от канала 3 $\Sigma\Delta\text{ЦП}$
IRQ17	ADCIU	Прерывание от канала 4 $\Sigma\Delta\text{ЦП}$
IRQ18	ADCIU	Прерывание от канала 5 $\Sigma\Delta\text{ЦП}$
IRQ19	ADCIU	Прерывание от канала 6 $\Sigma\Delta\text{ЦП}$
IRQ20	ADCIU	Прерывание от канала 7 $\Sigma\Delta\text{ЦП}$
IRQ21	ADCIU	Прерывание от канала 8 $\Sigma\Delta\text{ЦП}$
IRQ22	ADCIU	Прерывание от любого из каналов $\Sigma\Delta\text{ЦП}$

Примечание - Выводы в функции EXT\_INT0-EXT\_INT2 являются входами прерываний по уровню. Т.е. пока на вывод EXT\_INTx подан сигнал высокого уровня, генерируется прерывание. Если на входе сигнал низкого уровня, то прерывание не генерируется.

## 28 Контроллер прерываний NVIC

В разделе описан векторный контроллер прерываний с возможностью вложения (NVIC – Nested Vectored Interrupt Controller) и используемые им регистры.

Контроллер обеспечивает поддержку:

программное задание уровня приоритета в диапазоне от 0 до 192 с шагом 64 независимо каждому прерыванию. Более высокое значение соответствует меньшему приоритету, таким образом, уровень 0 отвечает наивысшему приоритету прерывания;

срабатывание сигнала прерывания по импульсу и по уровню;

передача управления из одного обработчика исключения на другой без восстановления контекста.

Процессор автоматически сохраняет в стеке свое состояние (контекст) по входу в обработчик прерывания и восстанавливает его по завершению обработчика, без необходимости непосредственного программирования этих операций. Это обеспечивает обработку исключительных ситуаций с малой задержкой.

Назначение регистров контроллера прерываний представлено в таблице 291.

Таблица 291 – Обобщенная информация о регистрах контроллера NVIC

Адрес	Имя	Тип	Значение после сброса	Описание
0xE000E100	ISER	RW	0x00000000	Регистр разрешения прерываний
0xE000E180	ICER	RW	0x00000000	Регистр запрета прерывания
0xE000E200	ISPR	RW	0x00000000	Регистр перевода прерывания в состояние ожидания обслуживания
0xE000E280	ICPR	RW	0x00000000	Регистр сброса состояния ожидания обслуживания
0xE000E400 – 0xE000E41C	IPR0-7	RW	0x00000000	Регистр приоритета прерываний

### 28.1 Регистр разрешения прерываний

Регистр ISER предназначен для разрешения прерываний (запись) и определения, какие из прерываний разрешены (чтение). Более подробная информация представлена в таблице 291.

Распределение битов регистра представлено на рисунке 123.

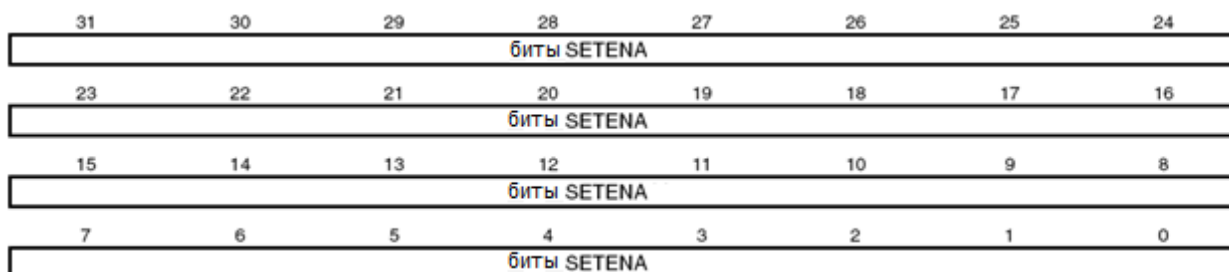


Рисунок 123 – Распределение битов регистра ISER

Таблица 292 – Регистр разрешения прерываний

Биты	Поле	Функция
31...0	SETENA	Биты разрешения прерывания. <b>При записи:</b> 1 – разрешение прерывания; 0 – не оказывает влияния. <b>При чтении:</b> 1 – прерывание разрешено; 0 – прерывание запрещено.

При разрешении прерывания, находящегося в состоянии ожидания обработки, контроллер NVIC активизирует его в зависимости от приоритета. Запрос запрещенного прерывания, переводит его в состояние ожидания обработки, однако контроллер NVIC не активизирует его вне зависимости от приоритета.

### 28.2 Регистр запрета прерываний

Регистр ICER предназначен для запрета прерываний (запись) и определения, какие из прерываний разрешены (чтение). Более подробная информация представлена в таблице 291.

Распределение битов регистра представлено на рисунке 124.

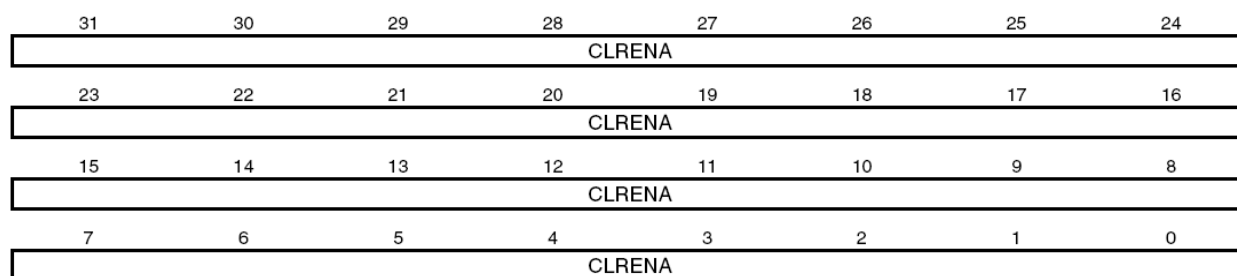


Рисунок 124 – Распределение битов регистра ICER

Таблица 293 – Регистр запрета прерываний

Биты	Поле	Функция
31...0	CLRENA	Биты запрещения прерывания. <b>При записи:</b> 1 – запрещает прерывание; 0 – не оказывает влияния. <b>При чтении:</b> 1 – прерывание разрешено; 0 – прерывание запрещено.

### 28.3 Регистр установки состояния ожидания для прерывания

Регистр ISPR предназначен для принудительного перевода прерываний в состояние ожидания обслуживания (запись) и определения, какие из прерываний находятся в этом состоянии (чтение).

Более подробная информация представлена в таблице 291.

Распределение битов регистра представлено на рисунке 125.

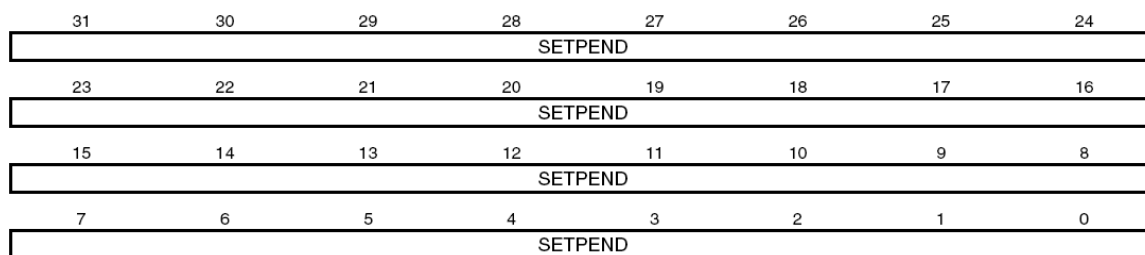


Рисунок 125 – Распределение битов регистра ISPR

Таблица 294 – Регистр установки состояния ожидания для прерывания

Биты	Поле	Функция
31...0	SETPEND	<p><b>При записи:</b>                      1 – перевод прерывания в состояние ожидания;                      0 – не оказывает влияния.</p> <p><b>При чтении:</b>                      1 – прерывание в состоянии ожидания обслуживания;                      0 – прерывание не в состоянии ожидания обслуживания.</p>

Запись 1 в бит регистра ISPR, соответствующий:

- прерыванию, уже ожидающему обслуживания – не влияет на работу системы;
- запрещенному прерыванию – переводит его в состояние ожидания.

#### 28.4 Регистр сброса состояния ожидания для прерывания

Регистр ICPR предназначен для принудительного сброса состояния ожидания обслуживания прерывания (запись) и определения, какие из прерываний находятся в состоянии ожидания (чтение).

Более подробная информация представлена в таблице 291.

Распределение битов регистра представлено на рисунке 126.

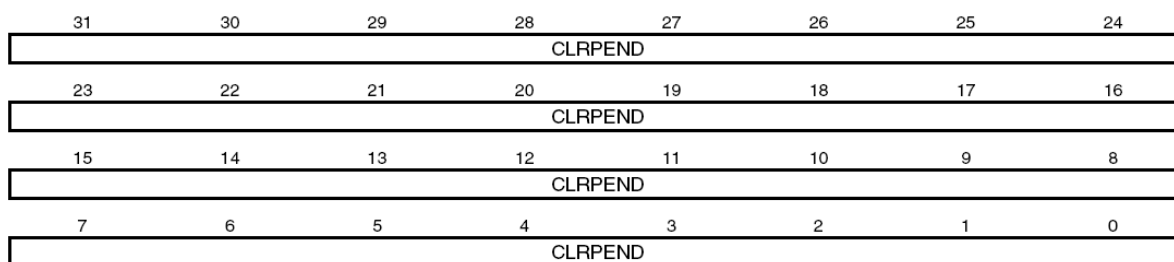


Рисунок 126 – Распределение битов регистра ICPR

Таблица 295 – Регистр сброса состояния ожидания обслуживания

Биты	Поле	Функция
31...0	CLRPEND	<p><b>При записи:</b>                      1 – сбрасывает состояние ожидания обслуживания;                      0 – не оказывает влияния.</p> <p><b>При чтении:</b>                      1 – прерывание в состоянии ожидания обслуживания;                      0 – прерывание не в состоянии ожидания обслуживания.</p>

Запись 1 в разряд регистра ICPR, соответствующего прерыванию в активном состоянии, не влияет на работу системы.

## 28.5 Регистры приоритета прерываний

Регистры IPR0-IPR7 представляют собой набор 8-битовых полей, каждое из которых соответствует одному прерыванию. Регистры доступны пословно. Обобщенная информация об их характеристиках представлена в таблице 291.

Каждый из регистров содержит четыре поля приоритета, которые отображаются на четыре элемента массива PRI[0] ... PRI[31] CMSIS, как показано 127.

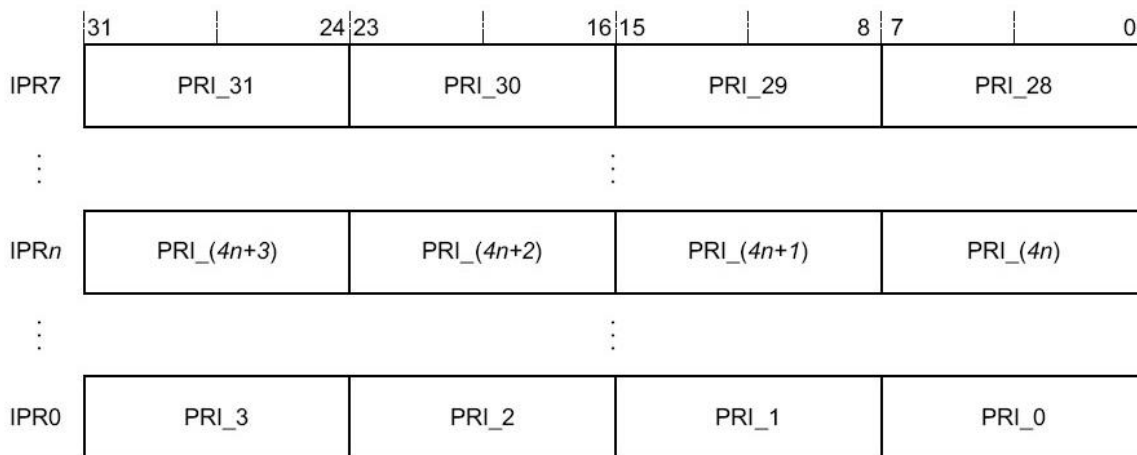


Рисунок 127 – Назначение бит

Каждое поле содержит значение приоритета в диапазоне от 0 до 192, причем меньшие значения соответствуют более высокому приоритету соответствующего прерывания. Процессор обеспечивает доступ только к битам [7:6] приоритета, биты [5:0] при чтении всегда равны нулю, а при записи игнорируются. Поэтому, например, запись 255 в регистр запишется как 192.

Для того, чтобы определить номер регистра IPR и смещение данных в регистре необходимо выполнить следующие операции:

для заданного номера прерывания N номер M соответствующего регистра приоритета равен  $M = N \text{ DIV } 4$ ;

смещение данных в регистре в зависимости от значения  $N \text{ MOD } 4$  равно:

- 0 – биты регистра [7:0];
- 1 – биты регистра [15:8];
- 2 – биты регистра [23:16];
- 3 – биты регистра [31:24].

## 28.6 Прерывания, срабатывающие по уровню сигнала

Процессор способен обрабатывать прерывания, сформированные по уровню сигнала.

Прерывание такого типа считается активным до тех пор, пока периферийное устройство не снимет активный уровень сигнала запроса. Как правило, это происходит после соответствующего обращения процедуры обработки прерывания к периферийному устройству.

После того, как процессор передал управление на обработчик, он автоматически снимает признак ожидания обслуживания прерывания (см. подраздел «Аппаратное и программное управление прерываниями»). Если прерывание формируется по уровню сигнала, а сигнал запроса не снят до возврата из обработчика, процессор вновь переведет прерывание в состояние ожидания обслуживания, что, в свою очередь, приведет к повторному вызову его обработчика. Таким образом, периферийное устройство может поддерживать сигнал запроса прерывания в активном состоянии до тех пор, пока не перестанет нуждаться в обслуживании.

## **28.7 Аппаратное и программное управление прерываниями**

Процессор Cortex-M0 регистрирует все поступающие прерывания. Перевод прерывания, сформированного периферийным устройством, в состояние ожидания обслуживания осуществляется в одном из следующих случаев:

- контроллер прерываний NVIC обнаруживает, что сигнал запроса имеет высокий логический уровень, а прерывание не активно;
- контроллер прерываний NVIC обнаруживает передний фронт сигнала запроса прерывания;
- программное обеспечение осуществляет запись в соответствующий разряд регистра ISPR0 или соответствующего значения в регистр STIR.

Прерывание находится в состоянии ожидания до тех пор, пока не произойдет одно из следующих событий:

процессор передаст управление процедуре обработки прерывания. В этом случае прерывание переходит в активное состояние, после чего по завершении обработки прерывания, срабатывающего по уровню, контроллер NVIC проверяет состояние сигнала запроса на прерывание. Если этот сигнал активен, прерывание вновь переводится в состояние ожидания обслуживания, что приводит к немедленной повторной передаче управления на обработчик. В противном случае прерывание переводится в неактивное состояние.

если в период выполнения процедуры обработки прерывания, настроенного на срабатывание по фронту, не было зафиксировано импульсов на линии запроса, прерывание переводится в неактивное состояние.

программное обеспечение осуществляет запись в соответствующий разряд регистра сброса состояния ожидания прерывания.

## **28.8 Рекомендации по работе с контроллером прерываний**

Доступ к регистрам контроллера из программного обеспечения должен осуществляться по корректно выровненным адресам. Процессор не поддерживает возможность доступа к контроллеру по невыровненным адресам. Требования по выравниванию приведены в описании регистров.

Прерывание может быть переведено в состояние ожидания обслуживания даже в случае, если оно запрещено.

Программное разрешение или запрещение прерываний может осуществляться с помощью инструкций CPSIE I и CPSID I. В CMSIS предусмотрены следующие встроенные функции, генерирующие эти инструкции:

```
void __disable_irq(void) // Disable Interrupts  
void __enable_irq(void) // Enable Interrupts
```

Кроме того, в CMSIS имеется ряд дополнительных функций, обеспечивающих управление контроллером прерываний NVIC (Таблица 296).

Таблица 296 – Функции CMSIS для управления контроллером прерываний

Функция	Описание
void NVIC_EnableIRQ(IRQn_t IRQn)	Разрешить IRQn
void NVIC_DisableIRQ(IRQn_t IRQn)	Запретить IRQn
uint32_t NVIC_GetPendingIRQ (IRQn_t IRQn)	Вернуть истину, если прерывание IRQn ожидает обслуживания, ложь – в противном случае
void NVIC_SetPendingIRQ (IRQn_t IRQn)	Перевести IRQn в состояние ожидания обслуживания
void NVIC_ClearPendingIRQ (IRQn_t IRQn)	Сбросить состояние ожидания обслуживания для IRQn
void NVIC_SetPriority (IRQn_t IRQn, uint32_t priority)	Установить приоритет для IRQn
uint32_t NVIC_GetPriority (IRQn_t IRQn)	Считать приоритет IRQn
void NVIC_SystemReset (void)	Сбросить систему

Более подробная информация отражена в документации по CMSIS.

## 29 Блок управления системой ядра

Блок управления системой (SCB – System control block) обеспечивает доступ к информации о конфигурации и управление работой системы. Регистры блока управления системой представлены в таблице 297.

Таблица 297 – Обобщенная информация о регистрах блока управления системой

Адрес	Имя	Тип	Значение после сброса	Описание
0xE000ED00	CPUID	RO	0x410CC200	Регистр идентификации процессора
0xE000ED04	ICSR	RW	0x00000000	Регистр управления прерываниями
0xE000ED0C	AIRCR	RW	0xFA050000	Регистр управления прерываниями и программного сброса
0xE000ED10	SCR	RW	0x00000000	Регистр управления системой
0xE000ED14	CCR	RW	0x00000200	Регистр конфигурации и управления
0xE000ED1C	SHPR2	RW	0x00000000	Регистр №2 приоритета системных обработчиков
0xE000ED20	SHPR3	RW	0x00000000	Регистр №3 приоритета системных обработчиков

### 29.1 Упрощенный доступ к регистрам блока управления системой из среды разработки программного обеспечения

В целях повышения эффективности разработки программного обеспечения в CMSIS предусмотрен упрощенный доступ к регистрам SCB, а именно, регистры SHPR2-SHPR3 в CMSIS отображаются на массив SHP[1].

### 29.2 Регистр идентификации процессора

Регистр CPUID содержит информацию о модели процессора, версии и варианте его реализации. Подробная информация о регистре представлена в таблице 297.

Назначение разрядов регистра представлено на рисунке 128.

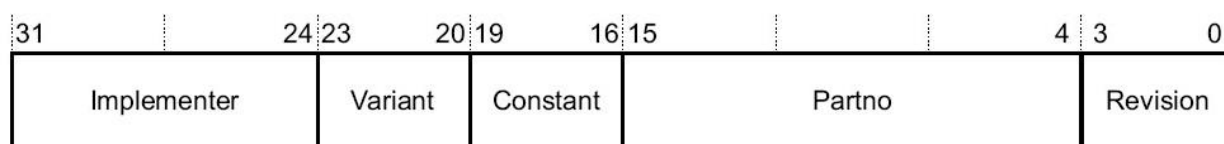


Рисунок 128 – Назначение разрядов регистра CPUID

Implementer – код разработчика 0x41 = ARM.

Variant – значение r в номере версии rnrn изделия: 0x0 = r0p0;

Constant – постоянное значение 0xC;

PartNo – номер модели процессора: 0xC20 = Cortex-M0;

Revision – значение p в номере версии rnrn изделия: 0x0 = r0p0.



### 29.3 Регистр управления прерываниями

Регистр ICSR обеспечивает возможность установки и сброса состояния ожидания обслуживания для исключений PendSV и SysTick, а также доступ к следующей информации:

- номер текущего обрабатываемого исключения;
- наличие активных исключений, обработка которых была прервана;
- номер исключения с наивысшим приоритетом, ожидающего обслуживания;
- наличие прерываний, ожидающих обслуживания.

Подробная информация о регистре представлена в Таблице 297.

Назначение разрядов регистра представлено на рисунке 129.

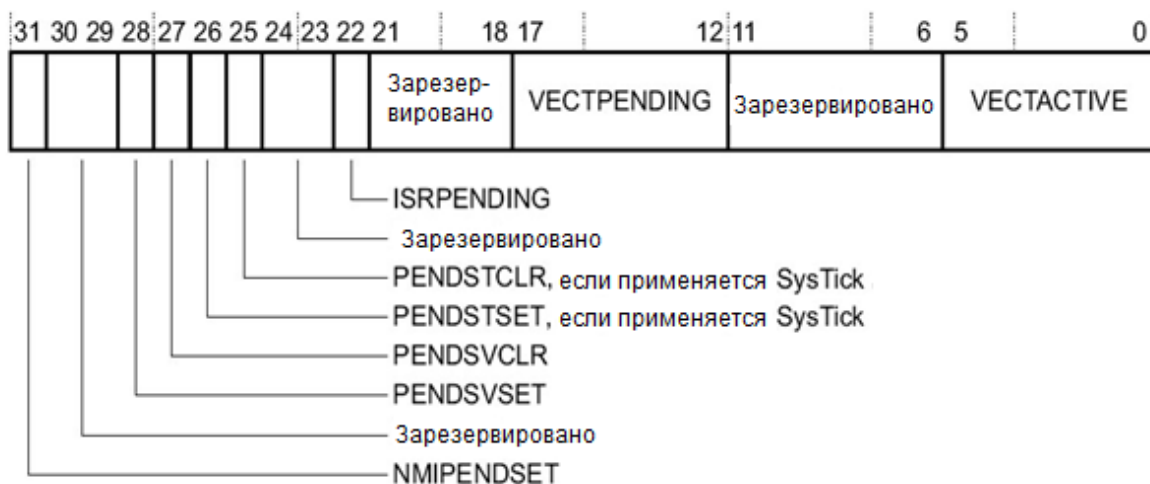


Рисунок 129 – Назначение разрядов регистра ICSR

NMIPENDSET (RW) – так как NMI имеет самый высокий приоритет, процессор переход на обработчик прерывания, как только произошла запись “1” в этот бит. После перехода на обработчик прерывания, процессор очищает этот бит. Поэтому если обработчик прочитал “1”, это значит, что сигнал NMI опять перешел в активный уровень во время обработки прерывания.

PENDSVSET (RW) – бит установки состояния ожидания обслуживания для исключения PendSV. Запись: 0 – не влияет на работу системы, 1 – переводит исключение PendSV в состояние ожидания обслуживания. Чтение: 0 – исключение PendSV не ожидает обслуживания, 1 – ожидает.

Запись 1 в разряд PENDSVSET это единственно возможный способ перевода исключения PendSV в состояние ожидания обслуживания.

PENDSVCLR (WO) – бит сброса состояния ожидания обслуживания для исключения PendSV. Запись: 0 – не влияет на работу системы, 1 – сбрасывает состояние ожидания обслуживания для исключения PendSV.

PENDSTSET (RW) – бит установки состояния ожидания обслуживания для исключения SysTick. Запись: 0 – не влияет на работу системы, 1 – переводит исключение SysTick в состояние ожидания обслуживания. Чтение: 0 – исключение SysTick не ожидает обслуживания, 1 – ожидает.

PENDSTCLR (WO) – бит сброса состояния ожидания обслуживания для исключения SysTick. Запись: 0 – не влияет на работу системы, 1 – сбрасывает состояние ожидания обслуживания для исключения SysTick.

Данный бит доступен только для записи, при чтении результат не определен.

ISR\_PENDING (RO) – флаг наличия в системе прерываний (за исключением отказов), ожидающих обслуживания. 0 – ожидающие обслуживания прерывания отсутствуют, 1 – присутствуют.

VECT\_PENDING (RO) – содержит номер ожидающего обслуживания исключения с наивысшим приоритетом, обработка которого в системе разрешена. 0 – не обслуженных исключений нет, другое число – номер ожидающего обслуживания исключения.

Значение данного поля формируется с учетом полей BASEPRI и FAULTMASK, однако не учитывает влияние поля PRIMASK.

VECT\_ACTIVE (RO) – содержит номер активного исключения. 0 – режим приложения, другое число – номер текущего обслуживаемого исключения. Для получения номера запроса прерывания (IRQ) из значения VECT\_ACTIVE необходимо вычесть 16.

Запись в регистр ICSR может привести к непредсказуемым результатам в случае:

- одновременной установки в 1 битов PENDSVSET и PENDSVCLR;
- одновременной установки в 1 битов PENDSTSET и PENDSTCLR.

#### **29.4 Регистр управления прерываниями и программного сброса**

Регистр AIRCR позволяет задавать группировку приоритетов исключений, порядок следования байт в слове (endian) при доступе к данным, а также управлять процессом сброса системы.

Подробная информация о регистре представлена в Таблице 291.

Для записи данных в регистр необходимо установить его поле VECTKEY в значение 0x05FA, в противном случае попытка записи будет проигнорирована процессором.

Назначение разрядов регистра представлено на рисунке 130.



Рисунок 130 – Назначение разрядов регистра AIRCR

VECTKEY – ключ доступа к регистру. При записи должен быть равен 0x05FA, в противном случае, попытка записи в регистр будет проигнорирована процессором.

ENDIANESS (RO) – порядок следования значащих разрядов при доступе к данным. 0 – младший байт идет первым (little-endian), 1 – старший байт идет первым (big-endian).

SYSRESETREQ (WO) – запрос сброса системы. 0 – не влияет на работу, 1 – инициирует сигнал сброса процессора. При чтении возвращает 0.

VECTCLRACTIVE (WO) – зарезервировано для целей отладки. При чтении возвращает 0. При записи данных в регистр значение поля должно быть равно 0, в противном случае результат непредсказуем.

### 29.5 Регистр управления системой

Регистр SCR позволяет определить требования к переходу в и выходу из режима пониженного энергопотребления.

Подробная информация о регистре представлена в Таблице 291. Назначение разрядов регистра представлено на рисунке 131.

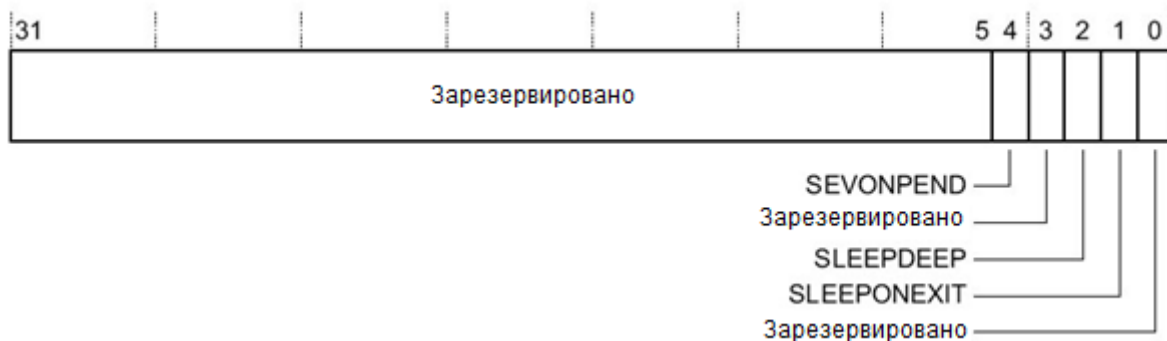


Рисунок 131 – Назначение разрядов регистра SCR

SEVONPEND – разрешает или запрещает формирование сигнала события при переводе исключения в состояние ожидания обработки. 0 – выход из режима пониженного энергопотребления по прерыванию могут инициировать только разрешенные прерывания или события; 1 – выход может инициироваться разрешенными событиями и любыми, в том числе запрещенными, прерываниями.

Перевод прерывания в состояние ожидания обслуживания формирует событие, что в свою очередь приводит к выходу процессора из режима пониженного потребления, инициированного инструкцией WFE, либо к регистрации факта события если эта инструкция еще не выполнялась.

Кроме того, процессор может быть выведен из режима пониженного энергопотребления при поступлении внешнего события, а также после выполнения инструкции SEV.

SLEEPDEEP – определяет режим пониженного энергопотребления процессора: 0 – спящий режим (sleep), 1 – режим глубокого сна (sleep deep).

SLEEPONEXIT – разрешает или запрещает перевод процессора в режим пониженного энергопотребления при выходе из обработчика события в режим выполнения прикладной программы: 0 – не переводить, 1 – переводить.

### 29.6 Регистр конфигурации и управления

Регистр CCR управляет процессом перехода процессора в режим приложения, а также позволяет запретить или разрешить:

игнорирование отказов доступа к шине в обработчиках тяжелых отказов и при эскалации отказа по FAULTMASK;

генерацию исключений при делении на ноль и при доступе по невыровненному адресу;

доступ к регистру STIR из непривилегированного приложения.

Подробная информация о регистре представлена в Таблице 291. Назначение разрядов регистра представлено на рисунке 132:



Рисунок 132 – Назначение разрядов регистра CCR

STKALIGN определяет режим выравнивания адреса стека при обработке исключений: 0 = выравнивание по границе 4 байт; 1 = по границе 8 байт. При передаче управления на обработчик исключения процессор анализирует бит [9] сохраненного в стеке слова состояния PSR и определяет по нему режим выравнивания стека. При возврате из обработчика процессор использует сохраненный в стеке бит этого слова для восстановления требуемого режима выравнивания.

UNALIGN\_TRP всегда читается как “1”, информируя, что при любом не выровненном доступе к данным, происходит переход на HardFault.

### 29.7 Регистры приоритета системных обработчиков

Регистры приоритета системных обработчиков SHPR2-SHPR3 позволяют установить уровень приоритета обработки исключений.

Доступ к регистрам осуществляется пословно. Подробная информация о регистре представлена в таблице 297.

Поля PRI\_N регистров имеют ширину 8 бит, однако в процессоре реализована поддержка доступа только к старшему двум битам [7:6], при чтении данных из младшего бит [5:0] процессор возвращает нули.

Таблица 298 – Поля приоритета обработчиков системных отказов

Обработчик отказа	Поле	Описание регистра
Вызов SVCcall	PRI_11	Регистр №2 приоритета системных обработчиков
Вызов PendSV	PRI_14	Регистр №3 приоритета системных обработчиков
Вызов SysTick	PRI_15	

#### 29.7.1 Регистр №2 приоритета системных обработчиков

Назначение разрядов регистра представлено на рисунке 133.

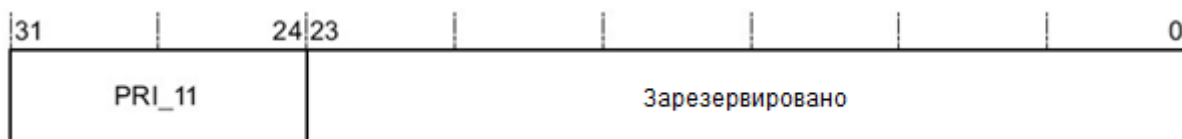


Рисунок 133 – Назначение разрядов регистра

PRI\_11 Приоритет системного обработчика 11, вызов SVCcall

### 29.7.2 Регистр №3 приоритета системных обработчиков

Назначение разрядов регистра представлено на рисунке 134.

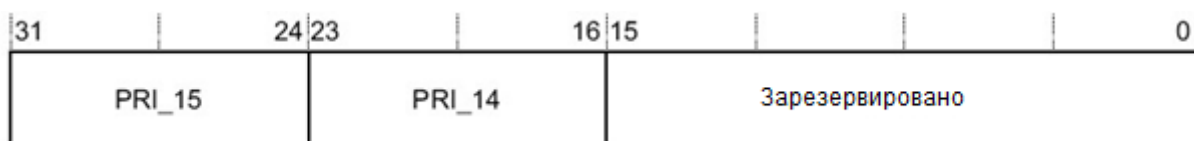


Рисунок 134 – Назначение разрядов регистра

PRI\_15 Приоритет системного обработчика 15, вызов SysTick

PRI\_14 Приоритет системного обработчика 14, вызов PendSV

### 29.8 Рекомендации по программированию блока управления системой

Необходимо убедиться, что программа использует для обращения к регистрам блока управления системой доступ по корректно выровненным адресам. Обращение ко всем регистрам должно быть выровнено по границе слова.

## 30 Сторожевые таймеры

### 30.1 Описание регистров блока сторожевых таймеров

Таблица 299 – Обобщенные данные о регистрах блока сторожевых таймеров

Базовый адрес	Название	Описание
0x4005_0000	IWDG	Сторожевой таймер IWDG
<b>Смещение</b>		
0x00	IWDG_KR[15:0]	Регистр Ключа
0x04	IWDG_PR[2:0]	Делитель частоты сторожевого таймера
0x08	IWDG_PRL[11:0]	Регистр основания счета сторожевого таймера
0x0C	IWDG_SR[1:0]	Регистр статуса сторожевого таймера

Базовый адрес	Название	Описание
0x4004_8000	WWDG	Сторожевой таймер WWDG
<b>Смещение</b>		
0x00	WWDG_CR[7:0]	Регистр управления
0x04	WWDG_CFR[9:0]	Регистр конфигурации
0x08	WWDG_SR[0]	Регистр статуса

#### 30.1.1 Регистр ключа IWDG\_KR

Таблица 300 – Регистр IWDG\_KR

<b>Номер</b>	31...16	15...0
<b>Доступ*</b>	U	W
<b>Сброс</b>		0
	-	<b>KEY[15:0]</b>

Таблица 301 – Описание бит регистра IWDG\_KR

№ бита	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений
31...16	-	Зарезервировано
15...0	KEY[15:0]	<p><b>Значение ключа (только запись, читается 0000h)</b>  Эти биты должны перезаписываться программно через определённые интервалы ключевым значением AAAAh, в противном случае сторожевой таймер генерирует сброс, если таймер достиг значения нуля.  Запись ключевого значения 5555h разрешает доступ по записи к регистрам IWDG_PR и IWDG_RLR.  Запись ключевого значения CCCCh разрешает работу сторожевого таймера (за исключением, если сторожевой таймер разрешается аппаратно битами конфигурации).</p> <p>Примечание – Сторожевой таймер IWDG не сбрасывается и не останавливается сбросом, а только выключением питания</p>

### 30.1.2 Делитель частоты сторожевого таймера IWDG\_PR

Таблица 302 – Регистр IWDG\_PR

<b>Номер</b>	31...3	2	1	0
<b>Доступ*</b>	U	R/W	R/W	R/W
<b>Сброс</b>		0	0	0
	-	<b>PR2</b>	<b>PR1</b>	<b>PR0</b>

Таблица 303 – Описание бит регистра IWDG\_PR

<b>№ бита</b>	<b>Функциональное имя бита</b>	<b>Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений</b>
31...3		Зарезервировано
2...0	PR[2:0]	<b>Делитель частоты сторожевого таймера.</b> 000 – делитель на 4 001 – делитель на 8 010 – делитель на 16 011 – делитель на 32 100 – делитель на 64 101 – делитель на 128 110 – делитель на 256 111 – делитель на 256 Чтение и запись этого регистра правомерна только, если бит PVU=0 в регистре IWDG_SR.

### 30.1.3 Регистр основания счета сторожевого таймера IWDG\_RLR

Таблица 304 – Регистр IWDG\_RLR

<b>Номер</b>	31...12	11...0
<b>Доступ*</b>	U	R/W
<b>Сброс</b>		1
	-	<b>RLR[11:0]</b>

Таблица 305 – Описание бит регистра IWDG\_RLR

<b>№ бита</b>	<b>Функциональное имя бита</b>	<b>Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений</b>
31...12	-	Зарезервировано
11...0	RLR[11:0]	<b>Значение перезагрузки сторожевого таймера.</b> Значение этих битов по доступу защищено с помощью регистра IWDG_KR. Эти биты записываются программно и определяют значение, загружаемое в сторожевой таймер в момент записи значения AAAAh в регистр IWDG_KR. Сторожевой таймер декрементируется, начиная с этого значения. Период таймаута сторожевого таймера функция от этого значения и делителя частоты. Чтение и запись этого регистра правомерна только, если бит RVU=0 в регистре IWDG_SR.

### 30.1.4 Регистр статуса сторожевого таймера IWDG\_SR

Таблица 306 – Регистр IWDG\_SR

<b>Номер</b>	31...2	1	0
<b>Доступ*</b>	U	R	R
<b>Сброс</b>		0	0
	-	<b>RVU</b>	<b>PVU</b>

Таблица 307 – Описание бит регистра IWDG\_SR

<b>№ бита</b>	<b>Функциональное имя бита</b>	<b>Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений</b>
31...2		Зарезервировано
1	RVU	<b>Флаг обновления значения сторожевого таймера.</b> Этот бит устанавливается аппаратно и служит признаком того, что обновляется значение сторожевого таймера из регистра перезагрузки. Этот бит сбрасывается, если обновление завершено. Значение регистра перезагрузки может быть обновлено только, если этот бит равен нулю.
0	PVU	<b>Флаг обновления делителя частоты сторожевого таймера.</b> Этот бит устанавливается аппаратно и служит признаком того, что обновляется значение делителя частоты сторожевого таймера. Этот бит сбрасывается, если обновление завершено. Значение регистра делителя частоты может быть обновлено только, если этот бит равен нулю.

### 30.1.5 Регистр управления WWDG\_CR

Таблица 308 – Регистр WWDG\_CR

<b>Номер</b>	31...18	7	6	5	4	3	2	1	0
<b>Доступ*</b>		R/S	R/W	R/W	R/W	R/W	R/W	R/W	R/W
<b>Сброс</b>		0	1	1	1	1	1	1	1
	-	<b>WDGA</b>	<b>T6</b>	<b>T5</b>	<b>T4</b>	<b>T3</b>	<b>T2</b>	<b>T1</b>	<b>T0</b>

Таблица 309 – Описание бит регистра WWDG\_CR

<b>№ бита</b>	<b>Функциональное имя бита</b>	<b>Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений</b>
31..18	-	Зарезервировано
7	WDGA	<b>Бит активации.</b> Этот бит устанавливается программно и очищается только аппаратно при сбросе. Когда WDGA=1, сторожевой таймер может генерировать сброс. 0 – сторожевой таймер отключен 1- сторожевой таймер включен
6..0	T[6:0]	<b>Значение семиразрядного счётчика (от старших разрядов к младшим).</b> Эти биты содержат значение сторожевого таймера, который декрементируется каждые $4096 \times 2^{WDGTB}$ циклов частоты PCLK периферийной шины APB



### 30.1.6 Регистр конфигурации WWDG\_CFR

Таблица 310 – Регистр WWDG\_CFR

<b>Номер</b>	31...10	9	8
<b>Доступ*</b>	U	R/S	R/W
<b>Сброс</b>		0	0
	-	<b>EWI</b>	<b>WDGTB1</b>

<b>Номер</b>	7	6	5	4	3	2	1	0
<b>Доступ*</b>	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
<b>Сброс</b>	0	1	1	1	1	1	1	1
	<b>WDGTB0</b>	<b>W6</b>	<b>W5</b>	<b>W4</b>	<b>W3</b>	<b>W2</b>	<b>W1</b>	<b>W0</b>

Таблица 311 – Описание бит регистра WWDG\_CFR

<b>№ бита</b>	<b>Функциональное имя бита</b>	<b>Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений</b>
31...10		Зарезервировано
9	EWI	<b>Раннее предупреждающее прерывание</b> Если бит установлен, разрешается генерация прерывания при достижении сторожевым таймером значения 40h. Прерывание запрещается только аппаратным сбросом.
8, 7	WGTV[1:0]	<b>Делитель частоты сторожевого таймера</b> 00 – частота таймера (PCLK / 4096) /1 01 – частота таймера (PCLK / 4096) /2 10 – частота таймера (PCLK / 4096) /4 11 – частота таймера (PCLK / 4096) /8
6...0	W[6:0]	<b>Значение окна</b> Эти биты содержат значение окна, в пределах которого возможна инициализация битов T[6:0] значением в пределах 40h-7Fh. Если происходит инициализация битов в момент T>W, формируется сброс на выходе RESET. Если таймер достигнет значения T=3Fh, также формируется сброс.

### 30.1.7 Регистр статуса WWDG\_SR

Таблица 312 – Регистр WWDG\_SR

<b>Номер</b>	31...1	0
<b>Доступ*</b>	U	R/C
<b>Сброс</b>		0
	-	<b>EWIF</b>

Таблица 313 – Описание бит регистра WWDG\_SR

<b>№ бита</b>	<b>Функциональное имя бита</b>	<b>Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений</b>
31...1		Зарезервировано
0	EWIF	<b>Флаг раннего предупреждающего прерывания</b> Этот бит устанавливается аппаратно, когда сторожевой таймер достигает значения 40h. Бит очищается программно записью нуля. Запись единицы не влияет. Этот бит также устанавливается, если прерывание запрещено EWI=0.

### 31 Предельно-допустимые характеристики микросхемы

Таблица 314 – Предельно-допустимые режимы эксплуатации и предельные режимы микросхем

Наименование параметра, единица измерения	Буквенное обозначение параметра	Норма параметра			
		Предельно- допустимый режим		Предельный режим	
		не менее	не более	не менее	не более
Напряжение источника питания, В без использования АЦП и ЦАП	U <sub>CC</sub>	2,2	3,6	–	3,9
при использовании АЦП и ЦАП		2,4	3,6		
срабатывания схемы формирования общего сброса		1,8	2,1		
Напряжение источника питания $\Delta \Sigma$ АЦП, В	U <sub>CCА</sub>	3,0	3,6	–	3,9
Напряжение источника питания батарейного домена, В	U <sub>CCВ</sub>	1,8	3,6	–	3,9
Входное напряжение высокого уровня, В, на выводах: PA (5), PB (4-9), PC (1-6)	U <sub>IH</sub>	2,0	U <sub>CC</sub>	–	U <sub>CC</sub> +0,3
на выводах: PA (0-4,6-15), PB (0-3,10-12), PC (0, 7), RESET, WAKEUP, JTAG_EN		2,0	5,25	–	5,3
на выводе OSC_IN при BYPASS= «1»		2,0	U <sub>CC</sub>	–	U <sub>CC</sub> +0,3
Входное напряжение низкого уровня, В, на выводах PA, PB, PC, RESET, WAKEUP, JTAG_EN (при работе в цифровом режиме)	U <sub>IL</sub>	0	0,8	–0,3	–
на выводе OSC_IN при BYPASS= «1»		0	0,8	–0,3	–
Выходной ток высокого уровня, мА, (при работе в цифровом режиме) на выводах: PA, PB (0-3,6-12), PC при 3,0 ≤ U <sub>CC</sub> < 3,6 В	I <sub>OH</sub>	–6	–	–10	–
при 2,2 ≤ U <sub>CC</sub> < 3,0 В		–4	–	–10	–
на выводах: PB (4, 5)		–3	–	–10	–
Выходной ток низкого уровня, мА, (при работе в цифровом режиме) на выводах: PA, PB, PC при 3,0 ≤ U <sub>CC</sub> < 3,6 В	I <sub>OL</sub>	–	6	–	10
при 2,2 ≤ U <sub>CC</sub> < 3,0 В		–	4	–	10
Частота следования импульсов тактовых сигналов, МГц	f <sub>c</sub>	–	36	–	–

Наименование параметра, единица измерения	Буквенное обозначение параметра	Норма параметра			
		Предельно- допустимый режим		Предельный режим	
		не менее	не более	не менее	не более
Частота следования импульсов тактовых сигналов HSE, МГц при BYPASS= «0» при BYPASS= «1»	f <sub>C_HSE</sub>	2	16	–	–
		–	36	–	–
Частота следования импульсов тактовых сигналов LSE, кГц при BYPASS= «0» при BYPASS= «1»	f <sub>C_LSE</sub>	32	33	–	–
		–	1 000	–	–
Частота следования импульсов тактовых сигналов PLL, МГц	f <sub>C_PLL</sub>	6	16	–	–
Емкость нагрузки, пФ, на выводах PA, PB, PC	C <sub>L</sub>	–	30	–	–
Время хранения информации, лет, при T=25 °С при T=85 °С при T=125 °С	t <sub>GS</sub>	25	–	–	–
		10	–	–	–
		1	–	–	–
<b>Параметры ЦАП</b>					
Максимальное внешнее опорное напряжение ЦАП, В на выводе PC(3)	U <sub>REF(DAC)</sub>	2,4	U <sub>CC</sub>	–	–
Напряжение нагрузки ЦАП, В	U <sub>LOAD</sub>	0	U <sub>CC</sub>	–	–
Сопrotивление нагрузки ЦАП, кОм	R <sub>LOAD</sub>	10	–	–	–
Емкость нагрузки ЦАП, пФ	C <sub>LOAD</sub>	–	100	–	–
<b>Параметры АЦП последовательного приближения</b>					
Минимальное внешнее опорное напряжение АЦП, В	U <sub>ADC_REF-</sub>	0	U <sub>CC</sub> -2,4	–	3,9
Максимальное внешнее опорное напряжение АЦП, В	U <sub>ADC_REF+</sub>	2,4	U <sub>CC</sub>	–	3,9
Диапазон напряжения внешнего опорного источника АЦП, В U <sub>REF(ADC)</sub> = U <sub>ADC_REF+</sub> – U <sub>ADC_REF-</sub>	U <sub>REF(ADC)</sub>	2,4	U <sub>CC</sub>	–	–
Диапазон напряжения на входе АЦП, В	U <sub>AIN</sub> <sup>1)</sup>	U <sub>ADC_REF-</sub>	U <sub>ADC_REF+</sub>	–0,3	U <sub>CC</sub> +0,3
Частота следования импульсов тактовых сигналов АЦП, МГц	f <sub>C_ADC_S</sub>	–	14	–	–
<b>Параметры ΔΣАЦП</b>					
Синфазное напряжение, В	U <sub>VCM</sub>	0,5×U <sub>CC</sub> A-0,1	0,5×U <sub>CC</sub> A +0,1	–	–
Входное напряжение ΔΣАЦП, В	U <sub>IADC_D</sub>	–	–	–0,3	U <sub>CCA</sub> +0,3
Амплитуда входного дифференциального сигнала ΔΣАЦП, В	A <sub>NADC_D</sub>	–	2,4	–	–

Наименование параметра, единица измерения	Буквенное обозначение параметра	Норма параметра			
		Предельно- допустимый режим		Предельный режим	
		не менее	не более	не менее	не более
Частота дискретизации $\Delta\Sigma$ АЦП, МГц	f <sub>C_ADC_D</sub>	0,5	2	–	–
Коэффициент уменьшения частоты дискретизации выдачи данных блоком фильтров $\Delta\Sigma$ АЦП, относит. единица	К	256	131072	–	–
<p><sup>1)</sup> При использовании внутреннего опорного напряжения UADC_REF- = 0 В и UADC_REF+ = U<sub>сс</sub>.</p> <p>Примечание – Не допускается одновременное задание более одного предельного режима.</p>					

## 32 Электрические параметры микросхемы

Таблица 315 – Электрические параметры микросхем при приёмке и поставке

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма параметра		Температура среды, °С
		не менее	не более	
Выходное напряжение высокого уровня, В, на выводах: PA, PB, PC: – при $2,2 \leq U_{CC} < 3,0$ В; – при $3,0 \leq U_{CC} < 3,6$ В	$U_{OH}$	1,6	–	25, 125, –60
		2,4	–	
Выходное напряжение низкого уровня, В, на выводах: PA, PB, PC: – при $2,2 \leq U_{CC} < 3,0$ В; – при $3,0 \leq U_{CC} < 3,6$ В	$U_{OL}$	–	0,6	25, 125, –60
		–	0,4	
Входной ток высокого уровня, мкА, на выводе JTAG_EN	$I_{IH}$	50	180	25, 125, –60
Ток утечки высокого уровня на входе, мкА, – на выводах: PA, PB, PC, RESET, WAKEUP, при работе в цифровом режиме; – на выводе OSC_IN	$I_{ILH}$	–1,0	1,0	25, 125, –60
		–40	40	
Ток утечки низкого уровня на входе, мкА, – на выводах: PA, PB, PC, RESET, WAKEUP, JTAG_EN, при работе в цифровом режиме; – на выводе OSC_IN	$I_{ILL}$	–1,0	1,0	25, 125, –60
		–40	40	
Статический ток потребления, мкА, при: – стабилизатор напряжения выключен;  – стабилизатор напряжения включен	$I_{CCS}$	–	10	25, 125, –60
		–	50	25
			500	125
50	–60			
Динамический ток потребления, мА, при: – все периферийные блоки выключены, $33 \text{ кГц} < f_c \leq 36 \text{ МГц}$ ; – все периферийные блоки включены, $33 \text{ кГц} < f_c \leq 36 \text{ МГц}$ ; – АЦП, ЦАП, компаратор выключены, $32 \leq f_c \leq 33 \text{ кГц}$	$I_{OCC}$	–	21	25, 125, –60
		–	40	
		–	0,8	
Выходная частота HSI RC-генератора, МГц	$f_{O\_HSI}$	6	10	25, 125, –60
Выходная частота LSI RC-генератора, кГц	$f_{O\_LSI}$	10	60	25, 125, –60
Выходная частота PLL, МГц, максимальная минимальная	$f_{O\_PLL}$	36	–	25, 125, –60
		–	6	

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма параметра		Температура среды, °С
		не менее	не более	
<b>Параметры АЦП последовательного приближения</b>				
Разрядность АЦП	$E_{NADC}$	12	–	25, 125, –60
Дифференциальная нелинейность АЦП, ЕМР	$E_{DLADC}$	–1	2	25, 125, –60
Интегральная нелинейность АЦП, ЕМР	$E_{ILADC}$	–3	3	25, 125, –60
Ошибка смещения АЦП, ЕМР	$E_{OFFADC}$	–6	6	25, 125, –60
Ошибка усиления АЦП, %	$E_{GAINADC}$	–1	1	25, 125, –60
<b>Параметры ЦАП</b>				
Минимальное выходное напряжение ЦАП, В	$U_{O\_DAC\ min}$	–	0,08	25, 125, –60
Максимальное выходное напряжение ЦАП, мВ,	$U_{O\_DAC\ max}$	$U_{REF(DAC)} - 0,08$	–	25, 125, –60
Разрядность ЦАП	$E_{NDAC}$	12	–	25, 125, –60
Дифференциальная нелинейность ЦАП, ЕМР	$E_{DLDAC}$	–1	2	25, 125, –60
Интегральная нелинейность ЦАП, ЕМР	$E_{ILDAC}$	–6	6	25, 125, –60
Ошибка смещения ЦАП, мВ	$E_{OFFDAC}$	–40	40	25, 125, –60
Ошибка усиления ЦАП, %	$E_{GAINDAC}$	–2	2	25, 125, –60
<b>Компаратор</b>				
Время включения компаратора, мкс	$t_{ONC}$	–	100	25, 125, –60
Время задержки переключения компаратора, нс	$t_{dC}$	–	400	25, 125, –60
<b>Параметры <math>\Delta\Sigma</math> АЦП</b>				
Выходное напряжение на выводе VR_1V, В	$U_{OBIAS}$	1,14	1,26	25, 125, –60

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма параметра		Температура среды, °С
		не менее	не более	
Ток потребления $\Delta\Sigma$ АЦП, мА	$I_{CCA}$	–	7	25, 125, –60
Ток потребления $\Delta\Sigma$ АЦП в состоянии выключено, мкА	$I_{CCSA}$	–	10	25, 125, –60
Соотношение сигнал/шум+искажения, дБ, при усилении 0 дБ, $A_{NADC\_D} = 2,4$ В, полоса интегрирования 1 Гц - 4 кГц: – один канал включен; – все каналы включены	SNDR <sub>D_0</sub>	80	–	25, 125, –60
		69	–	
Соотношение сигнал/шум+искажения, дБ, при усилении +6 дБ, $A_{NADC\_D} = 1,2$ В, полоса интегрирования 1 Гц - 4 кГц: – один канал включен; – все каналы включены	SNDR <sub>D_6</sub>	76	–	25, 125, –60
		67	–	
Соотношение сигнал/шум+искажения, дБ, при усилении + 12 дБ, $A_{NADC\_D} = 0,6$ В, полоса интегрирования 1 Гц - 4 кГц: – один канал включен; – все каналы включены	SNDR <sub>D_12</sub>	79	–	25, 125, –60
		69	–	
Соотношение сигнал/шум+искажения, дБ, при усилении +24 дБ, $A_{NADC\_D} = 0,15$ В полоса интегрирования 1 Гц - 4 кГц: – один канал включен; – все каналы включены	SNDR <sub>D_24</sub>	71	–	25, 125, –60
		71	–	
Соотношение сигнал/искажения, дБ, при усилении 0 дБ, $A_{NADC\_D} = 2,4$ В, полоса интегрирования 1 Гц - 4 кГц: – один канал включен; – все каналы включены	THD <sub>D_0</sub>	82	–	25, 125, –60
		69	–	
Соотношение сигнал/искажения, дБ, при усилении + 6 дБ, $A_{NADC\_D} = 1,2$ В, полоса интегрирования 1 Гц - 4 кГц: – один канал включен; – все каналы включены	THD <sub>D_6</sub>	76	–	25, 125, –60
		67	–	
Соотношение сигнал/искажения, дБ, при усилении + 12 дБ, $A_{NADC\_D} = 0,6$ В, полоса интегрирования 1 Гц - 4 кГц: – один канал включен; – все каналы включены	THD <sub>D_12</sub>	77	–	25, 125, –60
		69	–	
Соотношение сигнал/искажения, дБ, при усилении + 24 дБ, $A_{NADC\_D} = 0,15$ В, полоса интегрирования 1 Гц - 4 кГц: – один канал включен; – все каналы включены	THD <sub>D_24</sub>	85	–	25, 125, –60
		82	–	
Ошибка усиления $\Delta\Sigma$ АЦП, % полной шкалы, при усилении 0 дБ	$GAIN_{ERR\_0}$	– 1,8	1,8	25, 125, –60

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма параметра		Температура среды, °С
		не менее	не более	
Ошибка усиления $\Delta\Sigma$ АЦП, % полной шкалы, при усилении + 6 дБ	GAIN <sub>ERR_6</sub>	- 1,8	1,8	25, 125, -60
Ошибка усиления $\Delta\Sigma$ АЦП, % полной шкалы, при усилении + 12 дБ	GAIN <sub>ERR_12</sub>	- 1,8	1,8	25, 125, -60
Ошибка усиления $\Delta\Sigma$ АЦП, % полной шкалы, при усилении + 24 дБ	GAIN <sub>ERR_24</sub>	- 1,8	1,8	25, 125, -60
Ошибка смещения $\Delta\Sigma$ АЦП, мВ, при усилении 0 дБ, режим устранения постоянной составляющей Fs/256 включен	E <sub>OFFSDADC2_0</sub>	- 2	2,5	25, 125, -60
Ошибка смещения $\Delta\Sigma$ АЦП, мВ, при усилении + 6 дБ, режим устранения постоянной составляющей Fs/256 включен	E <sub>OFFSDADC2_6</sub>	- 3	3	25, 125, -60
Ошибка смещения $\Delta\Sigma$ АЦП, мВ, при усилении + 12 дБ, режим устранения постоянной составляющей Fs/256 включен	E <sub>OFFSDADC2_12</sub>	- 3	3	25, 125, -60
Ошибка смещения $\Delta\Sigma$ АЦП, мВ, при усилении 24 дБ, режим устранения постоянной составляющей Fs/256 включен	E <sub>OFFSDADC2_24</sub>	- 3	3	25, 125, -60



### 33 Справочные данные

Таблица 316 – Справочные параметры микросхемы

Наименование параметра, единица измерения	Буквенное обозначение параметра	Норма параметра			Температура среды, °С
		не менее	Тип	не более	
Ток потребления батарейного домена при отключенном напряжении питания $U_{CC}$ , мкА, при $U_{CCB} = 3,6$ В	$I_{CC\_B}$	–	–	5	25, 125, –60
Время установления сигналов PVD и PVBD, мкс	$t_{SU(PVD)}$ $t_{SU(PVBO)}$	–	–	2	25, 125, –60
Напряжение гистерезиса портов ввода/вывода, мВ, на выводах: PA-PC при: PORT_SHM = 0 PORT_SHM = 1	$\Delta U_{TH(PA-PF)}$	100 200	–	400 500	25, 125, –60
Длительность фронта переключения выходных сигналов на выводах PA – PC при: $U_{CC} = 2,2$ В, PowerTX = 00, $C_I = 50$ пФ PowerTX = 01, $C_I = 50$ пФ PowerTX = 10, $C_I = 50$ пФ PowerTX = 11, $C_I = 50$ пФ PowerTX = 11, $C_I = 30$ пФ	$\tau_f$	– – – – –	–	– 100 20 10 5	25, 125, –60
<b>Тактовые частоты и генераторы</b>					
Время установления сигнала HSIRDY относительно HSION, мкс, при: $U_{CC} = 2,2$ В	$t_{SU(HSI)}$	–	–	1	25, 125, –60
Время установления сигнала LSIRDY относительно LSION, мс, при: $U_{CC} = 2,2$ В	$t_{SU(LSI)}$	–	–	80	25, 125, –60
Время установления сигнала HSERDY относительно HSEON, мкс, при: $U_{CC} = 2,2$ В	$t_{SU(HSE)}$	–	–	2048/ $f_{C\_HSE}$	25, 125, –60
Время установления сигнала LSERDY относительно LSEON, мкс, при: $U_{CC} = 2,2$ В	$t_{SU(LSE)}$	–	–	4096/ $f_{C\_LSE}$	25, 125, –60
Время установления сигнала PLLRDY относительно PLLON, мкс, при: $U_{CC} = 2,2$ В	$t_{SU(PLL)}$	–	–	100	25, 125, –60
Длительность сигнала сброса, мкс, при: $U_{CC} = 2,2$ В	$t_{W(RESET)}$	20	–	–	25, 125, –60
Время запуска после сброса по POR, мс	$t_{POR}$	–	–	6	25, 125, –60

Наименование параметра, единица измерения	Буквенное обозначение параметра	Норма параметра			Температура среды, °С
		не менее	Тип	не более	
<b>Параметры АЦП последовательного приближения</b>					
Ток потребления по питанию АЦП, мА при: fADC= 14 МГц, UCCA= 3,6 В	I <sub>OCCADC</sub>	–	–	3	25, 125, –60
Ток потребления по входу внешней верхней границы опоры АЦП, мкА при: ADC1_Cfg_M_REF= 1 или ADC2_Cfg_M_REF= 1	I <sub>ADC0_VREF+</sub>	–	–	50	25, 125, –60
Ток потребления по входу внешней нижней границы опоры АЦП, мкА при: ADC1_Cfg_M_REF= 1 или ADC2_Cfg_M_REF= 1	I <sub>ADC0_VREF-</sub>	–50	–	–	25, 125, –60
Минимальная частота преобразования АЦП, кГц	f <sub>C_ADCMIN</sub>	10	–	–	25, 125, –60
Время выборки заряда АЦП, нс, при: UCC= 3,6 В	t <sub>A_ADC</sub>	–	–	4× f <sub>C_ADC</sub>	25, 125, –60
Время преобразования АЦП, нс при: UCC= 3,6 В	t <sub>AO_ADC</sub>	–	–	28× f <sub>C_ADC</sub>	25, 125, –60
<b>Параметры ЦАП</b>					
Ток потребления ЦАП, мА, при отсутствии нагрузки, при: UCC= 3,6 В	I <sub>OCCDAC</sub>	–	–	2	25, 125, –60
Ток потребления по входу опоры, мкА при: UCC= 3,6 В	I <sub>DAC1_UREF</sub> , I <sub>DAC2_UREF</sub>	–	–	500	25, 125, –60
Время установления сигнала ЦАП, мкс, при: UCC= 3,6 В, CLOAD= 100 пФ, RLOAD= 10 кОм	t <sub>SU(DAC)</sub>	–	–	5,2	25, 125, –60
Время включения ЦАП, мкс, при: UCC= 2,4 В	t <sub>ON_DAC</sub>	–	–	10	25, 125, –60
<b>Компаратор</b>					
Напряжение смещения компаратора, мВ, при UCC= 3,6 В	U <sub>IO_C</sub>	–0,5	–	0,5	25, 125, –60
Напряжение гистерезиса компаратора, мВ, при UCC= 3,6 В	ΔU <sub>TH_C</sub>	7	–	12	25, 125, –60
Напряжение внутреннего опорного источника компаратора, В, при UCC= 3,6 В	U <sub>REF_C</sub>	1,17	–	1,23	25, 125, –60
Эквивалентное входное сопротивление, кОм	R <sub>NADC_D</sub>	43,4	–	80,6	25, 125, –60

Наименование параметра, единица измерения	Буквенное обозначение параметра	Норма параметра			Температура среды, °С
		не менее	Тип	не более	
<b>Параметры <math>\Delta\Sigma</math>АЦП</b>					
Входной ток по входам INM(1-8), INP(1-8), мкА, при ADC_CLK = 4 МГц и U(inm-inp) = 1 В	I <sub>INP_INM</sub>	–	3,2	–	25
Среднеквадратическое значение шума, мкВ, полоса интегрирования 1 Гц - 4 кГц при усилении 0 дБ: – режим устранения постоянной составляющей Fs/256 включен; – режим устранения постоянной составляющей выключен	RMS <sub>4000</sub>	–	71,7	–	25
		–	65,5	–	
Среднеквадратическое значение шума, мкВ, полоса интегрирования 1 – 500 Гц при усилении 0 дБ: – режим устранения постоянной составляющей Fs/256 включен; – режим устранения постоянной составляющей выключен	RMS <sub>500</sub>	–	24,9	–	25
		–	20,4	–	
Среднеквадратическое значение шума, мкВ, полоса интегрирования 1 – 25 Гц при усилении 0 дБ: –режим устранения постоянной составляющей Fs/256 включен – режим устранения постоянной составляющей выключен	RMS <sub>25</sub>	–	4	–	25
		–	10,1	–	
Среднеквадратическое значение шума, мкВ, полоса интегрирования 1 – 2 Гц, при усилении 0 дБ: – режим устранения постоянной составляющей Fs/256 включен – режим устранения постоянной составляющей выключен	RMS <sub>2</sub>	–	1	–	25
		–	4,7	–	
Коэффициент разделения каналов, дБ, на частоте 1 кГц при усилении 0 дБ	K <sub>cl</sub>	–	98	–	25
Коэффициент подавления синфазной составляющей, дБ, на частоте 1 кГц амплитуде 0,5 В и усилении 0 дБ	K <sub>CMRR_1k</sub>	–	70	–	25
Температурное отклонение опорного напряжения в диапазоне температур, мВ	$\Delta U_{OBIAS}$	–	3,8	–	25, 125, –60
Температурное отклонение ошибки смещения $\Delta\Sigma$ АЦП, мВ, при усилении 0 дБ	$\Delta E_{OFFSDADC2_0}$	–	1	–	25, 125, –60
Входной ток по входу VR_1V, мкА, REF_EX= «1»: – один канал включен; – восемь каналов включены	I <sub>VR_1V</sub>	–	5	–	25
		–	40	–	

Наименование параметра, единица измерения	Буквенное обозначение параметра	Норма параметра			Температура среды, °С
		не менее	Тип	не более	
Ошибка смещения $\Delta\Sigma$ АЦП, мВ, при усилении 0 дБ, режим устранения постоянной составляющей выключен	$E_{OFFSDADC2\_0}$	– 5	–	4	25, 125, –60
Ошибка смещения $\Delta\Sigma$ АЦП, мВ, при усилении + 6 дБ, режим устранения постоянной составляющей выключен	$E_{OFFSDADC2\_6}$	– 7	–	5	25, 125, –60
Ошибка смещения $\Delta\Sigma$ АЦП, мВ, при усилении + 12 дБ, режим устранения постоянной составляющей выключен	$E_{OFFSDADC2\_12}$	– 9	–	8	25, 125, –60
Ошибка смещения $\Delta\Sigma$ АЦП, мВ, при усилении 24 дБ, режим устранения постоянной составляющей выключен	$E_{OFFSDADC2\_24}$	– 27	–	20	25, 125, –60

### 33.1 Оценка входного дифференциального сопротивления INP–INM

Эквивалентная схема входного каскада приведена на рисунке 135.

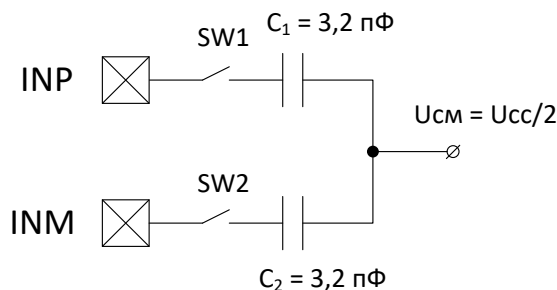


Рисунок 135 – Эквивалентная схема входного каскада

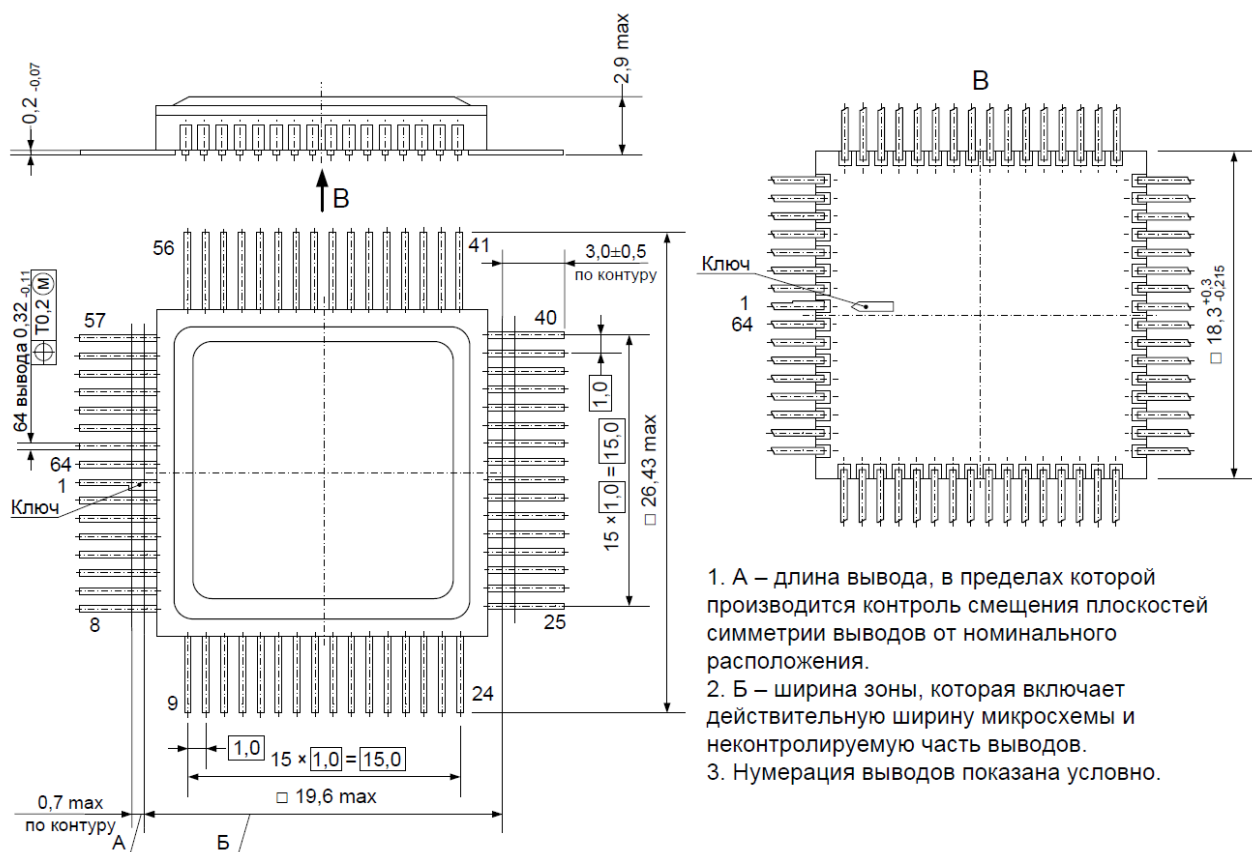
Примерное значение входного дифференциального сопротивления рассчитывается по формуле

$$R(inm - inp) = \frac{2}{3,2 \text{ пФ} * \frac{ADC\_CLK}{2}}$$

$$R(inm-inp) = 2 \cdot 1/(3,2 \text{ пФ} \cdot ADC\_CLK/2).$$

При расчете по данной формуле типовое входное эквивалентное дифференциальное сопротивление равно  $2/(3,2 \text{ пФ} \cdot 4 \text{ МГц}/2) = 312,5 \text{ кОм}$  и совпадает с измеренным током.

### 34 Габаритный чертеж микросхемы



1. А – длина вывода, в пределах которой производится контроль смещения плоскостей симметрии выводов от номинального расположения.
2. Б – ширина зоны, которая включает действительную ширину микросхемы и неконтролируемую часть выводов.
3. Нумерация выводов показана условно.

Рисунок 136 – Корпус N18.64-1B

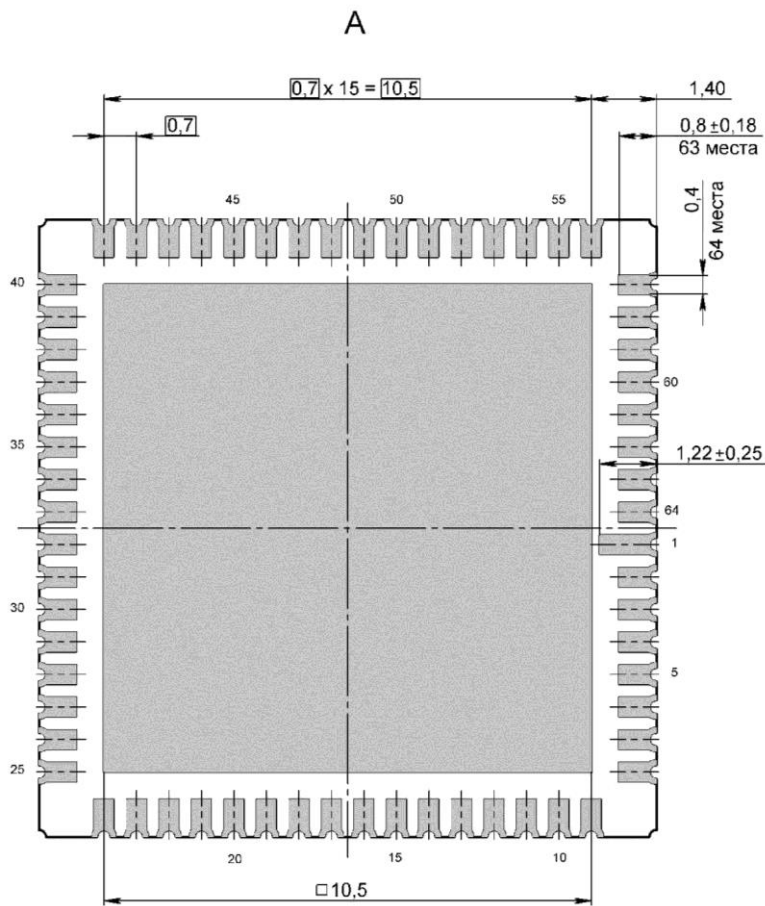
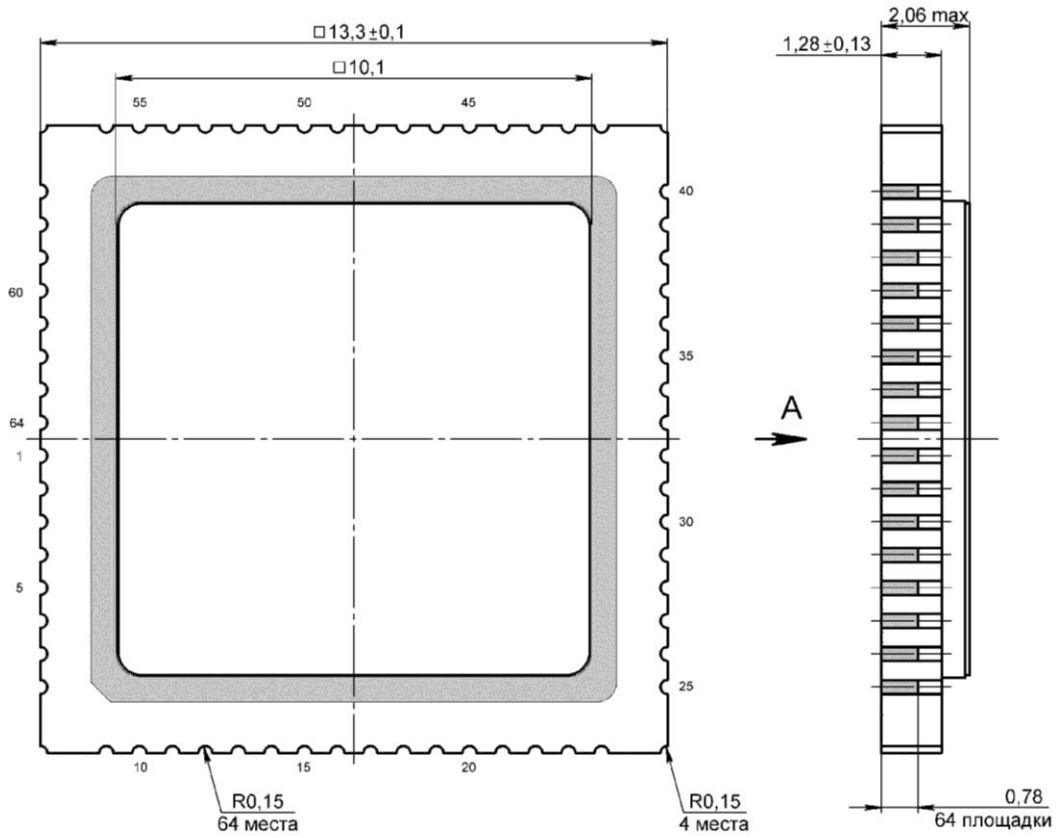
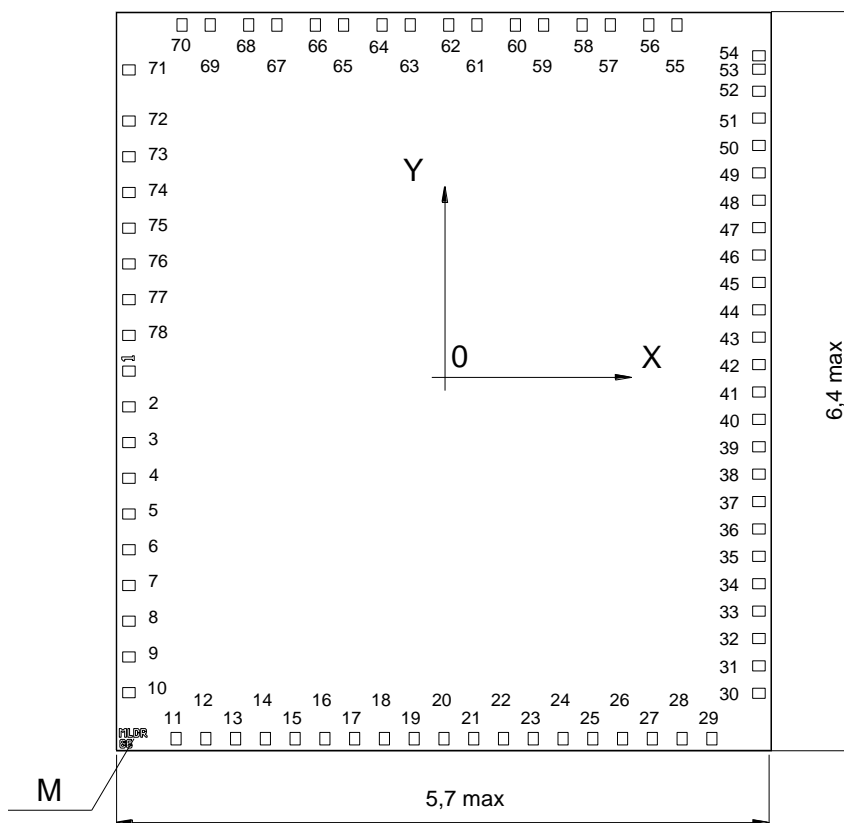


Рисунок 137 – Корпус 5153.64-1



Размеры КП 85 × 105 мкм

1 Расположение КП соответствует топологическому чертежу.

2 М – маркировка кристалла, MLDR86.

3 Координаты КП – см. таблицу 317.

4 Толщина кристалла (0,38 ± 0,01) мм.

Рисунок 138 – Кристалл (бескорпусное исполнение)

Таблица 317 – Координаты КП кристалла

№ КП	Координаты X, мкм	Координаты Y, мкм	№ КП	Координаты X, мкм	Координаты Y, мкм
1	-2645,50	90,88	14	-1499,82	-2995,50
2	-2645,50	-209,13	15	-1249,82	-2995,50
3	-2645,50	-509,13	16	-999,82	-2995,50
4	-2645,50	-809,13	17	-749,82	-2995,50
5	-2645,50	-1109,13	18	-499,82	-2995,50
6	-2645,50	-1409,13	19	-249,82	-2995,50
7	-2645,50	-1709,13	20	0,18	-2995,50
8	-2645,50	-2009,13	21	250,18	-2995,50
9	-2645,50	-2309,13	22	500,18	-2995,50
10	-2645,50	-2609,13	23	750,18	-2995,50
11	-2249,82	-2995,50	24	1000,18	-2995,50
12	-1999,82	-2995,50	25	1250,18	-2995,50
13	-1749,82	-2995,50	26	1500,18	-2995,50

**Спецификация 1986BE4У, К1986BE4У, К1986BE4УК  
1986BE4У1, К1986BE4У1, К1986BE4У1К, К1986BE4Н4**

<b>№ КП</b>	<b>Координаты Х, мкм</b>	<b>Координаты Y, мкм</b>	<b>№ КП</b>	<b>Координаты Х, мкм</b>	<b>Координаты Y, мкм</b>
27	1750,18	-2995,50	53	2645,50	2625.795
28	2000,18	-2995,50	54	2645,50	2738.555
29	2250,18	-2995,50	55	1957,07	2997,50
30	2645,50	-2614,42	56	1720,33	2997,50
31	2645,50	-2384,42	57	1397,07	2997,50
32	2645,50	-2154,42	58	1160,33	2997,50
33	2645,50	-1924,42	59	837,07	2997,50
34	2645,50	-1694,42	60	600,33	2997,50
35	2645,50	-1464,42	61	277,07	2997,50
36	2645,50	-1234,42	62	40,33	2997,50
37	2645,50	-1004,42	63	-282,93	2997,50
38	2645,50	-774,42	64	-519,67	2997,50
39	2645,50	-544,42	65	-842,93	2997,50
40	2645,50	-314,42	66	-1079,67	2997,50
41	2645,50	-84,42	67	-1402,93	2997,50
42	2645,50	145,59	68	-1639,67	2997,50
43	2645,50	375,59	69	-1962,93	2997,50
44	2645,50	605,59	70	-2199,67	2997,50
45	2645,50	835,59	71	-2645,50	2619,73
46	2645,50	1065,59	72	-2645,50	2190,88
47	2645,50	1295,59	73	-2645,50	1890,88
48	2645,50	1525,59	74	-2645,50	1590,88
49	2645,50	1755,59	75	-2645,50	1290,88
50	2645,50	1985,59	76	-2645,50	990,88
51	2645,50	2215,59	77	-2645,50	690,88
52	2645,50	2440.615	78	-2645,50	390,88



### 35 Информация для заказа

Обозначение	Маркировка	Тип корпуса	Температурный диапазон
1986BE4У	1986BE4У	H18.64-1B	минус 60 – 125 °С
К1986BE4У	К1986BE4У	H18.64-1B	минус 60 – 125 °С
К1986BE4УК	К1986BE4У●	H18.64-1B	0 – 70 °С
1986BE4У1	1986BE4У1	5153.64-1	минус 60 – 125 °С
К1986BE4У1	К1986BE4У1	5153.64-1	минус 60 – 125 °С
К1986BE4У1К	К1986BE4У1●	5153.64-1	0 – 70 °С
К1986BE4Н4	К1986BE4Н4 (на таре)	бескорпусная	0 – 70 °С

Примечание – Микросхемы в бескорпусном исполнении поставляются в виде отдельных кристаллов, получаемых разделением пластины. Микросхемы поставляются в таре (кейсах) без потери ориентации.

Микросхемы с приемкой «ВП» маркируются ромбом.

Микросхемы с приемкой «ОТК» маркируются буквой «К».

### 36 Лист регистрации изменений

№ п/п	Дата	Версия	Краткое содержание изменения	№№ изменяемых листов
1	14.10.2012	1.0.0	Введена впервые	
2	27.11.2013	1.1.0	Добавлена информация для заказа	362
3	28.11.2013	1.1.1	Исправление грамматических ошибок	По тексту
4	23.12.2013	1.2.1	Внесение исправлений в Таблицы 44, 46, 47	86-88
5	15.01.2014	1.3.1	Исправление заголовков разделов	26, 27
6	31.01.2014	1.4.1	Исправлена таблица 3, заменен рисунок 19, внесены исправление в описание.	18, 33-35
7	13.02.2014	1.5.1	По тексту изменен тип корпуса на H18.64-1B	8, 10, 361, 362
8	04.03.2014	1.6.1	Изм-е в табл.3 в графе 4 для строк 01, 10; табл.47 в №13:12; табл.79 (бит 0)	18, 88, 114
9	28.03.2014	1.7.1	Внесены изменения в таблицы 65, 78, 115, 131, 154. Исправлен рисунок 127. Удалены описания регистров PeriphIDx и PCellIDx для блоков UART и SSP.	100, 112, 160, 165, 202, 233
10	01.04.2014	1.7.2	Исправлены уровни заголовков. Удалены описания регистров PeriphIDx и PCellIDx для DMA. Внесены исправления в таблицы 131, 183, 115. Добавлено описание регистра TCR для контроллера UART	165, 202, 248, 289
11	26.06.2014	1.8.0	Внесено изменение в табл. 218 для параметра U <sub>AIN</sub> Введение нового корпусного исполнения	337 1, 342, 343
12	12.09.2014	1.9.0	Внесено уточнение в описание контроллера блока $\Sigma\Delta$ ЦП	79
13	27.11.2014	1.10.0	Исправлена ошибка в обозначении спецификации	1
14	16.12.2014	1.11.0	В таблице 79 внесено дополнение в описание бита 22	111
15	26.12.2014	1.12.0	Приведение в соответствие с ТУ и КД	все
16	15.01.2015	1.13.0	Исправлены рисунки 1, 2 и таблица 1	12 – 18
17	22.01.2015	1.14.0	Бит INF_REMAP заменен на FPOR	33
18	27.01.2015	1.15.0	Добавлена таблица Распределения каналов DMA	253, 254
19	03.02.2015	2.1.0	Исправлено обозначение корпуса в таблице Информация для заказа	340
20	24.07.2015	2.2.0	Введение бескорпусной микросхемы	По тексту
21	23.09.2015	2.3.0	Исправления в разделе 6 «Загрузочное ПЗУ и режимы работы микроконтроллера»	26, 27
22	30.12.2015	2.4.0	Внесены изменения в таблицы 51, 53 Внесены изменения в таблицу 61 Добавлено описание тестового регистра TST Внесены изменения в таблицы 171, 175, 181, 183, 287	92, 93 96 102 158, 160, 162, 164
23	17.02.2017	2.5.0	Плановая корректировка по замечаниям ГК и тикетам Bugzilla	По тексту

№ п/п	Дата	Версия	Краткое содержание изменения	№№ изменяемых листов
24	20.04.2017	2.6.0	Исправлено описание бит 13...12 в таблице 62	99
			Исправлено описание бит регистра TST в таблицах 83, 84	105
			Исправлен диапазон неиспользуемых бит в таблицах 53, 54	95
			Удален подраздел «Усиление/ослабление сигнала»	94
			Изменения в описании бит регистра DIGGAIN	97
			Исправления в таблице справочных параметров	344
			Дополнено описание бита REF_EX в таблице 52	95
			Уточнено название контроллера, описываемого в подразделе 18	167 – 177
25	17.05.2017	2.7.0	Внесено уточнение в описание бит SFC, SFF регистра CTRL2 (таблица 60).	97
			Внесено уточнение в описание контроллера блока $\Sigma\Delta\text{ЦП}$ .	88
			Исправлено название фильтра SINC <sup>3</sup>	По тексту
26	19.07.2017	2.7.1	Исправление орфографических ошибок и опечаток	По тексту
27	19.06.2018	2.8.0	Плановая корректировка по замечаниям ГК и тикетам Bugzilla	По тексту
28	08.02.2019	2.9.0	Исправление орфографических ошибок и опечаток	По тексту
			Внесены изменения в таблицы 13, 14	39,40
			Уточнено описание бита ADC_REF+ Исправлено описание бит 13, 12, 2, 1 в таблице 66	170, 171 112
29	26.06.2020	2.10.0	Плановая корректировка по замечаниям	По тексту
30	24.06.2021	2.11.0	Исправление опечаток	По тексту
			Внесены изменения в таблицы: 3, 13, 117-119, 164, 165, 216, 231, 290	22, 34, 107-109, 143, 191, 216, 297
			Внесены изменения в пункты: 12, 19.3.1, 20.6, 22.6.4, 35	46-75, 130, 158, 175, 329
			Внесены изменения в рисунки: 39, 40	130

<sup>i</sup> Дифференциальное напряжение  $\Delta\Sigma\text{ЦП}$  формируется как дифференциальный сигнал INM минус INP.