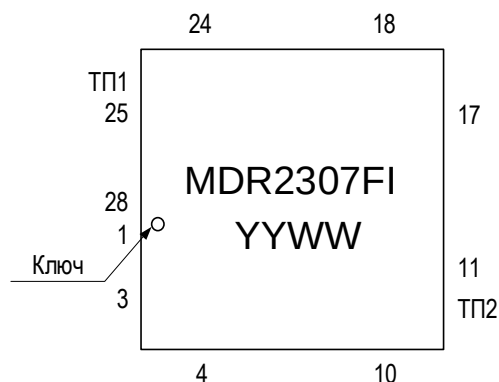




**Загрузочное ППЗУ с электрическим программированием,
последовательным интерфейсом для конфигурирования ПЛИС
MDR2307FI**



YY – год выпуска

WW – неделя выпуска

Основные параметры МСБ:

- Диапазон напряжения питания от 3,0 до 3,6 В;
- Емкость накопителя Flash-типа 4 Мбит;
- Интерфейс JTAG – IEEE Std. 1149.1;
- Период следования импульсов тактовых сигналов DCLK, $T_{C(DCLK)}$, не менее 52,5 нс;
- Период следования импульсов тактовых сигналов на входе TCK, $T_{C(TCK)}$, не менее 200 нс;
- Ток потребления в режиме хранения, I_{CCS} , не более 80 мА;
- Динамический ток потребления в режиме конфигурирования, I_{OCC} , не более 100 мА;
- Температурный диапазон от минус 40 °С до плюс 85 °С.

Тип корпуса:

- 28-выводной пластмассовый корпус QFN28 12×12×1,6 (1,0).

Общее описание и области применения МСБ

Микросборки MDR2307FI (далее – МСБ) представляют собой загрузочное ППЗУ с возможностью электрического программирования и стирания с последовательным интерфейсом для конфигурирования ПЛИС.

Основные характеристики:

- Конфигурационная схема для загрузки ПЛИС 5576XC3Т и 5576XC4Т или аналогичных;
- Простой в применении четырехпроводной конфигурационный интерфейс ПЛИС;
- Поддержка режимов конфигурирования Passive serial (PS) и Active serial (AS);
- Поддержка программного обеспечения Quartus II фирмы «Altera»;
- Конфигурационное устройство включает перепрограммируемую память Flash-типа:
 - гарантированное количество циклов стирания 20000;
 - время сохранения данных при температуре плюс 85°С – 20 лет;
 - внутрисхемное программирование (ISP) через IEEE Std. 1149.1 интерфейс JTAG;
 - схема ISP совместима с IEEE Std. 1532;

- Поддерживает программирование объектных файлов (.pof) из Quartus II посредством USB Blaster, MasterBlaster™, ByteBlaster™ II, EthernetBlaster или ByteBlasterMVTM загрузочного кабеля;
- Встроенная схема сброса при включении питания с изменяемым временем задержки (2 или 200 мс) посредством вывода PORSEL;
- Возможность выбора источника конфигурационного синхросигнала:
 - частота с вывода EXCLK до 19 МГц в режиме PS;
 - частота с внутреннего генератора 5 МГц в режиме PS;
 - частота с вывода DCLK ПЛИС в режиме AS.

Оглавление

1	Структурная блок-схема.....	4
2	Условное графическое изображение.....	5
3	Описание выводов.....	6
4	Указания по применению и эксплуатации	8
5	Описание функционирования	9
5.1	Конфигурирование ПЛИС.....	9
5.2	Сброс при включении питания	11
5.3	Последовательность подачи питания.....	11
5.4	Программирование и поддержка конфигурационных файлов	12
6	Электрические параметры.....	13
7	Предельно-допустимые характеристики	15
8	Справочные данные	16
9	Временные диаграммы	17
10	Типовые зависимости	19
11	Габаритный чертеж	20
12	Информация для заказа.....	21

1 Структурная блок-схема

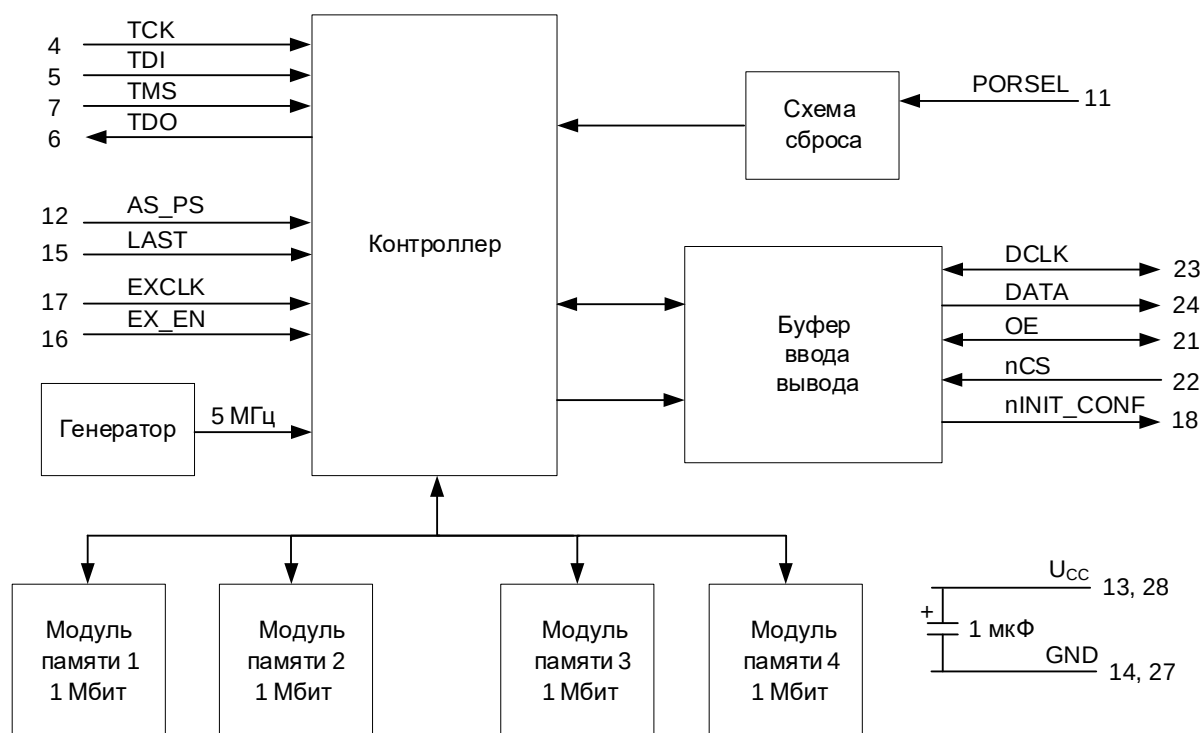


Рисунок 1 – Структурная блок-схема МСБ

2 Условное графическое изображение

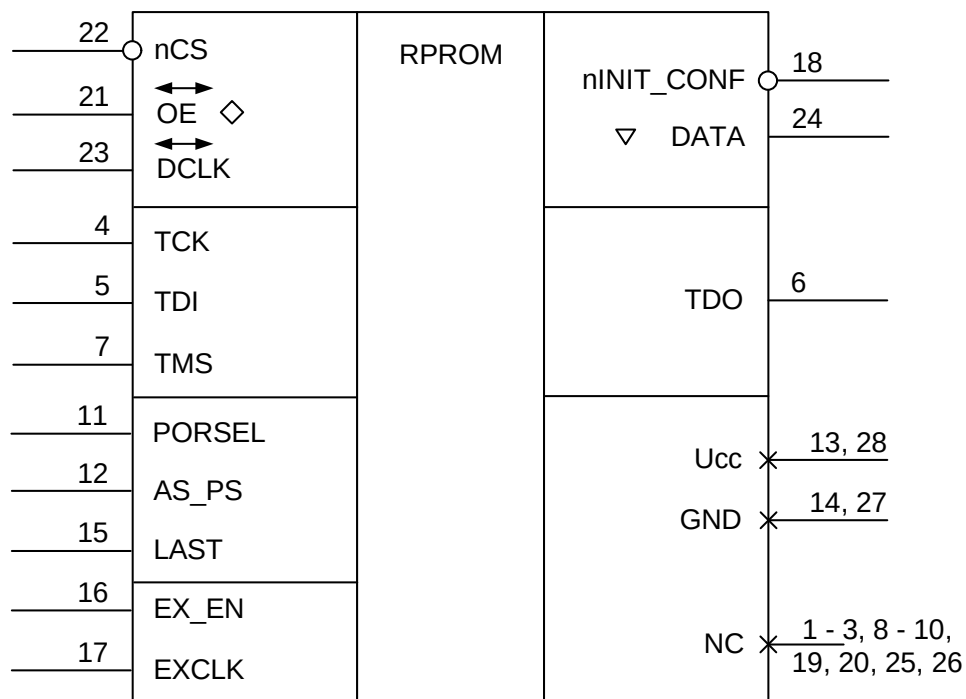


Рисунок 2 – Условное графическое изображение МСБ

3 Описание выводов

Таблица 1 – Описание выводов

Номер вывода	Обозначение вывода	Тип вывода	Функциональное назначение выводов
1 – 3	NC	–	Не используется
4	TCK	Вход	Вход синхросигнала JTAG. Подключать к шине Общий, если JTAG не используется
5	TDI	Вход	Вход данных JTAG. Подключать к шине Питание, если JTAG не используется
6	TDO	Выход	Выход данных JTAG. Не подключать, если JTAG не используется
7	TMS	Вход	Выбор режима JTAG. Подключается к шине Питание, если JTAG не используется
8 – 10	NC	–	Не используются. Допускается подключать к шине Общий
11	PORSEL	Вход	Выбор времени задержки POR при включении питания: при PORSEL = 0 время POR от 200 до 332 мс; при PORSEL = 1 время POR от 2 до 5 мс
12	AS_PS	Вход	Выбор режима конфигурирования ПЛИС: AS_PS = 1 – Active serial; AS_PS = 0 – Passive serial
13	U _{CC}	Питание	Вывод питания 3,3 В
14	GND	Общий	Общий
15	LAST	Вход	Подключать к шине Питание
16	EX_EN	Вход	Выбор источника синхросигнала для выхода DCLK: EX_EN = 1 – внешний синхросигнал с EXCLK; EX_EN = 0 – синхросигнал с внутреннего генератора
17	EXCLK	Вход	Вход синхросигнала. Дополнительный источник синхросигнала для генерации конфигурационного синхросигнала DCLK. Разрешается, если EX_EN = 1
18	nINIT_CONF	Выход	Инициирование процесса конфигурирования. Выход подключается к выводу nCONFIG ПЛИС
19, 20	NC	–	Не используется. Допускается подключать к шине Общий

Номер вывода	Обозначение вывода	Тип вывода	Функциональное назначение выводов
21	OE	Вход/выход	Разрешение выдачи данных (активный уровень «1») и сброс выдачи (активный уровень «0»). Вывод подключается к выводу nSTATUS ПЛИС. Работает на выход в момент включения МСБ для стабилизации уровня напряжения питания (см. подраздел 5.2 «Сброс при включении питания»). В основном режиме работы (конфигурирование) уровень логического «0» сбрасывает счётчик адреса. Логическая «1» разрешает выдачу данных по выводу DATA, и внутренний счётчик адреса выполняет счёт. Если этот вывод становится логическим «0» в процессе конфигурирования, то внутренний генератор становится неактивным, и вывод DCLK переводится в состояние логического «0». Вывод не имеет внутреннего подтягивающего резистора, поэтому требуется внешний подтягивающий к питанию резистор
22	nCS	Вход	Разрешение микросхемы (активный уровень «0»). Вход подключается к выводу CONF_DONE ПЛИС. Низкий уровень позволяет инкрементировать счётчик адреса и разрешает выход DATA. Вход не имеет внутреннего подтягивающего резистора, поэтому требуется внешний подтягивающий к питанию резистор
23	DCLK	Вход/выход	Выход синхросигнала при AS_PS = 0. Вход синхросигнала при AS_PS = 1. Вывод подключается к выводу DCLK ПЛИС. Положительный фронт на входе DCLK увеличивает внутренний счётчик адреса и выставляет следующий бит данных на вывод DATA. Счётчик инкрементируется только при OE = 1, nCS = 0, и не все данные переданы в ПЛИС. После конфигурирования или, если OE = 0, устройство удерживает DCLK в состоянии логического «0»
24	DATA	Выход	Последовательный выход данных. Вывод подключается к выводу DATA0 ПЛИС. Данные защёлкиваются в ПЛИС по переднему фронту DCLK. Вывод находится в третьем состоянии перед конфигурацией. После конфигурации, если LAST и nCS в состоянии логической «1», выход DATA находится в состоянии логического «0»
25	NC	—	Не используется
26	NC	—	Не используется. Допускается подключать к шине Общий
27	GND	Общий	Общий
28	U _{CC}	Питание	Вывод питания 3,3 В

4 Указания по применению и эксплуатации

При ремонте аппаратуры и измерении параметров МСБ замену МСБ необходимо проводить только при отключенных источниках питания.

Инструмент для пайки (сварки) и монтажа не должен иметь потенциал, превышающий 0,3 В относительно шины Общий.

Запрещается подведение каких-либо электрических сигналов (в том числе шин Питание, Общий) к выводам МСБ, не используемым согласно таблице 1.

Необходимо при использовании МСБ минимизировать длину связи между МСБ и ПЛИС.

Технологические перемычки ТП1 и ТП2, расположенные рядом с выводами 11 и 25, необходимо соединить с шиной Общий.

5 Описание функционирования

Программируемые логические интегральные схемы ПЛИС, основанные на SRAM LUT, должны конфигурироваться данными каждый раз после включения питания, инициализации системы или, когда необходимы новые конфигурационные данные. МСБ хранит конфигурационные данные и обеспечивает конфигурирование ПЛИС серии 5576ХС и аналогичных им.

Ядро МСБ делится на два основных блока: конфигурационный контроллер и память. Блок памяти состоит из четырех независимых блоков памяти по 1 Мбит, которые могут стираться независимо друг от друга, и встроенного генератора частотой 5 МГц, обеспечивающего необходимое время программирования и стирания.

МСБ поддерживает два режима конфигурирования ПЛИС:

- Active serial (AS) – Синхросигнал формируется на выводе DCLK микросхемы ПЛИС и является входным для МСБ. Режим выбирается при AS_PS = 1;
- Passive serial (PS) – Синхросигнал формируется на выводе DCLK МСБ и является входным для ПЛИС. Режим выбирается при AS_PS = 0.

Все режимы конфигурирования последовательные. Данные поступают на последовательный вывод DATA МСБ.

К основным функциям МСБ относится возможность внутрисхемного программирования памяти через интерфейс JTAG и возможность задания задержки схемы формирования сброса с помощью вывода PORSEL.

Максимальная частота на входе DCLK микросхемы ПЛИС может достигать 19 МГц. МСБ имеет встроенный внутренний генератор синхросигнала частотой 5 МГц. Предусмотрена возможность подачи внешнего синхросигнала на вход EXCLK при EX_EN = 1.

5.1 Конфигурирование ПЛИС

Конфигурирование ПЛИС управляется контроллером МСБ. Этот процесс включает в себя чтение конфигурационных данных из памяти МСБ, последовательную выдачу их на вывод DATA и обработку ошибок.

После окончания работы схемы сброса контроллер, в зависимости от состояния выводов AS_PS, EX_EN, определяет режим и частоту конфигурирования. После этого происходит чтение бита ISC_Done, расположенного по адресу 0x8000 в разряде 13. Этот бит определяет, запрограммирована память конфигурационного устройства или нет. Если ISC_Done = 1, то МСБ не конфигурирует ПЛИС. Этот конфигурационный бит читается с использованием внутреннего генератора 5 МГц.

После получения конфигурационных настроек и при ISC_Done = 0 контроллер МСБ убеждается в готовности ПЛИС принимать конфигурационные данные мониторингом регистров nSTATUS и CONF_DONE. Если ПЛИС готова к приёму данных (nSTATUS = 1, CONF_DONE = 0), контроллер МСБ начинает чтение данных с адреса 0x8020 и передачу их на линию DATA с использованием DCLK.

Помимо этого, контроллер МСБ контролирует ошибки в процессе конфигурации. Ошибка CONF_DONE происходит, когда ПЛИС не устанавливает сигнал CONF_DONE в 1 за 64 такта на входе DCLK после того, как последний конфигурационный бит был передан. Когда обнаруживается ошибка CONF_DONE, контроллер МСБ формирует импульс логического «0» на выходе OE длительностью 21 мкс, который сбрасывает nSTATUS в логический «0». После освобождения вывода OE начинается повторное конфигурирование ПЛИС.

Ошибка в контрольной сумме (CRC) происходит, когда ПЛИС обнаруживает искажение в конфигурационных данных. Искажение может быть вызвано как шумами на плате, так и плохой разводкой конфигурационных сигналов. ПЛИС сигнализирует контроллеру МСБ об ошибке низким уровнем на выводе nSTATUS. Если опция «Auto-Restart Configuration After Error» разрешена в ПЛИС, то сигнал nSTATUS после таймаута переходит в состояние логической «1» и контроллер МСБ пытается реконфигурировать ПЛИС.

После окончания конфигурирования контроллер МСБ переводит вход/выход DCLK и выход DATA в состояние логического «0».

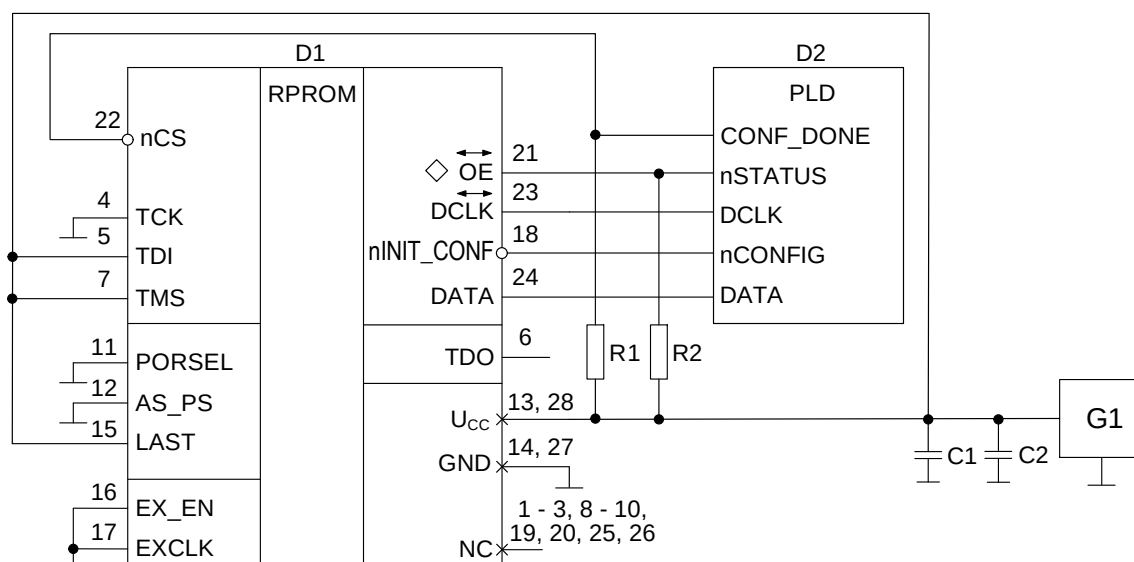
МСБ позволяет пользователю инициировать процесс конфигурирования с помощью выхода pINIT_CONF. Этот выход подключается ко входу pCONFIG микросхемы ПЛИС, позволяя инструкции JTAG установить этот вход в логический «0». Установка логического «0» на входе pCONFIG сбрасывает ПЛИС. После того, как машина состояний JTAG заканчивает выполнение этой инструкции, pCONFIG возвращается в состояние логической «1» и начинается процесс реконфигурации ПЛИС. Если функция конфигурирования с помощью выхода pINIT_CONF не используется, вход pCONFIG микросхемы ПЛИС необходимо подсоединить непосредственно или через резистор к питанию МСБ.

На рисунке 3 показано подключение МСБ к ПЛИС.

Особенности подключения конкретных семейств ПЛИС к конфигурационным устройствам см. в документации ПЛИС.

Входы OE и nCS обязательно должны иметь подтягивающие резисторы к питанию, так как не имеют внутренних подтягивающих резисторов. Номинал резисторов определяется пользователем в пределах от 1 до 4,7 кОм.

Может применяться режим AS (активный режим конфигурирования при AS_PS = 1), когда тактовый импульс для процесса конфигурирования генерирует микросхема ПЛИС, либо режим PS (пассивный режим конфигурирования при AS_PS = 0), когда тактовый импульс для процесса конфигурирования генерирует МСБ.



- C1, C2 – конденсаторы емкостью 0,1 мкФ $\pm$ 10 %;
- D1 – подключаемая МСБ MDR2307FI;
- D2 – микросхема ПЛИС 5576XC3T, 5576XC4T или аналогичные;
- G1 – источник постоянного напряжения, 3,3 В;
- R1, R2 – резисторы сопротивлением от 1 до 4,7 кОм.

Рисунок 3 – Схема включения ПЛИС с конфигурационной МСБ

5.2 Сброс при включении питания

Схема POR удерживает систему в состоянии сброса, пока не стабилизируется уровень напряжения питания. Длительность сигнала POR включает время нарастания напряжения питания и программируемое пользователем время задержки POR. Когда питание стабилизируется и задержка POR истечёт, схема POR освобождает вход OE. Время POR может быть увеличено внешним устройством, удерживающим вход OE в «0».

Невозможно выполнять инструкции JTAG или ISP, пока не закончена работа схемы POR.

МСБ поддерживает программирование задержки POR. Можно установить задержку POR $t_{PHL(POR)}$ по умолчанию или уменьшить её для систем, требующих быстрого включения питания. Вывод PORSEL управляет задержкой POR:

- логическая «1» – выбирает уменьшенную задержку;
- логический «0» – выбирает задержку по умолчанию.

5.3 Последовательность подачи питания

Чтобы быть уверенным, что МСБ вошло в режим конфигурирования правильно, необходимо, чтобы схема POR микросхемы ПЛИС закончила работу прежде, чем схема POR МСБ.

Для увеличения времени запитки ПЛИС должна выбираться задержка POR $t_{PHL(POR)}$ МСБ при PORSEL = 0, что позволит ПЛИС включиться прежде, чем начнётся конфигурирование. Помимо этого, выход nINIT_CONF МСБ необходимо подключить к

входу pCONFIG микросхемы ПЛИС, что позволит удерживать вход pCONFIG в состоянии логического «0», пока все напряжения питания не стабилизируются.

5.4 Программирование и поддержка конфигурационных файлов

Программное обеспечение Quartus II обеспечивает программирование и автоматическое создание конфигурационных файлов для МСБ.

МСБ может быть запрограммировано в системе через стандартный промышленный четырехвыводной интерфейс JTAG. Функции ISP в конфигурационных устройствах обеспечивают лёгкое создание и модернизацию функциональности ПЛИС.

Схема ISP МСБ совместима со спецификацией IEEE Std. 1532. Более подробная информация и поддерживаемые инструкции JTAG приведены в файле BSDL «erc4q100_1532.bsd», размещенном на информационном портале отдела технической поддержки АО «ПМК Миландр» по ссылке <https://support.milandr.ru/docs/primery-programm/>.

Поддерживаемые инструкции JTAG приведены в таблице 2.

Таблица 2 – Инструкции JTAG конфигурационного устройства

Инструкция JTAG	Код операции	Описание
BYPASS	11 1111 1111	Располагает одноканальный регистр между TDI и TDO, позволяя проходить данным синхронно через выбранное устройство к соседнему устройству
IDCODE	00 0101 1001	Выбирается IDCODE регистр устройства и помещается между TDI и TDO, позволяя IDCODE последовательно сдвигаться на TDO. IDCODE для МСБ 0100A0DDh
USERCODE	00 0111 1001	Выбирается USERCODE регистр устройства и помещается между TDI и TDO, позволяя USERCODE последовательно сдвигаться на TDO
Инструкции ISP	—	Инструкции используются для программирования МСБ через порт JTAG с применением загрузочного кабеля

6 Электрические параметры

Таблица 3 – Электрические параметры МСБ при приёмке и поставке

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма параметра*		Температура среды, °C
		не менее	не более	
Выходное напряжение низкого уровня, В, при: I _{OL} = 4 мА, U _{CC} = 3,0 В	U _{OL}	–	0,55	25, 85, – 40
Выходное напряжение высокого уровня, В, при: I _{OH} = минус 4 мА, U _{CC} = 3,0 В	U _{OH}	2,4	–	
Ток потребления в режиме хранения, мА, при: U _{nCS} = 3,6 В, U _{OE} = 3,6 В, U _{CC} = 3,6 В	I _{CCS}	–	80	
Входной ток низкого и высокого уровня на входе, мкА, при: U _{CC} = 3,6 В, U _O = 5,5 В (I _{ILH}), U _O = 0 В (I _{ILL})	I _{ILL} I _{ILH}	– 10	10	
Входной ток высокого и низкого уровня в состоянии «Выключено», мкА, при: U _{CC} = 3,6 В, U _O = 3,6 В (I _{OZH}), U _O = 0 В (I _{OZL})	I _{OZL} I _{OZH}	– 10	10	
Динамический ток потребления в режиме конфигурирования, мА, при: U _{CC} = 3,6 В, f _C = 19 МГц	I _{OCC}	–	100	
Период следования импульсов тактовых сигналов внутреннего генератора, нс, при:U _{CC} = 3,0 В, U _{CC} = 3,6 В	T _C	148	246	
Временные характеристики интерфейса конфигурирования				
Длительность сигнала низкого уровня на выводе nINIT_CONF в режиме реконфигурирования, мкс, при:U _{CC} = 3,6 В	t _{W(nINIT_CONF)}	20	40	25, 85, – 40
Время задержки распространения сигнала DCLK относительно сигнала nINIT_CONF, мкс	t _{PHL(nINIT_CONF – DCLK)}	45	–	
Время задержки распространения сигнала DCLK относительно сигнала OE, мкс	t _{PHL(OE–DCLK)}	45	–	
Время задержки распространения сигнала DCLK относительно сигнала nCS, мкс, при: U _{CC} = 3,6 В, nCS= U _{IH}	t _{PHL(nCS–DCLK)}	–	3,5	
Время задержки распространения сигнала DATA относительно сигнала DCLK, нс при: AS_PS = 1, EX_EN = 0, f _{C(DCLK)} ** = 4 МГц	t _{PHL(DCLK–DATA)}	–	160	
AS_PS = 1, EX_EN=0, f _{C(DCLK)} ** = 19 МГц			50	
AS_PS = 0, EX_EN=1, f _{C(EXCLK)} *** = 4 МГц			140	
AS_PS = 0, EX_EN = 1, f _{C(EXCLK)} *** = 19 МГц			33	
AS_PS = 0, EX_EN = 0			115	

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма параметра*		Температура среды, °C
		не менее	не более	
Выходная частота DCLK, МГц	$f_{O(DCLK)}$	4	19	25, 85, – 40
* Уточняется в ходе ОКР. ** $f_{C(DCLK)}$ – частота следования импульсов DCLK. *** $f_{C(EXCLK)}$ – частота следования импульсов EXCLK				

7 Предельно-допустимые характеристики

Таблица 4 – Предельно-допустимые режимы эксплуатации и предельные режимы

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма параметра*			
		предельно- допустимый режим		предельный режим	
		не менее	не более	не менее	не более
Напряжение питания, В	U_{CC}	3,0	3,6	– 0,3	4,0
Входное напряжение низкого уровня, В	U_{IL}	0	0,8	– 0,3	–
Входное напряжение высокого уровня, В	U_{IH}	2,2	U_{CC}	–	$U_{CC}+0,3$
Напряжение, прикладываемое к выходу в состоянии «Выключено», В	U_{OZ}	0	U_{CC}	– 0,3	$U_{CC}+0,3$
Выходной ток низкого уровня, мА	I_{OL}	–	4,0	–	24,0
Выходной ток высокого уровня, мА	I_{OH}	– 4,0	–	– 24,0	–
Ток по выводу питания, мА	$I_{L_{CC}}^{**}$	–	–	–	100**
Ток по общему выводу, мА	$I_{L_{GND}}^{**}$	–	–	– 100**	–
Частота следования импульсов EXCLK, DCLK, МГц	f_C	4	19	–	–
Длительность сигнала низкого уровня на входе OE, мкс	$t_{W(OE)}$	2,5	–	–	–
Время установления входного сигнала OE относительно синхросигнала DCLK, мкс	$t_{SU(OE-DCLK)}$	60	–	–	–
Длительность сигнала низкого/высокого уровня на входе DCLK, нс	$t_{WH(DCLK)}$ $t_{WL(DCLK)}$	26.32	125	–	–
Емкость нагрузки, пФ	C_L	–	20	–	50
* Уточняется в ходе ОКР. ** По каждому выводу. Примечания 1 Не допускается одновременное воздействие нескольких предельных режимов. 2 Необходимость дополнительных источников питания и порядок подачи и снятия питания уточняется в ходе ОКР					

МСБ устойчивы к воздействию статического электричества с потенциалом не менее 2000 В.

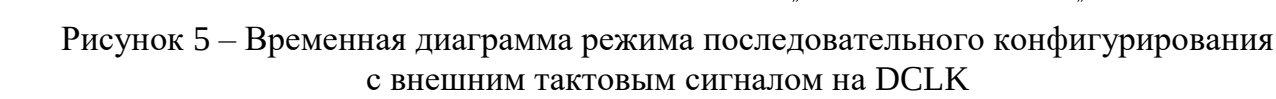
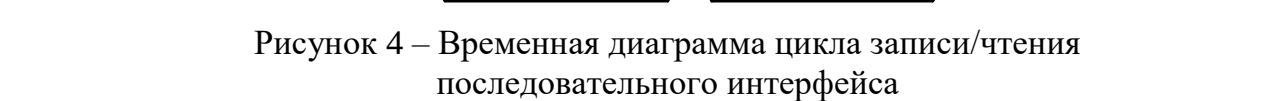
Время хранения информации при $T = 85\text{ }^{\circ}\text{C}$ – не менее 20 лет.

Количество циклов записи/стирания данных при $T = 85\text{ }^{\circ}\text{C}$ – не менее 20 000.

8 Справочные данные

Таблица 5 – Справочные параметры

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма параметра		Температура среды, °C
		не менее	не более	
Время задержки распространения сигнала POR, мс при: PORSEL = 0	t _{PHL} (POR)	200	332	25, 85, – 40
Время задержки распространения сигнала POR, мс при: PORSEL = 1		2	5	
Время нарастания и спада входных сигналов, нс	t _{HL} t _{LH}	–	20	
Собственная резонансная частота, Гц	–	–	100	
Временные характеристики интерфейса JTAG				
Время задержки распространения сигнала TDO относительно сигнала TCK, нс	t _{PHL} (TCK- TDO)	–	120	25, 85, – 40
Период следования импульсов тактовых сигналов на входе TCK, нс при: – выполнении SHIFT_DR/SHIFT_IR	T _C (TCK)	200	–	
– в остальных случаях		1000		
Длительность сигнала низкого/высокого уровня на входе TCK, нс при: – выполнении SHIFT_DR/SHIFT_IR	t _{WH} (TCK) t _{WL} (TCK)	100	–	
– в остальных случаях		500		
Время установления сигнала данных TDI относительно сигнала TCK, нс	t _{SU} (TDI-TCK)	20	–	
Время удержания сигнала данных TDI относительно сигнала TCK, нс	t _H (TCK-TDI)	100	–	



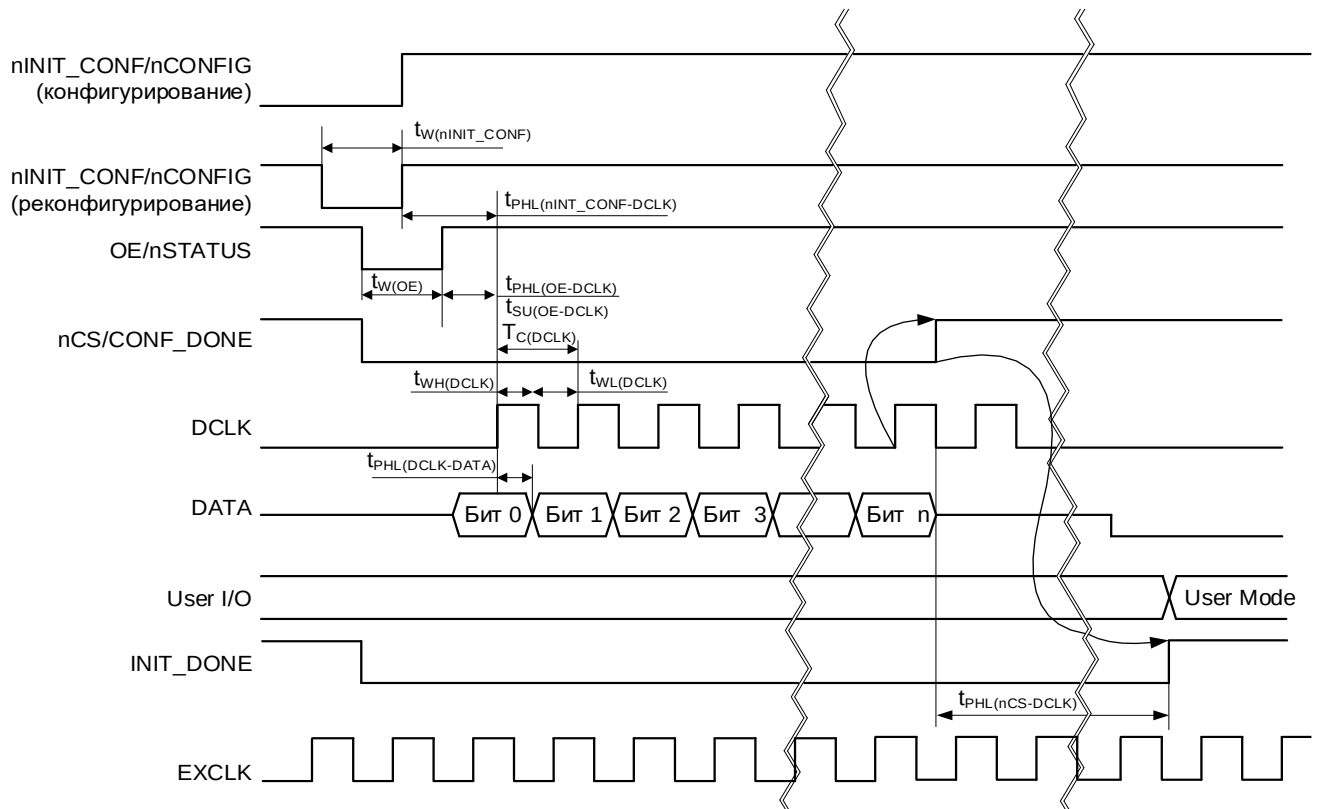


Рисунок 6 – Временная диаграмма режима последовательного конфигурирования с внешним тактовым сигналом на EXCLK

Выдача данных во время конфигурирования происходит посылками, как это показано на рисунке 7.

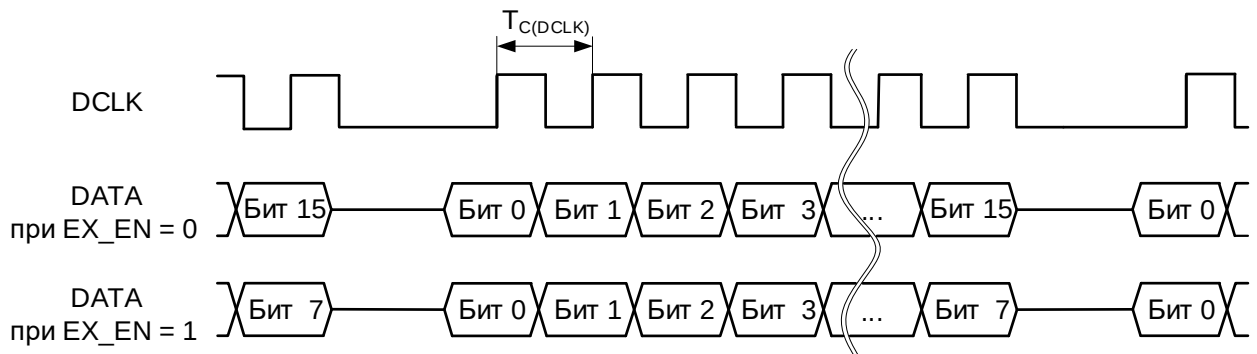


Рисунок 7 – Временная диаграмма режима последовательного конфигурирования

10 Типовые зависимости

Раздел находится в разработке.

11 Габаритный чертеж

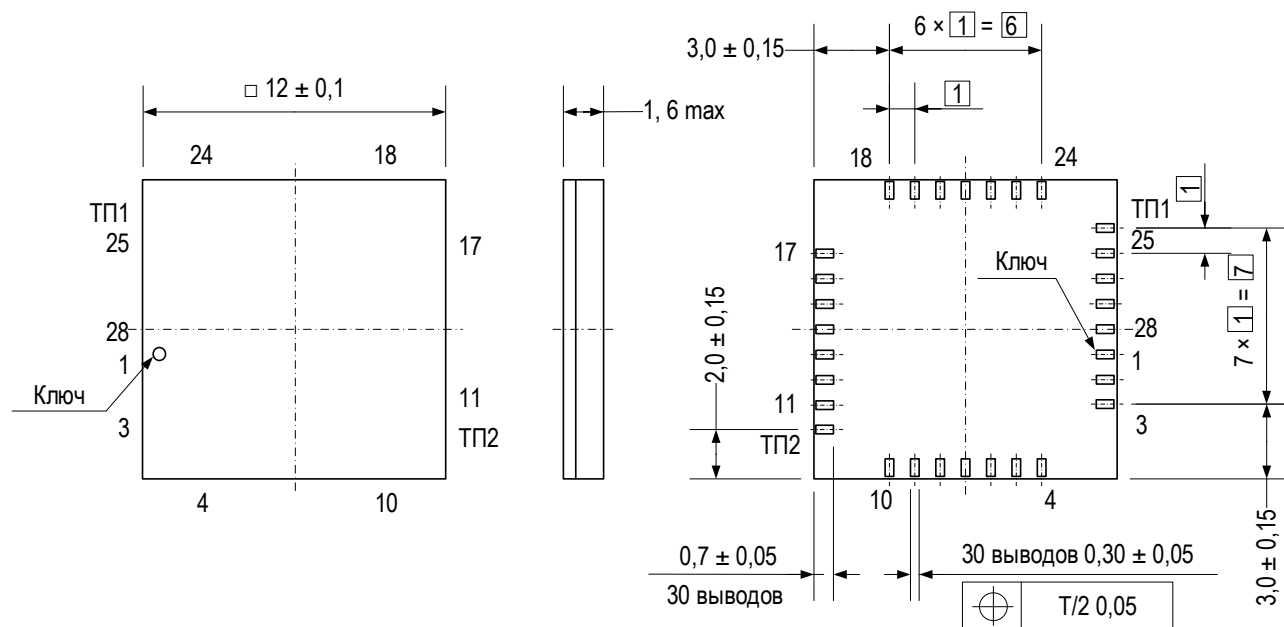


Рисунок 8 – МСБ в корпусе QFN28 12×12×1,6 (1,0)

12 Информация для заказа

Обозначение МСБ	Маркировка	Тип корпуса	Температурный диапазон, °С
MDR2307FI	MDR2307FI	QFN28 12×12×1,6 (1,0)	от – 40 до 85

