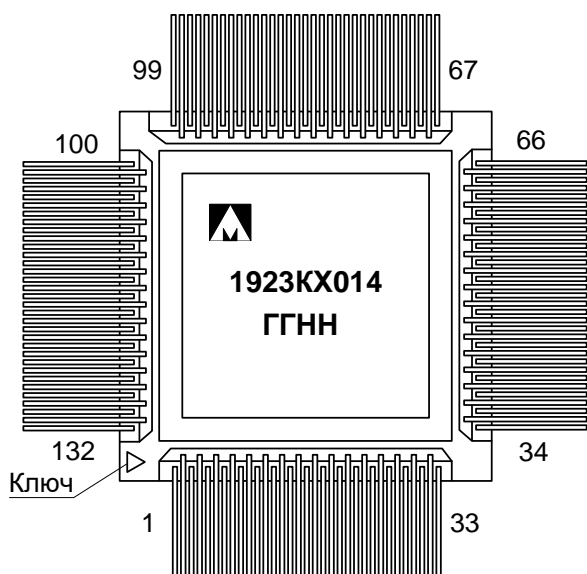




## Микросхема 64-канального цифрового коммутатора 1923КХ014



ГГ – год выпуска  
НН – неделя выпуска

### Основные характеристики микросхемы:

- Напряжение питания от 3,0 до 5,5 В;
- 8 8-канальных аналоговых мультиплексоров;
- 12-разрядный АЦП с функцией цифрового компаратора;
- 8 аналоговых компараторов с выбором уровней компарирования;
- Режим циклического преобразования АЦП для выбранных каналов;
- Источник опорного тока;
- Контроллер параллельной шины управления;
- Контроллер интерфейса SPI;
- Встроенная однократно-программируемая память объемом 128x8 с ECC для хранения калибровочных и пользовательских настроек;
- Рабочий диапазон температур: от минус 60 до 125 °С

### Тип корпуса:

- 132-выводой металлокерамический корпус 4229.132-3.

### Общее описание и область применения микросхемы

Микросхемы интегральные 1923КХ014 (далее – микросхемы) представляют собой 64-канальный цифровой коммутатор и предназначены для обработки цифровых сигналов, поступающих по цифровым линиям связи, для применения в бортовой аппаратуре телеметрических систем КА, РН и РБ.

# 1 Структурная блок-схема микросхем

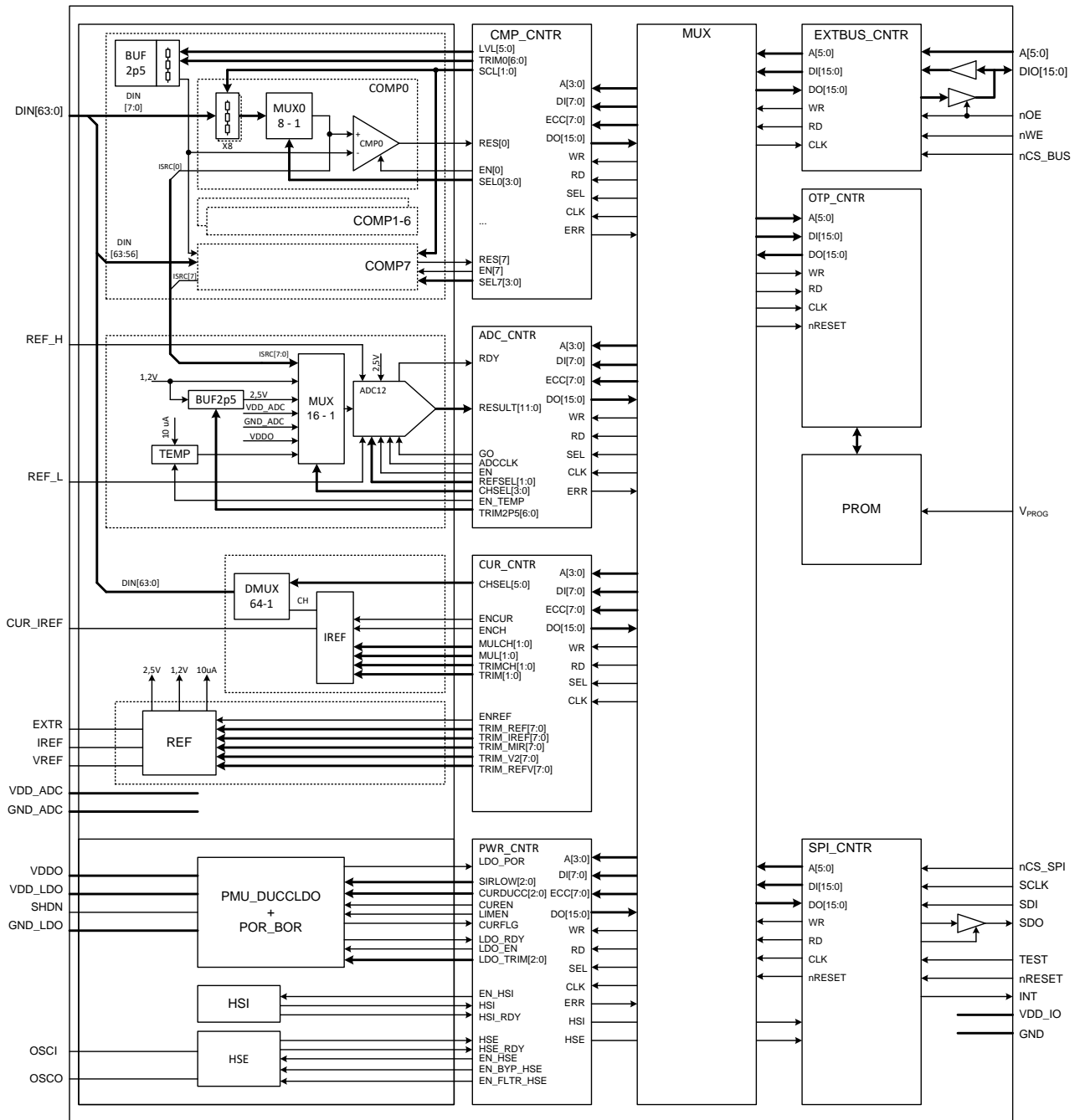


Рисунок 1 – Структурная блок-схема микросхем

Обозначения на структурной блок-схеме на рисунке 1:

- ADC12 – 12-разрядный АЦП с функцией цифрового компаратора;
- ADC\_CNTR – контроллер АЦП с встроенной регистровой памятью для хранения результатов восьми 12-разрядных преобразований АЦП;
- BUF2p5 – источник опорного напряжения 2,5 В;
- CMP\_CNTR – контроллер управления блоком аналоговых компараторов;
- CMP0 – CMP7 – аналоговые компараторы;
- COMP0 – COMP7 – аналоговые компараторы с выбором уровней компарирования;
- CUR\_CNTR – контроллер управления источниками опорных токов и напряжений;
- DIN[63:0] – коммутируемые каналы;
- DMUX 64-1 – демультиплексор опорного тока в каналы DIN;

- HSE – внешний генератор;
- HSI – встроенный RC генератор;
- IREF – источник опорного тока;
- MUX – блок коммутации цифровых блоков;
- MUX0 – MUX7 – мультиплексор из 8 в 1;
- MUX 16-1 – мультиплексор из 16 в 1;
- OTP\_CNTR – контроллер однократно-программируемой (OTP) памяти;
- EXTBUS\_CNTR – контроллер параллельной шины управления;
- PMU\_DUCCLDO+POR\_BOR – схема формирования напряжения питания 1,8 В и сигналов (POR, BOR) сброса;
- PROM – встроенная память OTP объёмом 128 × 8 с ECC (схема коррекции ошибок) для хранения калибровочных и пользовательских настроек;
- PWR\_CNTR – контроллер управления питанием;
- SPI\_CNTR – контроллер интерфейса SPI;
- TEMP – датчик температур;
- REF – блок источников опорных токов и напряжений.

Иерархическая структура блоков микросхемы представлена на рисунке 2.

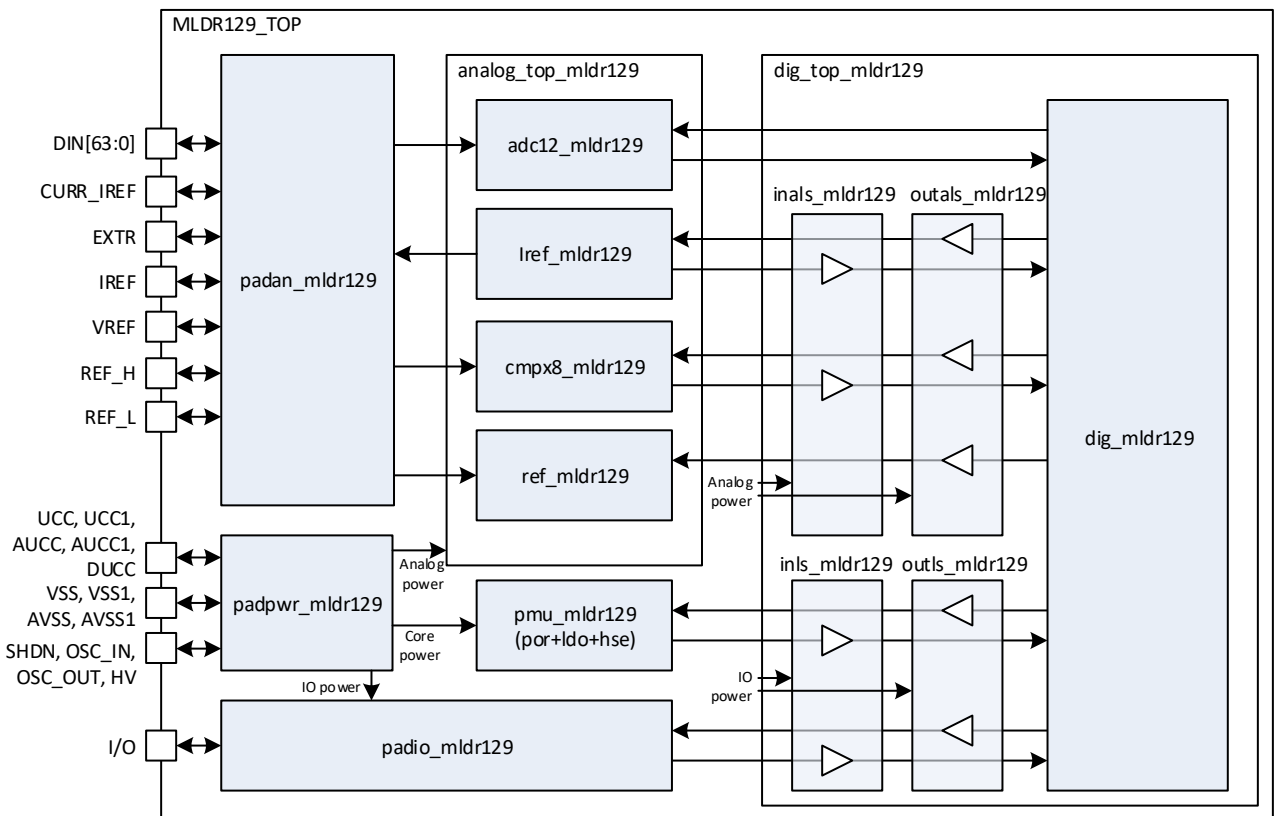


Рисунок 2 – Иерархическая структура блоков микросхемы

Таблица 1 – Описание блоков схемы

Название блока	Описание
MLDR129_TOP	Схема верхнего уровня
padan_mldr129	Схема площадок ввода сигналов DIN
padpwr_mldr129	Схема площадок питания и тактового генератора
padio_mldr129	Схема площадок ввода-вывода данных
pmu_mldr129	Схема вторичного питания и встроенных генераторов
analog_top_mldr129	Схема верхнего уровня аналоговых блоков

Название блока	Описание
adc12_mldr129	Схема 12-ти битного АЦП
cmpx8_mldr129	Схема компараторов
ref_mldr129	Схема источника опорных напряжений и токов
iref_mldr129	Схема источника токов на каналы и вывод CURR_IREF
dig_top_mldr129	Схема верхнего уровня цифровой части
dig_mldr129	Схема цифровой части
inals_mldr129	Схема входных левел-шифтеров для аналоговой части
outals_mldr129	Схема выходных левел-шифтеров для аналоговой части
inls_mldr129	Схема входных левел-шифтеров для системы питания и ИО
outls_mldr129	Схема выходных левел-шифтеров для системы питания и ИО
otp_128x13_mldr123	Блок память OTP
hsi	RC генератор 8 МГц

## 2 Условное графическое обозначение

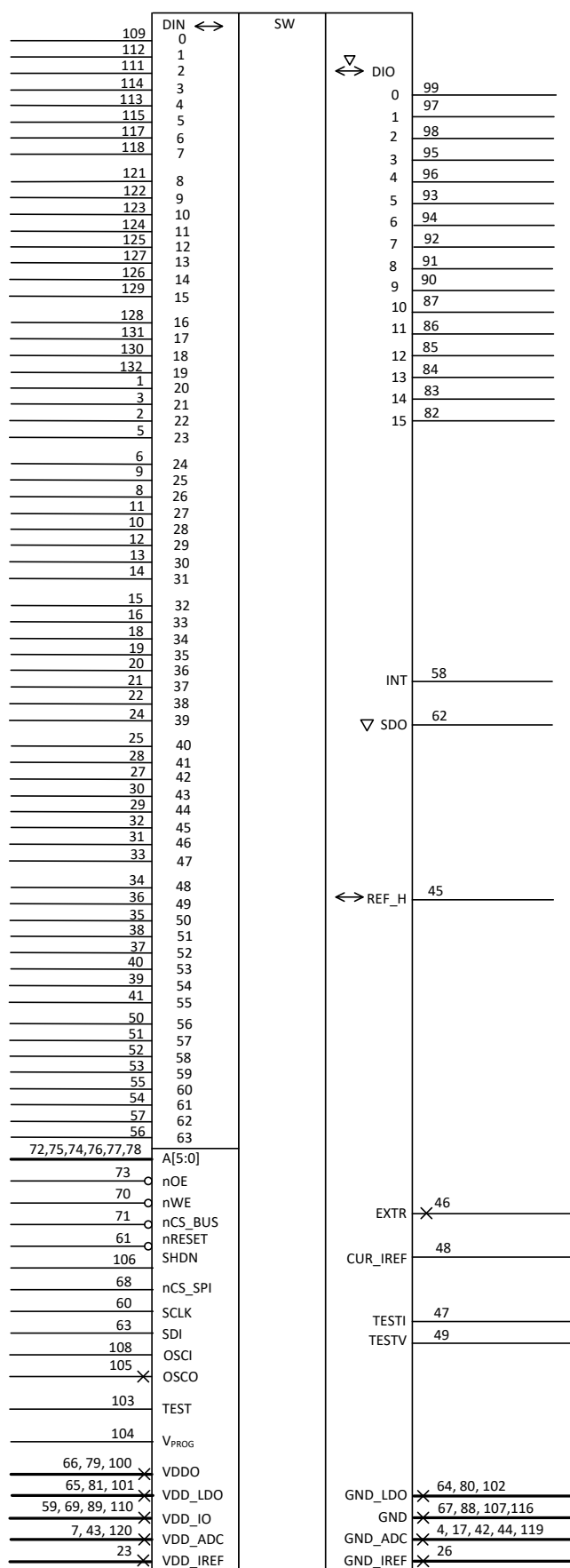


Рисунок 3 – Условное графическое обозначение микросхем

### 3 Описание выводов

Таблица 2 – Описание выводов

№ вывода корпуса	Обозначение вывода	Тип вывода	Функциональное назначение вывода
1	DIN20	AIO	Вход компаратора CMP2 / выход источника тока
2	DIN22	AIO	Вход компаратора CMP2 / выход источника тока
3	DIN21	AIO	Вход компаратора CMP2 / выход источника тока
4	GND_ADC	AGND	Общий АЦП и компараторов
5	DIN23	AIO	Вход компаратора CMP2 (старший разряд) / выход источника тока
6	DIN24	AIO	Вход компаратора CMP3 (младший разряд) / выход источника тока
7	VDD_ADC	PWR	Питание АЦП и компараторов
8	DIN26	AIO	Вход компаратора CMP3 / выход источника тока
9	DIN25	AIO	Вход компаратора CMP3 / выход источника тока
10	DIN28	AIO	Вход компаратора CMP3 / выход источника тока
11	DIN27	AIO	Вход компаратора CMP3 / выход источника тока
12	DIN29	AIO	Вход компаратора CMP3 / выход источника тока
13	DIN30	AIO	Вход компаратора CMP3 / выход источника тока
14	DIN31	AIO	Вход компаратора CMP3 (старший разряд) / выход источника тока
15	DIN32	AIO	Вход компаратора CMP4 (младший разряд) / выход источника тока
16	DIN33	AIO	Вход компаратора CMP4 / выход источника тока
17	GND_ADC	AGND	Общий АЦП и компараторов
18	DIN34	AIO	Вход компаратора CMP4 / выход источника тока
19	DIN35	AIO	Вход компаратора CMP4 / выход источника тока
20	DIN36	AIO	Вход компаратора CMP4 / выход источника тока
21	DIN37	AIO	Вход компаратора CMP4 / выход источника тока
22	DIN38	AIO	Вход компаратора CMP4 / выход источника тока
23	VDD_IREF	PWR	Питание источников токов (должен быть соединен с VDD_ADC)
24	DIN39	AIO	Вход компаратора CMP4 (старший разряд) / выход источника тока
25	DIN40	AIO	Вход компаратора CMP5 (младший разряд) / выход источника тока
26	GND_IREF	GND	Общий источников тока (должен быть соединен с GND_ADC)
27	DIN42	AIO	Вход компаратора CMP5 / выход источника тока
28	DIN41	AIO	Вход компаратора CMP5 / выход источника тока
29	DIN44	AIO	Вход компаратора CMP5 / выход источника тока
30	DIN43	AIO	Вход компаратора CMP5 / выход источника тока
31	DIN46	AIO	Вход компаратора CMP5 / выход источника тока
32	DIN45	AIO	Вход компаратора CMP5 / выход источника тока
33	DIN47	AIO	Вход компаратора CMP5 (старший разряд) / выход источника тока
34	DIN48	AIO	Вход компаратора CMP6 (младший разряд) / выход источника тока
35	DIN50	AIO	Вход компаратора CMP6 / выход источника тока
36	DIN49	AIO	Вход компаратора CMP6 / выход источника тока
37	DIN52	AIO	Вход компаратора CMP6 / выход источника тока

№ вывода корпуса	Обозначение вывода	Тип вывода	Функциональное назначение вывода
38	DIN51	AIO	Вход компаратора CMP6 / выход источника тока
39	DIN54	AIO	Вход компаратора CMP6 / выход источника тока
40	DIN53	AIO	Вход компаратора CMP6 / выход источника тока
41	DIN55	AIO	Вход компаратора CMP6 (старший разряд) / выход источника тока
42	GND_ADC	AGND	Общий АЦП и компараторов
43	VDD_ADC	PWR	Питание АЦП и компараторов
44	GND_ADC	AGND	Общий АЦП и компараторов
45	REF_H	AIO	Вход/выход верхней границы опорного напряжения
46	EXTR	–	Вывод подключения внешнего токозадающего резистора 3,48 кОм ± 0,05 % на общий
47	TESTI	AO	Тестовый выход опорного тока (не подключать)
48	CUR_IREF	AO	Выход источника опорного тока
49	TESTV	AO	Тестовый выход опорного напряжения (не подключать)
50	DIN56	AIO	Вход компаратора CMP7 (младший разряд) / выход источника тока
51	DIN57	AIO	Вход компаратора CMP7 / выход источника тока
52	DIN58	AIO	Вход компаратора CMP7 / выход источника тока
53	DIN59	AIO	Вход компаратора CMP7 / выход источника тока
54	DIN61	AIO	Вход компаратора CMP7 / выход источника тока
55	DIN60	AIO	Вход компаратора CMP7 / выход источника тока
56	DIN63	AIO	Вход компаратора CMP7 (старший разряд) / выход источника тока
57	DIN62	AIO	Вход компаратора CMP7 / выход источника тока
58	INT	O	Выход запроса прерывания
59	VDD_IO	PWR	Питание портов ввода-вывода
60	SCLK	I	Вход тактовой частоты интерфейса SPI
61	nRESET	I	Вход внешнего сброса микросхемы 0 – сброс 1 – работа
62	SDO	O	Выход данных интерфейса SPI
63	SDI	I	Вход данных интерфейса SPI
64	GND_LDO	GND	Общий LDO – регулятора
65	VDD_LDO	PWR	Питание LDO – регулятора
66	VDDO	PWR	Питание цифровой части при SHDN=1
		OA	Выход LDO – регулятора при SHDN = 0
67	GND	GND	Общий
68	nCS_SPI	I	Выбор интерфейса SPI 0 – выбран интерфейс SPI 1 – выход SDO в состоянии «Выключено»
69	VDD_IO	PWR	Питание портов ввода-вывода
70	nWE	I	Вход записи 0 – запись данных 1 – нет записи
71	nCS_BUS	I	Вход выбора параллельной шины микросхемы 0 – шина выбрана (для чтения или записи) 1 – шина не выбрана, выводы DIO в состоянии «Выключено»
72	A5	I	Вход адреса параллельного интерфейса (старший разряд)

№ вывода корпуса	Обозначение вывода	Тип вывода	Функциональное назначение вывода
73	nOE	I	Вход разрешения чтения 0 – DIO вход данных 1 – вход DIO в состоянии «Выключено»
74	A3	I	Вход адреса параллельного интерфейса
75	A4	I	Вход адреса параллельного интерфейса
76	A2	I	Вход адреса параллельного интерфейса
77	A1	I	Вход адреса параллельного интерфейса
78	A0	I	Вход адреса параллельного интерфейса (младший разряд)
79	VDDO	PWR	Питание цифровой части при SHDN=1
		OA	Выход LDO – регулятора при SHDN=0
80	GND_LDO	GND	Общий LDO – регулятора
81	VDD_LDO	PWR	Питание LDO – регулятора
82	DIO15	IO	Вход/выход данных параллельного интерфейса (старший разряд)
83	DIO14	IO	Вход/выход данных параллельного интерфейса
84	DIO13	IO	Вход/выход данных параллельного интерфейса
85	DIO12	IO	Вход/выход данных параллельного интерфейса
86	DIO11	IO	Вход/выход данных параллельного интерфейса
87	DIO10	IO	Вход/выход данных параллельного интерфейса
88	GND	GND	Общий
89	VDD_IO	PWR	Питание портов ввода-вывода
90	DIO9	IO	Вход/выход данных параллельного интерфейса
91	DIO8	IO	Вход/выход данных параллельного интерфейса
92	DIO7	IO	Вход/выход данных параллельного интерфейса
93	DIO5	IO	Вход/выход данных параллельного интерфейса
94	DIO6	IO	Вход/выход данных параллельного интерфейса
95	DIO3	IO	Вход/выход данных параллельного интерфейса
96	DIO4	IO	Вход/выход данных параллельного интерфейса
97	DIO1	IO	Вход/выход данных параллельного интерфейса
98	DIO2	IO	Вход/выход данных параллельного интерфейса
99	DIO0	IO	Вход/выход данных параллельного интерфейса (младший разряд)
100	VDDO	PWR	Питание цифровой части при SHDN=1
		OA	Выход LDO – регулятора при SHDN=0
101	VDD_LDO	PWR	Питание LDO – регулятора
102	GND_LDO	GND	Общий LDO – регулятора
103	TEST	I	Вход задания тестового режима 0 – рабочий режим 1 – тестовый режим
104	VPROG	PWR	Напряжение программирования OTP (после программирования вывод должен быть подключён к питанию VDD_IO)
105	OSCO	–	Вывод подключения резонатора
106	SHDN	I	Вход выключения встроенной схемы LDO-регулятора 0 – LDO-регулятор включен 1 – LDO-регулятор выключен
107	GND	GND	Общий
108	OSCI	AI	Вход тактового генератора, вывод подключения резонатора
109	DIN0	AIO	Вход компаратора CMP0 (младший разряд) / выход источника тока
110	VDD_IO	PWR	Питание портов ввода-вывода



№ вывода корпуса	Обозначение вывода	Тип вывода	Функциональное назначение вывода
111	DIN2	AIO	Вход компаратора CMP0 / выход источника тока
112	DIN1	AIO	Вход компаратора CMP0 / выход источника тока
113	DIN4	AIO	Вход компаратора CMP0 / выход источника тока
114	DIN3	AIO	Вход компаратора CMP0 / выход источника тока
115	DIN5	AIO	Вход компаратора CMP0 / выход источника тока
116	GND	GND	Общий
117	DIN6	AIO	Вход компаратора CMP0 / выход источника тока
118	DIN7	AIO	Вход компаратора CMP0 (старший разряд) / выход источника тока
119	GND_ADC	GND	Общий АЦП и компараторов
120	VDD_ADC	PWR	Питание АЦП и компараторов
121	DIN8	AIO	Вход компаратора CMP1 (младший разряд) / выход источника тока
122	DIN9	AIO	Вход компаратора CMP1 / выход источника тока
123	DIN10	AIO	Вход компаратора CMP1 / выход источника тока
124	DIN11	AIO	Вход компаратора CMP1 / выход источника тока
125	DIN12	AIO	Вход компаратора CMP1 / выход источника тока
126	DIN14	AIO	Вход компаратора CMP1 / выход источника тока
127	DIN13	AIO	Вход компаратора CMP1 / выход источника тока
128	DIN16	AIO	Вход компаратора CMP2 (младший разряд) / выход источника тока
129	DIN15	AIO	Вход компаратора CMP1 (старший разряд) / выход источника тока
130	DIN18	AIO	Вход компаратора CMP2 / выход источника тока
131	DIN17	AIO	Вход компаратора CMP2 / выход источника тока
132	DIN19	AIO	Вход компаратора CMP2 / выход источника тока
–	GND	GND	Общий

#### 4 Указания по применению и эксплуатации

При ремонте аппаратуры и измерении параметров замену микросхем необходимо проводить только при отключенных источниках питания.

Запрещается подведение каких-либо электрических сигналов (в том числе шин «Питание» и «Общий») к тестовым выводам микросхем.

При программировании использовать источник напряжения, подключенный к выводу  $V_{PROG}$ , с ограничением по току не менее 10 мА.

Типовая схема включения микросхем приведена на рисунке 15.

Микросхема может быть использована в системах, требующих резерва. Холодный резерв подразумевает неактивный режим работы микросхемы при  $U_{CC} = 0$  В, при этом на входы могут задаваться сигналы.

Цифровые входы и выводы DIN поддерживают функцию холодного резервирования.

Зависимости токов утечки на выводы DIN и цифровых входах в режиме холодного резервирования, приведены на рисунках 16 и 17.

## 5 Описание функционирования микросхемы

### 5.1 Общее описание

Микросхема содержит 64 аналоговых канала, разделенных на восемь групп. 64 входа поступают на восемь 8-ми входных мультиплексоров. Таким образом пользователь может выбрать одну группу выводов из восьми 8-разрядных групп. Выбранная группа выводов поступает на вход блока аналогового компарирования, состоящего из 8-ми компараторов. Всем компараторам может быть задан только один уровень сравнения входного сигнала из шкалы напряжений, задаваемых встроенным резистивным делителем.

Также выбранная группа выводов поступает на вход 8-ми входного мультиплексора для 12-разрядного АЦП последовательного приближения. Также с помощью АЦП могут быть оцифрованы внутренние сигналы – напряжения питания цифровой части, напряжения ИОН.

В микросхеме реализован программируемый встроенный источник опорного тока на вывод CUR\_IREF. Для формирования опорного тока используется высокостабильный резистор с номиналом  $3,48 \text{ кОм} \pm 1\%$  и температурным коэффициентом на более  $100 \text{ ppm/}^\circ\text{C}$ . Также опорный ток может быть сформирован в каналы DIN.

Управление функциями микросхемы, а также считывание данных производится по одному из интерфейсов управления: последовательному SPI или параллельному. Выбор интерфейса осуществляется сигналом SPI.

Микросхема содержит 63 регистра.

В микросхеме реализована встроенная однократно программируемая память (далее OTP) объемом  $128 \times 8$  бит. В данной памяти в ячейках с 0 по 6 хранится заводская калибровочная информация. Данная информация может быть автоматически или программно переписана в регистры настройки микросхемы. Также калибровочная информация может быть записана по SPI. В ячейках с 64 по 119 может быть расположена любая пользовательская информация. Программирование памяти OTP осуществляется через SPI-интерфейс.

### 5.2 Система тактирования

Микросхема может быть тактирована от различных источников:

- встроенный RC-генератор HSI с типовой частотой  $\sim 8 \text{ МГц}$ ;
- внешний кварцевый резонатор HSE с частотой от 2 до 20 МГц;
- внешний кварцевый резонатор HSE в режиме генератора с частотой до 20 МГц;
- вывод SCLK SPI-интерфейса с частотой до 20 МГц.

После включения питания в качестве источника тактирования выбран генератор HSI. Это позволяет начать работу как по последовательному, так и по параллельному интерфейсу. При этом длительности временных интервалов обращений должны быть рассчитаны, исходя из минимально гарантированного значения частоты HSI. После начала работы можно переключить тактирование на другой источник, например, HSE.

При тактировании генератором HSE можно обеспечить более высокую скорость работы и более стабильную тактовую частоту.

При тактировании от SCLK можно обеспечить высокую скорость и минимальное потребление при отсутствии обращений по SPI-интерфейсу. При этом необходимо помнить, что процесс преобразования АЦП требует 40 тактов при GO (400 тактов при

GO10). Таким образом, для выполнения преобразования потребуется выполнить несколько «пустых» обращений по SPI-интерфейсу. При запуске однократного цикла преобразования данные для всех каналов готовы после окончания всего цикла преобразования. При непрерывном цикле преобразования данные обновляются в регистрах результата постоянно.

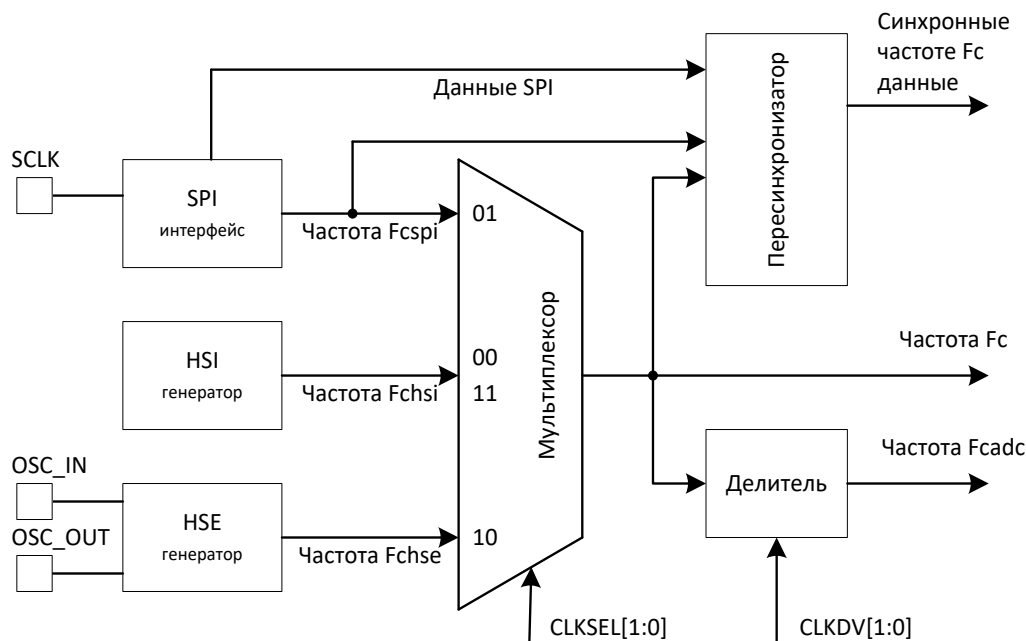


Рисунок 4 – Система тактирования микросхемы

Для включения генератора HSE необходимо установить бит HSEON в логическую «1». Битом HSEBYP выбирается режим работы генератора HSE. Для работы генератора HSE необходим внешний кварцевый резонатор или генератор. Успешный запуск генератора отображается через флаг HSERDY. Для выключения генератора HSE необходимо сбросить бит HSEON в логический «0». В выключенном состоянии генератора выводы OSC\_IN и OSC\_OUT могут быть не подключены. При использовании внешнего генератора тактовая частота должна подаваться на вывод OSC\_IN, при этом OSC\_OUT должен быть не подключен.

Для включения генератора HSI необходимо установить бит HSION в логическую «1» (устанавливается по сбросу). Для выключения генератора необходимо сбросить бит HSION в логический «0». Успешный запуск генератора отображается через флаг HSIRDY.

Для переключения с одного источника на другой необходимо наличия обоих тактовых частот этих источников. После переключения неиспользуемый источник может быть отключен. Переключение на выключенный или отсутствующий источник тактирования приведет к остановке микросхемы.

### 5.3 Последовательный SPI-интерфейс

Временная диаграмма работы последовательного интерфейса SPI приведена на рисунке 35.

Обращения по SPI-интерфейсу осуществляются 16-битными транзакциями при низком уровне сигнала nCS\_SPI (см. рисунки 5 и 6). Фиксация данных осуществляется по положительному фронту сигнала SCLK, изменение данных осуществляется по отрицательному фронту сигнала SCLK.

При высоком уровне на nCS\_SPI линия SDO находится в третьем состоянии. Первый бит на линии SDI определяет тип обращения: запись (низкий уровень) или

чтение (высокий уровень). После следует 6 битов адреса ADDR[5:0]. Затем следует бит паритета PAR (доопределяет число единиц до четного значения). Далее 8 бит данных DATA[7:0]. Запись данных осуществляется по последнему положительному фронту сигнала SCLK. Высокий уровень сигнала nCS\_SPI сбрасывает весь приемник SPI, таким образом транзакция записи выполняется полностью, если будет 16 тактов SCLK при низком уровне nCS\_SPI, и при этом для всех 16 бит будет выполнена проверка четности числа единиц.

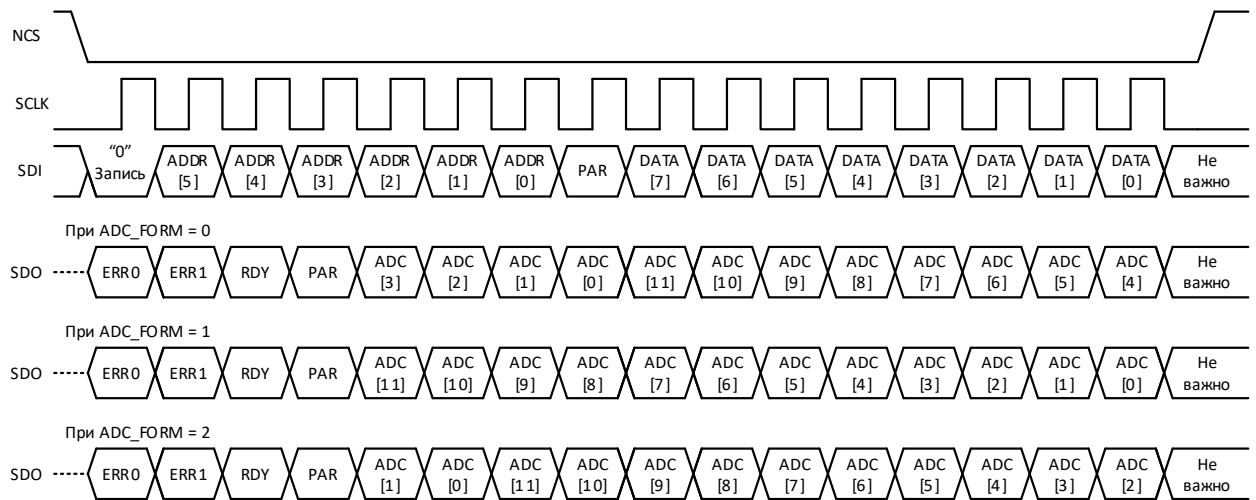


Рисунок 5 – Диаграмма записи по SPI

При записи по SPI всегда возвращается результат преобразования АЦП. Поскольку преобразование может быть не закончено на момент обращения, вместе с данными возвращается бит готовности RDY. Если он установлен в логическую «1», преобразование закончилось и данные верны. Также возвращаются два бита ошибок ERR0 и ERR1 (см. раздел 5.7 «Описание ошибок»). Формат выдачи данных от АЦП можно менять, выравнивая по байтам 8-, 10- или 12-битный результат. Для ожидания готовности результата АЦП реализован «пустой» регистр с адресом 0. Запись в него не имеет значения, но при этом минимизируются переключения по линиям SPI, что уменьшает шумы в ходе преобразования АЦП. Если данные от АЦП не готовы, в битах данных возвращаются нули.

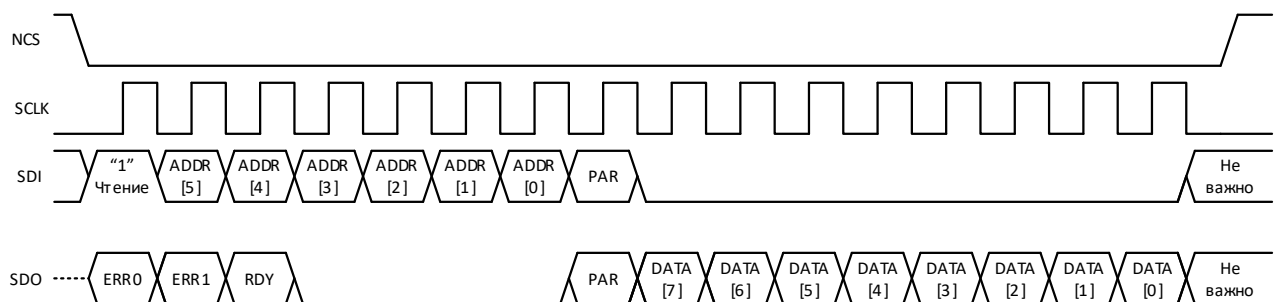


Рисунок 6 – Диаграмма чтения по SPI

При чтении по SPI в зависимости от адреса обращения возвращаются биты данных DATA[7:0]. Также при чтении возвращается бит готовности данных от АЦП, флаги ошибок ERR0 и ERR1 и бит паритета PAR (доопределяет число единиц до четного значения).

#### 5.4 Параллельный интерфейс

Операция чтения выполняется по сигналу nOE (см. рисунок 7). Длительность сигнала nOE должна быть больше 6 тактов частоты FCLK. Это необходимо для

пересинхронизации обращения в регистры системы. При этом длительность сигнала nOE не ограничена. Например, для того, чтобы получать постоянно значение результата сравнения компараторов необходимо задать адрес регистра CMPRESLT (0x07) и сигнал nOE равным нулю. В этом случае на шине данных DIO[7:0] будет транслироваться текущее значение результатов сравнения компараторов. Это верно только для регистра CMPRESLT. При чтении остальных регистров возвращается значение, зафиксированное на момент обращения. Т.е., например, для чтения результата АЦП необходимо последовательно выполнять обращения (устанавливать и снимать сигнал nOE) до тех пор, пока не будет возвращен результат преобразования с установленным битом готовности. Либо выполнять чтение с промежутком времени, гарантирующим окончание преобразования. При выполнении операции чтения регистра ADCFAKE возвращается 12-битный результат преобразования в зависимости от значения FORM биты результата могут быть расположены по-разному. Также результат преобразования можно считать через регистры ADCRSLTH и ADCRSLTL, но в этом случае результат возвращается по битам DIO[7:0].

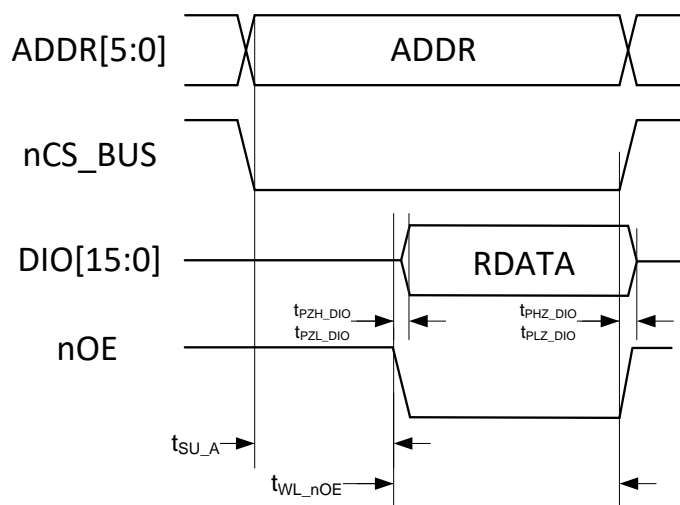


Рисунок 7 – Операция чтения

Операция записи выполняется по сигналу nWE (см. рисунок 8). Длительность сигнала nWE должна быть больше 6 тактов частоты FCLK. Это необходимо для пересинхронизации обращения в регистры системы.

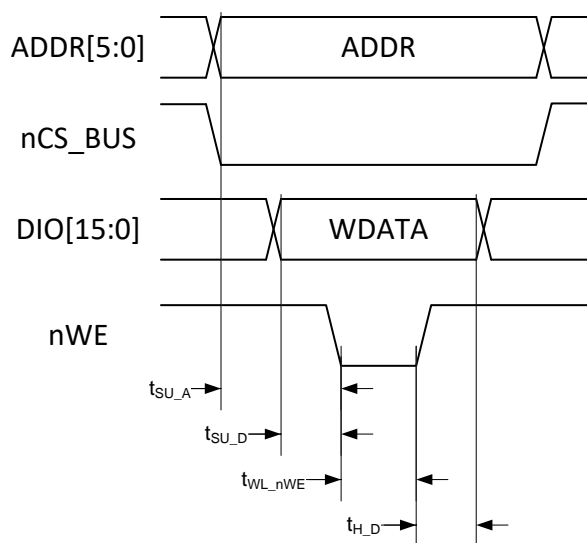


Рисунок 8 – Операция записи

## 5.5 Однократно программируемая память (OTP)

При включении питания и после любого сигнала сброса микросхемы происходит автоматическая инициализация регистров из памяти OTP. Название регистров и соответствующие им ячейки памяти приведены в таблице 3.

Таблица 3 – Описание регистров

Название регистра	Назначение регистра	Ячейка памяти OTP	Запись значения в ячейку памяти OTP
PWRCNTR1	Настройка генератора HSI, выбора источника тактирования и разрешения сигналов сброса	0x00	Значение записывается пользователями
CURCNTR1	Управление и настройка источника опорного напряжения 1,2 В по наклону	0x01	Значение тримминга записано на производстве
CURCNTR2	Управление и настройка источников опорного тока с положительной зависимостью от температуры	0x02	Значение тримминга записано на производстве
CURCNTR8	Настройка источника опорного напряжения 1,2 В по уровню	0x03	Значение тримминга записано на производстве
CMPTTRIM0	Настройка источника 2,5 В задания сравнения VLVL	0x04	Значение тримминга записано на производстве
CURCNTR3	Управление и настройка источников опорного тока с нулевой зависимостью от температуры	0x05	Значение тримминга записано на производстве
CURCNTR4	Управление и настройка программируемых источников опорного тока на выводах CUR_IREF и одном из каналов DIN[63:0]	0x06	Значение записывается пользователями

Если на входе TEST подан высокий уровень, автоматическая инициализация не выполняется, и регистры остаются в нулевом значении.

Если при автоматической инициализации при чтении из памяти OTP обнаружена неисправимая ошибка, регистры остаются в нулевом значении.

Ячейки памяти OTP с 7 по 63 и 120 по 127 зарезервированы для производства. Ячейки с 64 по 119 могут использоваться пользователями по своему усмотрению. Программирование ячеек осуществляется через регистры управления памятью OTP при наличии на входе HV напряжения с уровнем  $U_{HVP}$ .

### 5.5.1 Методика программирования

Память OTP может быть запрограммирована в режиме регистрового доступа.

В режиме регистрового доступа внутренние сигналы управления памяти OTP формируются путем записи соответствующих значений в регистры управления блока OTPCNTR.

Программирование памяти OTP выполняется в три этапа. Общая блок-схема процесса программирования представлена на рисунке 9.

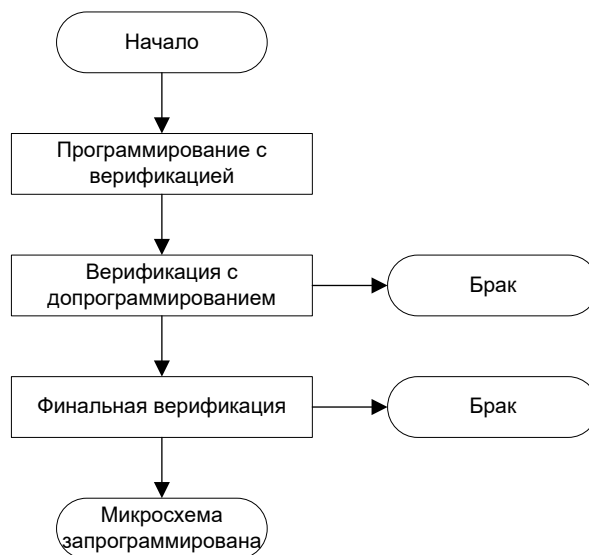


Рисунок 9 – Блок-схема процесса программирования памяти OTP

### 5.5.1.1 Общие требования к программированию

В процессе программирования памяти OTP должны быть выполнены требования, изложенные в данном подразделе.

Программирование памяти OTP должно проводиться в лабораторных условиях при температуре от 15 до 45 °С.

Для микросхем 1923КХ014 гарантируется программируемость с коэффициентом программируемости  $K_{PROG}$ , что необходимо учитывать при выборе метода программирования и монтажа микросхем.

Минимальной программируемой ячейкой памяти является одно 13-битное слово (8 информационных бит и 5 бит корректирующего кода ECC).

При программировании информационные биты и корректирующие биты ECC программируются одинаковым методом. В режиме регистрового доступа биты ECC[4:0] при записи необходимо устанавливать в поле WECC регистра OTPWECC блока OTPCNTR. Информационные биты DATA[7:0] при записи необходимо устанавливать в поле WDATA регистра OTPWDATA блока OTPCNTR.

Значение пяти бит корректирующего кода ECC вычисляется на основании значения информационных бит в соответствии с разделом 5.7 «Описание ошибок». При программировании памяти OTP возможно последующее добавление записи в ранее незапрограммированную область. При этом финальная верификация должна выполняться для всех областей, в том числе и для ранее запрограммированных.

### 5.5.1.2 Этап «Программирование с верификацией»

Этап «Программирование с верификацией» предназначен для программирования основного массива памяти OTP. Алгоритм этапа представлен на рисунке 10.

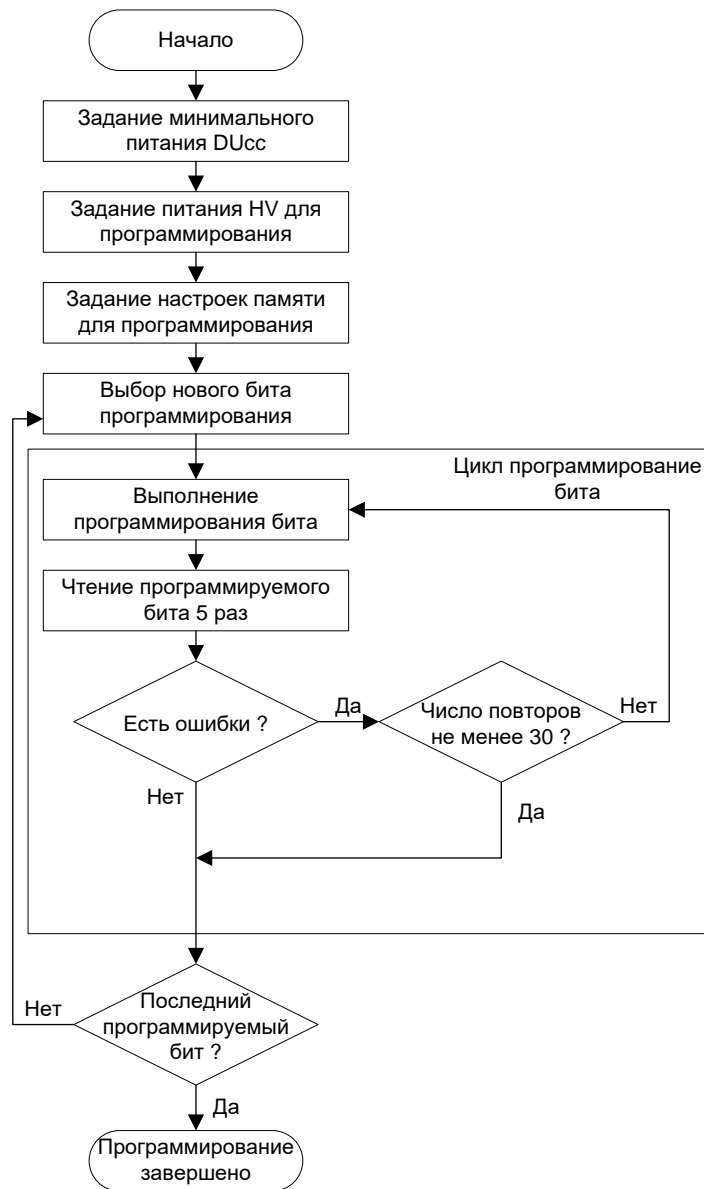


Рисунок 10 – Алгоритм «Программирование с верификацией»

Подэтап «Задание минимального питания DUcc» предназначен для формирования пониженного уровня напряжения DUcc (типовое значение 1,8 В). Снижение напряжения питания может быть осуществлено одним из двух способов:

- перестройкой встроенного регулятора;
- заданием внешнего питания при отключении встроенного регулятора.

Перестройка встроенного регулятора напряжения осуществляется записью значения в поле LDOTRIM регистра PWRCNTR0.

Задание внешнего питания при отключении встроенных регуляторов осуществляется путем подачи на выводы микросхемы DUcc от внешнего источника напряжения питания 1,62 В с последующей подачей на вывод SHDN высокого уровня.

Подэтап «Задание питания HV для программирования» предназначен для формирования высокого уровня напряжения на выводе HV для программирования. Высокое напряжения Uprog на выводе HV должно быть сформировано внешним источником питания со значением от 7,0 до 7,4 В. Типовое значение 7,2 В. Схема подачи высокого напряжения программирования на выводе HV должна быть реализована таким образом, чтобы при отсутствии высокого напряжения на выводе формировался уровень напряжения от 2,4 до 4,9 В, но не более Ucc.



Подэтап «Задание настроек памяти для программирования» предназначен для перевода памяти в режим, при котором «усложнено» чтение запрограммированных бит, что позволяет более качественно проверить успешность их программирования. Для задания настроек необходимо записать в поля REPL\_TUNE[3:0] и TIME\_TUNE[2:0] регистра OTRCNTR1 значения в соответствии с таблицей 4.

Таблица 4 – Значения полей REPL\_TUNE[3:0] и TIME\_TUNE[2:0]

Наименование поля	Значения полей			
	при программировании	при допрограммировании	при финальной верификации	при чтении (типовое)
REPL_TUNE[3:0]	4'b 1111	4'b 1111	4'b 1000	4'b 1110
TIME_TUNE[2:0]	3'b 010	3'b 010	3'b 010	3'b 011

Подэтап «Выбор нового бита программирования» предназначен для задания очередного бита, программируемого из 0 в 1. Незапрограммированные биты памяти читаются как 0. Программируются только биты, для которых необходимо установить значение 1. Программирование осуществляется побитно. Т.е. в каждый момент времени может программироваться только один бит. Для ранее запрограммированных битов необходимо устанавливать нулевое значение при программировании других битов в одном слове.

Подэтап «Выполнение программирования бита» предназначен для формирования диаграммы сигналов управления для программирования одного бита. Диаграмма программирования представлена на рисунке 11.

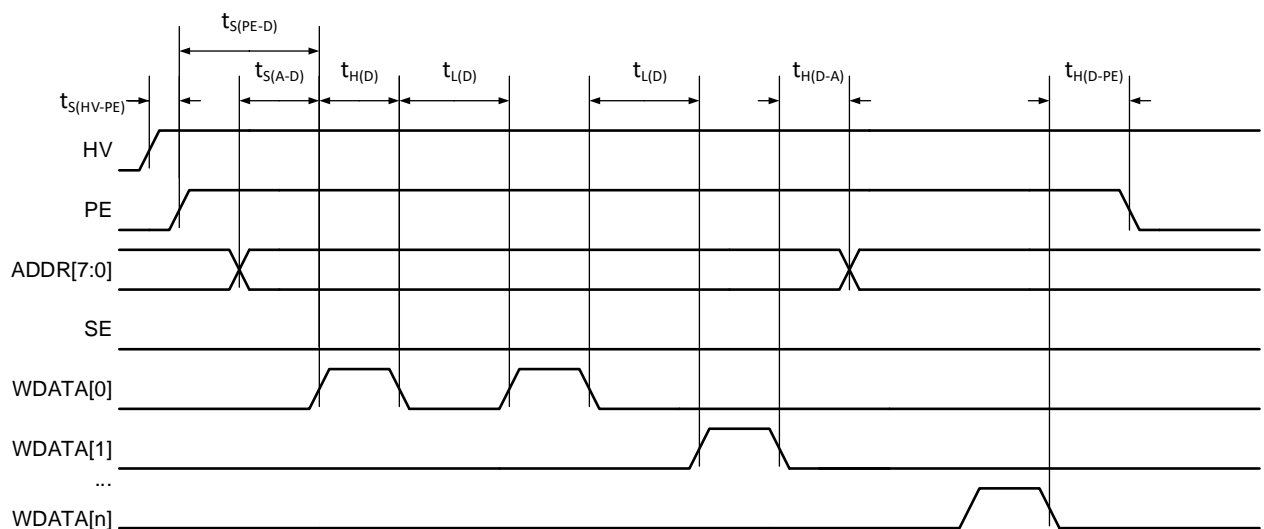


Рисунок 11 – Временная диаграмма процесса программирования памяти OTP

Подэтап «Чтение программируемого бита 5 раз» предназначен для определения результата выполнения программирования бита. Диаграмма чтения представлена на рисунке 12.

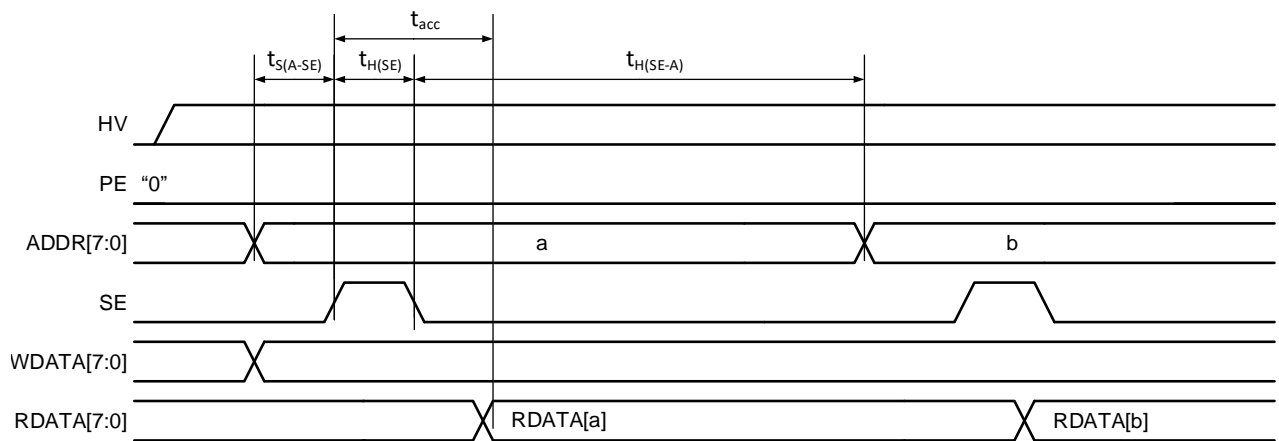


Рисунок 12 – Временная диаграмма процесса чтения памяти OTP

Чтение должно быть выполнено не менее пяти раз. Если при этом хотя бы один раз запрограммированный бит считался с ошибкой (контролируемый бит), бит считается не запрограммированным. Необходимо провести повторное программирование бита. При превышении 30 раз числа повторов программирования одного бита можно перейти к программированию следующего бита, несмотря на результат программирования данного бита.

Этап считается выполненным успешно после выполнения всех подэтапов.

### 5.5.1.3 Этап «Верификация и допрограммирование»

Этап «Верификация и допрограммирование» предназначен для проверки запрограммированной информации и допрограммирования «проблемных» битов. При проверке контролируются все биты, в том числе нулевые. Алгоритм процесса представлен на рисунке 13.

Подэтапы «Задание минимального питания DUсс» и «Задание питания HV для программирования» аналогичны соответствующим подэтапам, рассмотренным в подразделе 5.5.1.2 «Этап «Программирование с верификацией»».

Подэтап «Задание настроек памяти для допрограммирования» предназначен для перевода памяти в режим, при котором «усложнено» чтение запрограммированных бит, что позволяет более качественно проверить успешность их программирования. Для задания настроек необходимо записать в поля REPL\_TUNE[3:0] и TIME\_TUNE[2:0] регистра OTPCNTR1 значения в соответствии с таблицей 4.

Подэтап «Выбор нового номера контролируемого бита» предназначен для выбора очередного контролируемого бита ранее запрограммированной информации.

Подэтап «Чтение контролируемого бита» предназначен для чтения ранее запрограммированной информации, содержащей выбранный контролируемый бит. Для контроля битов одной ячейки памяти допускается выполнение однократного чтения ячейки. Если в результате чтения возникла ошибка, и вместо ожидаемого «0» считана «1», процесс программирования бракуется. Если вместо ожидаемой «1» считан «0», для данного бита должен быть выполнен цикл программирования бита, аналогичный циклу, рассмотренному в подразделе 5.5.1.2 «Этап «Программирование с верификацией»».

Подэтап «Увеличение числа повторов» предназначен для увеличения числа повторов цикла контроля всей запрограммированной информации.

Этап считается выполненным успешно, если число повторов превысило значение 40.

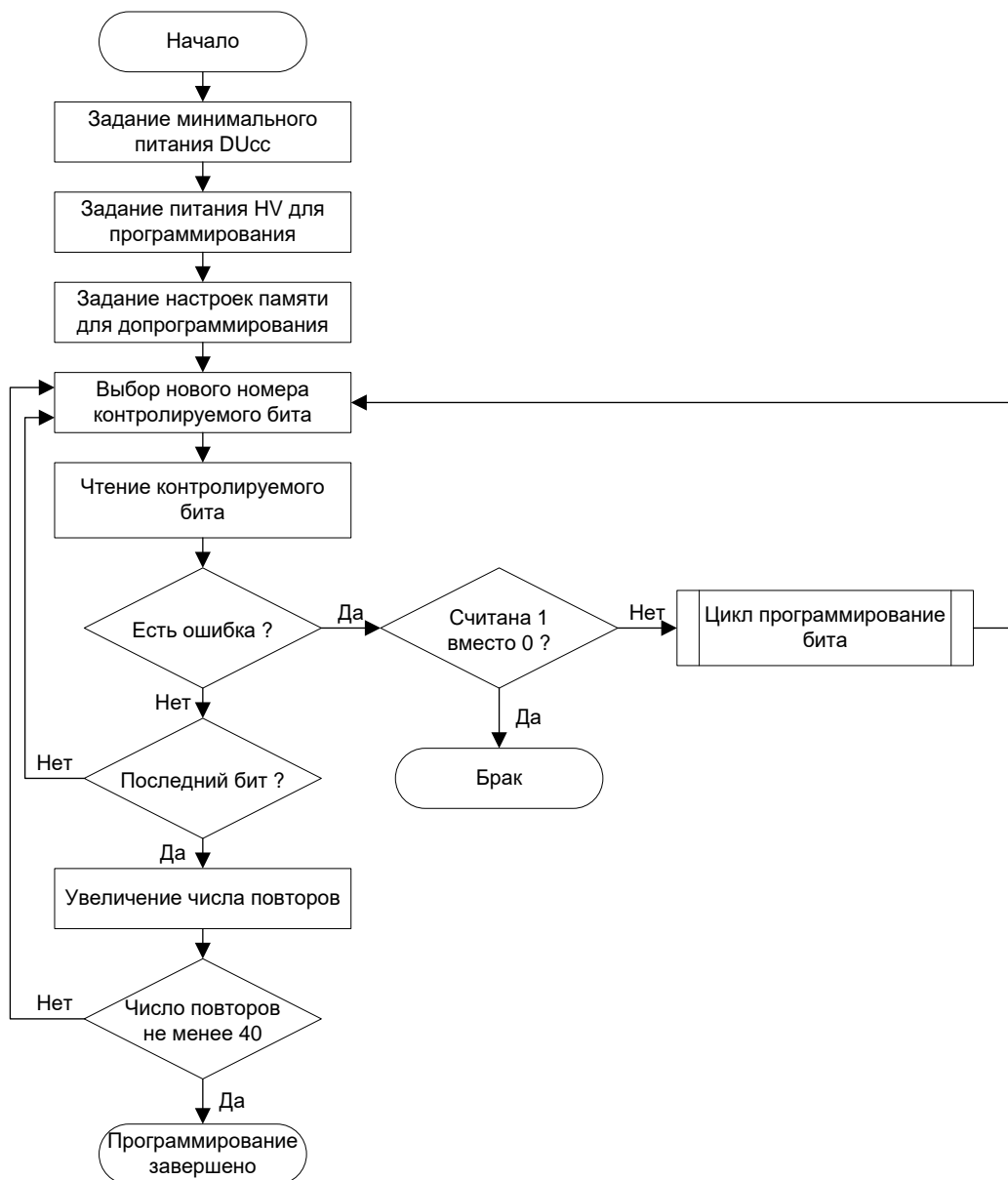


Рисунок 13 – Алгоритм этапа «Верификация и допрограммирование»

#### 5.5.1.4 Этап «Финальная верификация»

Этап «Финальная верификация» предназначен для проверки запрограммированной информации с учетом времени выборки из памяти OTP. При чтении данных из памяти OTP, кроме самой информации, должно контролироваться время выборки данных. Алгоритм процесса представлен на рисунке 14.

Подэтап «Задание минимального питания DUcc» предназначен для задания пониженного уровня питания DUcc. В случае использования встроенного регулятора напряжения должна быть выполнена перестройка встроенного регулятора напряжения, которая осуществляется записью в поле LDOTRIM регистра PWRCNTR0.

Подэтап «Задание питания HV для чтения» предназначен для задания на выводе HV микросхемы напряжения в диапазоне от 2,4 до 4,9 В, но не более Ucc.

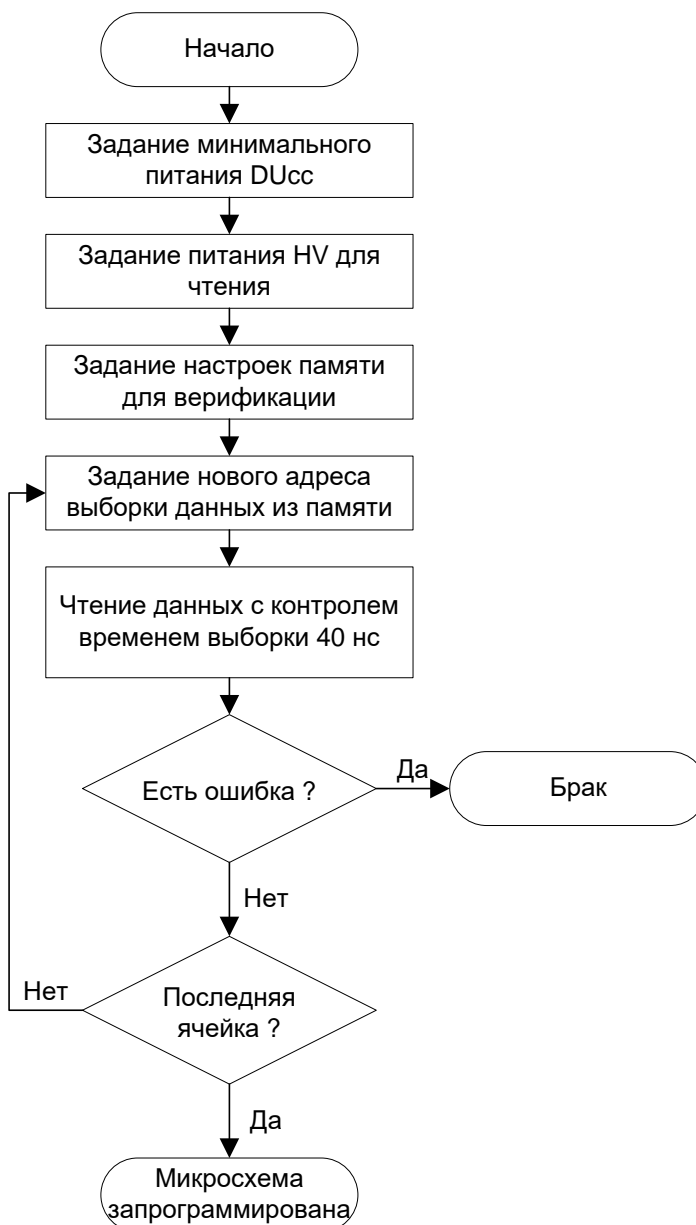


Рисунок 14 – Алгоритм этапа «Финальная верификация»

Подэтап «Задание настроек памяти для верификации» предназначен для перевода памяти в режим, при котором обеспечивается «усложненное» чтение запрограммированных бит по сравнению с чтением при реальной работе. Для задания настроек необходимо записать в поля REPL\_TUNE[3:0] и TIME\_TUNE[2:0] значения в соответствии с таблицей 4.

Подэтап «Задание нового адреса выборки данных из памяти» предназначен для выбора очередного контролируемого слова в памяти.

Подэтап «Чтение данных с контролем времени выборки 40 нс» предназначен для чтения данных из памяти с контролем времени выборки. Данный режим чтения обеспечивается путем задания момента стробирования считанных данных с шины данных в 55 нс от момента выдачи высокого уровня SE (55 нс включают время выборки 40 нс из памяти OTP и задержку на выводах микросхемы). В режиме чтения памяти OTP со стороны контроллера OTP будет выполняться автоматическое исправление одиночных и обнаружение двойных ошибок. Таким образом, считанная информация считается верной, если информационные биты совпадают с требуемым значением, и при чтении контроллером OTP не было обнаружено одиночных и двойных ошибок в результате контроля данных по ECC.

Микросхема считается успешно запрограммированной, если вся ранее запрограммированная информация считана без ошибок.

В рабочем режиме должны быть выставлены типовые настройки уровня питания DUcc и REPL\_TUNE[3:0] и TIME\_TUNE[2:0] в соответствии с таблицей 5.

Т а б л и ц а 5 – Параметры в рабочем режиме

Наименование параметра, единица измерения	Буквенное обозначение параметра	Значение параметра	
		не менее	не более
Напряжение при программировании HV, В	$U_{HVROG}$	7,0	7,4
Напряжение при хранении и чтении HV, В	$U_{HVREAD}$	2,4	4,9 и Ucc
Время предустановки HV перед PE, мс	$t_{S(HV-PE)}$	10	–
Время предустановки PE перед данными, мкс	$t_{S(PE-D)}$	300	–
Время предустановки адреса перед данными, мкс	$t_{S(A-D)}$	300	–
Время удержания адреса после данных, мкс	$t_{H(D-A)}$	5	–
Длительность программирования бита данных, мс	$t_{H(D)}$	3	7
Время между программируемыми битами данных, мкс	$t_{L(D)}$	5	–
Время удержания PE после данных, мкс	$t_{H(D-PE)}$	0	–
Время предустановки адреса перед SE, нс	$t_{S(A-SE)}$	5	–
Время удержания адреса после SE, нс	$t_{H(SE-A)}$	0	–
Длительность сигнала SE, нс	$t_{H(SE)}$	10	–

## 5.6 Описание регистров управления

Для управления микросхемой реализовано 63 8-разрядных регистра (см. таблицу 6). Запись и чтение регистров доступны по последовательному или параллельному интерфейсам микросхемы.

Таблица 6 – Описание регистров управления

Адрес регистра	Значение после сброса	Название	Описание
<b>Регистры контроллера АЦП (ADC_CNTR)</b>			
0	0x0	ADCFAKE	«Пустой» регистр результата
1	0x0	ADCCNTR0	Регистр управления 0 АЦП
2	0x0	ADCCNTR1	Регистр управления 1 АЦП
3		ADCCHSEL	Регистр выбора канала
4		ADCRSLTH	Регистр результата АЦП (старший байт)
5		ADCRSLTL	Регистр результата АЦП (младший байт)
<b>Регистры контроллера компараторов (CMP_CNTR)</b>			
6		CMPEN	Регистр включения компараторов
7		CMRSLT	Регистр результата компараторов
8		CMPCHSEL0	Регистр выбора канала компаратора 0
9		CMPCHSEL1	Регистр выбора канала компаратора 1
10		CMPCHSEL2	Регистр выбора канала компаратора 2
11		CMPCHSEL3	Регистр выбора канала компаратора 3
12		CMPLVL	Регистр выбора уровня компаратора
13		CMPTIM0	Регистр подстройки уровня компаратора 0
14		CMPTIM1	Регистр подстройки уровня компаратора 1
15		CMPLVL	Регистр фиксации результата компараторов
<b>Регистры контроллера источника опорного тока (CUR_CNTR)</b>			
16		CURCNTR0	Регистр управления источником тока 0
17		CURCNTR1	Регистр управления источником тока 1
18		CURCNTR2	Регистр управления источником тока 2
19		CURCNTR3	Регистр управления источником тока 3
20		CURCNTR4	Регистр управления источником тока 4
21		CURCNTR5	Регистр управления источником тока 5
22		CURCNTR6	Регистр управления источником тока 6
23		CURCNTR7	Регистр управления источником тока 7
24		CURCNTR8	Регистр управления источником тока 8
25		CURCNTR9	Регистр управления источником тока 9
<b>Резервные регистры контроллера</b>			
26		-	Резерв
27		ADCCNTR2	Регистр управления буфером АЦП
28		CURCNTR10	Регистр управления источником тока 10
<b>Регистры контроллера управления (PWR_CNTR)</b>			
29		PWRCNTR0	Регистр управления 0
30		PWRCNTR1	Регистр управления 1
31		PWRCNTR2	Регистр управления 2
32		PWRCNTR3	Регистр управления 3
33		PWRSTAT0	Регистр статуса 0
34		PWRSTAT1	Регистр статуса 1

Адрес регистра	Значение после сброса	Название	Описание
35		PWRIE0	Регистр разрешения запроса прерывания 0
36		PWRIE1	Регистр разрешения запроса прерывания 1
<b>Регистры контроллера однократно-программируемой памяти (OTP_CNTR)</b>			
37		OTPCNTR0	Регистр управления OTP
38		OTPCNTR1	Регистр управления OTP
39		OTPADDR	Регистр данных OTP
40		OTPWDATA	Регистр записываемых данных OTP
41		OTPWECC	Регистр записываемых ECC бит для данных OTP
42		OTPRDATA	Регистр считываемых данных OTP
43		OTPRECC	Регистр считываемых ECC бит для данных OTP
44		OTPDATA	Регистр считываемых данных OTP после проверки ECC
45		OTPSTAT	Регистр состояния OTP
<b>Регистры отладки</b>			
46		ECCTEST	Регистр отладки ошибок ECC
47		PARTEST	Регистр отладки ошибок паритета
<b>Вспомогательные регистры контроллера АЦП</b>			
48		ADCLVLL	Регистр уровня компарирования результатов АЦП
49		ADCLVLHP	Регистр уровня компарирования результатов АЦП и паузы
50		ADCFIX	Регистр результатов компарирования результатов АЦП
51		ADCRSLTH0	Регистр старшей части результата АЦП при циклическом преобразовании для канала CMP0
52		ADCRSLTH1	Регистр старшей части результата АЦП при циклическом преобразовании для канала CMP1
53		ADCRSLTH2	Регистр старшей части результата АЦП при циклическом преобразовании для канала CMP2
54		ADCRSLTH3	Регистр старшей части результата АЦП при циклическом преобразовании для канала CMP3
55		ADCRSLTH4	Регистр старшей части результата АЦП при циклическом преобразовании для канала CMP4
56		ADCRSLTH5	Регистр старшей части результата АЦП при циклическом преобразовании для канала CMP5
57		ADCRSLTH6	Регистр старшей части результата АЦП при циклическом преобразовании для канала CMP6
58		ADCRSLTH7	Регистр старшей части результата АЦП при циклическом преобразовании для канала CMP7
59		ADCRSLTL01	Регистр младшей части результата АЦП при циклическом преобразовании для канала CMP0 и CMP1
60		ADCRSLTL23	Регистр младшей части результата АЦП при циклическом преобразовании для канала CMP2 и CMP3
61		ADCRSLTL45	Регистр младшей части результата АЦП при циклическом преобразовании для канала CMP4 и CMP5
62		ADCRSLTL67	Регистр младшей части результата АЦП при циклическом преобразовании для канала CMP6 и CMP7
63		-	Резерв

## 5.6.1 Регистры контроллера АЦП

### 5.6.1.1 Регистр ADCFAKE

Таблица 7 – Регистр ADCFAKE (ADDR = 0x00)

<b>Номер</b>	7	6	5	4	3	2	1	0
<b>Доступ</b>	R	R	R	R	R	R	R	R
<b>Сброс</b>	0	0	0	0	0	0	0	0
	-	-	-	-	-	-	-	-

Через SPI-интерфейс регистр читается как нулевой, запись в него возможна, но не имеет значения. При записи в него по SPI-интерфейсу возвращается результат преобразования АЦП. При чтении регистра по параллельному интерфейсу возвращается 12-битное значение результата преобразования АЦП и флаг готовности.

### 5.6.1.2 Регистр ADCCNTR0

Таблица 8 – Регистр ADCCNTR0 (ADDR = 0x01)

<b>Номер</b>	7	6	5	4	3	2	1	0
<b>Доступ</b>	W	W	W	W	W	W	W	W
<b>Сброс</b>	0	0	0	0	0	0	0	0
	-	STOP	GO10_L	GO_L	GO10_R	GO_R	GO10	GO

Таблица 9 – Описание бит регистра ADCCNTR0 (ADDR = 0x01)

Бит	Название	Описание
7	-	Резерв
6	STOP	Бит остановки непрерывного преобразования. Запись единицы останавливает процесс преобразования. Бит сбрасывается автоматически после остановки преобразования
5	GO10_L	Бит запуска непрерывного цикла преобразования с усреднением для 8-ми каналов сигналов от компараторов. Запись единицы начинает процесс преобразования. Результаты преобразования отражаются в регистрах результата каналов. Преобразование останавливается записью в бит STOP. Бит сбрасывается автоматически после начала преобразования
4	GO_L	Бит запуска непрерывного цикла преобразования без усреднения для 8-ми каналов сигналов от компараторов. Запись единицы начинает процесс преобразования. Результаты преобразования отражаются в регистрах результата каналов. Преобразование останавливается записью в бит STOP. Бит сбрасывается автоматически после начала преобразования
3	GO10_R	Бит запуска одного цикла преобразования с усреднением для 8-ми каналов сигналов от компараторов. Запись единицы начинает процесс преобразования. Результаты преобразования отражаются в регистрах результата каналов. Автоматически сбрасывается после начала преобразования. Бит сбрасывается автоматически после начала преобразования
2	GO_R	Бит запуска одного цикла преобразования без усреднения для 8-ми каналов сигналов от компараторов. Запись единицы начинает процесс преобразования. Результаты преобразования отражаются в регистрах результата каналов. Бит сбрасывается автоматически после начала преобразования



Бит	Название	Описание
1	GO10	Бит запуска преобразования с усреднением АЦП. Запись единицы начинает процесс преобразования. Сбрасывается автоматически после начала преобразования (усреднение означает, что из 10-ти полученных отсчетов отбрасывается минимальный и максимальный, для оставшихся 8-ми – вычисляется среднее арифметическое) (при одновременной установке с GO больший приоритет имеет GO10)
0	GO	Бит запуска преобразования без усреднения АЦП. Запись единицы начинает процесс преобразования. Сбрасывается автоматически после начала преобразования (при одновременной установке с GO10 больший приоритет имеет GO10)

При чтении регистра всегда читаются нули.

### 5.6.1.3 Регистр ADCCNTR1

Таблица 10 – Регистр ADCCNTR1 (ADDR = 0x02)

Номер	7	6	5	4	3	2	1	0
Доступ	RW	RW	RW	RW	RW	RW	RW	RW
Сброс	0	0	0	0	0	0	0	0
	DTMODE	RHMODE	EN	-	REFSEL[1]	REFSEL[0]	FORM[1]	FORM[0]

Таблица 11 – Описание бит регистра ADCCNTR1 (ADDR = 0x02)

Бит	Название	Описание
7	DTMODE	Бит DTMODE АЦП (тест)
6	RHMODE	Бит RHMODE АЦП (тест)
5	EN	Бит разрешения работы АЦП 0 – выключен 1 – включен
4	-	Резерв
3, 2	REFSEL[1:0]	Выбор источника опорного напряжения для преобразования REF+ и REF- 0 – REF+ = питание U <sub>ссА</sub> и REF- = общей GNDA 1 – REF+ = вывод REF_H и REF- = вывод REF_L 2 – REF+ = выход встроенного ИОН 2,5 В и REF- = общей GNDA 3 – зарезервировано
1, 0	FORM[1:0]	Бит задания формата выдачи результата 0 – по старшим 8-ми битам результата 1 – по старшим 12-ти битам результата 2 – по старшим 10-ти битам результата 3 – зарезервировано

### 5.6.1.4 Регистр ADCCHSEL

Таблица 12 – Регистр ADCCHSEL (ADDR = 0x03)

Номер	7	6	5	4	3	2	1	0
Доступ	RW	RW	RW	RW	RW	RW	RW	RW
Сброс	0	0	0	0	0	0	0	0
	CLKDV[3]	CLKDV[2]	CLKDV[1]	CLKDV[0]	CHSEL[3]	CHSEL[2]	CHSEL[1]	CHSEL[0]

Таблица 13 – Описание бит регистра ADCCHSEL (ADDR = 0x03)

Бит	Название	Описание
7...4	CLKDV[3:0]	Делитель тактовой частоты для АЦП FADCCLK = FCLK / (CLKDV+1)
3...0	CHSEL[3:0]	Выбор номера канала преобразования 0 – сигнал компаратор CMP0 1 – сигнал компаратор CMP1 ... 7 – сигнал компаратор CMP7 8 – сигнал ИОН 1,25 В 9 – сигнал ИОН 2,5 В 10 – сигнал питания AUCC (3...5,5 В) 11 – общий (земля) 12 – сигнал с датчика температуры 13 – сигнал питания цифровой части DUCC (1,8 В) 14, 15 – зарезервировано

### 5.6.1.5 Регистр ADCRSLT

Таблица 14 – Регистр ADCRSLTH (ADDR = 0x04)

Номер	7	6	5	4	3	2	1	0
Доступ	R	R	R	R	R	R	R	R
Сброс	0	0	0	0	0	0	0	0
	–	R	RDY	-	RESULT[3]	RESULT[2]	RESULT[1]	RESULT[0]

Таблица 15 – Описание бит регистра ADCRSLTH (ADDR = 0x04)

Бит	Название	Описание
7	–	–
6	R	Однократный цикл преобразования 0 – нет преобразования 1 – выполняется однократный цикл преобразования
5	RDY	Флаг готовности 0 – преобразование АЦП не завершено 1 – преобразование АЦП завершено, сбрасывается автоматически при начале нового преобразования
4	-	Зарезервировано
3...0	RESULT[3:0]	Биты результата преобразования При FORM = 0 В битах RESULT[3:0] отображаются 3:0 биты результата При FORM = 1 В битах RESULT[3:0] отображаются 11:8 биты результата При FORM = 2 В битах RESULT[3:0] отображаются 1:0, 11:10 биты результата

### 5.6.1.6 Регистр ADCRSLTL

Таблица 16 – Регистр ADCRSLTL (ADDR = 0x05)

Номер	7	6	5	4	3	2	1	0
Доступ	R	R	R	R	R	R	R	R
Сброс	0	0	0	0	0	0	0	0
	RESULT[7]	RESULT[6]	RESULT[5]	RESULT[4]	RESULT[3]	RESULT[2]	RESULT[1]	RESULT[0]

Таблица 17 – Описание бит регистра ADCRSLTL (ADDR = 0x05)

Бит	Название	Описание
7...0	RESULT[7:0]	Биты результата преобразования При FORM = 0 В битах RESULT[7:0] отображаются 11:4 биты результата При FORM = 1 В битах RESULT[7:0] отображаются 7:0 биты результата При FORM = 2 В битах RESULT[7:0] отображаются 9:2 биты результата

### 5.6.1.7 Регистр ADCLVLL

Таблица 18 – Регистр ADCLVLL (ADDR = 0x30)

Номер	7	6	5	4	3	2	1	0
Доступ	R	R	R	R	R	R	R	R
Сброс	0	0	0	0	0	0	0	0
	LVL[7]	LVL[6]	LVL[5]	LVL[4]	LVL[3]	LVL[2]	LVL[1]	LVL[0]

Таблица 19 – Описание бит регистра ADCLVLL (ADDR = 0x30)

Бит	Название	Описание
7...0	LVL[7:0]	Уровень компарирования результатов АЦП Если результат преобразования АЦП для одного из каналов от компаратора больше или равен значению LVL[11:0], взводится в единицу бит ADCFIX для соответствующего канала, иначе сбрасывается в ноль

### 5.6.1.8 Регистр ADCLVLHP

Таблица 20 – Регистр ADCLVLHP (ADDR = 0x31)

Номер	7	6	5	4	3	2	1	0
Доступ	R	R	R	R	R	R	R	R
Сброс	0	0	0	0	0	0	0	0
					LVL[11]	LVL[10]	LVL[9]	LVL[8]

Таблица 21 – Описание бит регистра ADCLVLHP (ADDR = 0x31)

Бит	Название	Описание
7...4	PAUSE[3:0]	Число тактов на перезарядку емкости при переключении каналов при преобразовании для 8-ми каналов компараторов 0000 – 0 дополнительных тактов частоты АЦП FADCCLK 0001 – 1 дополнительный такт частоты АЦП FADCCLK .... 1111 – 15 дополнительных тактов частоты АЦП FADCCLK
3...0	LVL[11:8]	Уровень компарирования результатов АЦП. Если результат преобразования АЦП для одного из каналов от компаратора больше или равен значению LVL[11:0], то взводится бит ADCFIX для соответствующего канала

### 5.6.1.9 Регистр ADCFIX

Таблица 22 – Регистр ADCFIX (ADDR = 0x32)

Номер	7	6	5	4	3	2	1	0
Доступ	R	R	R	R	R	R	R	R
Сброс	0	0	0	0	0	0	0	0
	ADCFIX[7]	ADCFIX[6]	ADCFIX[5]	ADCFIX[4]	ADCFIX[3]	ADCFIX[2]	ADCFIX[1]	ADCFIX[0]

Таблица 23 – Описание бит регистра ADCFIX (ADDR = 0x32)

Бит	Название	Описание
7...0	ADCFIX[7:0]	Результат компарирования результатов АЦП Если результат преобразования АЦП для одного из каналов от компаратора больше или равен значению LVL[11:0], взводится бит ADCFIX для соответствующего канала ADCFIX[0] – CMP0 ... ADCFIX[7] – CMP7 Бит сбрасывается записью 1 в соответствующий бит, при этом если событие продолжается, бит не сбрасывается

### 5.6.1.10 Регистры ADCRSLTH[0:7]

Таблица 24 – Регистры ADCRSLTH0 (ADDR = 0x33); ADCRSLTH1 (ADDR = 0x34); ADCRSLTH2 (ADDR = 0x35); ADCRSLTH3 (ADDR = 0x36); ADCRSLTH4 (ADDR = 0x37); ADCRSLTH5 (ADDR = 0x38); ADCRSLTH6 (ADDR = 0x39); ADCRSLTH7 (ADDR = 0x3A)

Номер	7	6	5	4	3	2	1	0
Доступ	R	R	R	R	R	R	R	R
Сброс	0	0	0	0	0	0	0	0
	ADC RSLT[11]	ADC RSLT[10]	ADC RSLT[9]	ADC RSLT[8]	ADC RSLT[7]	ADC RSLT[6]	ADC RSLT[5]	ADC RSLT[4]

Таблица 25 – Описание бит регистров ADCRSLTH[0:7]

Бит	Название	Описание
7...0	ADCRSLT0[11:4] ADCRSLT1[11:4] ADCRSLT2[11:4] ADCRSLT3[11:4] ADCRSLT4[11:4] ADCRSLT5[11:4] ADCRSLT6[11:4] ADCRSLT7[11:4]	Результат цикла преобразования для каналов компараторов ADCRSLT0[11:0] – для канала CMP0 ADCRSLT1[11:0] – для канала CMP1 ADCRSLT2[11:0] – для канала CMP2 ADCRSLT3[11:0] – для канала CMP3 ADCRSLT4[11:0] – для канала CMP4 ADCRSLT5[11:0] – для канала CMP5 ADCRSLT6[11:0] – для канала CMP6

### 5.6.1.11 Регистры ADCRSLTH01, ADCRSLTH23, ADCRSLTH45, ADCRSLTH67

Таблица 26 – Регистры ADCRSLTH01 (ADDR = 0x3B); ADCRSLTH23 (ADDR = 0x3C); ADCRSLTH45 (ADDR = 0x3D); ADCRSLTH67 (ADDR = 0x3E)

Номер	7	6	5	4	3	2	1	0
Доступ	R	R	R	R	R	R	R	R
Сброс	0	0	0	0	0	0	0	0
	ADC RSLT[3]	ADC RSLT[2]	ADC RSLT[1]	ADC RSLT[0]	ADC RSLT[3]	ADC RSLT[2]	ADC RSLT[1]	ADC RSLT[0]

Таблица 27 – Описание бит регистров ADCRSLTH01 (ADDR = 0x3B); ADCRSLTH23 (ADDR = 0x3C); ADCRSLTH45 (ADDR = 0x3D); ADCRSLTH67 (ADDR = 0x3E)

Бит	Название	Описание
7...4	ADCRSLT1[3:0] ADCRSLT3[3:0] ADCRSLT5[3:0] ADCRSLT7[3:0]	Результат цикла преобразования для каналов компараторов ADCRSLT1[11:0] – для канала CMP1 ADCRSLT3[11:0] – для канала CMP3 ADCRSLT5[11:0] – для канала CMP5 ADCRSLT7[11:0] – для канала CMP7
3...0	ADCRSLT0[3:0] ADCRSLT2[3:0] ADCRSLT4[3:0] ADCRSLT6[3:0]	Результат цикла преобразования для каналов компараторов ADCRSLT0[11:0] – для канала CMP0 ADCRSLT2[11:0] – для канала CMP2 ADCRSLT4[11:0] – для канала CMP4 ADCRSLT6[11:0] – для канала CMP6

## 5.6.2 Регистры контроллера компараторов

### 5.6.2.1 Регистр CMPEN

Таблица 28 – Регистр CMPEN (ADDR = 0x06)

Номер	7	6	5	4	3	2	1	0
Доступ	R	R	R	R	R	R	R	R
Сброс	0	0	0	0	0	0	0	0
	EN[7]	EN[6]	EN[5]	EN[4]	EN[3]	EN[2]	EN[1]	EN[0]

Таблица 29 – Описание бит регистра CMPEN (ADDR = 0x06)

Бит	Название	Описание
7...0	EN[7:0]	Биты разрешения работы регуляторов EN[0] – бит разрешения работы компаратора CMP0 EN[1] – бит разрешения работы компаратора CMP1 ... EN[7] – бит разрешения работы компаратора CMP7 0 – выключен 1 – включен

### 5.6.2.2 Регистр CMPRSLT

Таблица 30 – Регистр CMPRSLT (ADDR = 0x07)

Номер	7	6	5	4	3	2	1	0
Доступ	R	R	R	R	R	R	R	R
Сброс	0	0	0	0	0	0	0	0

Таблица 31 – Описание бит регистра CMPRSLT (ADDR = 0x07)

Бит	Название	Описание
7...0	RESULT[7:0]	Биты результата сравнения компараторов RESULT[0] = 1 если уровень сигнала на входе компаратора CMP0 больше уровня CMPLVL0[3:0] RESULT[1] = 1 если уровень сигнала на входе компаратора CMP1 больше уровня CMPLVL0[7:4] ... RESULT[7] = 1 если уровень сигнала на входе компаратора CMP7 больше уровня CMPLVL3[7:4]

**5.6.2.3 Регистры CMPCHSEL[0:3]**

Таблица 32 – Регистры CMPCHSEL0 (ADDR = 0x08); CMPCHSEL1 (ADDR = 0x09); CMPCHSEL2 (ADDR = 0x0A); CMPCHSEL3 (ADDR = 0x0B)

<b>Номер</b>	7	6	5	4	3	2	1	0
<b>Доступ</b>	RW	RW	RW	RW	RW	RW	RW	RW
<b>Сброс</b>	0	0	0	0	0	0	0	0
	SEL1[3] SEL3[3] SEL5[3] SEL7[3]	SEL1[2] SEL3[2] SEL5[2] SEL7[2]	SEL1[1] SEL3[1] SEL5[1] SEL7[1]	SEL1[0] SEL3[0] SEL5[0] SEL7[0]	SEL0[3] SEL2[3] SEL4[3] SEL6[3]	SEL0[2] SEL2[2] SEL4[2] SEL6[2]	SEL0[1] SEL2[1] SEL4[1] SEL6[1]	SEL0[0] SEL2[0] SEL4[0] SEL6[0]

Таблица 33 – Описание бит регистров CMPCHSEL0 (ADDR = 0x08); CMPCHSEL1 (ADDR = 0x09); CMPCHSEL2 (ADDR = 0x0A); CMPCHSEL3 (ADDR = 0x0B)

<b>Бит</b>	<b>Название</b>	<b>Описание</b>
7...4	SEL1[3:0] SEL3[3:0] SEL5[3:0] SEL7[3:0]	Выбор вывода для компаратора SEL0 для CMP0, в регистре CMPCHSEL0, SEL1 для CMP1, в регистре CMPCHSEL0 SEL2 для CMP2, в регистре CMPCHSEL1
3...0	SEL0[3:0] SEL2[3:0] SEL4[3:0] SEL6[3:0]	... SEL7 для CMP7, в регистре CMPCHSEL3

Выбор входов для компараторов определяется в соответствии с таблицей 34.

Таблица 34 – Входы для компараторов

<b>SELx=</b>	<b>0</b>	<b>1</b>	<b>2</b>	<b>3</b>	<b>4</b>	<b>5</b>	<b>6</b>	<b>7</b>	<b>8...15</b>
<b>x=0 CMP0</b>	DIN[0]	DIN[1]	DIN[2]	DIN[3]	DIN[4]	DIN[5]	DIN[6]	DIN[7]	-
<b>x=1 CMP1</b>	DIN[8]	DIN[9]	DIN[10]	DIN[11]	DIN[12]	DIN[13]	DIN[14]	DIN[15]	-
<b>x=2 CMP2</b>	DIN[16]	DIN[17]	DIN[18]	DIN[19]	DIN[20]	DIN[21]	DIN[22]	DIN[23]	-
<b>x=3 CMP3</b>	DIN[24]	DIN[25]	DIN[26]	DIN[27]	DIN[28]	DIN[29]	DIN[30]	DIN[31]	-
<b>x=4 CMP4</b>	DIN[32]	DIN[33]	DIN[34]	DIN[35]	DIN[36]	DIN[37]	DIN[38]	DIN[39]	-
<b>x=5 CMP5</b>	DIN[40]	DIN[41]	DIN[42]	DIN[43]	DIN[44]	DIN[45]	DIN[46]	DIN[47]	-
<b>x=6 CMP6</b>	DIN[48]	DIN[49]	DIN[50]	DIN[51]	DIN[52]	DIN[53]	DIN[54]	DIN[55]	-
<b>x=7 CMP7</b>	DIN[56]	DIN[57]	DIN[58]	DIN[59]	DIN[60]	DIN[61]	DIN[62]	DIN[63]	-

### 5.6.2.4 Регистр CMPLVL

Таблица 35 – Регистр CMPLVL (ADDR = 0x0C)

<b>Номер</b>	7	6	5	4	3	2	1	0
<b>Доступ</b>	RW	RW	RW	RW	RW	RW	RW	RW
<b>Сброс</b>	0	0	0	0	0	0	0	0
	SCL[1]	SCL[0]	-	LVL[4]	LVL[3]	LVL[2]	LVL[1]	LVL[0]

Таблица 36 – Описание бит регистра CMPLVL (ADDR = 0x0C)

Бит	Название	Описание
7...6	SCL[1:0]	Делитель уровня входного сигнала 00 – 1:1 (Rload = 10 МОм) 01 – 1:2 (Rload = 30,00 КОм) 10 – 1:3 (Rload = 22,50 КОм) 11 – 1:4 (Rload = 18,75 КОм)
5	-	Резерв
4...0	LVL[4:0]	Уровень сравнения для компараторов $UREF = 2,6 - ((2,5 / 25) * LVL)$ При $LVL > 25$ , $UREF = 0 В$ При $LVL = 0$ , $UREF = 0 В$

### 5.6.2.5 Регистр CMPTRIM0

Автоматически инициализируется из ячейки 0x04 памяти OTP.

Таблица 37 – Регистр CMPTRIM0 (ADDR = 0x0D)

<b>Номер</b>	7	6	5	4	3	2	1	0
<b>Доступ</b>	R	R	R	R	R	R	R	R
<b>Сброс</b>	0	0	0	0	0	0	0	0
	-	TRIM0[6]	TRIM0[5]	TRIM0[4]	TRIM0[3]	TRIM0[2]	TRIM0[1]	TRIM0[0]

Таблица 38 – Описание бит регистра CMPTRIM0 (ADDR = 0x0D)

Бит	Название	Описание
7	-	Зарезервировано
6...0	TRIM0[6:0]	Биты подстройки источника опорного напряжения 2,5 В 0000 – типовое

### 5.6.2.6 Регистр CMPTRIM1

Таблица 39 – Регистр CMPTRIM1 (ADDR = 0x0E)

<b>Номер</b>	7	6	5	4	3	2	1	0
<b>Доступ</b>	R	R	R	R	R	R	R	R
<b>Сброс</b>	0	0	0	0	0	0	0	0
	SW_RESET[1]	SW_RESET[0]	SW_RESET[1]	SW_RESET[0]	-	-	TRIM0[1]	TRIM0[0]

Таблица 40 – Описание бит регистра CMPTRIM1 (ADDR = 0x0E)

Бит	Название	Описание
7, 6	SW_RESET[1:0]	Тестовый сигнал сброса для основного ключа для входов DIN[63:0]. 00 – рабочее состояние, <b>обязательно должен быть выбран во всех режимах работы!</b> 01 – тестовый сброс 1 10 – тестовый сброс 2 11 – тестовый сброс 3
5, 4	SW_RESET[1:0]	Тестовый сигнал сброса для основного ключа для ADC. 00 – рабочее состояние, <b>обязательно должен быть выбран во всех режимах работы!</b> 01 – тестовый сброс 1 10 – тестовый сброс 2 11 – тестовый сброс 3
3, 2	-	Зарезервировано
1, 0	TRIM1[3:0]	Бит выбора гистерезиса компаратора 00 – типовое 01 10 11

#### 5.6.2.7 Регистр CMPFIX

Таблица 41 – Регистр CMPFIX (ADDR = 0x0F)

Номер	7	6	5	4	3	2	1	0
Доступ	RW	RW	RW	RW	RW	RW	RW	RW
Сброс	0	0	0	0	0	0	0	0
	FIX[7]	FIX[6]	FIX[5]	FIX[4]	FIX[3]	FIX[2]	FIX[1]	FIX[0]

Таблица 42 – Описание бит регистра CMPFIX (ADDR = 0x0F)

Бит	Название	Описание
7...0	FIX[7:0]	Флаг результата сравнения компараторов, зафиксированный в триггере FIX[0] = 1 если уровень сигнала на входе компаратора CMP0 больше уровня CMPLVL0[3:0] FIX[1] = 1 если уровень сигнала на входе компаратора CMP1 больше уровня CMPLVL0[7:4] ... FIX[7] = 1 если уровень сигнала на входе компаратора CMP7 больше уровня CMPLVL3[7:4] Бит сбрасывается записью 1 в соответствующий бит, при этом если событие продолжается, бит не сбрасывается. По возникновению флага может быть сгенерировано прерывание



### 5.6.3 Регистры контроллера источника опорного тока

#### 5.6.3.1 Регистр CURCNTR0

Таблица 43 – Регистр CURCNTR0 (ADDR = 0x10)

<b>Номер</b>	7	6	5	4	3	2	1	0
<b>Доступ</b>	RW	RW	RW	RW	RW	RW	RW	RW
<b>Сброс</b>	0	0	0	0	0	0	0	0
	-	-	-	-	-	ENCH	ENCUR	ENREF

Таблица 44 – Описание бит регистра CURCNTR0 (ADDR = 0x10)

Бит	Название	Описание
7...3	-	Резерв
2	ENCH	Разрешение выдачи тока в каналы компараторов 0 – ток выключен 1 – ток включен
1	ENCUR	Бит включения схемы формирования опорного тока 0 – выключен 1 – включен
0	ENREF	Бит разрешения работы встроенного ИОН 0 – выключен 1 – включен Примечание – Перед началом работы необходимо включить ИОН и снять сигнал сброса с ИОН

#### 5.6.3.2 Регистр CURCNTR1

Автоматически инициализируется из ячейки 0x01 памяти OTP.

Таблица 45 – Регистр CURCNTR1 (ADDR = 0x11)

<b>Номер</b>	7	6	5	4	3	2	1	0
<b>Доступ</b>	RW	RW	RW	RW	RW	RW	RW	RW
<b>Сброс</b>	0	0	0	0	0	0	0	0
	RST REF	EN IREFP	TRIM REF[5]	TRIM REF[4]	TRIM REF[3]	TRIM REF[2]	TRIM REF[1]	TRIM REF[0]

Таблица 46 – Описание бит регистра CURCNTR1 (ADDR = 0x11)

Бит	Название	Описание
7	RST_REF	Бит сброса ИОН 0 – сброс 1 – рабочий режим
6	EN_IREFP	Бит разрешения работы источника тока на каналы 0 – выключен 1 – включен
5..0	TRIMREF[5:0]	Бит подстройки внутреннего источника опорного напряжения 1,2 В по наклону от температуры 00000 – максимальное опорное напряжения 10000 – типовое значение опорного напряжения 11111 – минимальное опорное напряжение

### 5.6.3.3 Регистр CURCNTR2

Автоматически инициализируется из ячейки 0x02 памяти OTP.

Таблица 47 – Регистр CURCNTR2 (ADDR = 0x12)

<b>Номер</b>	7	6	5	4	3	2	1	0
<b>Доступ</b>	RW	RW	RW	RW	RW	RW	RW	RW
<b>Сброс</b>	0	0	0	0	0	0	0	0
	IREF_SW[2]	-	-	-	-	TRIM IREF[2]	TRIM IREF[1]	TRIM IREF[0]

Таблица 48 – Описание бит регистра CURCNTR2 (ADDR = 0x12)

Бит	Название	Описание
7	IREF_SW[2]	Биты выбора сигнала на тестовый вывод IREF 000 – открыто 001 – источник опорного тока PTAT 10мкА 010 – не буферизированный источник опорного напряжения 1,25 В 100 – источник опорного тока ZTAT 10мкА <b>Другие комбинации не допустимы!</b>
6...3	-	Резерв
2..0	TRIMIREF[2:0]	Бит подстройки внутреннего источника опорного тока PTAT 000 – максимальное 100 – типовое значение 000 – минимальное

### 5.6.3.4 Регистр CURCNTR3

Автоматически инициализируется из ячейки 0x05 памяти OTP.

Таблица 49 – Регистр CURCNTR3 (ADDR = 0x13)

<b>Номер</b>	7	6	5	4	3	2	1	0
<b>Доступ</b>	RW	RW	RW	RW	RW	RW	RW	RW
<b>Сброс</b>	0	0	0	0	0	0	0	0
	IREF SW[1]	IREF SW[0]	VREF SW[1]	VREF SW[0]	TRIM MIR[3]	TRIM MIR[2]	TRIM MIR[1]	TRIM MIR[0]

Таблица 50 – Описание бит регистра CURCNTR3 (ADDR = 0x13)

Бит	Название	Описание
7, 6	IREF_SW[1:0]	Биты выбора сигнала на тестовый вывод IREF 000 – открыто 001 – источник опорного тока PTAT 10 мкА 010 – не буферизированный источник опорного напряжения 1,25 В 100 – источник опорного тока ZTAT 10 мкА <b>Другие комбинации не допустимы!</b>
5, 4	VREF_SW[1:0]	Биты выбора сигнала на тестовый вывод VREF12 00 – открыто 01 – буферизированный источник опорного напряжения 2,5 В 10 – буферизированный источник опорного напряжения 1,25 В <b>Другие комбинации не допустимы!</b>
3...0	TRIMMIR[3:0]	Бит подстройки источника тока на выводе ZTAT 0000_0000 – типовое значение

### 5.6.3.5 Регистр CURCNTR4

Автоматически инициализируется из ячейки 0x06 памяти OTP.

Таблица 51 – Регистр CURCNTR4 (ADDR = 0x14)

<b>Номер</b>	7	6	5	4	3	2	1	0
<b>Доступ</b>	RW	RW	RW	RW	RW	RW	RW	RW
<b>Сброс</b>	0	0	0	0	0	0	0	0
	TRIM[7]	TRIM[6]	TRIM[5]	TRIM[4]	TRIM[3]	TRIM[2]	TRIM[1]	TRIM[0]

Таблица 52 – Описание бит регистра CURCNTR4 (ADDR = 0x14)

Бит	Название	Описание
7..0	TRIM[7:0]	Бит подстройки источника тока для формирования тока на выводах CUR_IREF и DIN 0000_0000 Типовое значение опорного напряжения

### 5.6.3.6 Регистр CURCNTR5

Таблица 53 – Регистр CURCNTR5 (ADDR = 0x15)

<b>Номер</b>	7	6	5	4	3	2	1	0
<b>Доступ</b>	RW	RW	RW	RW	RW	RW	RW	RW
<b>Сброс</b>	0	0	0	0	0	0	0	0
	TRIM CH[7]	TRIM CH[6]	TRIM CH[5]	TRIM CH[4]	TRIM CH[3]	TRIM CH[2]	TRIM CH[1]	TRIM CH[0]

Таблица 54 – Описание бит регистра CURCNTR5 (ADDR = 0x15)

Бит	Название	Описание
7..0	TRIMCH[7:0]	Бит подстройки источника тока на выводы каналов компараторов 0000_0000 Типовое значение опорного напряжения

### 5.6.3.7 Регистр CURCNTR6

Таблица 55 – Регистр CURCNTR6 (ADDR = 0x16)

<b>Номер</b>	7	6	5	4	3	2	1	0
<b>Доступ</b>	R	R	R	R	R	R	R	R
<b>Сброс</b>	0	0	0	0	0	0	0	0
	-	-	-	-	MULDIN [1]	MULDIN [0]	MULIREF [1]	MULIREF [0]

Таблица 56 – Описание бит регистра CURCNTR6 (ADDR = 0x16)

Бит	Название	Описание
7...4	-	Резерв
3, 2	MULDIN [1:0]	Бит управления уровнем выходного тока в каналы DIN 00 – вытекающий ток ~2,78 мА 01 – вытекающий ток ~350 мкА 10 – втекающий ток ~350 мкА 11 – втекающий ток ~2,78 мА
1, 0	MULIREF [1:0]	Бит управления уровнем выходного тока на вывод CUR_IREF 00 – вытекающий ток ~2,78 мА 01 – вытекающий ток ~350 мкА 10 – втекающий ток ~350 мкА 11 – втекающий ток ~2,78 мА

### 5.6.3.8 Регистр CURCNTR7

Таблица 57 – Регистр CURCNTR7 (ADDR = 0x17)

<b>Номер</b>	7	6	5	4	3	2	1	0
<b>Доступ</b>	RW	RW	RW	RW	RW	RW	RW	RW
<b>Сброс</b>	0	0	0	0	0	0	0	0
			CHSEL[5]	CHSEL[5]	CHSEL[5]	CHSEL[5]	CHSEL[5]	CHSEL[5]

Таблица 58 – Описание бит регистра CURCNTR7 (ADDR = 0x17)

Бит	Название	Описание
7, 6	-	Резерв
5...0	CHSEL[5:0]	Выбор канала для задания тока CH 0 – DIN[0] 1 – DIN[1] ... 63 – DIN[63]

### 5.6.3.9 Регистр CURCNTR8

Автоматически инициализируется из ячейки 0x03 памяти OTP.

Таблица 59 – Регистр CURCNTR8 (ADDR = 0x18)

<b>Номер</b>	7	6	5	4	3	2	1	0
<b>Доступ</b>	RW	RW	RW	RW	RW	RW	RW	RW
<b>Сброс</b>	0	0	0	0	0	0	0	0
	TRIM REFV[7]	TRIM REFV [6]	TRIM REFV [5]	TRIM REFV [4]	TRIM REFV [3]	TRIM REFV [2]	TRIM REFV [1]	TRIM REFV [0]

Таблица 60 – Описание бит регистра CURCNTR8 (ADDR = 0x18)

Бит	Название	Описание
7..0	TRIMREFV[7:0]	Бит подстройки опорного напряжения 1,2 В по уровню 0000_0000 – типовое значение опорного напряжения

### 5.6.3.10 Регистр CURCNTR9

Таблица 61 – Регистр CURCNTR9 (ADDR = 0x19)

<b>Номер</b>	7	6	5	4	3	2	1	0
<b>Доступ</b>	RW	RW	RW	RW	RW	RW	RW	RW
<b>Сброс</b>	0	0	0	0	0	0	0	0
	TRIM V2[7]	TRIM V2 [6]	TRIM V2 [5]	TRIM V2 [4]	TRIM V2 [3]	TRIM V2 [2]	TRIM V2 [1]	TRIM V2 [0]

Таблица 62 – Описание бит регистра CURCNTR9 (ADDR = 0x19)

Бит	Название	Описание
7	-	Резерв
6..0	TRIMV2[6:0]	Бит подстройки опорного напряжения 2,5 В по уровню. 0000_0000 – типовое значение опорного напряжения

## 5.6.4 Резервные регистры контроллера

### 5.6.4.1 Регистр ADCCNTR1

Таблица 63 – Регистр ADCCNTR1 (ADDR = 0x1A)

<b>Номер</b>	7	6	5	4	3	2	1	0
<b>Доступ</b>	RW	RW	RW	RW	RW	RW	RW	RW
<b>Сброс</b>	0	0	0	0	0	0	0	0
	PGA[0]	PGA[0]				REFSEL[1]	REFSEL[0]	EN

Таблица 64 – Описание бит регистра ADCCNTR1 (ADDR = 0x1A)

Бит	Название	Описание
7...0	-	Резерв

### 5.6.4.2 Регистр ADCCNTR2

Таблица 65 – Регистр ADCCNTR2 (ADDR = 0x1B)

<b>Номер</b>	7	6	5	4	3	2	1	0
<b>Доступ</b>	RW	RW	RW	RW	RW	RW	RW	RW
<b>Сброс</b>	0	0	0	0	0	0	0	0
	-	TRIM2p5[6]	TRIM2p5[5]	TRIM2p5[4]	TRIM2p5[3]	TRIM2p5[2]	TRIM2p5[1]	TRIM2p5[0]

Таблица 66 – Описание бит регистра ADCCNTR2 (ADDR = 0x1B)

Бит	Название	Описание
7	-	Резерв
6...0	TRIM2P5	Тримминг* буфера 2,5 В ADC

\* Для калибровки значения опорного напряжения встроенного источника питания  $U_{REF\_ADC}$  АЦП значение тримминга может быть считано пользователем из ячейки OTP с адресом 0x04 и записано в регистр ADCCNTR2

### 5.6.4.3 Регистр ADCCNTR3

Таблица 67 – Регистр ADCCNTR3 (ADDR = 0x1C)

<b>Номер</b>	7	6	5	4	3	2	1	0
<b>Доступ</b>	RW	RW	RW	RW	RW	RW	RW	RW
<b>Сброс</b>	0	0	0	0	0	0	0	0

Таблица 68 – Описание бит регистра ADCCNTR3 (ADDR = 0x1C)

Бит	Название	Описание
7...0	-	Резерв

## 5.6.5 Общие регистры управления микросхемой

### 5.6.5.1 Регистр PWRCNTR0

Таблица 69 – Регистр PWRCNTR0 (ADDR = 0x1D)

<b>Номер</b>	7	6	5	4	3	2	1	0
<b>Доступ</b>	RW	RW	RW	RW	RW	RW	RW	RW
<b>Сброс</b>	0	0	0	0	0	0	0	0
	LDOTRIM[2]	LDOTRIM[1]	LDOTRIM[0]	LDOEN	ENHSI	SIRLOW[2]	SIRLOW[1]	SIRLOW[0]

Таблица 70 – Описание бит регистра PWRCNTR0 (ADDR = 0x1D)

Бит	Название	Описание
7...5	LDOTRIM[2:0]	Подстройка выходного напряжения LDO* 000 – типовое 100...111 – увеличить 011...001 – уменьшить
4	LDOEN	Бит выключения встроенного регулятора LDO 0 – регулятор включен 1 – регулятор выключен
3	ENHSI	Бит разрешения работы HSI 0 – выключен 1 – включен
2...0	SIRLOW[2:0]	Режим работы LDO регулятора 000 – 001 – ... 110 – 111 –
<p>* Калибровка выходного напряжения LDO-регулятора проводится в следующем порядке:</p> <ol style="list-style-type: none"> <li>1 Установить SHDN = 0 В;</li> <li>2 Битами LDOTRIM[2:0] регистра PWRCNTR0 подбирается значение тримминга, при котором напряжение <math>U_{LDO}</math> на выводе VDDO соответствует установленному в таблице , а также в ТСКЯ.431168.001ТБ1.</li> <li>3 Найденное значение тримминга может быть записано пользователем в ячейку памяти OTP с адресом от 64 до 119 для инициализации при последующих включениях.</li> </ol>		

### 5.6.5.2 Регистр PWRCNTR1

Автоматически инициализируется из ячейки 0x00 памяти OTP.

Таблица 71 – Регистр PWRCNTR1 (ADDR = 0x1E)

<b>Номер</b>	7	6	5	4	3	2	1	0
<b>Доступ</b>	RW	RW	RW	RW	RW	RW	RW	RW
<b>Сброс</b>	0	0	0	0	0	0	0	0
	TRIMHSI[3]	TRIMHSI[2]	TRIMHSI[1]	TRIMHSI[0]	CLKSEL[1]	CLKSEL[1]	BOREN	POREN

Таблица 72 – Описание бит регистра PWRCNTR1 (ADDR = 0x1E)

Бит	Название	Описание
7...4	TRIMHSI[3...0]	Биты подстройки генератора HSI*
3, 2	CLKSEL[1:0]	Бит выбора тактирования для микросхемы 00 – тактирование от сигнала HSI 01 – тактирование от сигнала SCLK 10 – тактирование от сигнала HSE 11 – тактирование от сигнала HSI
1	BOREN	Бит выключения схемы BOR 0 – схема BOR выключена 1 – схема BOR включена
0	POREN	Бит выключения схемы POR 0 – схема POR включена 1 – схема POR выключена

\* Калибровка выходной частоты HSI проводится в следующем порядке:

- 1 Установить nCS\_BUS = 0 В, nOE = 0 В, nWE = Ucc, ADDR = 63;
- 2 Битами TRIMHSI[3:0] регистра PWRCNTR1 подбирается наилучшее значение тримминга, при котором значение частоты fo\_HSI генератора HSI соответствует установленному в таблице , а также в ТСКЯ.431168.001ТБ1. Выходные частоты доступны на выводах DIO при чтении регистра 63 по параллельной шине.
- 3 Найденное значение тримминга может быть записано пользователем в ячейку памяти OTP с адресом от 64 до 119 для инициализации при последующих включениях.

При тактировании от SCLK после подачи таких команд как очистка битов или сброс необходимо выполнить два дополнительных «пустых» обращений по SPI-интерфейсу для формирования тактовых импульсов необходимых для выполнения операции.

При выполнении преобразования АЦП необходимо выполнить 55 обращений по SPI-интерфейсу до завершения операции (GO10) или 6 обращений (GO).

При возникновении ошибок паритета и ECC флаги взводятся через одно обращение по SPI-интерфейсу.

### 5.6.5.3 Регистр PWRCNTR2

Таблица 73 – Регистр PWRCNTR2 (ADDR = 0x1F)

<b>Номер</b>	7	6	5	4	3	2	1	0
<b>Доступ</b>	RW	RW	RW	RW	RW	RW	RW	RW
<b>Сброс</b>	0	0	0	0	0	0	0	0
	CUREN	CUR DUCC[2]	CUR DUCC[1]	CUR DUCC[0]	LIMEN	ENFLTR HSE	ENBYP HSE	ENHSE

Таблица 74 – Описание бит регистра PWRCNTR2 (ADDR = 0x1F)

Бит	Название	Описание
7	CUREN	Бит разрешения работы схемы контроля уровня тока LDO регулятора 0 – флаг CURFLG всегда 0 1 – флаг CURFLG равен 1, если ток потребления более уровня CURDUCC, иначе 0
6...4	CURDUCC[2:0]	Уровень сравнения для определения тока потребления 000 ... 111
3	LIMEN	Бит запрета работы схемы ограничения тока LDO (защита от короткого замыкания) 0 – выходной ток LDO ограничен (защита от КЗ включена) 1 – выходной ток LDO не ограничен (защита от КЗ выключена)
2	ENFLTRHSE	Бит разрешения фильтрации высокой частоты на входе HSE 0 – фильтр выключен 1 – фильтр выключен
1	ENBYPHSE	Бит разрешения работы HSE на проход 0 – HSE в режиме внешнего кварца 1 – HSE в режиме на проход, только внешний генератор
0	ENHSE	Бит разрешения работы HSE 0 – выключен 1 – включен

#### 5.6.5.4 Регистр PWRCNTR3

Таблица 75 – Регистр PWRCNTR3 (ADDR = 0x20)

Номер	7	6	5	4	3	2	1	0
Доступ	RW	RW	RW	RW	RW	RW	RW	RW
Сброс	0	0	0	0	0	0	0	0
	SET ATPG[2]	SET ATPG[1]	POR CLR	CLREC CERR	RST REQ	RSTPIN CLR	RSTAC KCLR	SPIERR CLR

Таблица 76 – Описание бит регистра PWRCNTR3 (ADDR = 0x20)

Бит	Название	Описание
7, 6	SETATPG[1:0]	Бит установки тестового режима ATPG запись значения 10 при наличии 1 на входе TEST устанавливает режим ATPG. Выход из режима ATPG возможен только через сброс микросхемы через вывод NRST или сброс по питанию
5	PORCLR	Бит сброса флага RSTPOR Запись единицы сбрасывает флаг
4	CLRECCERR	Бит сброса ошибок ECC в OTP Запись единицы приводит к сбросу флагов ECC1ERR и ECC2ERR
3	RSTREQ	Бит запроса программного сброса Запись единицы приводит к сбросу микросхемы
2	RSTPINCLR	Бит сброса флага RSTPIN Запись единицы сбрасывает флаг
1	RSTACKCLR	Бит сброса флага RSTACK Запись единицы сбрасывает флаг
0	SPIERRCLR	Бит сброса ошибки SPI Запись единицы сбрасывает флаг

При чтении регистра всегда читаются нули.



### 5.6.5.5 Регистр PWRSTAT0

Таблица 77 – Регистр PWRSTAT0 (ADDR = 0x21)

<b>Номер</b>	7	6	5	4	3	2	1	0
<b>Доступ</b>	R	R	R	R	R	R	R	R
<b>Сброс</b>	0	0	0	0	0	0	0	0
	-	LDORDY	REFRDY	HSERDY	HSIRDY	CURFLG	BOR	POR

Таблица 78 – Описание бит регистра PWRSTAT0 (ADDR = 0x21)

Бит	Название	Описание
7	–	–
6	LDORDY	Флаг сигнала готовности LDO 0 – LDO не готов 1 – LDO готов
5	REFRDY	Флаг сигнала готовности ИОН 0 – ИОН не готов 1 – ИОН готов
4	HSERDY	Флаг сигнала HSERDY 0 – генератор не готов 1 – генератор готов
3	HSIRDY	Флаг сигнала HSIRDY 0 – генератор не готов 1 – генератор готов
2	CURFLG	Флаг сигнала уровня тока потребления 0 – ток потребления не превышает уровня CURDUCC 1 – ток потребления превышает уровень CURDUCC
1	BOR	Флаг сигнала BOR 0 – напряжение питания ниже BOR 1 – напряжение питания выше BOR
0	POR	Флаг сигнала POR 0 – напряжение питания ниже POR 1 – напряжение питания выше POR

### 5.6.5.6 Регистр PWRSTAT1

Таблица 79 – Регистр PWRSTAT1 (ADDR = 0x22)

<b>Номер</b>	7	6	5	4	3	2	1	0
<b>Доступ</b>	R	R	R	R	R	R	R	R
<b>Сброс</b>	0	0	0	0	0	0	0	0
			ECCERR2	ECCERR1	RSTPOR	RSTPIN	RSTACK	

Таблица 80 – Описание бит регистра PWRSTAT1 (ADDR = 0x22)

Бит	Название	Описание
7	–	–
5	ECCERR2	Флаг двойной ошибки ECC в регистрах управления 0 – нет ошибки 1 – есть двойная ошибка Флаг сбрасывается автоматически при исправлении данных в сбойном регистре

Бит	Название	Описание
4	ECCERR1	Флаг одиночной ошибки ECC в регистрах управления 0 – нет ошибки 1 – есть одиночная ошибка Флаг сбрасывается автоматически при исправлении данных в сбойном регистре
3	RSTPOR	Флаг сброса микросхемы по питанию 0 – сброса по питанию не было 1 – сброс по питанию был
2	RSTPIN	Флаг сброса микросхемы по внешнему выводу RSTn 0 – сброса по RSTn не было 1 – сброс по RSTn был
1	RSTACK	Флаг сброса по программному запросу 0 – сброса по RSTREG не было 1 – сброса по RSTREG было
0	SPIERR	Флаг ошибки четности при обмене по SPI 0 – нет ошибки 1 – есть ошибка

### 5.6.5.7 Регистр PWRIE0

Таблица 81 – Регистр PWRIE0 (ADDR = 0x23)

Номер	7	6	5	4	3	2	1	0
Доступ	RW	RW	RW	RW	RW	RW	RW	RW
Сброс	0	0	0	0	0	0	0	0
	ECCERR2IE	ECCERR1IE		SPIERRIE				ADCRDYIE

Таблица 82 – Описание бит регистра PWRIE0 (ADDR = 0x23)

Бит	Название	Описание
7	ECCERR2IE	Бит разрешения прерывания INT по двойной ошибке ECC регистров управления 0 – прерывание запрещено 1 – прерывание разрешено
6	ECCERR1IE	Бит разрешения прерывания INT по одиночной ошибке ECC регистров управления 0 – прерывание запрещено 1 – прерывание разрешено
5	-	Резерв
4	SPIERRIE	Бит разрешения прерывания INT по ошибке четности SPI 0 – прерывание запрещено 1 – прерывание разрешено
3	-	Резерв
2	-	Резерв
1	-	Резерв
0	ADCRDYIE	Бит разрешения прерывания INT по завершению преобразования 0 – прерывание запрещено 1 – прерывание разрешено

### 5.6.5.8 Регистр PWRIE1

Таблица 83 – Регистр PWRIE1 (ADDR = 0x24)

<b>Номер</b>	7	6	5	4	3	2	1	0
<b>Доступ</b>	RW	RW	RW	RW	RW	RW	RW	RW
<b>Сброс</b>	0	0	0	0	0	0	0	0
	CMPIE[7]	CMPIE[6]	CMPIE[5]	CMPIE[4]	CMPIE[3]	CMPIE[2]	CMPIE[1]	CMPIE[0]

Таблица 84 – Описание бит регистра PWRIE1 (ADDR = 0x24)

Бит	Название	Описание
7...0	CMPIE[7:0]	Бит разрешения прерывания по возникновению события компаратора. Событие, вызвавшее прерывания, необходимо считывать в регистре CMPFIX, так как на момент обращения значение на выходе компаратора может быть снято

## 5.6.6 Регистры контроллера памяти OTP

### 5.6.6.1 Регистр OTPCNTR0

Таблица 85 – Регистр OTPCNTR0 (ADDR = 0x25)

<b>Номер</b>	7	6	5	4	3	2	1	0
<b>Доступ</b>	RW	RW	RW	RW	RW	RW	RW	RW
<b>Сброс</b>	0	0	0	0	0	0	0	1

Таблица 86 – Описание бит регистра OTPCNTR0 (ADDR = 0x25)

Бит	Название	Описание
7	–	–
6	ECC2ERRIE	Флаг разрешения прерывания по двойной ошибке в OTP 0 – прерывание запрещено 1 – прерывание разрешено
5	ECC1ERRIE	Флаг разрешения прерывания по одиночной ошибке в OTP 0 – прерывание запрещено 1 – прерывание разрешено
4, 3	TE[1:0]	Тестовый режим 0 – рабочий режим 1 – тестовый режим
2	SE	Режим чтения 0 – нет чтения 1 – есть чтение
1	PE	Режим программирования 0 – нет программирования 1 – есть программирования
0	EN	Бит включения OTP 0 – память выключена 1 – память включена

### 5.6.6.2 Регистр ОТПСНТР1

Таблица 87 – Регистр ОТПСНТР1 (ADDR = 0x26)

<b>Номер</b>	7	6	5	4	3	2	1	0
<b>Доступ</b>	RW	RW	RW	RW	RW	RW	RW	RW
<b>Сброс</b>	1	1	1	0	0	0	1	1
	REPL TUNE[3]	REPL TUNE[2]	REPL TUNE[1]	REPL TUNE[0]	-	TIME TUNE[2]	TIME TUNE[1]	TIME TUNE[0]

Таблица 88 – Описание бит регистра ОТПСНТР1 (ADDR = 0x26)

Бит	Название	Описание
7...4	REPL_TUNE[3:0]	Регистр подстройки ОТП 0000 – Большой запас по чтению “1” и меньший по чтению “0” 0001 0010 0011 0100 0101 0110 0111 1000 1001 1010 1011 1100 1101 1110 – Типовое значение 1111 – Меньший запас по чтению “1” и больший по чтению “0”
3	-	-
2...0	TIME_TUNE[2:0]	Регистр подстройки ОТП 000 – Меньше время выборки, меньше общий запас по чтению и “0” и “1” 001 010 011 – Типовое значение 100 101 110 111 – Больше время выборки, больше общий запас по чтению и “0” и “1”

### 5.6.6.3 Регистр ОТПАДДР

Таблица 89 – Регистр ОТПАДДР (ADDR = 0x27)

<b>Номер</b>	7	6	5	4	3	2	1	0
<b>Доступ</b>	RW	RW	RW	RW	RW	RW	RW	RW
<b>Сброс</b>	0	0	0	0	0	0	0	1

Таблица 90 – Описание бит регистра ОТПАДДР (ADDR = 0x27)

Бит	Название	Описание
7...0	ADDR[7:0]	Регистр адреса программируемой ячейки

#### 5.6.6.4 Регистр OTPWDATA

Таблица 91 – Регистр OTPWDATA (ADDR = 0x28)

<b>Номер</b>	7	6	5	4	3	2	1	0
<b>Доступ</b>	RW	RW	RW	RW	RW	RW	RW	RW
<b>Сброс</b>	0	0	0	0	0	0	0	1

Таблица 92 – Описание бит регистра OTPWDATA (ADDR = 0x28)

Бит	Название	Описание
7...0	WDATA[7:0]	Регистр программируемых данных, программирование осуществляется по битно

#### 5.6.6.5 Регистр OTPWECC

Таблица 93 – Регистр OTPWECC (ADDR = 0x29)

<b>Номер</b>	7	6	5	4	3	2	1	0
<b>Доступ</b>	RW	RW	RW	RW	RW	RW	RW	RW
<b>Сброс</b>	0	0	0	0	0	0	0	1

Таблица 94 – Описание бит регистра OTPWECC (ADDR = 0x29)

Бит	Название	Описание
7...0	WECC[7:0]	Регистр программируемых бит ECC, программирование осуществляется по битно

#### 5.6.6.6 Регистр OTPRDATA

Таблица 95 – Регистр OTPRDATA (ADDR = 0x2A)

<b>Номер</b>	7	6	5	4	3	2	1	0
<b>Доступ</b>	RW	RW	RW	RW	RW	RW	RW	RW
<b>Сброс</b>	0	0	0	0	0	0	0	1

Таблица 96 – Описание бит регистра OTPRDATA (ADDR = 0x2A)

Бит	Название	Описание
7...0	RDATA[7:0]	Регистр считанных данных из OTP (без исправления ECC)

#### 5.6.6.7 Регистр OTPRECC

Таблица 97 – Регистр OTPRECC (ADDR = 0x2B)

<b>Номер</b>	7	6	5	4	3	2	1	0
<b>Доступ</b>	RW	RW	RW	RW	RW	RW	RW	RW
<b>Сброс</b>	0	0	0	0	0	0	0	1

Таблица 98 – Описание бит регистра OTPRECC (ADDR = 0x2B)

Бит	Название	Описание
7...0	RECC[7:0]	Регистр считанных бит ECC (без исправления ECC)

### 5.6.6.8 Регистр OTPDATA

Таблица 99 – Регистр OTPDATA (ADDR = 0x2C)

<b>Номер</b>	7	6	5	4	3	2	1	0
<b>Доступ</b>	RW	RW	RW	RW	RW	RW	RW	RW
<b>Сброс</b>	0	0	0	0	0	0	0	1

Таблица 100 – Описание бит регистра OTPDATA (ADDR = 0x2C)

Бит	Название	Описание
7...0	DATA[7:0]	Регистр считанных данных из памяти OTP после исправления ECC

### 5.6.6.9 Регистр OTPSTAT

Таблица 101 – Регистр OTPSTAT (ADDR = 0x2D)

<b>Номер</b>	7	6	5	4	3	2	1	0
<b>Доступ</b>	RW	RW	RW	RW	RW	R	R	R
<b>Сброс</b>	0	0	0	0	0	0	0	1
						TRIMBUSY	ECC2ERR	ECC1ERR

Таблица 102 – Описание бит регистра OTPSTAT (ADDR = 0x2D)

Бит	Название	Описание
7...3	-	Резерв
2	TRIMBUSY	<p>Флаг окончания записи заводских настроек в регистры управления 0 – запись закончена 1 – идет запись из памяти OTP в регистры управления</p> <p>Запись выполняется в течении первых 100 тактов работы после сигнала сброса. При TEST=1 чтение данных выполняется, но в регистры не записывается и в них остается типовое значение.</p> <p>Заводские настройки записываются из следующих ячеек памяти OTP:                      OTP[0x0]-&gt; REG[0x1E] (тримминг LDO)                      OTP[0x1]-&gt; REG[0x11] (тримминг 1,2 В по температурной зависимости)                      OTP[0x2]-&gt; REG[0x12] (тримминг 10 мкА PTAT по уровню)                      OTP[0x0]-&gt; REG[0x18] (тримминг 1,2 В по уровню)</p>
1	ECC2ERR	<p>Флаг наличия двойной ошибки ECC после чтения OTP 0 – нет двойной ошибки 1 – есть двойная ошибка</p>
0	ECC1ERR	<p>Флаг наличия одиночной ошибки ECC после чтения OTP 0 – нет одиночной ошибки 1 – есть одиночная ошибка</p>

## 5.6.7 Регистры отладки

### 5.6.7.1 Регистр ECCTEST

Таблица 103 – Регистр ECCTEST (ADDR = 0x2E)

<b>Номер</b>	7	6	5	4	3	2	1	0
<b>Доступ</b>	RW	RW	RW	RW	RW	RW	RW	RW
<b>Сброс</b>	0	0	0	0	0	0	0	1
	ECC TEST[7]	ECC TEST[6]	ECC TEST[5]	ECC TEST[4]	ECC TEST[3]	ECC TEST[2]	ECC TEST[1]	ECC TEST[0]

Таблица 104 – Описание бит регистра ECCTEST (ADDR = 0x2E)

Бит	Название	Описание
6	ECCTEST[7:0]	Регистр общего назначения, но с фиксированным нулевым значением проверочных битов ECC (нет ошибок ECC при нулевом значении регистра). Запись отличных от нуля данных в регистр вызывает появление одиночных или двойных ошибок ECC. Регистр можно использовать при отладке ПО на предмет обработки ошибок ECC

### 5.6.7.2 Регистр PARTEST

Таблица 105 – Регистр PARTEST (ADDR = 0x2F)

<b>Номер</b>	7	6	5	4	3	2	1	0
<b>Доступ</b>	RW	RW	RW	RW	RW	RW	RW	RW
<b>Сброс</b>	0	0	0	0	0	0	0	1
	PAR TEST[7]	PAR TEST[6]	PAR TEST[5]	PAR TEST[4]	PAR TEST[3]	PAR TEST[2]	PAR TEST[1]	PAR TEST[0]

Таблица 106 – Описание бит регистра PARTEST (ADDR = 0x2F)

Бит	Название	Описание
6	PARTEST[7:0]	Регистр общего назначения, но при чтении по SPI всегда возвращает ошибочный бит паритета. Регистр можно использовать при отладке ПО на предмет обработки ошибки паритета

## 5.7 Описание ошибок

В микросхеме 1923КХ014 для вычисления битов ЕСС используется следующая матрица:

```
ecc[0] = data[6] ^ data[4] ^ data[3] ^ data[1] ^ data[0];
ecc[1] = data[6] ^ data[5] ^ data[3] ^ data[2] ^ data[0];
ecc[2] = data[7] ^ data[3] ^ data[2] ^ data[1];
ecc[3] = data[7] ^ data[6] ^ data[5] ^ data[4];
ecc[4] = data[7] ^ data[5] ^ data[4] ^ data[2] ^ data[1] ^ data[0];
```

Данная матрица должна применяться при программировании памяти ОТР пользовательскими данными. Проверка и исправление данных происходит автоматически.

Алгоритм вычисления 5-битной ЕСС суммы для 8-битного слова в памяти представлен ниже.

```
SECC = getecc ((uint8_t) DATA);
```

Тело функции `getecc`:

```
uint8_t getecc (uint8_t data)
{
    uint8_t ecc = 0;
    uint8_t res = 0;
    uint8_t inputw = 0;
    uint8_t i, j;

    const uint8_t H[5] = {0x5B, 0x6D, 0x8E, 0xF0, 0xB7};

    for (i=0; i<5; i++)
    {
        inputw = data & H[i];
        res=0;

        for (j=0; j<8; j++)
            res = res ^ ((inputw >> j) & 0x01);

        ecc = ecc | (res << i);
    }
    return (ecc & 0x1F);
}
```



При работе с микросхемой 1923КХ014 возможно возникновение следующих ошибок:

- ERR0 – ошибка четности при обращении по SPI-интерфейсу. Ошибка взводится при записи если не выполнено требование четности. В этом случае запись не выполняется и регистры остаются без изменения;
- ERR1 – ошибка ECC (одиночная или двойная) в регистрах управления микросхемы. При возникновении одиночной ошибки функционирование микросхемы сохраняется, но необходимо скорейшее исправление сбойной информации. При возникновении двойной ошибки функционирование микросхемы может быть нарушено и получаемые от нее данные должны быть проигнорированы. В том числе должны быть проигнорированы последние данные полученные без ошибки ECC.

А также одиночные или двойные ошибки чтения из памяти OTP. При автоматической перезаписи информации из памяти OTP в регистры управления, при возникновении одиночной ошибки данные исправляются и записываются в соответствующий регистр. При возникновении двойной ошибки запись данных для которых она возникла не производится, в результате в регистре сохраняется предыдущее значение. После автоматической перезаписи необходимо убедиться, что операция прошла без возникновения двойных ошибок.

Биты ошибок ERR0 и ERR1 возвращаются по SPI-интерфейсу всегда, также они могут быть считаны из регистра PWRSTAT. Также по возникновению ошибок может быть сгенерировано прерывание. Биты ошибок OTP могут быть считаны только программным образом.

Флаги ошибок могут взводиться с опозданием из-за пересинхронизации если тактовая частота SCLK > ½ тактовой частоты микросхемы.

## 6 Типовая схема включения

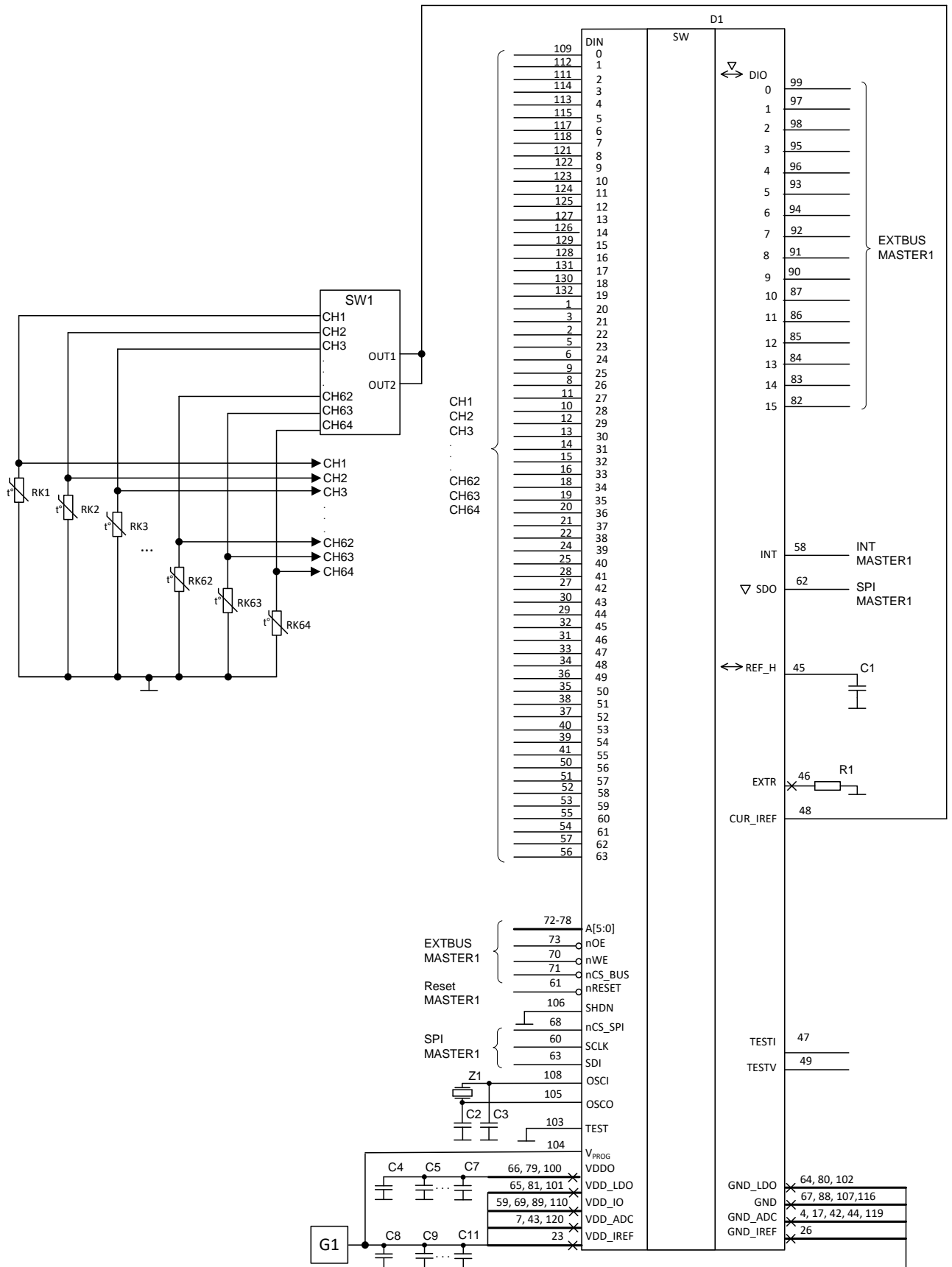


Рисунок 15 – Типовая схема включения микросхем

*Продолжение рисунка*

- C1 – C11 – конденсаторы ёмкостью:
  - C1, C5 – C7, C9 – C11 = 100 нФ;
  - C2, C3 = 15 пФ;
  - C4, C8 = 10 мкФ;
- D1 – включаемая микросхема;
- G1 – источник постоянного напряжения (3 – 5,5) В;
- MASTER1 – контроллеры 1986BE8T или 1923BK014;
- R1 – резистор сопротивлением 3,48 кОм;
- RK1 – RK64 – терморезисторы;
- SW1 – 64-канальный коммутатор 1923KH014 или 1923KH015;
- Z1 – кварцевый резонатор

## 7 Типовые зависимости

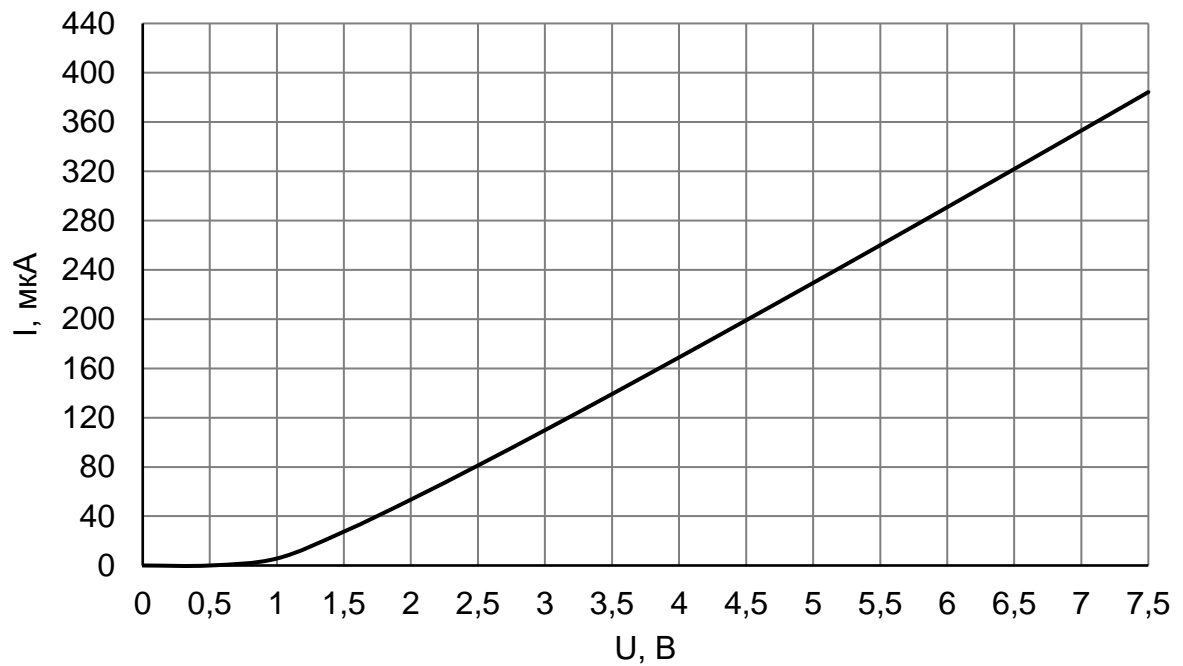


Рисунок 16 – Зависимости токов утечки на выводах DIN в режиме холодного резервирования при  $U_{CC} = 0$  В,  $T = 25$  °С

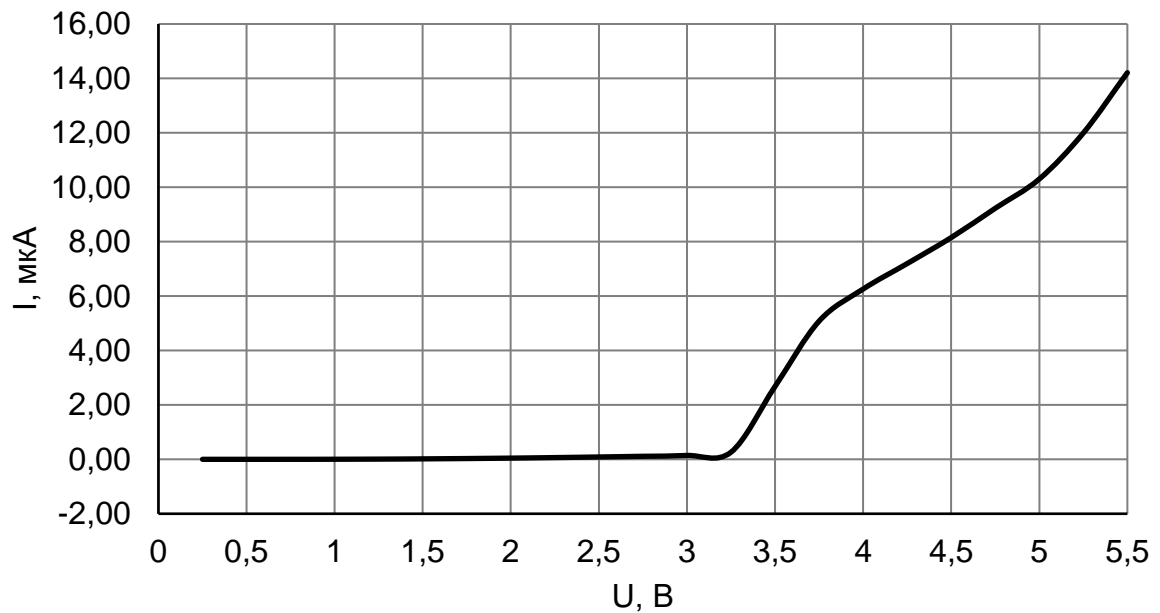


Рисунок 17 – Зависимости токов утечки на цифровых входах в режиме холодного резервирования при  $U_{CC} = 0$  В,  $T = 25$  °С

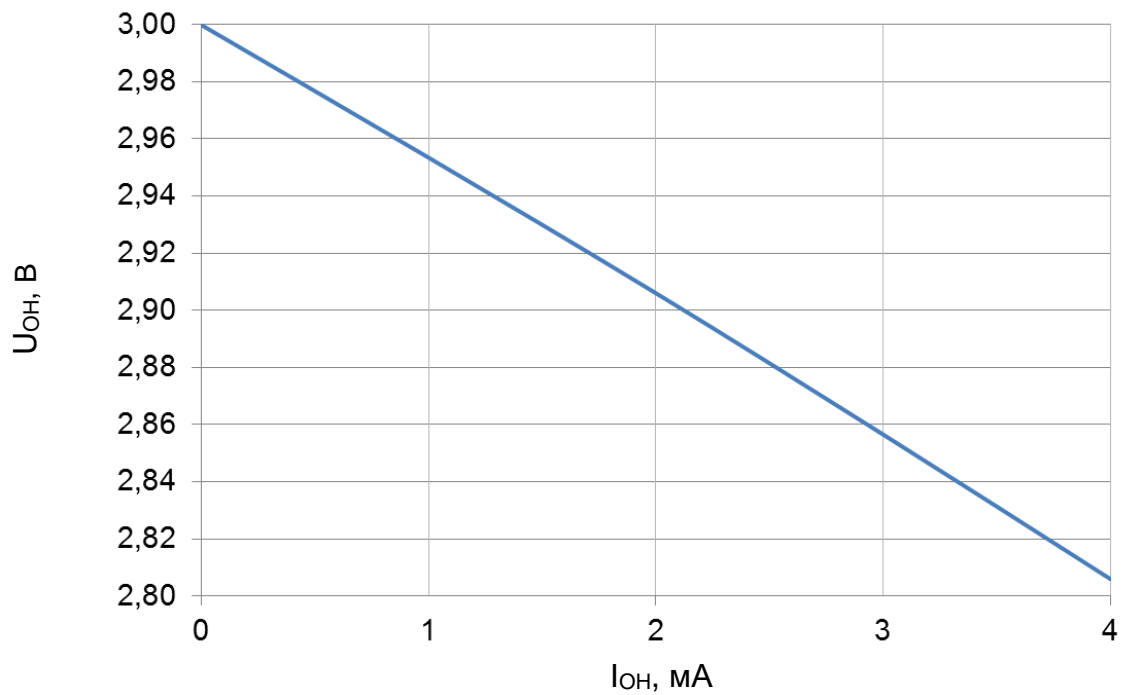


Рисунок 18 – Зависимость выходного напряжения высокого уровня  $U_{OH}$  от выходного тока высокого уровня  $I_{OH}$  при  $U_{CC} = 3,0$  В и  $T = 25$  °С

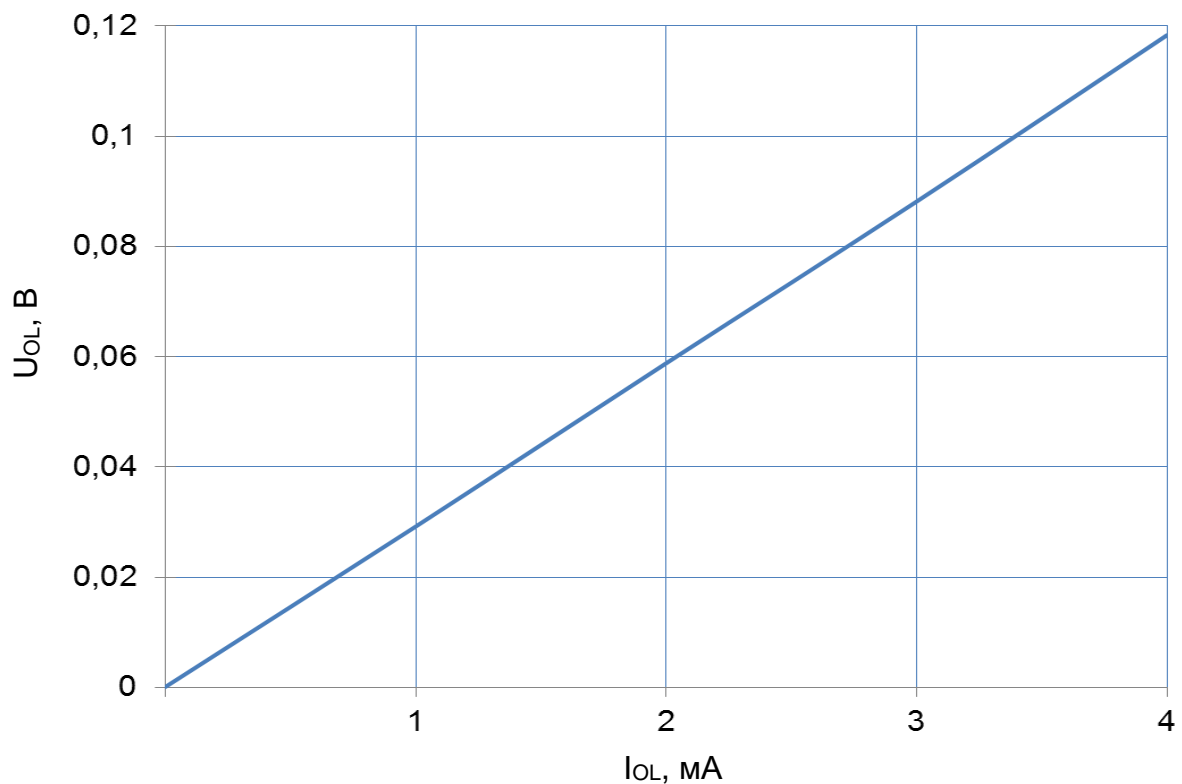
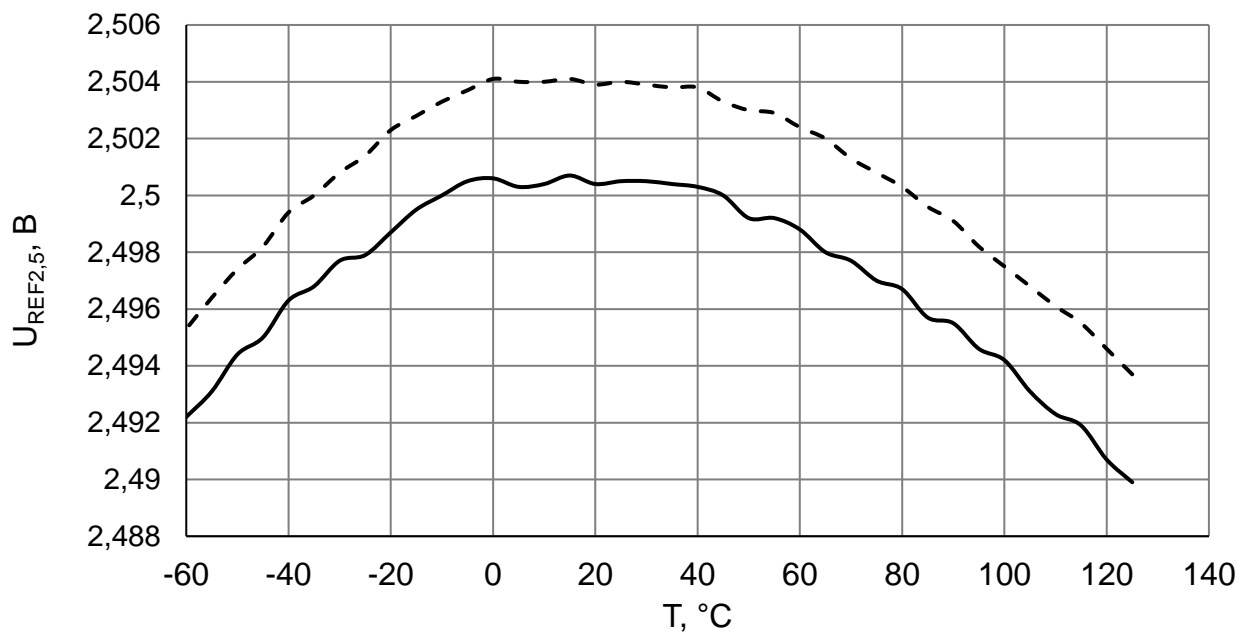


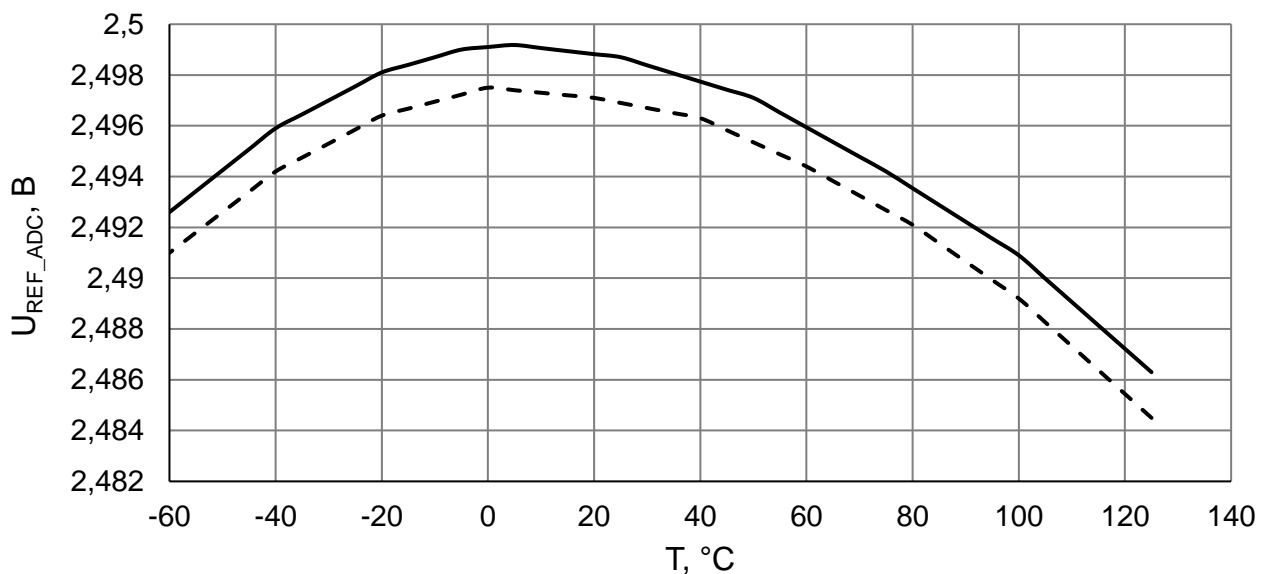
Рисунок 19 – Зависимость выходного напряжения низкого уровня  $U_{OL}$  от выходного тока низкого уровня  $I_{OL}$  при  $U_{CC} = 3,0$  В и  $T = 25$  °С



где ----- –  $U_{CC} = 5,5 \text{ В}$ ;  
 \_\_\_\_\_ –  $U_{CC} = 3,0 \text{ В}$

В зависимости от тримминга конкретное значение  $U_{REF2,5}$  образца может отличаться от приведённого.

Рисунок 20 – Зависимость напряжения источника опорного напряжения  $U_{REF2,5}$  компаратора от температуры  $T$  при  $U_{CC} = 3,0 \text{ В}$ ,  $U_{CC} = 5,5 \text{ В}$



где ----- –  $U_{CC} = 5,5 \text{ В}$ ;  
 \_\_\_\_\_ –  $U_{CC} = 3,0 \text{ В}$

Рисунок 21 – Зависимость опорного напряжения встроенного источника питания АЦП  $U_{REF\_ADC}$  от температуры  $T$  при  $U_{CC} = 3,0 \text{ В}$ ,  $U_{CC} = 5,5 \text{ В}$

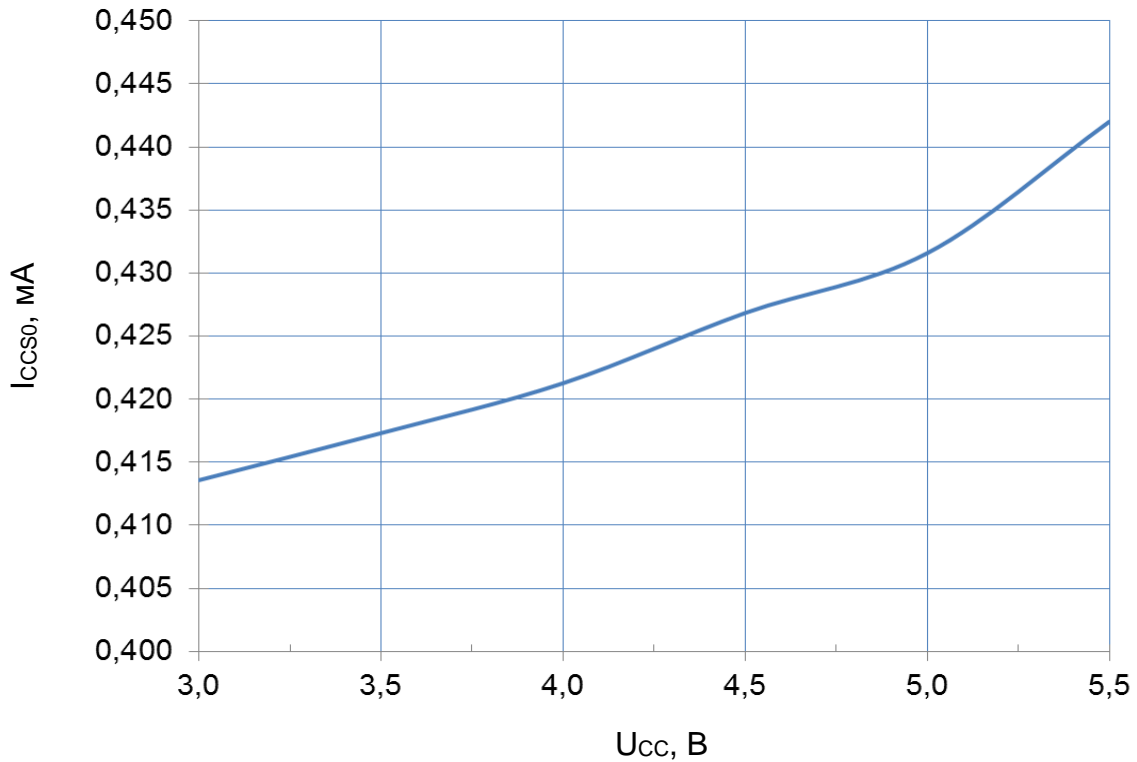


Рисунок 22 – Зависимость статического тока потребления I<sub>CCS0</sub> по выводам VDD\_IO от напряжения питания U<sub>CC</sub> при T = 25 °C

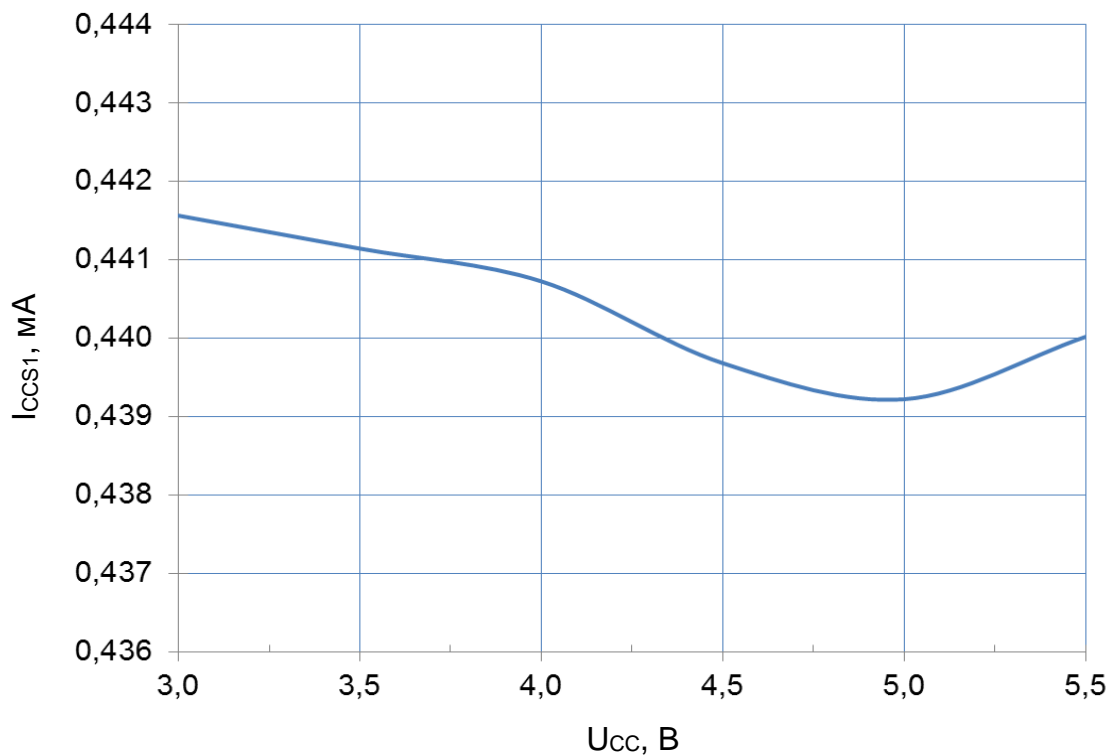


Рисунок 23 – Зависимость статического тока потребления I<sub>CCS1</sub> по выводам VDD\_LDO от напряжения питания U<sub>CC</sub> при T = 25 °C

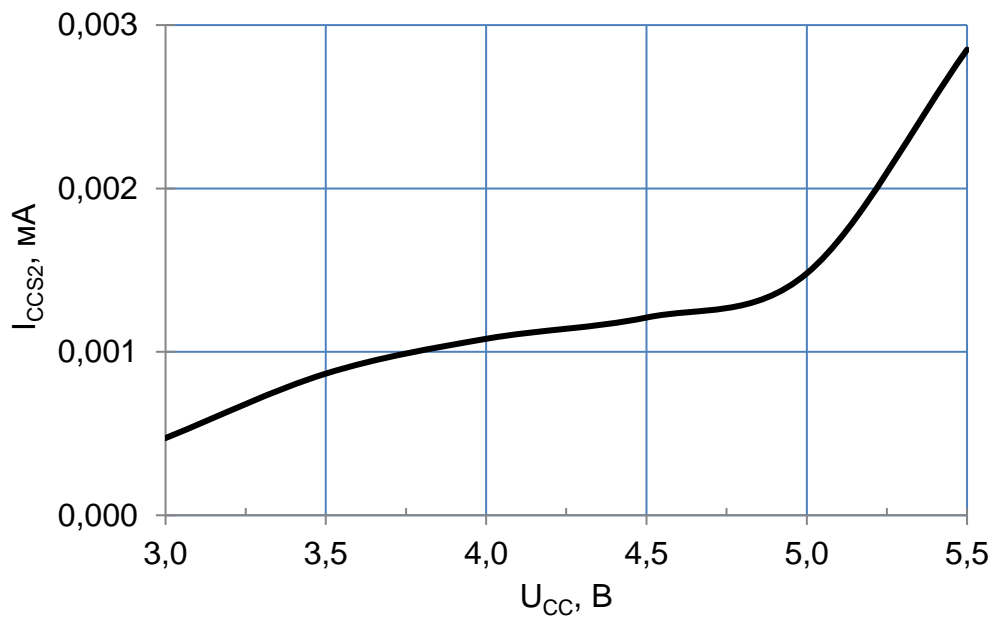


Рисунок 24 – Зависимость статического тока потребления I<sub>CCS2</sub> по выводам VDD\_ADC от напряжения питания U<sub>CC</sub> при T = 25 °C

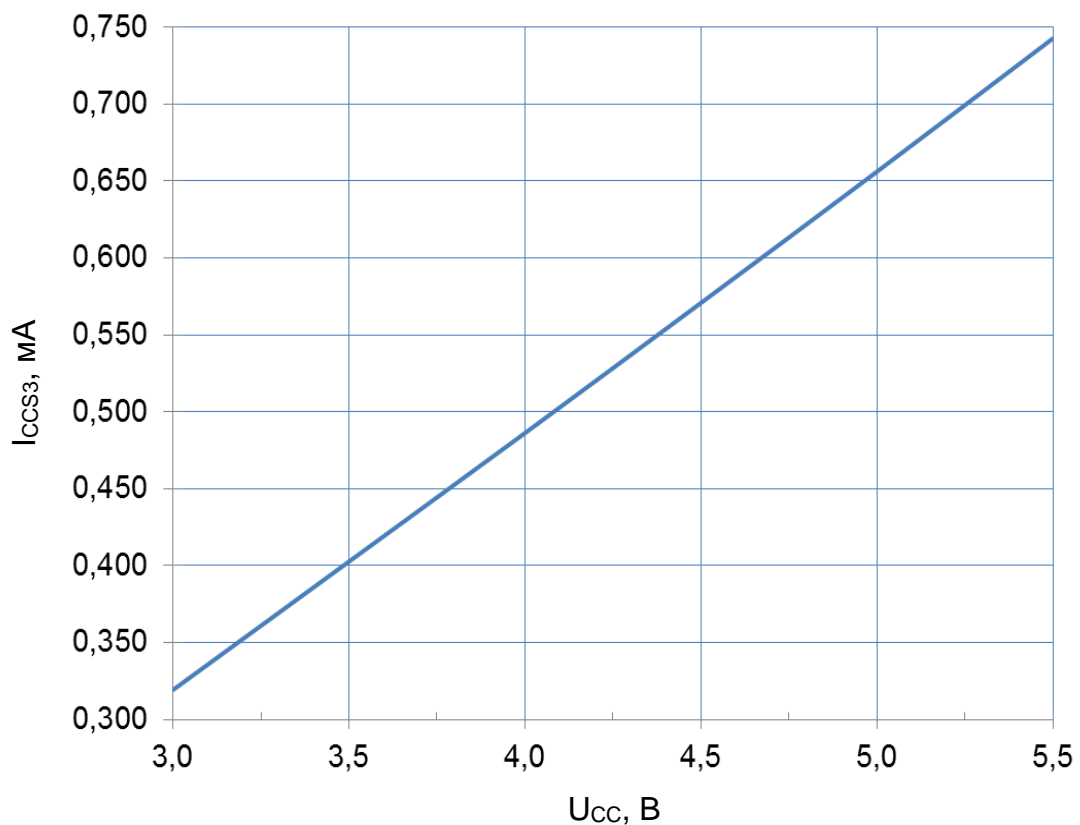


Рисунок 25 – Зависимость статического тока потребления I<sub>CCS3</sub> по выводам VDD\_IREF от напряжения питания U<sub>CC</sub> при T = 25 °C



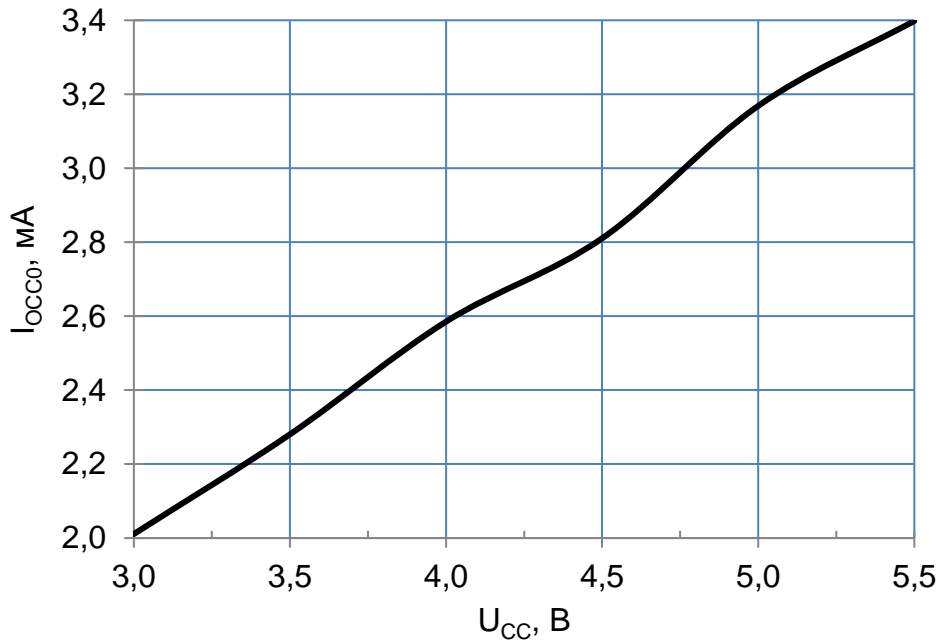


Рисунок 26 – Зависимость динамического тока потребления  $I_{OSS0}$  по выводам VDD\_IO от напряжения питания  $U_{CC}$  при  $f_c = 20$  МГц,  $U_{CC1} = 5,5$  В,  $I_o = 0$  мА,  $T = 25$  °С

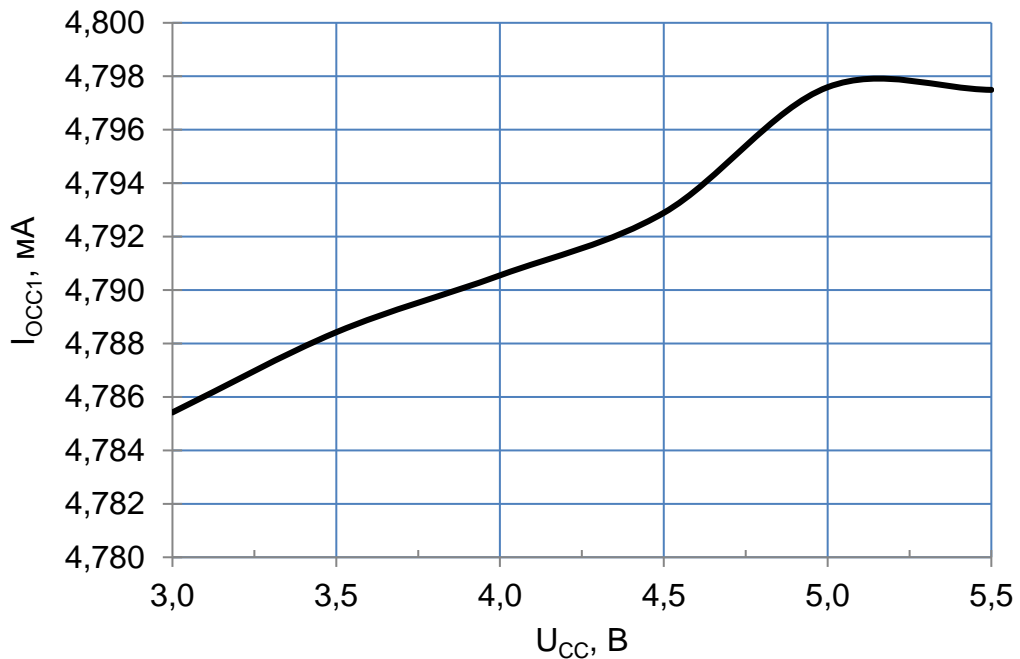


Рисунок 27 – Зависимость динамического тока потребления  $I_{OSS1}$  по выводам VDD\_LDO от напряжения питания  $U_{CC}$  при  $f_c = 20$  МГц,  $U_{CC1} = 5,5$  В,  $I_o = 0$  мА,  $T = 25$  °С

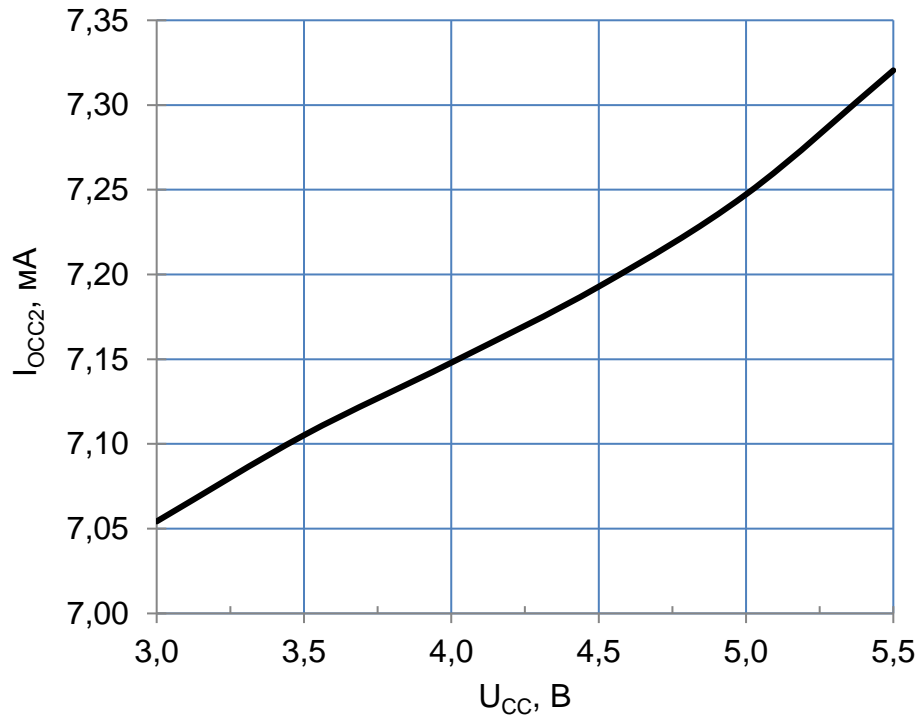


Рисунок 28 – Зависимость динамического тока потребления  $I_{OCC2}$  по выводам VDD\_ADC от напряжения питания  $U_{CC}$  при  $f_c = 20$  МГц,  $U_{CC1} = 5,5$  В,  $I_o = 0$  мА,  $T = 25$  °С

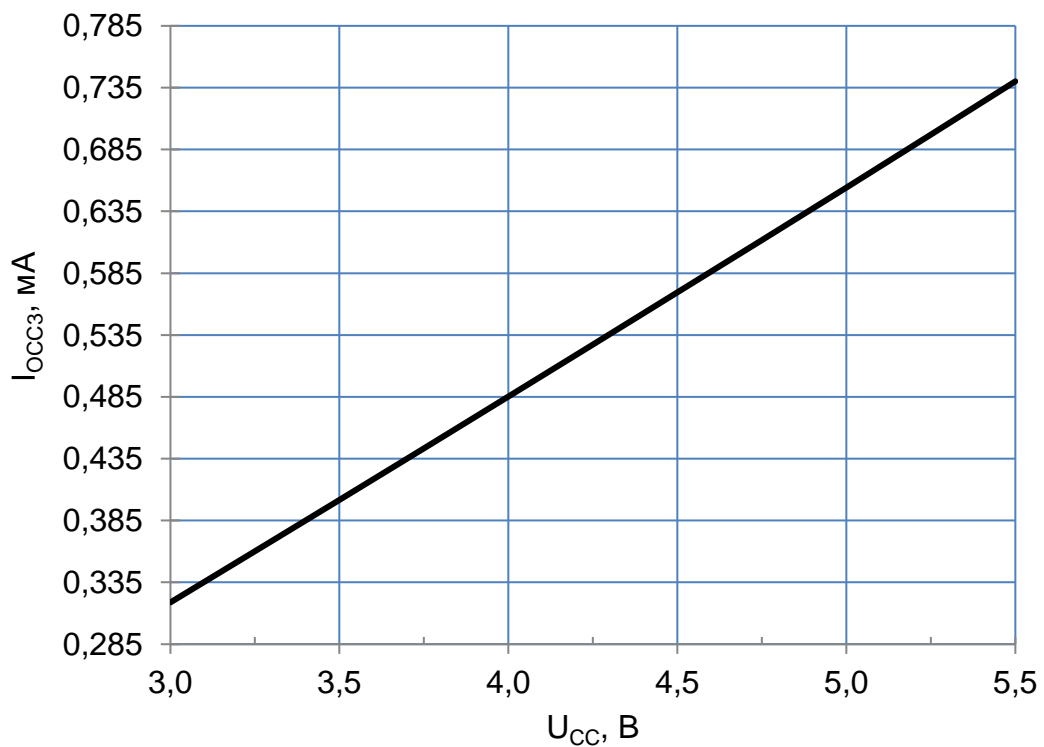
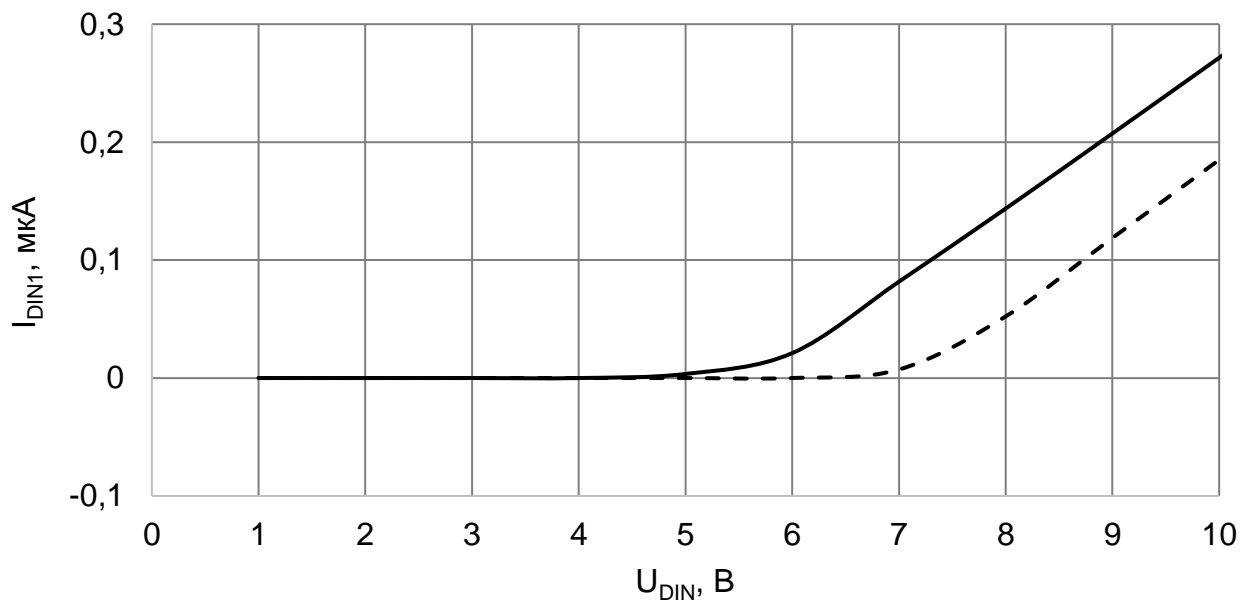
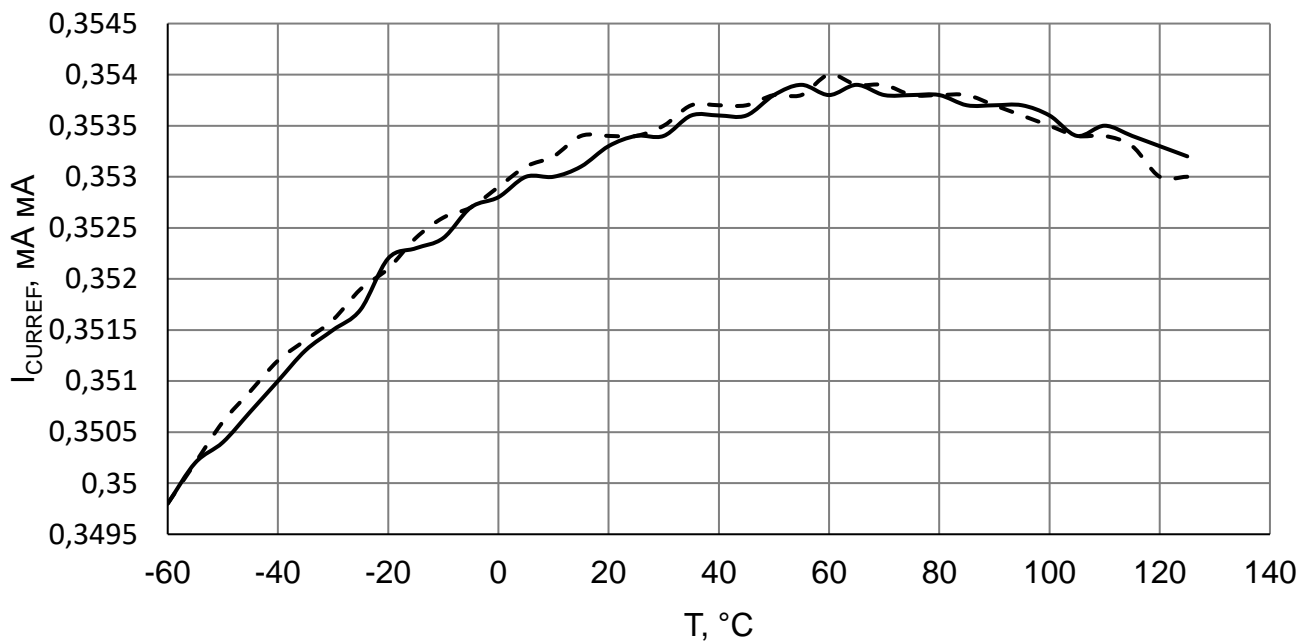


Рисунок 29 – Зависимость динамического тока потребления  $I_{OCC3}$  по выводам VDD\_IREF от напряжения питания  $U_{CC}$  при  $f_c = 20$  МГц,  $U_{CC1} = 5,5$  В,  $I_o = 0$  мА,  $T = 25$  °С



где ----- – U<sub>CC</sub> = 5,5 В;  
 ————— – U<sub>CC</sub> = 3,0 В

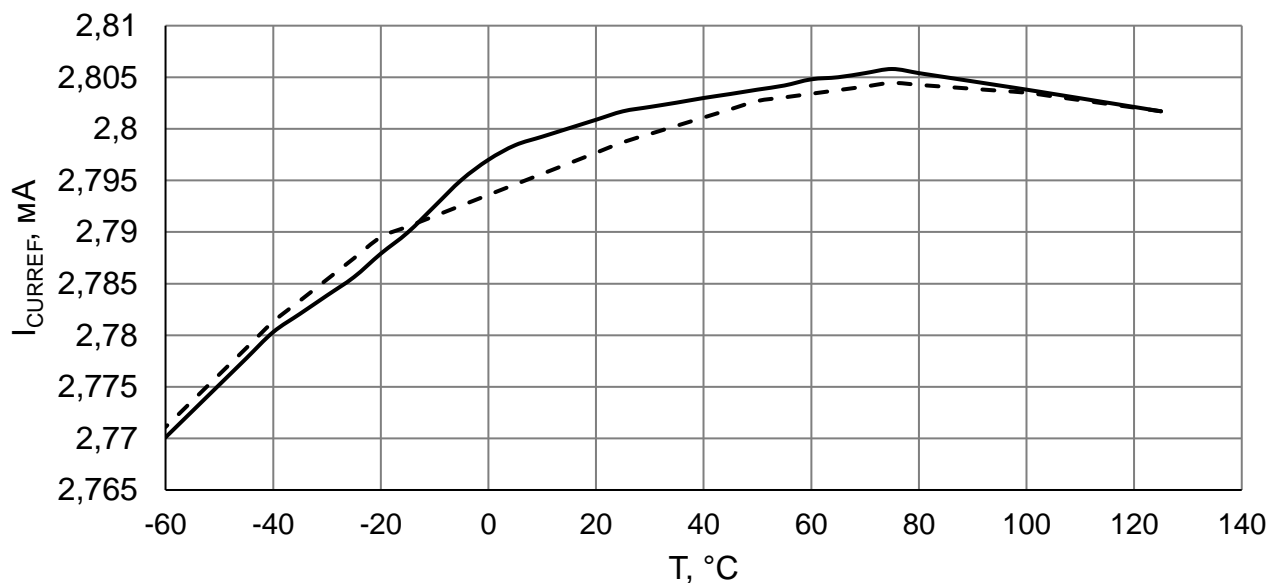
Рисунок 30 – Зависимость входного тока на выводах DIN I<sub>DIN1</sub> от входного напряжения на выводах DIN U<sub>DIN</sub> при T = 25 °С



где ----- – U<sub>CC</sub> = 5,5 В;  
 ————— – U<sub>CC</sub> = 3,0 В

В зависимости от тримминга конкретное значение I<sub>CURREF</sub> образца может отличаться от приведённого.

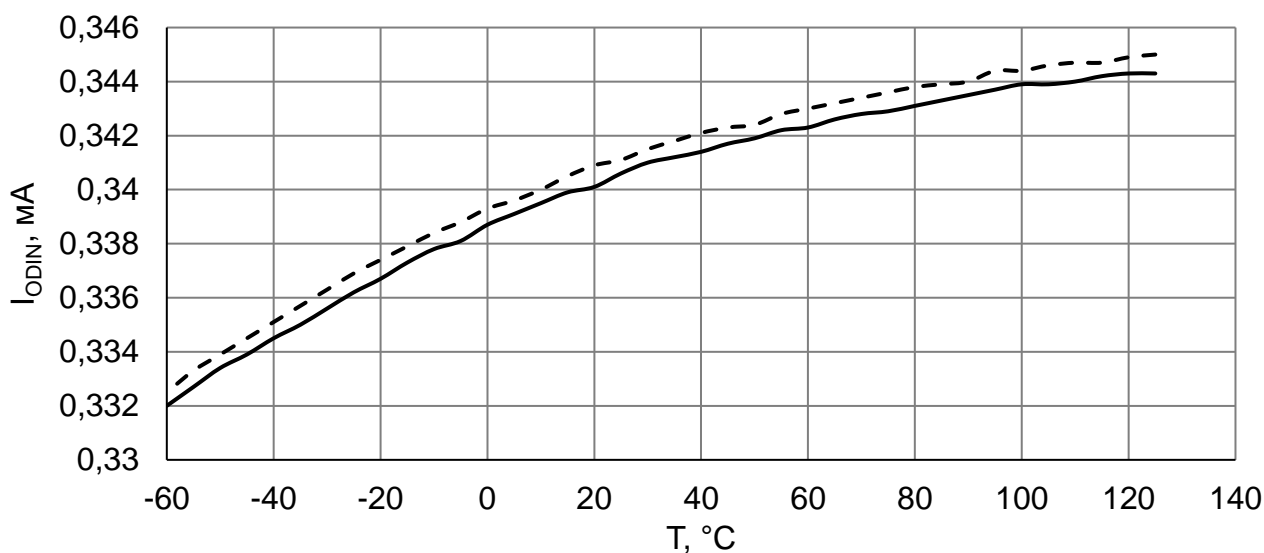
Рисунок 31 – Зависимость выходного тока источника опорного тока а выводе CUR\_IREF I<sub>CURREF</sub> от температуры T при напряжении питания U<sub>CC</sub> = 3,0 В, U<sub>CC</sub> = 5,5 В, MULIREF = 01



где -----  $U_{CC} = 5,5 \text{ В}$ ;  
 —————  $U_{CC} = 3,0 \text{ В}$

В зависимости от тримминга конкретное значение  $I_{CURREF}$  образца может отличаться от приведённого.

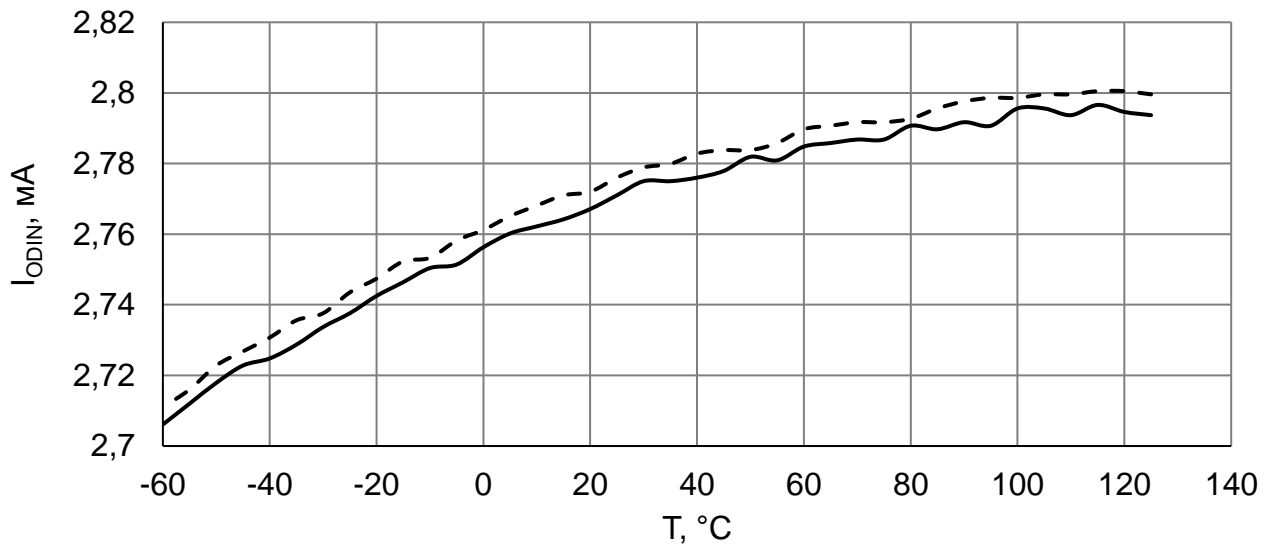
Рисунок 32 – Зависимость выходного тока источника опорного тока на выводе CUR\_IREF  $I_{CURREF}$  от температуры  $T$  при напряжении питания  $U_{CC} = 3,0 \text{ В}$ ,  $U_{CC} = 5,5 \text{ В}$ ,  $MULIREF = 00$



где -----  $U_{CC} = 5,5 \text{ В}$ ;  
 —————  $U_{CC} = 3,0 \text{ В}$

В зависимости от тримминга конкретное значение  $I_{ODIN}$  образца может отличаться от приведённого.

Рисунок 33 – Зависимость выходного тока источника опорного тока на выводах DIN  $I_{ODIN}$  от температуры  $T$  при напряжении питания  $U_{CC} = 3,0 \text{ В}$ ,  $U_{CC} = 5,5 \text{ В}$ ,  $MULDIN = 01$



где ----- –  $U_{CC} = 5,5 \text{ В}$ ;  
 ————— –  $U_{CC} = 3,0 \text{ В}$

В зависимости от тримминга конкретное значение  $I_{ODIN}$  образца может отличаться от приведённого на данном рисунке

Рисунок 34 – Зависимость выходного тока источника опорного тока на выводах DIN  $I_{ODIN}$  от температуры  $T$  при напряжении питания  $U_{CC} = 3,0 \text{ В}$ ,  $U_{CC} = 5,5 \text{ В}$ ,  $MULDIN = 00$

## 8 Электрические параметры микросхемы

Таблица 107 – Электрические параметры микросхем при приемке и поставке

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма параметра		Температура среды, °С
		не менее	не более	
<b>Питание</b>				
Выходное напряжение LDO-регулятора, В (при SHDN=0)	$U_{LDO}$	1,65	1,95	25, 125, -60
Статический ток потребления, мА, по выводам VDD_IO	$I_{CCS0}$	–	30	
Статический ток потребления, мА, по выводам VDD_LDO	$I_{CCS1}$	–	30	
Статический ток потребления, мА, по выводам VDD_ADC	$I_{CCS2}$	–	1	
Статический ток потребления, мА, по выводам VDD_IREF	$I_{CCS3}$	–	1	
Динамический ток потребления, мА, по выводам VDD_IO	$I_{OCC0}$	–	300	
Динамический ток потребления, мА, по выводам VDD_LDO	$I_{OCC1}$	–	300	
Динамический ток потребления, мА, по выводам VDD_ADC	$I_{OCC2}$	–	300	
Динамический ток потребления, мА, по выводам VDD_IREF	$I_{OCC3}$	–	300	
<b>Ввод-Вывод</b>				
Выходное напряжение высокого уровня, В, при: – $I_{OH} = -1$ мА – $I_{OH} = -4$ мА	$U_{OH}$	2,8	–	25, 125, -60
		2,4	–	
Выходное напряжение низкого уровня, В	$U_{OL}$	–	0,4	
Ток утечки высокого уровня, мкА, на цифровых входах	$I_{ILH}$	–	10	
Ток утечки низкого уровня, мкА, на цифровых входах	$I_{ILL}$	-10	–	
<b>Компаратор</b>				
Опорное напряжения, В, при LVL = 1	$U_{REF}^{1)}$	2,425	2,575	25, 125, -60
Напряжение на выводах DIN, В, $I_{ILD} = 1$ мкА	$U_{DIN}$	-0,6	0	
Входной ток на выводах DIN, мкА, при $U_{DIN} = 0$ В	$I_{DIN0}$	-10	10	
Входной ток на выводах DIN, мкА, при $U_{DIN} = 5,3$ В	$I_{DIN1}$	0	50	
Входной ток на выводах DIN, мкА, при $U_{DIN} = 7,5$ В	$I_{DIN2}$	50	1000	
Время задержки распространения сигнала DIO при включении и выключении сигналом DIN <sup>2)</sup> , мкс, при: – $0,05$ В $\leq  U_{DIN} - U_{REF}  < 0,1$ В – $0,1$ В $\leq  U_{DIN} - U_{REF}  < 0,5$ В – $ U_{DIN} - U_{REF}  \geq 0,5$ В	$t_{PHL}, t_{PLH}$	–	3	
			2	
			1	

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма параметра		Температура среды, °С
		не менее	не более	
Входное сопротивление, кОм	R <sub>DIN</sub>	10	20	
Сопротивление резисторов делителя входного напряжения, кОм	R <sub>DV1</sub> , R <sub>DV2</sub> , R <sub>DV3</sub>	10	20	
<b>Источник опорного напряжения и тока</b>				
Напряжение источника опорного напряжения 1,2 В, В	U <sub>REF1,2</sub>	1,187	1,223	25, 125, -60
Напряжение источника опорного напряжения 2,5 В, В	U <sub>REF2,5</sub>	2,4625	2,5375	
Выходной ток источника опорного тока на выводе CUR_IREF, мА, при выполнении тримминга <sup>3)</sup> : – бит MULIREF = 00 – бит MULIREF = 01 – бит MULIREF = 10 – бит MULIREF = 11	I <sub>CURREF</sub>	-2,919	-2,641	
		-0,3675	-0,3325	
		0,3325	0,3675	
		2,641	2,919	
Выходной ток источника опорного тока на выводах DIN, мА, при выполнении тримминга: – бит MULDIN = 00 – бит MULDIN = 01 – бит MULDIN = 10 – бит MULDIN = 11	I <sub>DIN</sub>	-2,919	-2,641	
		-0,3675	-0,3325	
		0,3325	0,3675	
		2,641	2,919	
<b>АЦП</b>				
Опорное напряжение встроенного источника питания АЦП, В	U <sub>REF_ADC</sub>	2,375	2,625	25, 125, -60
Входной ток по выводу REF_H, мкА	I <sub>REF_H</sub>	0	100	
Разрядность АЦП, бит	N	12	–	
Дифференциальная нелинейность АЦП, EMP	E <sub>LD</sub>	-1	2	
Интегральная нелинейность АЦП, EMP	E <sub>L</sub>	-3	3	
Смещение, EMP	E <sub>OFF</sub>	-15	15	
Погрешность коэффициента преобразования, %	E <sub>GAIN</sub>	-10	10	
<b>Последовательный интерфейс SPI</b>				
Время задержки распространения сигнала SDO при включении/выключении сигналом SCLK, нс	t <sub>PHL_SDO</sub> , t <sub>PLH_SDO</sub>	0	20	25, 125, -60
Время задержки распространения сигнала SDO при переходе из состояния «Выключено» в состояние высокого/низкого уровня, нс	t <sub>PZH_SDO</sub> , t <sub>PZL_SDO</sub>	0	20	
Время задержки распространения сигнала SDO при переходе из состояния высокого/низкого уровня в состояние «Выключено», нс	t <sub>PHZ_SDO</sub> , t <sub>PLZ_SDO</sub>	0	20	
<b>Параллельный интерфейс</b>				
Время задержки распространения сигнала DIO при переходе из состояния «Выключено» в состояние высокого/низкого уровня, нс	t <sub>PZH_DIO</sub> , t <sub>PZL_DIO</sub>	0	20	25, 125, -60
Время задержки распространения сигнала DIO при переходе из состояния высокого/низкого уровня, в состояние «Выключено», нс	t <sub>PHZ_DIO</sub> , t <sub>PLZ_DIO</sub>	–	100	

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма параметра		Температура среды, °С
		не менее	не более	
<b>Генератор HSI</b>				
Выходная частота генератора HSI достигаемая при выполнении тримминга, МГц	f <sub>O_HSI</sub>	7,5	8,5	25, 125, -60
<b>ППЗУ</b>				
Коэффициент программируемости, 1	N <sub>PR</sub>	0,7	–	25, 125, -60
<p>1) Опорное напряжение компаратора задается по формуле</p> $U_{REF} = 2,6 - (2,5/25) \cdot LVL, \quad (1)$ <p>где LVL – значение от 1 до 25 регистра CMPLVL (0x0C).</p> <p>2) Диаграмма времени задержки распространения сигнала DIO при включении и выключении сигналом DIN приведена на рисунке 36.</p> <p>3) Тримминг проводится потребителем по алгоритму, приведенному в описании регистров PWRCNTR0 и PWRCNTR1 (см. подразделы 5.6.5.1 и 5.6.5.2).</p> <p><b>Примечания:</b></p> <p>1 Режимы измерения параметров приведены в АЕНВ.431160.324ТУ.</p> <p>2 Знак «-» (минус) перед значением токов означает вытекающий ток.</p> <p>3 EMP – единица младшего разряда.</p>				

Микросхемы устойчивы к воздействию статического электричества с потенциалом не менее 2 000 В.



## 9 Предельно-допустимые и предельные параметры

Таблица 108 – Предельно-допустимые электрические режимы эксплуатации и предельные электрические режимы микросхем

Наименование параметра, единица измерения	Буквенное обозначение параметра	Норма параметра			
		Предельно- допустимый режим		Предельный режим	
		не менее	не более	не менее	не более
<b>Питание</b>					
Напряжение питания, В, на выводах – VDD_IO, – VDD_ADC, – VDD_IREF	U <sub>CC</sub>	3,0	5,5	–	7,0
Входное напряжение LDO – регулятора, В, на выводах VDD_LDO	U <sub>CC1</sub>	2,5	U <sub>CC</sub>	–	7,0
Напряжение питания цифровой части, В, на выводах VDDO при SHDN=1	U <sub>CCD</sub>	1,62	1,98	–	1,98
Емкость на выводах VDD_LDO, мкФ, (при SHDN=0)	C <sub>UCCD</sub>	0,5	–	–	–
Ток нагрузки LDO – регулятора, мА	I <sub>LDO</sub>	100	–	–	–
<b>Однократно программируемая память ПЗУ</b>					
Напряжение на выводе V <sub>PROG</sub> , В	U <sub>RD</sub>	3,0	U <sub>CC</sub>	–	–
Напряжение на выводе V <sub>PROG</sub> при программировании ПЗУ, В, с ограничением по току не более 10 мА	U <sub>PR</sub>	7,0	7,4	–	–
Время программирования одного бита памяти, мс	t <sub>W(D)</sub>	3,0	10,0	–	–
<b>Ввод-Вывод</b>					
Входное напряжение низкого уровня, В, на цифровых входах	U <sub>IL</sub>	0	0,8	-0,3	–
Входное напряжение высокого уровня, В, на цифровых входах	U <sub>IH</sub>	2,0	U <sub>CC</sub>	–	U <sub>CC</sub> +0,3
Выходной ток высокого уровня, мА	I <sub>OH</sub>	-4,0	–	-10,0	–
Выходной ток низкого уровня, мА	I <sub>OL</sub>	–	4,0	–	10,0
Емкость нагрузки, пФ	C <sub>L</sub>	–	50	–	--
<b>Компаратор</b>					
Напряжение срабатывания относительно опорного напряжения, мВ	ΔU <sub>ITD</sub>	50	–	–	–
Напряжение отпускания относительно опорного напряжения, мВ	ΔU <sub>ITN</sub>	–	-50	–	–
Входное напряжение на выводах DIN, В – без ограничения по току	U <sub>DIN</sub>	0	7,5	-0,3	10,0
– с ограничением по току 1 мкА				-10,0	
Допустимый ток через диоды защиты от статического электричества на выводах DIN, мкА, при U <sub>DIN</sub> < 0 В	I <sub>ILD</sub>	–	1,0	–	2,0

Наименование параметра, единица измерения	Буквенное обозначение параметра	Норма параметра			
		Предельно- допустимый режим		Предельный режим	
		не менее	не более	не менее	не более
<b>АЦП</b>					
Опорное напряжение АЦП, В, на входе REF_H	U <sub>REF_H</sub>	2,4	U <sub>CC</sub>	0	U <sub>CC</sub> + 0,3
Входное напряжение АЦП, В, – при внешнем ИОН, подключённом к выводу REF_H – при внутреннем ИОН – при внешнем ИОН, подключённом к выводу VDD_ADC	U <sub>ADCIN</sub>	0	U <sub>REF_H</sub> <sup>1)</sup>	–	–
		0	2,4	–	–
		0	U <sub>CC</sub> <sup>1)</sup>	–	–
Частота тактовая, МГц	f <sub>C_ADC</sub>	–	4,0	–	–
<b>Источник опорного напряжения и тока</b>					
Напряжение на выводах CUR_IREF и DIN, В при – MULIREF = 00, MULDIN = 00; MULDIN = 01, MULIREF = 01; – MULIREF = 10, MULDIN = 10; MULIREF = 11, MULDIN = 11	U <sub>IREF</sub>	0	U <sub>CC</sub> -1	–	–
		1,0	U <sub>CC</sub> <sup>1)</sup>	–	–
<b>Последовательный интерфейс SPI</b>					
Время установления данных SDI перед SCLK, нс	t <sub>SU_SDI</sub>	20	–	–	–
Время удержания данных SDI после SCLK, нс	t <sub>H_SDI</sub>	20	–	–	–
Время установления сигнала nCS_SPI перед фронтом SCLK, нс	t <sub>SU_SPI</sub>	20	–	–	–
Время удержания сигнала nCS_SPI после спада SCLK, нс	t <sub>H_SPI</sub>	20	–	–	–
Длительность сигнала высокого уровня nCS_SPI, нс	t <sub>WH_SPI</sub>	20	–	–	–
Длительность сигнала высокого уровня SCLK, нс	t <sub>WH_SCLK</sub>	20	–	–	–
Длительность сигнала низкого уровня SCLK, нс	t <sub>WL_SCLK</sub>	20	–	–	–
Частота сигнала SCLK, МГц	f <sub>SCLK</sub>	–	20	–	–
<b>Параллельный интерфейс</b>					
Длительность низкого уровня nOE, нс	t <sub>WL_nOE</sub>	100	–	–	–
Длительность низкого уровня nWE, нс	t <sub>WL_nWE</sub>	100	–	–	–
Время предустановки A перед nOE и nWE, нс	t <sub>SU_A</sub>	100	–	–	–
Время установления данных на DIO перед nWE, нс	t <sub>SU_D</sub>	100	–	–	–
Время удержания данных на DIO после nWE, нс	t <sub>H_D</sub>	50	–	–	–
<b>Генератор HSE</b>					
Частота следования импульсов тактовых сигналов HSE, МГц, - в режиме резонатора, - в режиме генератора	f <sub>C</sub>	2	20	–	–
<sup>1)</sup> Не более 3,75 В П р и м е ч а н и е – Напряжение питания блоков микросхемы должно отличаться не более  ± 0,2  В					

## 10 Справочные данные

Справочные параметры микросхемы приведены в таблице 109.

Значения предельно допустимых ОИН приведены в таблице 110.

Временная диаграмма работы последовательного канала SPI приведена на рисунке 35.

Диаграмма времени задержки распространения сигнала DIO при включении и выключении сигналом DIN приведена на рисунке 36.

Таблица 109 – Справочные параметры при температуре окружающей среды 25°C

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма параметра	
		не менее	не более
<b>Питание</b>			
Уровень питания $U_{CC}$ для сброса схемой POR, В	$U_{UCCPOROFF}$	2,6	–
Уровень питания $U_{CC}$ для разрешения работы схемой POR, В	$U_{UCCPORON}$	–	2,8
Уровень питания $U_{CCD}$ для сброса схемой POR, В	$U_{UCCDPOROFF}$	1,4	–
Уровень питания $U_{CCD}$ для разрешения работы схемой POR, В	$U_{UCCDPORON}$	–	1,5
Уровень питания $U_{CC}$ для сброса схемой BOR, В	$U_{UCCBOROFF}$	4,0	–
Погрешность задания опорного напряжения на резистивном делителе, %	$\Delta U_{REF}/U_{REF}$	-1,5	1,5
Время задержки разрешения работы схемы POR, мс	$t_{POR}$	1	2
Время задержки разрешения работы схемы POR, мс	$t_{POR}$	1	2
Уровень тока потребления по питанию VDDO для выставления флага CURFLG, мА при CURDUCC[2:0] = 000	$I_{UCCD}$	1	5
при CURDUCC[2:0] = 001		5	15
при CURDUCC[2:0] = 010		15	25
при CURDUCC[2:0] = 011		25	35
при CURDUCC[2:0] = 100		35	45
при CURDUCC[2:0] = 101		45	55
при CURDUCC[2:0] = 110		55	65
при CURDUCC[2:0] = 111		65	80
Соотношение резисторов ограничения тока и делителя напряжения $R_{DIN}/R_{DV}$ для каждого вывода DIN	$K_R$	0,95	1,05
<b>Компаратор</b>			
Уровень напряжения открытия диодов Зеннера, В	$U_{DZ}$	5,1	5,3
Погрешность задания опорного напряжения на резистивном делителе, %	$\Delta U_{REF}/U_{REF}$	-1,5	1,5
<b>Источник опорного напряжения и тока</b>			
Напряжение 2,5 В для задания уровней сравнения компаратора при нормальных климатических условиях, В	$U_{CMP\_25T}$	2,4875	2,5125
Температурная нестабильность источника напряжения 2,5 В, мВ/°C	$S_{25CMPVT}$	-0,1	0,1
Нестабильность источника напряжения 2,5 В по напряжению, мВ/В	$S_{25CMPVV}$	-0,1	0,1
Гистерезис компаратора, мВ при SELHES = 0	$U_{HCMP0}$	–	15
Гистерезис компаратора, мВ, при SELHES = 1	$U_{HCMP1}$	–	35

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма параметра	
		не менее	не более
Температурная нестабильность источника тока на выводах DIN, мкА/°С	S <sub>Z10UREFAT</sub>	-0,1	0,1
Нестабильность источника тока на выводах DIN в диапазоне питания, мкА/В	S <sub>Z10UREFAV</sub>	-0,1	0,1
Температурная нестабильность источника тока на выводе CUR_IREF, мкА/°С	S <sub>Z10UREFAT</sub>	-0,1	0,1
Нестабильность источника тока на выводе CUR_IREF по напряжению, мкА/В	S <sub>Z10UREFAV</sub>	-0,1	0,1
<b>АЦП</b>			
Напряжение 2,5 В для задания опорного уровня АЦП, В	U <sub>ADC_25</sub>	2,4875	2,5125
Температурная нестабильность источника напряжения 2,5 В, мВ/°С	S <sub>25ACDT</sub>	0,5	0,6
Нестабильность источника напряжения 2,5 В по напряжению, мВ/В	S <sub>25ACDVV</sub>	3	4
Значение термодатчика при -60 °С, мВ	K <sub>ADC-60</sub>	1300	–
Значение термодатчика при +25 °С, мВ	K <sub>ADC25</sub>	1100	–
Значение термодатчика при +125 °С, мВ	K <sub>ADC125</sub>	700	–
<b>HSI генератор</b>			
Время включения HSI генератора, мкс	t <sub>HSION</sub>	–	1
Температурная нестабильность генератора HSI, МГц/°С	S <sub>HSIFT</sub>	-0,1	0,1
Нестабильность генератора HSI по напряжению, МГц/В	S <sub>HSIFV</sub>	-0,1	0,1

Таблица 110 – Предельно-допустимые значения ОИН

Тип вывода	Длительность ОИН, мкс			Параметр
	0,1	1,0	10,0	
Вход	300	200	75	Предельно-допустимое напряжение ОИН, В
Выход	500	150	35	
Цепь питания	> 4000	700	400	
Вход	$2,2 \cdot 10^{-2}$	$7,0 \cdot 10^{-2}$	$1,3 \cdot 10^{-1}$	Расчётная предельно-допустимая энергия ОИН, мДж
Выход	$4,7 \cdot 10^{-2}$	$3,6 \cdot 10^{-2}$	$2,7 \cdot 10^{-2}$	
Цепь питания	> 9,4	2,8	7,1	

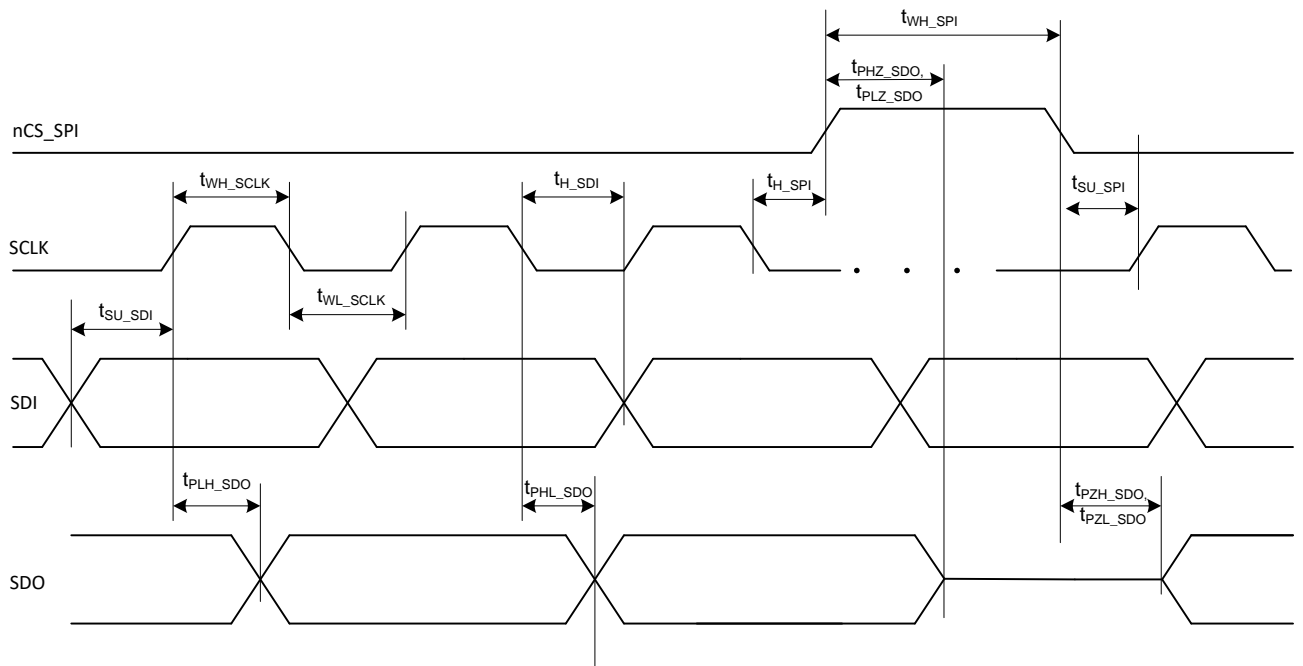


Рисунок 35 – Временная диаграмма работы последовательного интерфейса SPI

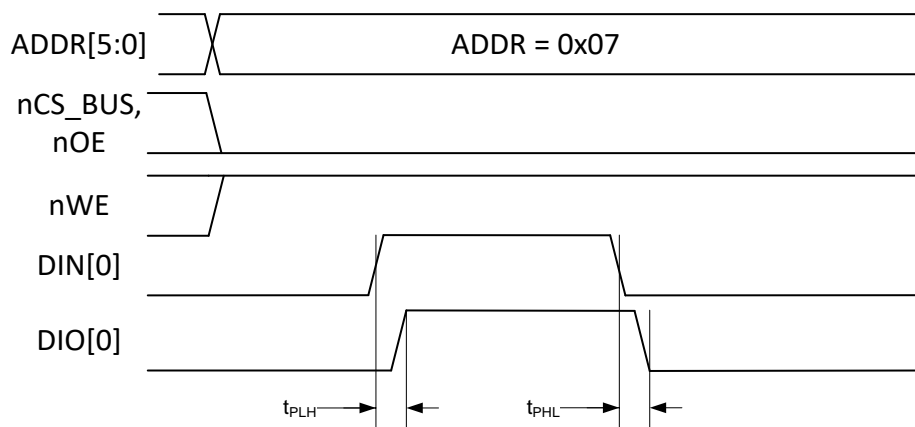
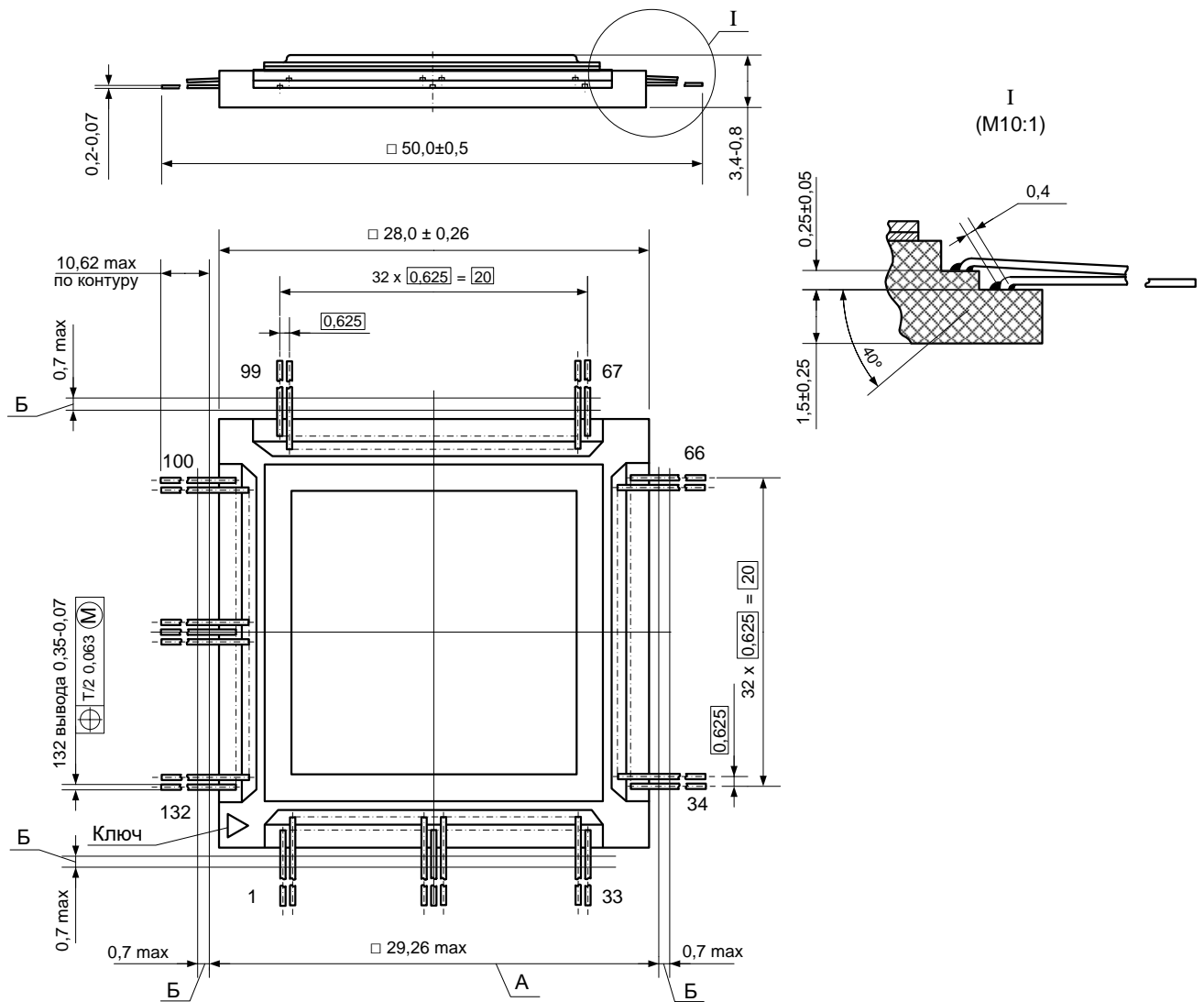


Рисунок 36 – Диаграмма времени задержки распространения сигнала DIO при включении и выключении сигналом DIN

## 11 Габаритный чертеж микросхемы



1. А – ширина зоны, которая включает действительную ширину микросхемы и часть выводов, непригодную для монтажа.
2. Б – длина вывода, в пределах которой производится контроль смещения плоскостей симметрии выводов от номинального расположения.
3. Нумерация выводов показана условно.

Рисунок 37 – Микросхема в корпусе 4229.132-3

## 12 Информация для заказа

Обозначение	Маркировка	Тип корпуса	Температурный диапазон
1923КХ014	1923КХ014	4229.132-3	минус 60 – 125 °С

Лист регистрации изменений

№ п/п	Дата	Версия	Краткое содержание изменения	№№ изменяемых листов
1	27.03.2018	2.0.0	Введена впервые	
2	31.05.2019	2.1.0	Исправлен тип и назначения выводов DIN	По тексту
3	18.05.2020	2.1.1	Уточнение назначения выводов 48 и 104 в таблице 2	7, 9
4	05.04.2021	2.2.0	Исключение микросхем ОТК. Исправлены диаграммы SPI	По тексту 12