

Ошибки в микросхемах K1986BE1

Настоящий документ содержит описание всех ошибок, выявленных в микросхемах K1986BE1, на момент создания данной версии документа.

Статус документа

Настоящий документ является НЕКОНФИДЕНЦИАЛЬНЫМ.

Адрес в сети Интернет

<http://www.milandr.ru>

Обратная связь по продукту

Если у Вас есть какие-либо комментарии или предложения по данному продукту, свяжитесь с Вашим поставщиком, указав:

- название продукта;
- комментарии, либо краткое описание Ваших предложений;
- предпочтительный способ связи с Вами и контакты (организация, электронная почта, номер телефона).

Обратная связь по документу

Если у Вас есть какие-либо комментарии или предложения по данному документу, пожалуйста, пришлите их на электронную почту support@milandr.ru, указав:

- название документа;
- номер и/или дата документа;
- номер страницы;
- комментарии, либо краткое описание Ваших предложений;
- предпочтительный способ связи с Вами и контакты (организация, электронная почта, номер телефона).

Оглавление

Обзор.....	5
Категории ошибок	5
Сводная таблица ошибок	6
Ошибки категории 1	10
0011 Ошибка системного таймера	10
Ошибки категории 2.....	11
0005 Ошибка останова ядра по интерфейсу JTAG	11
0006 Ошибка чтения памяти программ по интерфейсу Debug ITCM.....	12
0008 Ошибка изменения питания ядра.....	13
0009 Недопустимая погрешность jitter внутренней PLL	14
0012 Пропуск прерывания от DMA-контроллера	15
0014 Возникновение Hard Fault в режиме run time при отображении содержимого периферии	16
0024 Возникновение ошибки GAPERR в режиме ОУ контроллера ГОСТ Р52070-2003.....	17
0025 Ограничение совместимости контроллера передатчика ГОСТ 18977-79 с PTM 1495-75 (изменение №3) и ARINC429	18
0026 Сбой выходной тактовой частоты PLL при резком изменении питания в пределах допустимого.....	19
0027 Несоответствие контроллера МКИО в режиме ОУ ГОСТ Р 51765-2001	21
0028 Зависание входа прерывания от батарейного домена контроллера NVIC	22
0030 Формирование высокого потенциала на выводах портов при смене направления передачи данных	23
0031 Отсутствие записи в область данных контроллера Ethernet в режиме Stand Alone1 или Stand Alone3	25
Ошибки категории 3	26
0001 Ошибочное чтение флагов ECOIF_IE и AWOIF_IE	26
0002 Невозможность выключить генератор HSI при нулевом ALRF	27
0003 Немаскируемый запрос передачи DMA от контроллера АЦП	28
0004 Некорректное вычисление дополнительной задержки начала преобразования контроллера АЦП.....	29
0007 Ошибка верификации запрограммированных данных	30
0010 Ошибка тактирования MAC-контроллера	31
0013 Превышение верхней адресной границы FIFO приемников и передатчиков ГОСТ 18977 -79 с последующей записью в соседнее FIFO.....	32
0015 Остановка CAN при подстройке момента семплирования	33
0016 Отсутствие бита паритета в ответном слове ОУ при установке признака «Абонент занят» в контроллере ГОСТ Р52070-2003	34
0017 Ошибка арбитража в контроллере CAN	35
0018 Чтение регистра RTC_PRL после сброса	36
0019 Ошибка приема управляющих пакетов Ethernet	37
0020 Ошибка формирования деления частоты CPU_C3, USB_C3, ADC_C3, HSI_C1 и HSE_C1	38
0021 Ограничения при работе буферов контроллера Ethernet в автоматическом режиме и режиме FIFO	39
0022 Ошибка шины АНВ Ethernet-контроллера	40
0023 Искажение поля ID принимаемого пакета при арбитраже в блоке CAN.....	41
0029 Время ожидания КИШ ответного слова от ОУ менее 14 мкс.....	42

0032	Переполнение счетчика ошибок RX_ERR_CNT контроллера CAN	43
0033	Инверсия передаваемых данных в режиме 10Base-T HD/FD после сброса Ethernet PHY	44
0034	Пропуск канала АЦП при последовательном преобразовании нескольких каналов после выключения АЦП.....	46
0035	Остановка счета IWDG при отсутствии частоты PCLK в процессе перезагрузки значения таймера или обновления значения предделителя.....	47
0036	Негарантированное чтение достоверных данных при одновременном выполнении операций записи и чтения двухпортовой памяти контроллера по ГОСТ 18977-79, реализующей приемный буфер, в режиме прямого доступа к памяти.....	48
0037	Пропуск секундного импульса при использовании калибровки RTC_CLK	49
0038	Ошибка формирования флага R_EMPTY	51
Лист регистрации изменений		52

Обзор

Настоящий документ содержит описание ошибок в продукте с указанием категории критичности. Каждое описание содержит:

- уникальный идентификатор ошибки;
- текущий статус ошибки;
- где существует отклонение от спецификации и условия, при которых возникает ошибка;
- последствия возникновения ошибки в типичных применениях;
- ограничения, рекомендации и способы обхода ошибки, где это возможно.

Категории ошибок

Ошибки разделены на три категории критичности:

Категория 1.

Ошибочное поведение, которое невозможно обойти. Ошибки данной категории серьезно ограничивают использование продукта во всех или в большинстве приложений, что делает устройство непригодным для использования.

Категория 2.

Ошибочное поведение, которое противоречит требуемому поведению. Ошибки данной категории могут ограничивать или серьезно ухудшать целевое использование указанных функций, но не делают продукт непригодным для использования во всех или в большинстве приложений.

Категория 3.

Ошибочное поведение, которое не было изначально определено, но не вызывает проблем в приложениях при соблюдении рекомендаций.

Сводная таблица ошибок

В таблице указывается, в каких версиях микросхем присутствует ошибка. Для обозначения ошибки используются следующие символы:

- «X» – ошибка присутствует;
- «X*» – ошибка исправлена частично или видоизменилась.

Версия микросхем определяется датой изготовления, указанной на крышке корпуса микросхемы в формате ГГНН, где ГГ – год изготовления, НН – неделя изготовления.

ID	Описание	Микросхемы, изготавливаемые с даты				
		1140	1227	1236	1401	1645
Категория 1						
0011	Ошибка системного таймера	X	X	X	X	X
Категория 2						
0005	Невозможность остановить ядро в режиме отладки по интерфейсу JTAG при работе ядра с ненулевым значением задержки чтения памяти программ	X				
0006	Невозможность прочитать память программ в режиме отладки по интерфейсу JTAG и-за отсутствия интерфейса Debug ITCM на память. Вследствие этого отладка по шагам в дизассемблерном режиме осуществляется неверно	X				
0008	Биты Trim[4:3] изменяют напряжение питания цифрового ядра только в том случае, если установлен флаг ALRF в регистре батарейного домена RTC_CS	X				
0009	Недопустимая погрешность jitter внутренней PLL	X				
0012	Пропуск прерывания от DMA из-за недостаточной длительности сигнала прерывания (менее 2 тактов синхросигнала) на входе канала NVIC	X	X			

ID	Описание	Микросхемы, изготавливаемые с даты				
		1140	1227	1236	1401	1645
0014	Возникновение исключительной ситуации Hard Fault при динамическом обновлении окон Memory Window и Watch Window содержащих значения памяти или регистров периферии в отладочном режиме запуска run time	X	X	X	X	X
0024	Ошибка GAPERR в режиме ОУ контроллера ГОСТ Р52070-2003				X	
0025	Ограничение совместимости контроллера передатчика ГОСТ 18977-79 с PTM 1495-75 (изменение №3) и ARINC429	X	X	X	X	
0026	Сбой выходной тактовой частоты PLL при просадке питания	X	X	X	X	
0027	Несоответствие контроллера МКИО в режиме ОУ ГОСТ Р 51765-2001	X	X	X	X	
0028	Зависание входа прерывания от батарейного домена контроллера NVIC	X	X	X	X	X
0030	Формирование высокого потенциала на выводах портов при смене направления передачи данных	X	X	X	X	
0031	Отсутствие записи в область данных контроллера Ethernet в режиме Stand Alone1 или Stand Alone3					X
Категория 3						
0001	Ошибочное чтение флагов ECOIF_IE и AWOIF_IE	X				
0002	Невозможность выключить генератор HSI при нулевом ALRF	X	X	X	X	X
0003	Немаскируемый запрос передачи DMA от контроллера АЦП	X	X	X	X	
0004	Некорректное вычисление дополнительной задержки начала преобразования контроллера АЦП	X				
0007	Ошибка верификации запрограммированных данных	X	X	X	X	X

ID	Описание	Микросхемы, изготавливаемые с даты				
		1140	1227	1236	1401	1645
0010	Ошибка тактирования MAC контроллера	X	X	X	X	X
0013	Отсутствие контроля верхней границы для FIFO приемников и передатчиков ГОСТ 18977-79	X	X			
0015	Остановка CAN при подстройке момента семплирования	X	X			
0016	В форматах сообщений 2,3,5,8 контроллера ГОСТ Р52070-2003 при установке признака ОУ «Абонент занят» в ответном слове не передается бит паритета.	X	X	X		
0017	Ошибка арбитража в контроллере CAN	X	X	X	X	
0018	Чтение регистра RTC_PRL после сброса	X	X	X	X	X
0019	Ошибка приема управляющих пакетов Ethernet	X	X	X	X	
0020	Ошибка формирования деления частоты CPU_C3, USB_C3, ADC_C3, HSI_C1 и HSE_C1	X	X	X	X	X*
0021	Ограничения при работе буферов Ethernet контроллера в автоматическом режиме и режиме FIFO	X	X	X	X	
0022	Ошибка шины АНВ Ethernet контроллера	X	X	X	X	
0023	Искажение поля ID принимаемого пакета при арбитраже в блоке CAN	X	X	X	X	
0029	Время ожидания КШ ответного слова от ОУ менее 14 мкс	X	X	X	X	
0032	Переполнение счетчика ошибок RX_ERR_CNT контроллера CAN	X	X	X	X	X
0033	Инверсия передаваемых данных в режиме 10Base-T HD/FD после сброса Ethernet PHY	X	X	X	X	X

ID	Описание	Микросхемы, изготавливаемые с даты				
		1140	1227	1236	1401	1645
0034	Пропуск канала АЦП при последовательном преобразовании нескольких каналов после выключения АЦП	X	X	X	X	X
0035	Остановка счета IWDG при отсутствии частоты PCLK в процессе перезагрузки значения таймера или обновления значения предделителя	X	X	X	X	X
0036	Негарантированное чтение достоверных данных при одновременном выполнении операций записи и чтения двухпортовой памяти контроллера по ГОСТ 18977-79, реализующей приемный буфер, в режиме прямого доступа к памяти					
0037	Пропуск секундного импульса при использовании калибровки RTC_CLK	X	X	X	X	X
0038	Ошибка формирования флага R_EMPTY	X	X	X	X	

Ошибки категории 1

0011 Ошибка системного таймера

Статус

Будет исправлена только в случае замены ядра.

Описание

В случае работы на частотах больше 25 МГц с ненулевой задержкой Delay[2:0] в регистре EEPROM_CMD системный таймер останавливает счет во время чтения новых инструкций из флэш-ускорителя, что приводит к увеличению времени счета.

Условия

Значения разрядов Delay регистра EEPROM_CMD отличны от нуля.

Последствия

Увеличение времени счета системного таймера.

Рекомендации и способы обхода

При работе на больших частотах использовать таймеры периферии вместо системного таймера.

Ошибки категории 2

0005 Ошибка останова ядра по интерфейсу JTAG

Статус

Исправлено в микросхемах с 1227.

Описание

При отладке ядра на частотах больше 30 МГц может происходить сбой при останове ядра.

Условия

Значения разрядов Delay регистра EEPROM_CMD отличны от нуля.

Последствия

Невозможность дальнейшего ведения отладки.

Рекомендации и способы обхода

Учитывать при отладке ПО, задавая Delay = 0 и частоту 30 МГц.

0006 Ошибка чтения памяти программ по интерфейсу Debug ITCM

Статус

Исправлено в микросхемах с 1227.

Описание

При чтении памяти программ в режиме отладки считываются нули.

Условия

При ведении отладки по интерфейсу JTAG.

Последствия

Возможно некорректное выполнение инструкций при пошаговой отладке.

Рекомендации и способы обхода

Пользоваться режимом отладки с точками останова, чтобы программа выполнялась в реальном времени.

0008 Ошибка изменения питания ядра

Статус

Исправлено в микросхемах с 1227.

Описание

При записи бит Trim[4:3] изменение питания ядра не происходит.

Условия

Флаг ALRF=0 сбрасывает биты Trim[4:3].

Последствия

Ядро имеет напряжение питания 1,8 В и его невозможно менять, если часы реального времени работают.

Рекомендации и способы обхода

Запустить часы реального времени с целью установки флага ALRF = 1 и остановить их, а затем изменить значение бит Trim.

0009 Недопустимая погрешность jitter внутренней PLL

Статус

В микросхемах с 1227 добавлен дополнительный осциллятор 25 МГц.

Описание

При тактировании PHY от PLL при скорости работы 100 Мбит искажается посылка в линии.

Условия

В регистре ETH_CLOCK биты PHY_CLK_SEL=10.

Последствия

Посылка не воспринимается другим оконечным устройством Ethernet как правильная.

Рекомендации и способы обхода

Установить внешний генератор 25 МГц и биты PHY_CLK_SEL=01 в регистре ETH_CLOCK.

0012 Пропуск прерывания от DMA-контроллера

Статус

Исправлено в микросхемах с 1236.

Описание

При использовании прерывания от DMA ядро не обрабатывает запрос на прерывание, так как длительность сигнала запроса менее двух тактов синхросигнала.

Условия

Большая вероятность пропуска при ненулевой задержки выполнения программы из флэш.

Последствия

Прерывание от DMA не обрабатывается ядром.

Рекомендации и способы обхода

Использовать запросы на прерывания от периферийных блоков, к которым обращается DMA.

0014 Возникновение Hard Fault в режиме run time при отображении содержимого периферии

Статус

Исследование.

Описание

При отладке программы в режиме run time с одновременным динамическим обновлением окон Memory Window и Watch Window, содержащих значения памяти или регистров периферии возникает исключительная ситуация Hard Fault.

Условия

Выход отладочной системы на шину АНВ для чтения содержимого внешней периферии.

Последствия

Возникновение исключительной ситуации Hard Fault.

Рекомендации и способы обхода

При использовании среды Phytom никаких действий не требуется, недостаток учтен в среде разработки программ. При использовании других средств разработки (например, Keil) закрывать окна Watch и Memory, если они отображают содержимое внешней периферии, при запуске в run time.

0024 Возникновение ошибки GAPERR в режиме ОУ контроллера ГОСТ Р52070-2003

Статус

Исправлено в микросхемах с 1645.

Описание

После успешного завершения приема или передачи сообщения конечным устройством в последующей паузе $t_2 < 6$ мкс (согласно ГОСТ Р52070-2003 $t_2 < 4$ мкс) приход синхросигнала вызывает ошибку GAPERR.

Условия

Возникновение синхросигнала в паузе $t_2 < 6$ мкс после успешного завершения предыдущего сообщения конечным устройством.

Последствия

При установленном бите RERR регистра контроля командное слово, получаемое при установленном флаге GAPERR, не принимается и не обрабатывается конечным устройством.

Рекомендации и способы обхода

Всегда устанавливать бит RERR регистра контроля в «0» для автоматического сброса ошибки GAPERR при переходе конечного устройства в состояние IDLE. В этом случае прием командного слова с синхросигналом, полученным в паузе $t_2 < 6$ мкс, будет приниматься и обрабатываться конечным устройством корректно.

0025 Ограничение совместимости контроллера передатчика ГОСТ 18977-79 с PTM 1495-75 (изменение №3) и ARINC429

Статус

Исправлено в микросхемах с 1645.

Описание

При передаче данных в RZ последовательном коде на скорости 100 Кбит/с в соответствии с ГОСТ 18977-79 длительности импульсов положительной и отрицательной полярности наличия сигнала составляют 4 мкс. Это ограничивает совместимость с руководством PTM 1495-75 (изменение №3) и стандартом ARINC429, в которых эта длительность регламентирована как $5 \text{ мкс} \pm 5 \%$.

Условия

При передаче со скоростью 100 Кбит/с.

Последствия

При чувствительности принимающего устройства, функционирующего в соответствии с руководством PTM 1495-75 (изменение №3) или стандартом ARINC429, к длительности импульса положительной или отрицательной полярности наличия сигнала длительностью не менее $5 \text{ мкс} \pm 5 \%$ (при скорости передачи 100 Кбит/с) возможен сбой.

Рекомендации и способы обхода

При сопряжении с устройствами на скорости 100 Кбит/с, соответствующими PTM 1495-75 (изменение №3) или ARINC429, требуется проверка на отсутствие сбойных ситуаций принимающим устройством.

0026 Сбой выходной тактовой частоты PLL при резком изменении питания в пределах допустимого

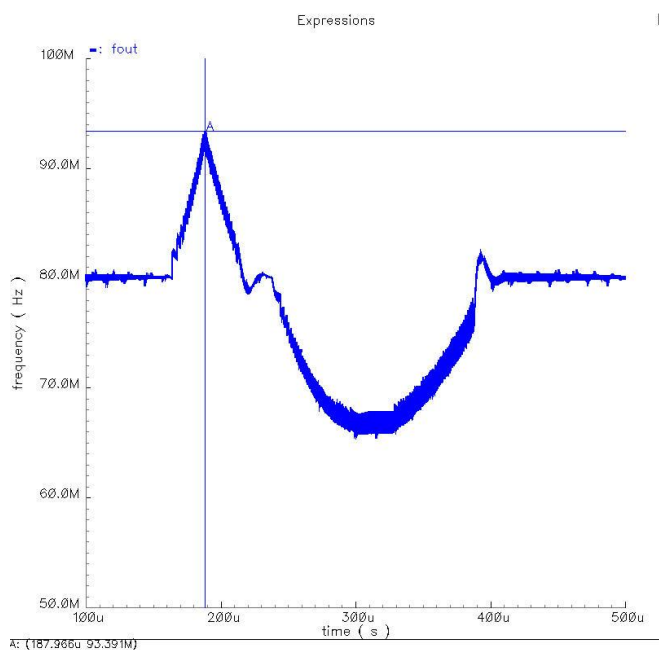
Статус

Исправлено в микросхемах с 1645.

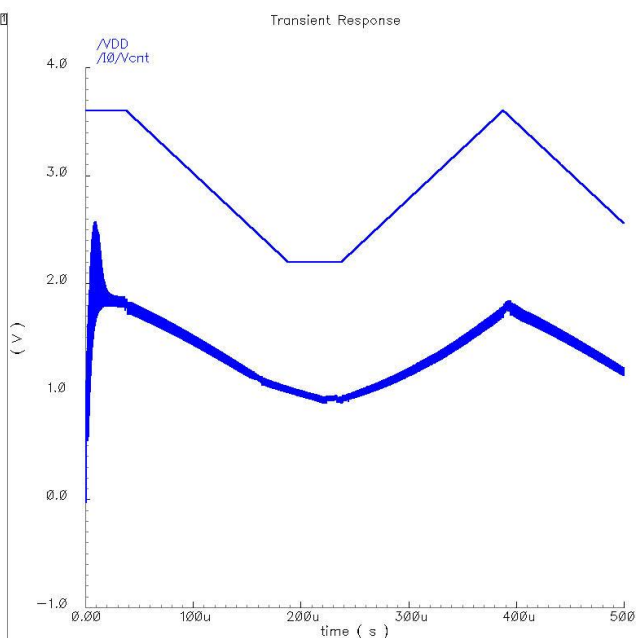
Описание

При просадке питания со скоростью большей, чем 5 В/мс происходит увеличение выходной тактовой частоты с PLL с последующим возвращением к расчетному значению. При аналогичном скачке напряжения питания вверх происходит уменьшение выходной тактовой частоты PLL с последующим возвращением к расчетному значению.

Скорость изменения напряжения питания U _{сс}	Длительность фронта изменения напряжения питания U _{сс}	Изменение амплитуды напряжения питания U _{сс}	Входная частота PLL	Коэф. умножения PLL	Изменение выходной частоты PLL
5,0В/мс	280 мкс	3,6В→2,2В	16 МГц	× 5	80МГц→ 82МГц
7,7В/мс	180 мкс	3,6В→2,2В	16 МГц	× 5	80МГц→ 92МГц
9,3В/мс	150 мкс	3,6В→2,2В	16 МГц	× 5	80МГц→ 103МГц
11,6В/мс	120 мкс	3,6В→2,2В	16 МГц	× 5	80МГц→ 119МГц
9,3В/мс	150 мкс	3,6В→2,2В	10 МГц	× 8	80МГц→ 94МГц
11,6В/мс	120 мкс	3,6В→2,2В	10 МГц	× 8	80МГц→ 106МГц
70В/мс	20 мкс	3,6В→2,2В	10 МГц	× 8	80МГц→ 220МГц
11,6В/мс	120 мкс	3,6В→2,2В	5 МГц	× 16	80МГц→ 86МГц
14В/мс	100 мкс	3,6В→2,2В	5 МГц	× 16	80МГц→ 98МГц
30В/мс	20 мкс	3,6В→3,0В	16 МГц	× 9	144МГц→ 189МГц
30В/мс	20 мкс	3,6В→3,0В	16 МГц	× 5	80МГц→ 102МГц
30В/мс	20 мкс	3,6В→3,0В	10 МГц	× 8	80МГц→ 102МГц
30В/мс	20 мкс	3,6В→3,0В	9 МГц	× 16	144МГц→ 193МГц
30В/мс	20 мкс	3,6В→3,0В	5 МГц	× 16	80МГц→ 97МГц



Характер изменения выходной частоты PLL ($80 \text{ МГц} = 10 \text{ МГц} \times 8$) при резком изменении напряжения питания



Изменение напряжения питания U_{cc} (на рисунке верхняя линия) с уровня 3,6 В до 2,2 В за 150 мкс и обратно

Условия

Изменение напряжения питания в предельно-допустимом диапазоне со скоростью больше 5 В/мс. Чем больше скорость изменения напряжения питания, тем больше изменение выходной частоты. Чем больше входная частота, тем больше изменение выходной частоты. Чем больше коэффициент умножения, тем больше изменение выходной частоты

Последствия

Увеличение или уменьшение тактовой частоты от расчетного значения. При этом возможно появление частот, превышающих максимально допустимое значение рабочей частоты и нарушение времени выборки из Flash.

Рекомендации и способы обхода

В реальной жизни изменение напряжения питания с такими скоростями маловероятны. Но при возможности возникновения такого рода сбоев рекомендуется увеличить емкости по питанию и установить большее, чем требуется время задержки при выборке из Flash.

0027 Несоответствие контроллера МКИО в режиме ОУ ГОСТ Р 51765-2001

Статус

Исправлено в микросхемах с 1645. Смотри рекомендации и способы обхода.

Описание

В случае применения контроллера МКИО в режиме ОУ в условиях, описанных в пунктах 5.2.2, 5.2.3, 5.2.5, 6.1.1.2, 6.1.4, 6.1.7.1, 6.1.8, 6.2.5.2, 7.1 поведение контроллера не соответствует требованиям ГОСТ Р 51765-2001.

Условия

- 5.2.2 Отклонение переходов входного сигнала через нулевой уровень $\geq \pm 150$ нс.
- 5.2.3 Изменение размаха амплитуды входного сигнала 0,86В для трансформаторного включения (1,2В для прямого включения).
- 5.2.5 Подавление синфазных помех.
- 6.1.1.2 Недопустимое сочетание кодов полей КС.
- 6.1.4 Команды замещения.
- 6.1.7.1 Превышение времени тайм-аута при приеме информации в формате ОУ-ОУ.
- 6.1.8 Переключение шины данных с основной на резервную и обратно.
- 6.2.5.2 Ошибка длины массива слов данных в формате КШ – ОУ.
- 7.1 Прием сообщений при воздействии белого шума.

Последствия

Недопустимое поведение ОУ, не соответствующее ГОСТ Р 51765-2001.

Рекомендации и способы обхода

Пункт 7.1 не выполняется для приемопередатчика 5559ИН13. Пункт 6.1.8 выполняется нестабильно для приемопередатчика 5559ИН67Т.

0028 Зависание входа прерывания от батарейного домена контроллера NVIC

Статус

Будет исправлено в следующей версии продукта.

Описание

Сигнал прерывания от батарейного домена формируется асинхронно по отношению к частоте тактирования ядра микросхемы. При возникновении прерывания на входе IRQ27 (прерывание от ВКР и часов реального времени) возможно зависание входа и, как следствие, отсутствие возникновения прерывания.

Условия

Установка активного уровня прерывания от ВКР и часов реального времени может совпасть с фронтом синхросигнала тактирования ядра микроконтроллера, что приведет к зависанию входа прерывания.

Последствия

Невозможность в дальнейшем получать и обрабатывать прерывания от ВКР и часов реального времени.

Рекомендации и способы обхода

В основном теле программы предусмотреть запрет прерывания от RTC с помощью битов 3-5 регистра RTC_CS, в случае превышения счетчиком часов реального времени границы сравнения, а затем повторно разрешить прерывание. Эти действия приведут к переключению входного сигнала прерывания контроллера NVIC в неактивное состояние, что возобновит корректную работу входа прерываний. Либо не использовать прерывание от RTC, а осуществлять опрос битов 0-2 регистра RTC_CS в основном цикле программы с дальнейшей их обработкой.

0030 Формирование высокого потенциала на выводах портов при смене направления передачи данных

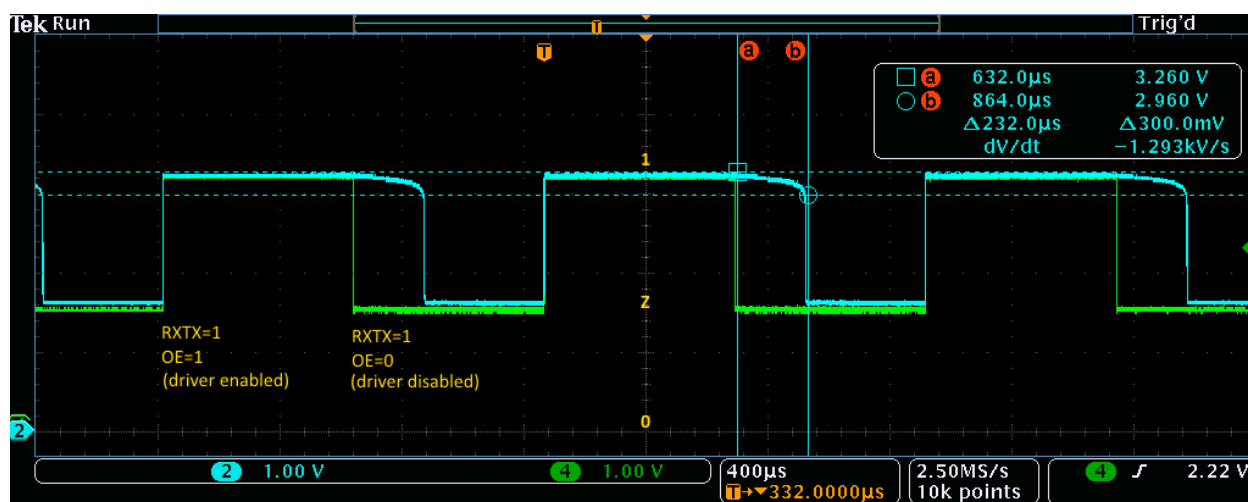
Статус

Исследование.

Описание

Если пользовательский вывод сконфигурирован на выход и выдает логическую «1», то при смене направления передачи данных (OE) с выхода на вход, вместо ожидаемого высокоимпедансного состояния на выводе ошибочно формируется высокий потенциал.

Время переключения выходного драйвера TX в неактивное состояние зависит от номинала подключенной нагрузки к порту. Ниже на диаграмме представлен переход выходного драйвера из активного в неактивное состояние при нагрузках (pullup = pulldown) 1кОм (канал 4) и 15кОм (канал 2) в нормальных условиях.



Канал 4 (Зеленый) – нагрузка 1кОм (ожидаемое поведение с высокоомной нагрузкой)

Канал 2 (Синий) – нагрузка 15кОм (затянутый фронт переключения)

Условия

Всегда.

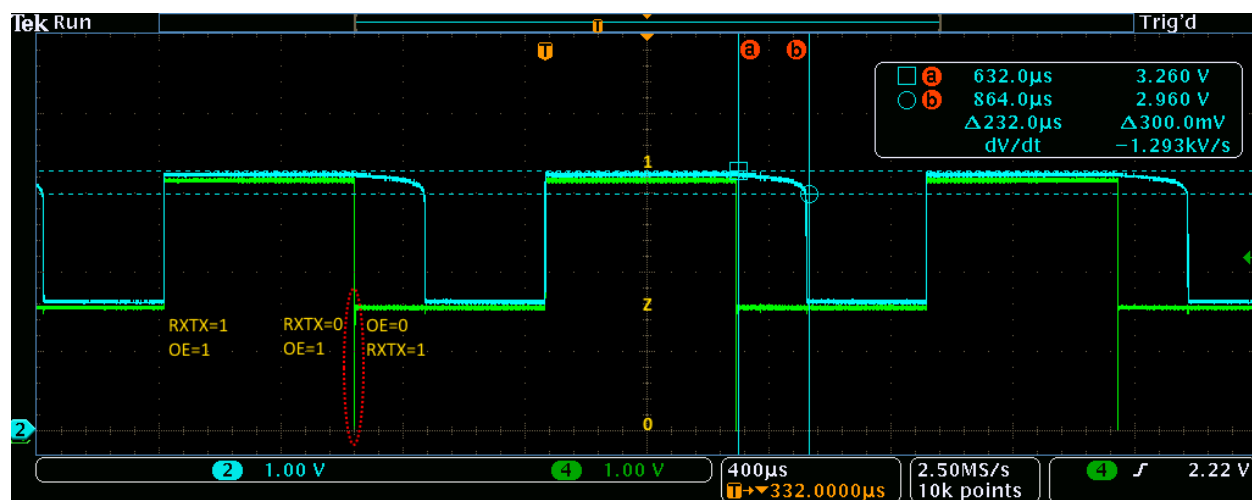
Последствия

Нет.

Рекомендации и способы обхода

Перевести драйвер TX на выдачу логического «0». Дождаться появления логического «0» на входе цифрового приемника RX путем опроса регистра RXTX и перевести драйвер в неактивное состояние (OE=0).

Не рекомендуется выравнивать фронт переключения путем установки дополнительной нагрузки на вывод порта.



Канал 4 (Зеленый) – нагрузка 15кОм (с рекомендацией)

Канал 2 (Синий) – нагрузка 15кОм (затянутый фронт переключения)

0031 Отсутствие записи в область данных контроллера Ethernet в режиме Stand Alone1 или Stand Alone3

Статус

Присутствует в микросхемах с 1645.

Описание

В режиме Stand Alone1 или Stand Alone3 запись данных управляющим устройством в буферную область памяти контроллера Ethernet может не происходить.

Условия

Режим работы микросхемы Stand Alone1 или Stand Alone3 с доступом к блоку контроллера Ethernet. Запись данных по интерфейсу SRAM в контроллер Ethernet.

Последствия

Потеря данных, подготовленных для передачи. Невозможность использовать контроллер Ethernet.

Рекомендации и способы обхода

Использовать контроллер Ethernet только в линейном режиме работы буферов. После каждой записи в буферную память выполнять верификацию записанных данных и, в случае неудачи, повторять процедуру записи. При программной инициализации режима Stand Alone1 или Stand Alone3, рекомендуется устанавливать частоту ядра HCLK = Ethernet MAC = 50 МГц, что позволяет снизить процент не записи данных с первого раза.

Ошибки категории 3

0001 Ошибочное чтение флагов ECOIF_IE и AWOIF_IE

Статус

Исправлено в микросхемах с 1227.

Описание

При чтении регистра ADCx_STATUS биты ECOIF_IE и AWOIF_IE (разрешения формирования запросов прерываний) всегда читаются как нули, независимо от записанного в них значения.

Условия

Всегда.

Последствия

Невозможность определить ранее записанное значение этих битов.

Рекомендации и способы обхода

Всегда задавать абсолютное значение этих битов. При необходимости манипулирования этими битами хранить значения этих битов в специальной переменной и манипулировать ее значением, после каждой манипуляции переписывать эту переменную в регистр ADCx_STATUS. Либо всегда задавать их равными единице, а запрещать или разрешать прерывания в контроллере NVIC.

0002 Невозможность выключить генератор HSI при нулевом ALRF

Статус

Исследование.

Описание

Бит разрешения работы HSION регистра BKP_REG_0F батарейного домена может быть сброшен в «0» только при взведенном в «1» флаге ALRF часов реального времени. При сбросе флага ALRF в «0» бит разрешения работы HSION устанавливается в «1», что приводит к включению генератора HSI.

Условия

Всегда.

Последствия

Невозможность отключить генератор, повышенное потребление.

Рекомендации и способы обхода

Для отключения генератора HSI необходимо убедиться, что микросхема тактируется другим источником синхросигнала, взвести бит ALRF и после этого сбросить бит HSION.

0003 Немаскируемый запрос передачи DMA от контроллера АЦП**Статус**

В микросхемах с 1236 до 1632 сигнал dma_done, формируемый посредством АЦП, не вызывает прерывание, поэтому обработку АЦП нельзя вести через прерывание DMA.

В микросхемах до 1236 и с 1632 сигнал dma_done, формируемый посредством АЦП, вызывает прерывание, поэтому обработку АЦП вести через прерывание DMA можно.

Описание

В качестве запроса передачи по DMA контроллером АЦП используется сигнал окончания преобразования EOSIF. Вне зависимости от настроек контроллера DMA и контроллера АЦП этот запрос приходит на контроллер DMA. Если DMA контроллер настроен на обработку этого запроса, то он обработает этот запрос, если же не настроен, то обработки не будет, но контроллер DMA взведет сигнал dma_done (прерывание от DMA) и тем самым запросит обработку прерывания от DMA.

Условия

Всегда.

Последствия

При работе контроллера АЦП и DMA возникают запросы прерываний от DMA контроллера указывающие, что был запрос передачи по каналу АЦП, но он не был обработан.

Рекомендации и способы обхода

В микросхемах до 1236 и с 1632 для блокировки сигнала dma_done формируемого посредством АЦП необходимо блокировать запрос SREQ с помощью следующей команды:

DMA-> CHNL_USEBURST_SET=1<<30.

В микросхемах с 1236 до 1632 никаких действий не требуется.

0004 Некорректное вычисление дополнительной задержки начала преобразования контроллера АЦП

Статус

Исправлено в микросхемах с 1227.

Описание

Согласно документации, дополнительная задержка перед началом преобразования и предназначенная для зарядки внутренней емкости определяется битами Delay_Go[2:0] и позволяет задавать от одного до восьми тактов CPU_CLK. В реальности из-за ошибки в счетчике делителя дополнительные задержки имеют различные значения в зависимости от настроек контроллера АЦП и представлены в ниже приведенной таблице с погрешностью ± 1 такт CPU_CLK, где P – Delay_GO, а M – Div_CLK

$\begin{matrix} \text{P} \\ \text{M} \end{matrix}$	0	1	2	3	4	5	6	7
0	28xCLK + 1xCPU_CLK	28xCLK + 2xCPU_CLK	28xCLK + 3xCPU_CLK	28xCLK + 4xCPU_CLK	28xCLK + 5xCPU_CLK	28xCLK + 6xCPU_CLK	28xCLK + 7xCPU_CLK	28xCLK + 8xCPU_CLK
1	28xCLK + 2xCPU_CLK	28xCLK + 2xCPU_CLK	28xCLK + 2xCPU_CLK	28xCLK + 4xCPU_CLK	28xCLK + 4xCPU_CLK	28xCLK + 6xCPU_CLK	28xCLK + 6xCPU_CLK	28xCLK + 8xCPU_CLK
2	28xCLK + 0xCPU_CLK	28xCLK + 2xCPU_CLK	28xCLK + 2xCPU_CLK	28xCLK + 4xCPU_CLK	28xCLK + 4xCPU_CLK	28xCLK + 6xCPU_CLK	28xCLK + 6xCPU_CLK	28xCLK + 8xCPU_CLK
3	28xCLK + 0xCPU_CLK	28xCLK + 2xCPU_CLK	28xCLK + 2xCPU_CLK	28xCLK + 4xCPU_CLK	28xCLK + 4xCPU_CLK	28xCLK + 6xCPU_CLK	28xCLK + 6xCPU_CLK	28xCLK + 8xCPU_CLK
4...11	28xCLK + 0xCPU_CLK	28xCLK + 0xCPU_CLK	28xCLK + 2xCPU_CLK	28xCLK + 2xCPU_CLK	28xCLK + 4xCPU_CLK	28xCLK + 4xCPU_CLK	28xCLK + 6xCPU_CLK	28xCLK + 6xCPU_CLK

Условия

Всегда.

Последствия

Некорректное вычисление частоты выборки АЦП внешних сигналов. Джиттер момента выборки аналогового сигнала.

Рекомендации и способы обхода

При программировании учитывать приведенную выше таблицу.

0007 Ошибка верификации запрограммированных данных

Статус

Исследование.

Описание

После изменения данных во Flash-памяти верификация записанных данных может завершаться с ошибкой, так как считанные данные могут содержать старые данные, сохраненные в буфере Flash-ускорителя.

Условия

Если инструкция LDR не выровнена на 4, то обновление буфера Flash-ускорителя не происходит.

Последствия

Не происходит обновление буфера Flash-ускорителя, что может приводить к чтению старых данных.

Рекомендации и способы обхода

Для обновления буфера Flash-ускорителя необходимо выполнить 5 чтений Flash-памяти с декрементом адреса по 0x10, при этом инструкция чтения LDR должна быть выровнена на 4. После этого инструкция чтения LDR в процедуре верификации не обязательно должна быть выровнена на 4, так как буфер Flash-ускорителя уже обновлен. Функция обновления буфера Flash-ускорителя приведена в библиотеке SPL.

0010 Ошибка тактирования МАС-контроллера

Статус

Исследование.

Описание

При тактировании МАС-контроллера частотой меньшей, чем частота ядра, возникают сбои при записи в регистры и память данных МАС-контроллера.

Условия

Всегда.

Последствия

Регистр или память не принимают нужного значения после записи.

Рекомендации и способы обхода

Тактировать МАС-контроллер частотой равной частоте ядра, не задавая делителей.

0013 *Превышение верхней адресной границы FIFO приемников и передатчиков ГОСТ 18977 -79 с последующей записью в соседнее FIFO*

Статус

Исправлено в микросхемах с 1236.

Описание

При непрерывной записи в FIFO приемников и передатчиков без ожидания их опустошения возможно превышение верхней адресной границы FIFO с последующей записью в соседнее FIFO.

Условия

Непрерывная запись в FIFO без ожидания его опустошения.

Последствия

Попадание данных в соседнее FIFO.

Рекомендации и способы обхода

Например, если размер FIFO 256 байт, то после 256 записей в пустое FIFO необходимо дождаться его опустошения, чтобы обнулится указатель адреса FIFO. Либо производить запись в FIFO только когда оно пусто. В случае приемников опустошать FIFO чтением до полного отсутствия в нем данных.

0015 Остановка CAN при подстройке момента семплирования

Статус

Исправлено в микросхемах с 1236.

Описание

При работе на высоких скоростях, при наличии помех в линии и расхождении в скорости передачи, контроллер CAN подстраивает момент семплирования линии. Подстройка осуществляется путем увеличения поля Phase Segment 1 или уменьшения поля Phase Segment 2 на величину определенной ошибки, но не больше чем максимальный шаг подстройки SJW. Если в ходе работы была обнаружена ошибка больше или равная Phase Segment 2, и при этом SJW также больше или равен Phase Segment 2, автомат подстройки переходит в ошибочное состояние и останавливается, что приводит к остановке передачи по линии CAN.

Условия

При условии SJW больше либо равен Phase Segment 2, при возникновении помех, дрожании длительности битовых интервалов и расхождении в скоростях абонентов сети CAN в ходе приема пакетов.

Последствия

Остановка передатчика CAN.

Рекомендации и способы обхода

Учитывать при разработке ПО.

При настройке CAN интерфейса устанавливать SJW меньше чем Phase Segment 2

0016 Отсутствие бита паритета в ответном слове ОУ при установке признака «Абонент занят» в контроллере ГОСТ Р52070-2003

Статус

Исправлено в микросхемах с 1401.

Описание

При работе в режиме оконечного устройства контроллера ГОСТ Р52070-2003 после установки признака «Абонент занят» передача ответного слова от ОУ происходит без бита паритета, что приводит к ошибке бита паритета на принимающей стороне.

Условия

Установка признака «Абонент занят».

Последствия

Ошибка бита паритета при приеме ответного слова от занятого ОУ

Рекомендации и способы обхода

Не устанавливать бит «Абонент занят» в форматах сообщений 2, 3, 5, 8

0017 Ошибка арбитража в контроллере CAN

Статус

Исправлено в микросхемах с 1645.

Описание

При выходе на линию CAN двух контроллеров, и при этом у второго контроллера больший приоритет по ID, возникает ситуация, при которой первый контроллер отпускает линию, так как проиграл арбитраж (имеет меньший приоритет), но второй формирует на шине ошибку BIT STUFF ERROR, FRAME ERROR или CRC ERROR.

Условия

Если первый контроллер с меньшим приоритетом вышел на ~ 1 TQ ранее второго контроллера с большим приоритетом.

Последствия

После возникновения ошибки оба контроллера повторяют свои передачи, но при этом во время ошибки они синхронизируются, и повторная передача выполняется без расхождения в 1 TQ. В этом случае арбитраж производится корректно, и оба контроллера передают свои пакеты без ошибок.

Рекомендации и способы обхода

Учитывать при разработке ПО при анализе ошибок на шине CAN. При увеличении трафика по шине CAN вероятность такой ошибки снижается, так как все передатчики постоянно синхронизируются.

0018 Чтение регистра RTC_PRL после сброса

Статус

Исследование.

Описание

После сброса в регистре RTC_PRL всегда считываются нули, независимо от ранее записанного в него значения. Реально регистр сбрасывается только при исчезновении питания батарейного домена BUss.

Условия

Всегда.

Последствия

Не выявлено.

Рекомендации и способы обхода

Учитывать при разработке ПО.

0019 Ошибка приема управляющих пакетов Ethernet

Статус

Исправлено в микросхемах с 1645.

Описание

При приеме пакета с адресом отправителя/получателя равным 0x8808 происходит частичная потеря пакета.

Условия

При CF_EN=0 в регистре R_CFG.

Последствия

Потеря пакета.

Рекомендации и способы обхода

Всегда устанавливать бит CF_EN = 1 в регистре R_CFG. Учитывать при разработке ПО прием управляющих пакетов.

0020 Ошибка формирования деления частоты CPU_C3, USB_C3, ADC_C3, HSI_C1 и HSE_C1**Статус**

Исследование.

Описание

Изменение дополнительного коэффициента деления при формировании частоты CPU_C3 (поле CPU_C3_SEL), частоты USB_C3 (поле USB_C3_SEL), частоты ADC_C3 (поле ADC_C3_SEL), частоты HSI_C1 (поле HSI_C1_SEL) и частоты HSE_C1 (поле HSE_C1_SEL) возможно осуществлять только в большую сторону. Уменьшение коэффициента деления приводит к прекращению формирования тактового сигнала. Сброс настройки возможен только через сигнал сброса всей микросхемы.

Условия

Уменьшение коэффициента деления.

Последствия

Делитель не формирует выходной тактовый сигнал.

Рекомендации и способы обхода

Учитывать при разработке ПО.

В микросхемах, изготовленных с 1645, возможно уменьшение коэффициента деления путем его последовательного изменения с шагом 1 и с временным интервалом не менее Т (где Т — это длительность двух периодов выходной частоты делителя до изменения коэффициента деления).

0021 Ограничения при работе буферов контроллера Ethernet в автоматическом режиме и режиме FIFO

Статус

Исправлено в микросхемах с 1645.

Описание

При работе буферов контроллера Ethernet в автоматическом режиме и режиме FIFO ядро не успевает записывать данные в буферы при работе на частоте менее 144 МГц. Поэтому рекомендуется работать на частоте 144 МГц либо записывать дополнительные упреждающие данные. При считывании принятых пакетов в вышеописанных режимах работы буферов не использовать флаг RF_OK регистра IFR, который может стать неактивным при наличии пакета в буфере. При считывании пакетов использовать условие неравенства указателей R_Tail и R_Head.

Условия

Всегда.

Последствия

Потеря пакетов.

Рекомендации и способы обхода

Учитывать при разработке ПО.

0022 Ошибка шины АНВ Ethernet-контроллера

Статус

Исправлено в микросхемах с 1645.

Описание

После операции записи регистров или памяти Ethernet-контроллера нельзя проводить операции чтения/записи с ОЗУ по адресам 0x20100000-0x20103FFF, так как это приводит к ошибочной записи в Ethernet-контроллер. Необходимо дождаться завершения операции записи в Ethernet-контроллер с помощью инструкций «NOP» или инструкций барьерной синхронизации.

Условия

Всегда.

Последствия

Ошибочная запись в Ethernet-контроллер.

Рекомендации и способы обхода

Учитывать при разработке ПО.

0023 *Искажение поля ID принимаемого пакета при арбитраже в блоке CAN***Статус**

Исправлено в микросхемах с 1645.

Описание

При одновременном выполнении передачи и приема пакетов контроллером CAN (выполняется процедура арбитража), если у стандартных пакетов обнаруживается различие в последнем бите идентификатора или в бите RTR, а у расширенных пакетов – различие в последнем бите 11-битного идентификатора, в любом бите 18-битного идентификатора, в бите SRR, в бите IDE или в бите RTR, и при этом передаваемый пакет имеет меньший приоритет («проигрывает» арбитраж), то у принимаемого пакета («выигравшего» арбитраж) происходит искажение поля ID. Это вызвано тем, что до момента проигрыша арбитража контроллер CAN считает, что именно он осуществляет передачу и не сохраняет ID принимаемого сообщения (остаются данные от предыдущих пакетов).

Условия

«Проигрыш» арбитража в последнем бите идентификатора или бите RTR у стандартных пакетов.

«Проигрыш» арбитража в последнем бите 11-битного идентификатора, в любом бите 18-битного идентификатора, в бите SRR, в бите IDE или в бите RTR у расширенных пакетов.

Последствия

Искажение поля ID у принимаемого пакета, который «выиграл» арбитраж.

Рекомендации и способы обхода

Разрешить прием собственных пакетов (бит ROP = 1) с их последующим игнорированием в ходе программной обработки. В этом случае при арбитраже принимаемые пакеты не искажаются.

Учитывать при разработке ПО.

0029 Время ожидание КШ ответного слова от ОУ менее 14 мкс

Статус

Исправлено в микросхемах с 1645.

Описание

Не выполняется п.4.5.3.3 ГОСТ Р 52070-2003 время ожидания КШ поступления ОС t1, по истечении которого он должен зафиксировать отсутствие ОС от ОУ, должно быть не менее 14 мкс.

Условия

Всегда.

Последствия

Фиксация отсутствия ОС от ОУ.

Рекомендации и способы обхода

Алгоритм обхода:

- 1 отправка КС;
- 2 ожидание завершения отправки КС;
- 3 выключение тактирование блока МКИО (RST_CLK->ETH_CLOCK, 25 бит);
- 4 ожидание 2 мкс (отсчет с помощью таймера);
- 5 включение тактирование блока МКИО (RST_CLK->ETH_CLOCK, 25 бит);
- 6 прием ОС.

0032 Переполнение счетчика ошибок RX_ERR_CNT контроллера CAN

Статус

Будет исправлено в следующей версии продукта.

Описание

В случае, если контроллер CAN постоянно обнаруживает ошибки при приеме данных, то счетчик ошибок приема RX_ERR_CNT будет инкрементироваться до верхнего предела (0x1FF), после чего он должен остановиться. Однако, этого не происходит – счетчик после приема очередного кадра с ошибкой переполняется и сбрасывается в 0x000. Из-за этого контроллер CAN, ранее находившийся в пассивном к ошибкам состоянии ERROR PASSIVE (RX_ERR_CNT > 127), ошибочно переходит в активное к ошибкам состояние ERROR ACTIVE и при обнаружении ошибок начинает посылать кадры активной ошибки. Данное поведение не соответствует стандарту, потому что для перехода в активное к ошибкам состояние ERROR ACTIVE контроллеру CAN необходимо успешно принять кадр.

Условия и причина

При постоянном приеме кадров с ошибкой.

Последствия

Ошибочный переход контроллера CAN в активное к ошибкам состояние.

Рекомендации и способы обхода

Учитывать при разработке аппаратуры.

0033 Инверсия передаваемых данных в режиме 10Base-T HD/FD после сброса Ethernet PHY

Статус

Исследование.

Описание

После снятия сигнала аппаратного сброса nRST с блока Ethernet PHY (переключение бита nRST из «0» в «1» в регистре PHY_Control) блок передатчика 10Base-T может с небольшой вероятностью (0,5% – 1%) перейти в состояние, в котором все данные, поступающие для передачи от контроллера уровня MAC, будут инвертированы. Импульсы NLP (Normal Link Pulse) при этом не инвертируются, поэтому внешнее принимающее устройство не может автоматически скорректировать полярность принимаемого сигнала.

Инвертирование данных может проявляться в следующих режимах работы блока PHY (регистр PHY_Control, поле MODE[2:0]): 10Base-T HD (000), 10Base-T FD (001) и полностью автоматический режим (111), если после автосогласования будет установлена скорость обмена данными 10 Мбит/с, режим работы HD или FD.

Условия и причина

Снятие сигнала аппаратного сброса nRST с блока Ethernet PHY.

Последствия

Переход блока передатчика 10Base-T в состояние, в котором все данные, поступающие для передачи от контроллера уровня MAC, инвертируются.

Рекомендации и способы обхода

Если предполагается работа со скоростью обмена данными 10 Мбит/с (PHY_Control.MODE[2:0] = 000, 001 или 111), то после снятия сигнала аппаратного сброса nRST с блока Ethernet PHY необходимо проверить, инвертируются ли передаваемые данные, и при необходимости выполнить повторный сброс Ethernet PHY с помощью бита nRST в регистре PHY_Control. Для проверки передаваемых данных можно воспользоваться тестовым режимом КЗ блока PHY (в данном режиме передаваемые данные возвращаются обратно блоку MAC, на линию данные не передаются).

Алгоритм обхода:

- 1 в регистре PHY_Control установить требуемый режим работы PHY в поле MODE[2:0] и установить бит nRST = 0;
- 2 выдержать паузу не менее 100 мкс, после чего установить бит nRST = 1;
- 3 выдержать паузу не менее 16 мс для выхода блока PHY в рабочий режим, после чего дождаться установки бита READY в «1» в регистре PHY_Status;
- 4 по интерфейсу MDIO считать регистр управления (0) и сохранить полученное значение;
- 5 выполнить программный сброс PHY (уменьшает вероятность перехода передатчика 10Base-T в ошибочное состояние): в считанном значении (п. 4) установить в «1» бит 15 Reset, после чего записать модифицированное значение в регистр управления (0). Дождаться, когда бит 15 Reset в регистре управления (0) аппаратно сбросится в «0»;
- 6 перевести блок PHY в режим 10Base-T FD и установить режим КЗ: по интерфейсу MDIO записать в регистр управления (0) значение 0x4100;

- 7 выполнить инициализацию блока Ethernet MAC, дополнительно установив в регистре R_CFG биты AC_EN, EF_EN и SF_EN;
- 8 выполнить отправку двух пакетов размером 60 байт с тестовыми данными: первые шесть байт – 0xFF, остальные данные – 0xAA55AA55;
- 9 дожидаться получения одного пакета, после чего по полю состояния приема пакета выполнить проверку:
 - а пакет принят с ошибкой CRC или SF (инвертированный пакет) – перейти к п. 1;
 - б пакет принят успешно – перейти к п. 10.
- 10 выполнить деинициализацию блока Ethernet MAC;
- 11 восстановить значение в регистре управления (0), сохраненное в п. 4;
- 12 блок PHY готов к работе.

Время выполнения одного цикла алгоритма обхода составляет порядка 17 мс:

- 100 мкс (аппаратный сброс PHY) + 16 мс (выход PHY в рабочий режим) +
- 300 мкс (программный сброс PHY) + 140 мкс (передача двух пакетов) +
- 20 мкс (исполнение кода при -O0, ~2700 тактов при частоте CPU_CLK = 140 МГц) +
- 104 мкс (обращения к PHY по MDIO при частоте MDC = 2,5 МГц).

Алгоритм обхода приведен в библиотеке SPL MDR32Fx, начиная с вер. 2.1.0, файл MDR32F9Qx_eth.c, функция ETH_CheckMode10BaseT().

0034 Пропуск канала АЦП при последовательном преобразовании нескольких каналов после выключения АЦП

Статус

Проводятся исследования.

Описание

В режиме последовательного преобразования нескольких каналов в результате отключения АЦП (бит Gfg_REG_ADON) при последующем включении АЦП однократно пропускается канал, на котором остановилось преобразование при отключении. Происходит преобразование следующего канала, участвующего в последовательном преобразовании.

Условия

Включение АЦП после отключения АЦП при последовательном преобразовании нескольких каналов.

Последствия

Пропуск преобразования канала АЦП, на котором остановилось преобразование при отключении.

Рекомендации и способы обхода

После отключения АЦП при использовании последовательного преобразования нескольких каналов:

- 1) Отключить переключение каналов (бит Cfg_REG_CHCH).
- 2) Включить переключение каналов только для канала, на котором остановилось преобразование при отключении, и участвующих в преобразовании каналов с большими номерами (регистр ADC1_CHSEL).

После включения АЦП:

- 1) Включить переключение для всех требуемых каналов.

0035 Остановка счета IWDG при отсутствии частоты PCLK в процессе перезагрузки значения таймера или обновления значения предделителя**Статус**

Исследование.

Описание

В процессе работы IWDG остановка частоты PCLK блока IWDG после вызова запроса перезагрузки значения таймера через регистр IWDG_KEY (записью значения 0xAAAA) и перед фактическим обновлением значения таймера или после вызова запроса обновления предделителя (запись в регистр IWDG_PR) и перед фактическим обновлением значение предделителя блокирует сигнал запроса на обновление значения таймера в активном состоянии. В результате чего до повторного появления частоты PCLK или любого сброса сторожевой таймер IWDG не осуществляет счет и не формирует сброс. Так как в случае запроса перезагрузки IWDG непрерывно перезагружается значением перезагрузки, а в случае запроса обновления предделителя – непрерывно осуществляет обновление предделителя. После появления частоты PCLK и фактического обновления соответствующих значений или после любого сброса IWDG восстанавливает процесс счета.

Условия

Остановка частоты PCLK блока IWDG:

- 1) После вызова запроса перезагрузки значения таймера через регистр IWDG_KEY (записью значения 0xAAAA) и перед фактическим обновлением значения таймера в процессе работы IWDG.
- 2) После вызова запроса обновления предделителя таймера через регистр IWDG_PR и перед фактическим обновлением предделителя в процессе работы IWDG.

Последствия

Отсутствие счета таймера IWDG и формирования им сброса до появления частоты PCLK или любого сброса.

Рекомендации и способы обхода

Реализовать в разрабатываемой системе один или несколько из предложенных способов:

- 1) Перед вызовом запроса перезагрузки значения таймера и на время сброса флага RVU, а также перед вызовом запроса обновления предделителя и на время сброса флага PVU, переводить тактирование PCLK (соответствует частоте HCLK) на частоту, которая гарантируется в разрабатываемой системе – например, LSI (поскольку наличие частоты LSI обязательно для работы IWDG, в случае её отсутствия IWDG не сбросит систему при любых обстоятельствах).
- 2) Использовать внешний сторожевой таймер.

0036 Негарантированное чтение достоверных данных при одновременном выполнении операций записи и чтения двухпортовой памяти контроллера по ГОСТ 18977-79, реализующей приемный буфер, в режиме прямого доступа к памяти

Статус

Учитывать при разработке

Описание

В случае работы с буфером приемника контроллера по ГОСТ 18977-79 в режиме прямого доступа к памяти (не режим FIFO) при одновременном выполнении операций записи и чтения одной ячейки буфера операция чтения приведет к считыванию некорректных данных

Условия

В основе приемного буфера FIFO контроллера по ГОСТ 18977-79 находится блок двухпортовой памяти: при работе с данной памятью приоритет всегда у операции записи, поэтому при выполнении транзакций обмена в асинхронных системах, когда одновременно выполняются операции записи/чтения одной ячейки, операция чтения приведет к чтению недействительных данных

Последствия

Чтение недействительных данных из приемного буфера контроллера по ГОСТ 18977-79, работающего в режиме прямого доступа к памяти

Рекомендации и способы обхода

1. Использовать при работе с приемным каналом режим FIFO.
2. Разграничить во времени операции чтения/записи буфера приемника.
3. В программном коде выполнять два чтения одной и той же ячейки приемного буфера подряд с запретом работы блока DMA и прерываний на время этих чтений. Программный код, реализующий данный способ обхода:

```
while( (MDR_DMA->STATUS & 0x70) != 0); // Перед выполнением двух чтений из приемного
буфера ожидаем, что все транзакции по DMA завершены;
MDR_DMA->CFG &= ~(1 << 0); // Запрет работы DMA на момент двух чтений из приемного
буфера;
NVIC_DisableIRQ(interrupts); // Выключение обработки прерываний на уровне NVIC;
real = (*(uint32_t*)(0x400D1000+addr)); // Первое чтение из приемного буфера (в данном
случае используется базовый адрес буфера первого приемника) в переменную;
real = (*(uint32_t*)(0x400D1000+addr)); // Второе чтение из приемного буфера в переменную;
NVIC_EnableIRQ(interrupts); // Включение обработки прерываний на уровне NVIC. Если за
время двух чтений был запрос на прерывание, то после исполнения данной строки кода
вызовется его обработчик;
MDR_DMA->CFG |= (1 << 0); // Обратное разрешение работы DMA.
```


0037 Пропуск секундного импульса при использовании калибровки RTC_CLK**Статус**

Исследование.

Описание

В блоке RTC для формирования частоты SEC_CLK из частоты RTC_CLK используется делитель, выполненный на счетчике RTC_DIV с основанием счета RTC_PRL. Для калибровки (замедления) RTC_CLK используется счетчик RTC_20, который на время $RTC_20 < RTC_CAL$ останавливает счет RTC_DIV.

Во время работы RTC с калибровкой частоты RTC_CLK (поле $RTC_CAL[7:0] \neq 0$ в регистре REG_0F) при определенных значениях RTC_CAL и RTC_PRL периодически происходит одновременное выполнение событий $RTC_DIV == RTC_PRL$ и $RTC_20 == 0$, которое приводит к ошибочному сбросу счетчика RTC_DIV и пропуску импульса SEC_CLK. При пропуске импульса SEC_CLK основной счетчик RTC_CNT не изменяется и начинает отставать на 1 секунду, при этом флаги SECF, ALRF и OWF в регистре RTC_CS продолжают формироваться без пропусков.

Условия

Установлена калибровка частоты RTC_CLK (поле $RTC_CAL[7:0] \neq 0$) и заданы определенные значения RTC_CAL и RTC_PRL, при которых периодически происходит одновременное выполнение событий $RTC_DIV == RTC_PRL$ и $RTC_20 == 0$.

Последствия

Счетчик RTC_DIV ошибочно сбрасывается, импульс SEC_CLK не формируется. При пропуске импульса SEC_CLK основной счетчик RTC_CNT не изменяется и начинает отставать на 1 секунду, при этом флаги SECF, ALRF и OWF в регистре RTC_CS продолжают формироваться без пропусков.

Рекомендации и способы обхода

Для калибровки частоты RTC_CLK использовать только ограниченный набор значений RTC_CAL, полученный с помощью скрипта¹ для заданного значения RTC_PRL. Перед настройкой блок RTC должен быть выключен и сброшен, при настройке регистр RTC_DIV не должен изменяться. После настройки и включения RTC значения RTC_CAL[7:0], RTC_DIV и RTC_PRL не должны перезаписываться. В этом случае ошибка проявляться не будет.

Пример инициализации RTC:

- включить источник тактирования RTC и выбрать его в $RTC_SEL[1:0]$ регистра REG_0F;
- выключить RTC путем сброса бита RTC_EN в регистре REG_0F;
- выдержать паузу не менее 1 периода RTC_CLK для ожидания сброса бита RTC_EN;
- выполнить сброс RTC путем последовательной установки и сброса бита RTC_RESET в регистре REG_0F;
- записать требуемое значение в регистр RTC_PRL;
- дождаться окончания записи с помощью бита WEC в регистре RTC_CS;
- записать допустимое значение в поле $RTC_CAL[7:0]$ регистра REG_0F;

¹ https://support.milandr.ru/upload/iblock/285/9bliqywbkpfcoptft5dctv327ycqh9s/bkp_rtc_cal.py

- выполнить другие настройки RTC;
- включить RTC путем установки бита RTC_EN в регистре REG_0F.

0038 Ошибка формирования флага R_EMPTY

Статус

Исправлено в микросхемах с 1645.

Описание

Флаг R_EMPTY контроллера интерфейса Ethernet формируется некорректно (устанавливается в 0 при пустом буфере приемника).

Условия

Всегда.

Последствия

Невозможно определить состояние буфера приемника по флагу R_EMPTY.

Рекомендации и способы обхода

Учитывать при разработке ПО.

Для определения наличия данных в буфере приемника использовать указатели начала и конца области действительных данных приемника (R_Head и R_Tail) или счетчик принятых, но не считанных пакетов R_COUNT.

Лист регистрации изменений

Дата	Страница	Статус	ID	Категория	Описание
25.10.11					Документ создан
25.01.11			0001 0002 0003 0004 0005 0006 0007 0008 0009 0010	3 3 2 3 2 2 2 2 3 3	Добавлено описание ошибок
02.02.12			0011	1	Добавлено описание ошибки
20.02.12			0012	2	Добавлено описание ошибки
17.03.12			0013	3	Добавлено описание ошибки
07.06.12			0014	2	Добавлено описание ошибки
25.07.12			0015	3	Добавлено описание ошибки
10.12.12			0016	3	Добавлено описание ошибки
17.07.13					Изменена дата изготовления микросхем
18.11.13			0017	3	Добавлено описание ошибки
18.11.13			0018	3	Добавлено описание ошибки
23.01.14					Добавлена новая дата изготовления
24.03.14			0019	3	Добавлено описание ошибки
21.04.14			0020	3	Добавлено описание ошибки
25.04.14			0021	3	Добавлено описание ошибки
25.04.14			0022	3	Добавлено описание ошибки
20.06.14			0023	3	Добавлено описание ошибки
13.12.14			0024	2	Добавлено описание ошибки
19.03.15			0025	2	Добавлено описание ошибки
27.04.15			0026	2	Добавлено описание ошибки
17.11.15			0007	2	Исправлена ошибка
25.11.15			0027	2	Добавлено описание ошибки
02.12.16					Добавлена новая дата изготовления
23.10.17			0028	2	Добавлено описание ошибки
12.05.21	11		0007	2	Исправлено данные об ошибке;

	5-7 25 7, 39 6		0003 0009 0010 0011 0002 0029 0030	3 2 3 1 3 3 2	Исправлены данные о наличии ошибки 0003 в микросхемах с 1236 до 1632; Исправлены описания ошибок 0007, 0009, 0010, 0011 в сводной таблице; Дополнено описание ошибки; Добавлено описание ошибки; Добавлено описание ошибки
01.09.21	25		0031	2	Добавлено описание ошибки
14.06.22	43		0032	3	Добавлено описание ошибки
21.06.22			0023	3	Исправлена опечатка: ...любом бите 11-битного... -> ...18-битного... Учесть при следующей корректировке.
07.12.22	38		0020	3	Описание и статус ошибки скорректированы
07.06.23	44		0033	3	Добавлено описание ошибки
02.08.24	18 38 46 47		0025 0020 0034 0035	2 3 3 3	В описании исправлена пунктуационная ошибка; Исправлено название ошибки; Добавлено описание ошибки; Добавлено описание ошибки
27.03.25	30 48		0007 0036	3 3	Ошибка перенесена в категорию 3, исправлено описание Добавлено описание ошибки
22.10.25	49		0037	3	Добавлено описание ошибки
11.11.25	51		0038	3	Добавлено описание ошибки