

Ошибки в микросхеме 1986BE81

Настоящий документ содержит описание всех ошибок, выявленных в микросхеме 1986BE81, на момент создания данной версии документа.

Статус документа

Настоящий документ является НЕ КОНФИДЕНЦИАЛЬНЫМ.

Адрес в сети Интернет

<http://www.milandr.ru>

Обратная связь по продукту

Если у Вас есть какие-либо комментарии или предложения по данному продукту, свяжитесь с Вашим поставщиком, указав:

- название продукта;
- комментарии, либо краткое описание Ваших предложений;
- предпочтительный способ связи с Вами и контакты (организация, электронная почта, номер телефона).

Обратная связь по этому документу

Если у Вас есть какие-либо комментарии или предложения по данному документу, пожалуйста, пришлите их на электронную почту support@milandr.ru, указав:

- название документа;
- номер документа;
- номер страницы;
- комментарии либо, краткое описание Ваших предложений;
- предпочтительный способ связи с Вами и контакты (организация, электронная почта, телефон).

Оглавление

Обзор.....	5
Категории ошибок	5
Сводная таблица ошибок	6
Ошибки категории 2	9
0025 Обрыв цепей внешних сигналов опорных напряжений АЦП и ЦАП	9
0051 Большой джиттер PLL.....	9
0067 Преждевременное снятие флага TXF регистра SPW Status.....	11
0068 Зависание запроса DMA на передачу от блока SPW	11
0069 Загрузчик сбрасывает флаги сброса в регистрах ВКР	12
0070 Загрузчик сбрасывает флаги ошибок в регистрах ВКР	12
0072 Автоматическое изменения направления счёта в таймере не происходит в режиме подсчёта событий.....	13
0075 В режиме UART0+JB интерфейс UART0 конфигурируется для режима UART0+JA	13
0077 Контроллер EXT_BUS при чтении 32-разрядного слова в режиме 8-битной шины не выдерживает HOLD адреса последнего обращения.....	14
Ошибки категории 3	15
0037 Ошибка при обращении к CAN.....	15
0041 Установка по POR бита TRIM_REF[2] в регистре REG_62 батарейного домена.....	15
0042 Сброс по POR бита TRIMR[7] в регистре REG_62 батарейного домена	16
0045 Ведущая роль регулятора LDO0 для работы схемы	16
0046 По сигналу WAKEUP или RESET не пробуждаются генераторы HSI и LSI	17
0047 Запрещение ограничения по току для LDO после включения питания	17
0049 Сильные шумы при измерении уровня тока регуляторов LDO через блок PVD	18
0052 Ошибочная запись в память ETH в режиме раскрытия	18
0053 Некорректное чтение регистров SSP_CLK до ECC в CLOCK_CNTR	19
0054 Ошибка в схеме режима тестового раскрытия памяти блоков MIL.....	19
0058 Некорректное назначение выводов данных внешней системной шины.....	20
0060 Некорректное назначение выводов ADC_REF+ и ADC_REF-	21
0062 Для верхних 64к диапазона OTP принудительно отключается кэширование.....	22
0063 В тестовом режиме OTP RAM декодер CE не соответствует банку	22
0064 Необходимо держать включённым последний выбранный источник входной частоты для выбора другого источника в блоке управления тактовыми частотами	23
0065 Сбои при переключении источника синхросигнала, если частота переключения больше исходной в четыре раза	23
0066 Загрузчик устанавливает некорректный режим SPI для режимов загрузки SPI0+JB, SPI1+JA.....	24
0071 Не происходит перезапуск сторожевого таймера	25
0073 Контроллер MILSTD обращается в неинициализированную область буфера передатчика.....	25
0074 Ошибка в описании назначения выводов PC[27], PC[29], (DAC1_REF+, DAC1_REF-).....	26
0076 Некорректный уровень на выходе генератора LSE	26
0078 Ложные срабатывания счётчиков ошибок ECC в контроллере внешней шины в режиме последовательного ECC	27
0079 Ошибка кэширования данных при операциях чтения с внешней шины размером менее 32 бит.....	28

0080 Установка бита CLR_CACHE не приводит к очистке кэш-памяти.....	28
0081 Загрузчик изменяет бит MODE[0] в регистрах ВКР при выборе 64-разрядной шины данных для режима EXTBUS_CFG+JA.....	29
0082 Загрузчик отключает интерфейс JTAG_V при выборе 64-разрядной шины данных для режима EXTBUS_CFG+JB.....	29
0083 Таймер SysTick может считать некорректно в режиме с внешним источником тактирования	30
0084 Выбор источника MAX_CLK осуществляется без ожидания выключения предыдущего выбранного источника тактирования.....	30
Лист регистрации изменений	32

Обзор

Настоящий документ содержит описание ошибок в продукте с указанием категории критичности. Каждое описание содержит:

- уникальный идентификатор ошибки;
- текущий статус ошибки;
- где существует отклонение от спецификации и условия, при которых возникает ошибка;
- последствия возникновения ошибки в типичных применениях;
- ограничения, рекомендации и способы обхода ошибки, где это возможно.

Категории ошибок

Ошибки разделены на три категории критичности:

Категория 1.

Ошибочное поведение, которое невозможно обойти. Ошибки данной категории серьезно ограничивают использование продукта во всех или в большинстве приложений, что делает устройство непригодным для использования.

Категория 2.

Ошибочное поведение, которое противоречит требуемому поведению. Ошибки данной категории могут ограничивать или серьезно ухудшать целевое использование указанных функций, но не делают продукт непригодным для использования во всех или в большинстве приложений.

Категория 3.

Ошибочное поведение, которое не было изначально определено, но не вызывает проблем в приложениях при соблюдении рекомендаций.

Сводная таблица ошибок

В таблице указывается, в каких версиях продукта присутствует ошибка. В таблице использованы следующие обозначения:

- X – наличие ошибки;
- + – ошибка видоизменилась и для следующей ревизии микросхемы описана подробнее под другим номером;
- * – ошибка исправлена частично.

ID	Описание	Микросхемы, выпускаемые с даты (ГГНН в маркировке микросхемы)		
		рев.1	рев.1.1	рев.2 (1920)
Категория 1				
Категория 2				
0025	Обрыв цепей внешних сигналов опорных напряжений АЦП и ЦАП	X		
0051	Большой джиттер PLL	X		
0067	Преждевременное снятие флага TXF регистра SPW Status	X	X	X
0068	Зависание запроса DMA на передачу от блока SPW	X	X	X
0069	Загрузчик сбрасывает флаги сброса в регистрах ВКР	X	X	X
0070	Загрузчик сбрасывает флаги ошибок в регистрах ВКР	X	X	X
0072	Автоматическое изменения направления счёта в таймере не происходит в режиме подсчёта событий.	X	X	X
0075	В режиме UART0+JB интерфейс UART0 конфигурируется для режима UART0+JA			X
0077	Контроллер EXT_BUS при чтении 32-разрядного слова в режиме 8-битной шины не выдерживает HOLD адреса последнего обращения	X	X	X
Категория 3				
0037	Ошибка при обращении к CAN	X	X	X*
0041	Установка по POR бита TRIM_REF[2] в регистре REG_62 батарейного домена	X	X	
0042	Сброс по POR бита TRIMR[7] в регистре REG_62 батарейного домена	X	X	
0045	Ведущая роль регулятора LDO0 для работы схемы	X	X	X

ID	Описание	Микросхемы, выпускаемые с даты (ГГНН в маркировке микросхемы)		
		рев.1	рев.1.1	рев.2 (1920)
0046	По сигналу WAKEUP или RESET не пробуждаются генераторы HSI и LSI	X	X	
0047	Запрещение ограничения по току для LDO после включения питания	X	X	
0049	Сильные шумы при измерении уровня тока регуляторов LDO через блок PVD	X	X	
0052	Ошибочная запись в память ETH в режиме раскрытия	X	X	
0053	Некорректное чтение регистров SSP_CLK до ECC в CLOCK_CNTR	X	X	
0054	Ошибка в схеме режима тестового раскрытия памяти блоков MIL	X	X	
0058	Некорректное назначение выводов данных внешней системной шины	X	X	
0060	Некорректное назначение выводов ADC_REF+ и ADC_REF-	X		
0062	Для верхних 64к диапазона OTP принудительно отключается кэширование	X	X	
0063	В тестовом режиме OTP RAM декодер CE не соответствует банку	X	X	
0064	Необходимо держать включённым последний выбранный источник входной частоты для выбора другого источника в блоке управления тактовыми частотами	X	X	X
0065	Сбой при переключении источника синхросигнала, если частота переключения больше исходной в четыре раза	X	X	
0066	Загрузчик устанавливает некорректный режим SPI для режимов загрузки SPI0+JB, SPI1+JA	X	X	
0071	Не происходит перезапуск сторожевого таймера	X	X	
0073	Контроллер MILSTD обращается в неинициализированную область буфера передатчика	X	X	X
0074	Ошибка в описании назначения выводов PC[27], PC[29], (DAC1_REF+, DAC1_REF-)	X	X	X
0076	Некорректный уровень на выходе генератора LSE		X	X
0078	Ложные срабатывания счётчиков ошибок ECC в контроллере внешней шины в режиме последовательного ECC	X	X	X

ID	Описание	Микросхемы, выпускаемые с даты (ГГНН в маркировке микросхемы)		
		рев.1	рев.1.1	рев.2 (1920)
0079	Ошибка кэширования данных при операциях чтения с внешней шины размером менее 32 бит	X	X	X
0080	Установка бита CLR_CACHE не приводит к очистке кэш-памяти	X	X	
0081	Загрузчик изменяет бит MODE[0] в регистрах ВКР при выборе 64-разрядной шины данных для режима EXTBUS_CFG+JA	X	X	
0082	Загрузчик отключает интерфейс JTAG_V при выборе 64-разрядной шины данных для режима EXTBUS_CFG+JB			X
0083	Таймер SysTick может считать некорректно в режиме с внешним источником тактирования	X	X	
0084	Выбор источника MAX_CLK осуществляется без ожидания выключения предыдущего выбранного источника тактирования	X	X	X

Ошибки категории 2

0025 Обрыв цепей внешних сигналов опорных напряжений АЦП и ЦАП

Статус

Исправлено с рев.1.1

Описание

В качестве сигналов опорного напряжения для преобразования в АЦП и ЦАП могут выступать сигналы с портов РС6/РС7 и РС22/РС23 (для АЦП) и РС24/РС26 и РС27/РС29 (для ЦАП). Но в кристалле этих связей нет. При этом сигнальные цепи каналов АЦП и ЦАП реализованы.

Условия и причина

Обрыв связей произошел на этапе синтеза из-за несовпадения направлений сигналов в модулях КП и АЦП и ЦАП.

Последствия

Нет возможности использования внешних сигналов в качестве источников опорного напряжения для АЦП и ЦАП.

Рекомендации и способы обхода

Использовать в качестве источников опорного напряжения только:

- Питание/Земля блока;
- 2,5 В от внутреннего источника опорного напряжения.

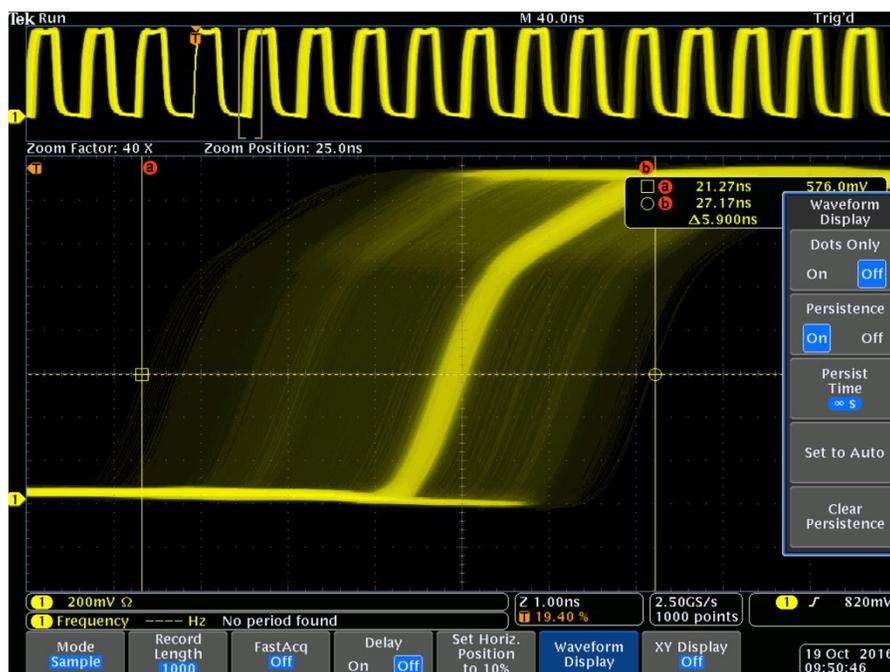
0051 Большой джиттер PLL

Статус

Исправлено в рев.2.

Описание

При работе блока PLL возникает большой джиттер до +/- 4 нс. В результате при настройке PLL на частоту 60 МГц (~16 нс период), мгновенное значение частоты на отдельных тактах может достигать 80 МГц (~12 нс период). Это приводит к нарушению работы цифровой части. При этом среднее значение частоты соответствует расчетному значению.



Биение выходной частоты PLL

Условия

Всегда

Последствия

При настройке тактовой частоты, близкой к предельно-допустимой, возможно возникновение отдельных тактов с частотой, превышающей предельное-допустимое значение, и вызывает сбой в работе цифровой схемы.

Рекомендации и способы обхода

Использовать PLL для формирования тактовых частот только до 40 МГц. При этом настройки времени выборки ОТР и внешней шины EXT_BUS должны быть установлены исходя как для работы на 60 МГц. Для работы на больших тактовых частотах использовать внешний генератор с требуемой частотой.

0067 Преждевременное снятие флага TXF регистра SPW Status

Статус:

Следовать рекомендациям.

Описание

Флаг TXF снимается после отправки в интерфейс первого байта из слова в FIFO.

Условия возникновения

Флаг TXF снимается после отправки в интерфейс первого байта из слова.

Последствия

Регистр FIFO может быть переписан новыми данными до того, как все байты из него были вычитаны.

Рекомендации и способы обхода

Использовать флаг TXF только для прекращения записи в FIFO, после обнаружения сброса флага вставлять задержку на время необходимое для передачи трёх байт в канал SPW, либо дожидаться поднятия флага TXE.

0068 Зависание запроса DMA на передачу от блока SPW

Статус:

Следовать рекомендациям.

Описание

Новый запрос к контроллеру DMA может быть выставлен до окончания исполнения предыдущего запроса и не воспринимается контроллером как новый.

Условия возникновения

При определённом соотношении скоростей наполнения и опустошения FIFO, если уровень наполненности FIFO передатчика не переходит границу 48 байт и 60 байт для пакетного и одиночного запросов соответственно, не происходит снятия запроса DMA.

Последствия

Контроллер не распознаёт новый запрос DMA и не выполняет новую транзакцию, считая установленный запрос обработанным. Таким образом в системе SPW передатчик – DMA контроллер возникает DEADLOCK.

Рекомендации и способы обхода

Не использовать механизм DMA для передачи массивов меньше указанных границ. Реализовать программный мониторинг DEADLOCK через регистры статуса DMA и SPW и «проталкивать» DMA запросы программно с помощью переключения бита DMATXEN в случае обнаружения DEADLOCK. Не использовать DMA TX блока SPW.

0069 Загрузчик сбрасывает флаги сброса в регистрах ВКР

Статус:

Следовать рекомендациям.

Описание

Загрузочная программа использует некорректную маску при записи в регистры REG_60_TMRx[14:8]

Условия возникновения

В ходе работы загрузчика при установке флага FPOR сбрасываются флаги событий сброса в регистрах REG_60_TMRx[14:8]

Последствия

Пользовательская программа, запущенная загрузчиком, получает флаги сброса всегда в сброшенном состоянии и, таким образом, не может получить из них информацию об источнике сброса.

Рекомендации и способы обхода

Некоторые флаги, например, S_SYSRSTn можно программно эмулировать используя для хранения регистры REG_00..REG_59.

0070 Загрузчик сбрасывает флаги ошибок в регистрах ВКР

Статус:

Следовать рекомендациям.

Описание

После установки бита FPOR(REG_60_TMRx[7]) сбрасываются флаги ошибок REG_60_TMRx[27:25].

Условия возникновения

В ходе работы загрузчика после установки флага FPOR сбрасываются флаги ошибок в регистрах REG_60_TMRx[27:25].

Последствия

Пользовательская программа, запущенная загрузчиком, получает флаги ошибок всегда в сброшенном состоянии и, таким образом, не может проанализировать ошибку, если эта ошибка была выбрана как событие для сброса.

Рекомендации и способы обхода

Ошибки в регистрах REG_60..REG_63 обязательно обрабатывать через прерывание ВКР_IF и сохранять в REG_00..REG_59, если планируется обработка данных флагов ошибок после сброса.

0072 Автоматическое изменения направления счёта в таймере не происходит в режиме подсчёта событий.

Статус

Следовать рекомендациям.

Описание

Согласно спецификации, для режима CNT_MODE='b11 должна происходить автоматическая смена направления счёта DIR в режиме подсчёта событий. На практике автоматической смены направления счёта в данном режиме не происходит.

Условия и причина

Автоматическая смена направления счёта для режима подсчёта событий не реализована.

Последствия

Режим работы таймера CNT_MODE='b11 не соответствует спецификации.

Рекомендации и способы обхода

Не использовать режим CNT_MODE='b11.

0075 В режиме UART0+JB интерфейс UART0 конфигурируется для режима UART0+JA

Статус

Будет исправлено в следующей ревизии.

Описание

Согласно спецификации, загрузчик должен конфигурировать выводы PA[7](TX), PA[8](RX) для режима загрузки UART0+JB. Загрузчик в режимах UART0+JA, UART0+JB конфигурирует выводы PE[15](TX), PE[16](RX) независимо от режима.

Условия и причина

В результате ошибки в коде загрузчика для данных режимов всегда вызывается подпрограмма UART в режиме UART0+JA. Выбор JTAG происходит корректно до запуска данной подпрограммы. Подпрограмма не управляет выводами JTAG.

Последствия

Интерфейс UART0 в режимах UART0+JA, UART0+JB подключён к выводам PE[15], PE[16] независимо от режима.

Рекомендации и способы обхода

При использовании режима UART0+JB подключать UART к выводам PE[15], PE[16].

0077 Контроллер EXT_BUS при чтении 32-разрядного слова в режиме 8-битной шины не выдерживает HOLD адреса последнего обращения

Статус

Будет исправлено в следующей ревизии.

Описание

Контроллер EXT_BUS при 32-разрядном чтении в режиме 8-битной шины снимает Адрес вместе с OE для последнего байта.

Условия и причина

Если контроллер сконфигурирован для обмена по шине шириной 8 бит и получает обращение на чтение 32-разрядного слова, то в результате ошибки в контроллере Адрес на шине адреса меняется по окончании фазы ACTIVE для последнего байта в данном слове.

Последствия

Некорректная временная диаграмма на выводах микросхемы с отсутствующей фазой HOLD для адреса последнего байта.

Рекомендации и способы обхода

Учитывать при проектировании системы.

Ошибки категории 3

0037 Ошибка при обращении к CAN

Статус

В рев.2 исправлен сбой при обращении в несуществующую область регистров CAN.

Описание

При обращении к адресному диапазону контроллера CAN по адресам несуществующих регистров либо при обращении к памяти буферов сообщений и фильтров при отключенном тактировании блока происходит ошибка

Условия и причина

Всегда

Последствия

Сбой работы процессора. Например, при просмотре адресного диапазона через окно Memory Viewer.

Рекомендации и способы обхода

Не допускать обращений в несуществующие регистры и при отключенном тактировании.

0041 Установка по POR бита TRIM_REF[2] в регистре REG_62 батареяного домена

Статус

Исправлено в рев.2.

Описание

При сбросе микросхемы по питанию происходит установка в 1 бита TRIM_REF[2] в регистре REG_62 батареяного домена. Биты TRIM_REF в этом регистре отвечают за подстройку источника опорного напряжения для схемы POR.

Условия и причина

При сбросе микросхемы по питанию схемой POR. Вызвано тем, что использовались предназначенные для других целей биты, которые по сбросу POR должны устанавливаться в нужное состояние.

Последствия

Невозможно увеличить уровень POR при включении выше уровня 2,85 В (от 2,85 до 2,74 В). При этом уровень POR при выключении можно регулировать в диапазоне от 2,82 до 2,58 В. Ошибка несет положительный эффект, так как при безошибочной работе уровень POR можно было бы поднять до 3,05 В

Рекомендации и способы обхода

0042 Сброс по POR бита TRIMR[7] в регистре REG_62 батарейного домена

Статус

Исправлено в рев.2.

Описание

При сбросе микросхемы по питанию происходит сброс в 0 бита TRIMR[7] в регистре REG_62 батарейного домена. Биты TRIMR в этом регистре отвечает за подстройку источника опорного тока для схемы POR.

Условия и причина

При сбросе микросхемы по питанию схемой POR. Вызвано тем, что использовались биты предназначенные для других целей, которые по сбросу POR должны устанавливаться в нужное состояние.

Последствия

Не обнаружено

Рекомендации и способы обхода

0045 Ведущая роль регулятора LDO0 для работы схемы

Статус

Следовать рекомендациям.

Описание

Схемы преобразователей уровня из 3,0...5,0 В в 1,8 В имеют сигнал выключения (изоляции) для момента, когда питание 1,8 В не сформировано. Данный сигнал выключения формируется регулятором LDO0. При этом вся цифровая часть микросхемы (ядро, периферия, память) питаются с помощью 4-х регуляторов LDO0,1,2,3. При этом, пока LDO0 не выдаст сигнал готовности, схема будет находиться в выключенном состоянии.

Условия и причина

Архитектурная особенность

Последствия

При программном выключении LDO0 схема сбрасывается. Возможно объединение по лог. ИЛИ сигналов готовности от всех LDO и использование его как сигнала разрешения было бы более корректным решением.

Рекомендации и способы обхода

Не выключать LDO0.

0046 По сигналу WAKEUP или RESET не пробуждаются генераторы HSI и LSI

Статус

Исправлено в рев.2.

Описание

При программном выключении микросхемы генераторов HSI или LSI и отсутствии другого источника тактирования для работы схемы обратное включение источников возможно только при снятии питания.

Условия и причина

При программном выключении генераторов в батарейном домене.

Последствия

Невозможность перезапуска микросхемы по сбросу после выключения генераторов. Только перезапуск по питанию.

Рекомендации и способы обхода

Не выключать генераторы. При переходе в STANDBY режим генератор HSI выключаются корректно.

0047 Запрещение ограничения по току для LDO после включения питания

Статус

Исправлено в рев.2.

Описание

При включении питания ограничение по току включено только у регулятора батарейного домена. Все остальные регуляторы включаются при выключенном ограничении. Это вызывает большое импульсное потребление по основному питанию.

Условия и причина

При включении основного питания микросхемы.

Последствия

Большое импульсное потребление при включении питания.

Рекомендации и способы обхода

0049 Сильные шумы при измерении уровня тока регуляторов LDO через блок PVD

Статус

Следовать рекомендациям.

Описание

Для регуляторов LDO батарейного домена и домена PLL шаг определения тока потребления сравним с импульсными токами потребления блоков. В результате при однократных измерениях возможно возникновение кода от минимального до максимального.

Условия и причина

При измерении тока для регуляторов LDO батарейного домена и домена PLL.

Последствия

Неточная информация об истинном среднем значении тока потребления.

Рекомендации и способы обхода

Проводить многократное измерение с усреднением.

0052 Ошибочная запись в память ETH в режиме раскрытия

Статус

Исправлено в рев.2.

Описание

В микросхеме реализован тестовый режим раскрытия для блоков памяти контроллера Ethernet. Всего в контроллере 4 банка памяти, которые при тестировании выбираются 9 и 10 разрядами адреса. При выборе 4-го банка ошибочно выбирается и первый банк.

Условия и причина

При тестировании памяти блока Ethernet через тестовые режимы раскрытия при тестировании 4-го банка ошибочно выбирается и первый банк при записи.

Последствия

Записываемая информация в 4-й банк попадает и в первый банк.

Рекомендации и способы обхода

Проводить тестирование банков независимо, либо группами 1,2,3 и отдельно 4 или 2,3,4 и отдельно 1.

0053 Некорректное чтение регистров SSP_CLK до ECC в CLOCK_CNTR

Статус

Исправлено в рев.2.

Описание

В микроконтроллере реализован тестовый режим доступа к регистрам настройки блока CLCOCK_CNTR, позволяющий получить истинное значение регистров (до исправления через ECC). При чтении регистров настройки тактовых сигналов SSP возвращаются значения регистров настройки UART

Условия и причина

При чтении регистров SSP_CLK по адресам +0x200.

Последствия

Нет

Рекомендации и способы обхода

Не использовать данный режим чтения.

0054 Ошибка в схеме режима тестового раскрытия памяти блоков MIL

Статус

Исправлено в рев.2.

Описание

В микросхеме реализован тестовый режим раскрытия для блоков памяти контроллера MIL. Выборка банка осуществляется по низкому уровню на входе NCE. Операции чтения/записи необходимо выполнять при низком уровне на входе NCE, но при чтении данных данные на порт микросхемы выставляются только при высоком уровне на NCE.

Условия и причина

При тестировании памяти блока MIL через тестовые режимы раскрытия.

Последствия

Затруднена возможность контроля времени выборки.

Рекомендации и способы обхода

0058 Некорректное назначение выводов данных внешней системной шины

Статус

Исправлено в рев.2.

Описание

Выводы порта PA могут использоваться как выводы шины данных внешней шины данных. При этом имеет место следующее соответствие:

Вывод микросхемы	Биты шины данных при чтении	Биты шины данных при записи
PA[0]	DATA[42]	DATA[47]
PA[1]	DATA[43]	DATA[46]
PA[2]	DATA[44]	DATA[45]
PA[3]	DATA[45]	DATA[44]
PA[4]	DATA[46]	DATA[43]
PA[5]	DATA[47]	DATA[42]

Т.е. при записи биты переставляются местами, что приводит к нарушению при последующем чтении. Последовательность битов при чтении верна.

Условия и причина

При работе внешней шины в 64-битном режиме с ECC и без ECC. При необходимости выполнения операций чтения и записи.

Последствия

Изменение ранее записанной информации.

Невозможность использования внешней шины в 64-битном режиме при работе с внешней памятью как с ОЗУ.

Рекомендации и способы обхода

Возможно использование внешней шины в 64-битном режиме только в режиме ROM (только чтение). Например, чтение только исполняемого кода или констант. Для записи в данную память необходимо использовать иные методы, например, программную эмуляцию внешней шины.

0060 Некорректное назначение выводов ADC_REF+ и ADC_REF-**Статус**

Исправлено с рев.1.1

Описание

Для блоков аналого-цифрового преобразования АЦП можно выбрать два варианта выводов для задания внешнего опорного напряжения. Варианты правильного назначения выводов описаны в таблице:

АЦП	Вариант 1	Вариант 2
ADC0 REF+	PC[6]	PC[22]
ADC0 REF-	PC[7]	PC[23]
ADC1 REF+	PC[22]	PC[6]
ADC1 REF-	PC[23]	PC[7]

Такой механизм позволяет переключать АЦП между различными опорами или дублировать внешний источник опорного напряжения. Но в результате ошибки в схеме для второго варианта обоих АЦП перепутаны REF+ и REF-

АЦП	Вариант 1	Вариант 2
ADC0 REF+	PC[6]	PC[23]
ADC0 REF-	PC[7]	PC[22]
ADC1 REF+	PC[22]	PC[7]
ADC1 REF-	PC[23]	PC[6]

Т.е. если для ADC0 выбрать первый вариант, а для ADC1 выбрать второй вариант, то на REF+ ADC1 будет приходить REF1 ADC0.

Условия и причина

При использовании одной и той же пары внешних выводов для задания опорного напряжения для двух АЦП, в результате ошибки в схеме подключения АЦП, опорные сигналы меняются местами на одном из блоков АЦП относительно другого.

Последствия

Невозможно использовать одну пару выводов для задания опорного напряжения для двух АЦП одновременно, на втором АЦП входы REF+ и REF- будут подключены наоборот.

Рекомендации и способы обхода

Использовать только вариант 1 для обоих АЦП. При необходимости использования одного источника опорного напряжения, опорное напряжение заводить на оба варианта выводов, соответствующих варианту 1.

0062 Для верхних 64к диапазона ОТР принудительно отключается кэширование

Статус

Исправлено в рев.2.

Описание

Из-за особенностей работы ядра на шине I-BUS было реализовано аппаратное переопределение атрибута транзакции Cacheable в зависимости от установки бита в регистре управления I-Cache и D-Cache для диапазона ОТР и EXT_BUS. Из-за ошибки в декодере диапазона ОТР верхние 64к данного диапазона не могут быть закэшированы.

Условия и причина

При включении кэширования шины ОТР для I-Cache.

Последствия

Снижается производительность выборки кода при расположении кода и константных данных в адресах 0x0101_0000-0x0101_FFFF.

Рекомендации и способы обхода

Необходимо располагать критичные участки кода в нижних 64к диапазона ОТР.

Опережающая предвыборка осуществляется в любом случае, поэтому на линейные участки кода данная ошибка не должна оказывать влияния.

0063 В тестовом режиме ОТР RAM декодер СЕ не соответствует банку

Статус

Исправлено в рев.2.

Описание

На мультиплексоре сигналов СЕ для ОТР RAM при выборе тестового режима сигнал СЕ для банка 0 управляется тестовым сигналом TMEM_CE, остальные сигналы СЕ[3:1] для банков 3,2,1 при выборе тестового режима устанавливаются в 0.

Условия и причина

Ошибка в декодере банка на сигнале СЕ.

Последствия

Невозможно в тестовом режиме записать по отдельности в каждый банк. Запись возможна либо во все одновременно, либо в банки 3, 2, 1. Запись в банк 0 можно отключать.

Рекомендации и способы обхода

Верификация кросс паттернов между тремя банками снижает покрытие тестов памяти в тестовом режиме. Данные паттерны при необходимости можно записать в функциональном режиме через регистровый доступ контроллера ОТР.

0064 Необходимо держать включённым последний выбранный источник входной частоты для выбора другого источника в блоке управления тактовыми частотами

Статус

Особенность работы схемы переключения, которую необходимо учитывать.

Описание

При выборе источника частоты в блоке переключения частот необходимо, чтобы предыдущий источник частоты был включён. Например, после перехода на частоту HSE, неочевидно, что необходимо держать включённым HSI при программировании PLL только потому, что по сбросу на входе PLL выбран HSI, и если его выключить, то переключить PLL на другой источник не получится.

Условия и причина

Схема безглитчowego переключения частоты не позволяет включать новый источник, если отсутствует частота с предыдущего.

Последствия

Особенность программирования схем переключения частот.

Рекомендации и способы обхода

Выключать HSI или любой другой источник тактирования на блоке переключения частот только после того, как все блоки переключения сконфигурированы для работы с требуемым источником. Новый источник при этом обязан быть включённым.

0065 Сбои при переключении источника синхросигнала, если частота переключения больше исходной в четыре раза

Статус

Исправлено в рев.2.

Описание

При переключении источника синхросигнала на выходе мультиплексоров синхросигнала возможно появление глитчей меньше половины периода нового синхросигнала, в случае если частота сигнала, на который происходит переключение, больше исходной в четыре раза.

Условия и причина

Схема клокового мультиплексора некорректно выключает исходную частоту после двух тактов ожидания, из-за этого новая частота включается через два такта новой частоты. Таким образом в точке объединения гейтированных синхросигналов присутствует полтакта положительной фазы старой частоты и два такта ожидания новой, после чего разрешается новая частота, начиная с положительной фазы. Т.е. если два такта ожидания новой укладываются в полтакта старой, может возникнуть глитч между срезом старой частоты и фронтом новой.

Последствия

Сбои в блоках МК после переключения частоты.

Рекомендации и способы обхода

До исправления необходимо при переключении частоты учитывать, что новая частота не должна быть более чем в 4 раза больше предыдущей. Т.е. если требуется перейти на частоту PLL, отличающуюся от исходной более чем в 4 раза, необходимо использовать две PLL для последовательного перехода сначала на промежуточную частоту, а далее на требуемую.

0066 Загрузчик устанавливает некорректный режим SPI для режимов загрузки SPI0+JB, SPI1+JA**Статус**

Исправлено в рев.2.

Описание

Данные режимы предназначены для загрузки контроллера с serial flash типа 5576. При этом устанавливается режим работы SPI: SPO=0, SPH=0. В данном режиме контроллер SPI работает в режиме мастера – сэмплирует данные по переднему фронту. Микросхемы 5576 также переключают данные по переднему фронту, таким образом корректность приёма данных контроллером зависит от задержки данных относительно клока. Кроме того, при детектировании ошибки в переданных данных происходит сброс контроллера, при этом не происходит сброс счетчика адреса микросхемы 5576 через сигнал nSTATUS.

Условия и причина

Контроллер в режиме загрузки SPI0+JB или SPI0+JA и задержка по линии данных меньше задержки по клоку. В зависимости от разводки синхросигнала SPI и линии данных SPI, на первом фронте синхросигнала могут быть сэмплированы новые данные, и 0 бит данных пропущен, либо на каждом фронте будут сэмплироваться неверные данные, и контроллер, обнаружив ошибку, сбросится. При выполнении сброса не устанавливается 0 на выводе PA7 контроллера, который должен обеспечивать сброс счётчика адреса в микросхеме последовательной памяти, необходимый для корректной повторной загрузки.

Последствия

Сбои при загрузке микроконтроллера в режимах SPI0+JB, SPI1+JA при загрузке с микросхем серии 5576.

Рекомендации и способы обхода

Ввести дополнительную задержку на линию синхросигнала относительно сигнала данных, либо в данном режиме работы загрузчика использовать микросхемы с интерфейсом SPI, а не serial flash.

0071 Не происходит перезапуск сторожевого таймера

Статус

Исправлено в рев.2.

Описание

Согласно спецификации, для перезапуска сторожевого таймера необходима запись значения 0хАААА в регистр KEY. Если не производить чтения регистра CNT, что не является обязательным, перезапуска таймера не происходит, и он вырабатывает сигнал сброса.

Условия и причина

Пересинхронизация сигнала сброса таймера реализована таким образом, что требует присутствия системной частоты при обращениях к блоку таймера. Системная частота гейтируется и в момент пересинхронизации на частоту сторожевого таймера отсутствует из-за большой разницы частот. Таким образом, таймер не перезапускается.

Последствия

Сторожевой таймер вырабатывает сигнал сброса несмотря на запись в регистр KEY значения, которое должно вызывать перезапуск таймера.

Рекомендации и способы обхода

После записи в регистр KEY обязательно производить чтение регистра CNT.

0073 Контроллер MILSTD обращается в неинициализированную область буфера передатчика

Статус

Следовать рекомендациям.

Описание

При работе с контроллером в режиме ОУ при записи N слов в буфер передатчика и при запросе N слов данных со стороны канала в блоке FT_CNTR сигнализируется ошибка в буфере MILSTD.

Условия и причина

Контроллер MILSTD устанавливает адрес чтения буфера передатчика, не учитывая того, что буфер всегда выбран для чтения. Таким образом, после запроса N слов данных на памяти устанавливает N+1 адрес и, если он не инициализирован, детектируется ошибка, которая поднимает флаг в FT_CNTR.

Последствия

Происходит ложная сигнализация ошибки в FT_CNTR.

Рекомендации и способы обхода

Перед началом работы с передатчиком до разрешения запросов со стороны канала необходимо полностью инициализировать память передатчика. Запрет запросов со стороны канала можно осуществить, отложив конфигурацию входов контроллера в режим MILSTD до полной инициализации буфера передатчика.

0074 Ошибка в описании назначения выводов PC[27], PC[29], (DAC1_REF+, DAC1_REF-)

Статус

Исправлено в документации.

Описание

Назначение функций выводов DAC1_REF+, DAC1_REF- в документации перепутаны относительно реализации в аппаратуре.

Условия и причина

Вывод PC[29] в аппаратуре подключен к DAC1_REF+, а PC[27] – к DAC1_REF-.

Последствия

При использовании опорных сигналов DAC1_REF+ и DAC1_REF- в соответствии с документацией зависимость DAC*_OUT от кода инверсная.

Рекомендации и способы обхода

Для готовых изделий, использующих DAC1_REF+, DAC1_REF- в соответствии с ошибочным вариантом описания, подавать на DAC дополненный код до FFFh вместо прямого.

0076 Некорректный уровень на выходе генератора LSE

Статус

Будет исправлено в следующей ревизии.

Описание

Схемы переключения частот блоков CLKCNTNTR гарантируют корректную работу при условии, что на входы схемы поступает либо частота, либо логический 0. При условии LSE_ON=1'b0 и FILTER = 1'b1 генератор LSE выдаёт на входы переключателей частот блока CLKCNTNTR логическую 1.

Условия и причина

В результате ошибки в схеме выходного мультиплексора генератора LSE по сигналу FILTER=1'b1 происходит инверсия выходного сигнала.

Последствия

При выключении генератора LSE при установленном FILTER=1 (значение по сбросу), если на каком-либо из блоков переключения частот выбран LSE, происходит блокировка выхода данного блока переключения частот в состоянии логической 1. Данное состояние сохраняется после сброса.

Рекомендации и способы обхода

Выключать генератор LSE только после переключения на другой источник всех блоков, которые его использовали. При попадании блока переключения частоты в данное состояние установить FILTER в 0 с последующей установкой в 1.

0078 Ложные срабатывания счётчиков ошибок ЕСС в контроллере внешней шины в режиме последовательного ЕСС

Статус

Будет исправлено в следующей ревизии.

Описание

После инициализации памяти на внешней шине в режиме последовательного ЕСС и 8- или 16-битной шины при чтении инициализированного массива увеличиваются счётчики ошибок ЕСС.

Условия и причина

В режиме последовательного ЕСС при записи слова в память происходит безусловное считывание предыдущего слова и соответствующего данному слову значения ЕСС. Т.к. неинициализированная память заполнена случайными значениями существует очень малая вероятность, что случайные данные совпадут со случайным значением ЕСС. В результате ошибки в контроллере внешней шины данные в режиме последовательного ЕСС при записи обрабатываются на двух блоках расчёта ЕСС, предназначенных для каждого полуслова в режиме 64-разрядной шины. Сигналы ошибок с этих двух блоков объединяются по ИЛИ для сигнализации ошибки ЕСС. При чтении в режиме последовательного ЕСС используется всегда только один из блоков, а второй хранит своё состояние с предыдущей записи. Т.е. с высокой вероятностью после записи в неинициализированную область он хранит ошибку. Данные сигналы ошибок переопределяют сигналы ошибок, полученных с блока, который используется для проверки ЕСС в режиме чтения, и фиксируются в счётчиках ошибок.

Последствия

После «залипания» ошибки в одном из блоков ЕСС в результате записи в неинициализированную область счётчики ошибок ЕСС считают каждое обращение по чтению ошибочным в независимости от фактических данных и ЕСС.

Рекомендации и способы обхода

После инициализации памяти в режиме с последовательным ЕСС необходимо сбросить счётчики ошибок и производить запись в инициализированную область до тех пор, пока счётчики ошибок не перестанут меняться. Если в процессе записи не возникнет реальных ошибок, то потребуется записать только одно слово в уже инициализированную область. После этого счётчики ошибок не будут ложно срабатывать при каждом чтении.

0079 Ошибка кэширования данных при операциях чтения с внешней шины размером менее 32 бит

Статус

Присутствует в ревизиях 1, 1.1, 2.

Описание

При включённом кэшировании данных(DCACHE) при операциях чтения размером байт или 16 бит с внешней шины происходит кэширование всех разрядов 32-битного слова.

Условия и причина

Кэш содержит бит валидности для каждого 32-разрядного слова в 128-разрядной строке. Т.е. гранулярность заполнения и инвалидации кэша 32 бит. Внутренние шины процессора – 32 бит с позиционным кодированием. В результате ошибки в логике управления кэш памятью при 8 бит и 16 бит чтении осуществляется кэширование всех 32 бит слова с шины. Разряды данных шины, которые не запрашивались в текущей транзакции, могут иметь произвольное значение.

Последствия

Последующие обращения, попадающие в уже кэшированное слово, в разряды данных, которые не запрашивались первым обращением, возвращают некорректные данные.

Рекомендации и способы обхода

При использовании кэш памяти данных с заполнением с внешней шины использовать выровненные операции чтения размером 32 бит.

0080 Установка бита CLR_CACHE не приводит к очистке кэш-памяти

Статус

Исправлено с ревизии 2.

Описание

Установка бита CLR_CACHE регистра CNTR в 1 согласно документации не приводит к очистке соответствующего блока кэш-памяти.

Условия и причина

Функция не была реализована до 2-ой ревизии.

Последствия

Программный код, очищающий кэш-память с помощью данной функции, может работать некорректно, т.к. установка данного бита не приводит к очистке кэш-памяти.

Рекомендации и способы обхода

Для замещения содержимого кэш-памяти вытеснить содержимое кэш-памяти с помощью последовательных обращений в другой регион кэшируемой памяти размером, равным объёму кэш-памяти.

0081 Загрузчик изменяет бит *MODE[0]* в регистрах ВКР при выборе 64-разрядной шины данных для режима *EXTBUS_CFG+JA*

Статус

Исправлено с ревизии 2.

Описание

При выборе 64-разрядной шины данных ($CFG0 = 4$) для режима *EXTBUS_CFG+JA* ($MODE[7:0] = 0110\ 0110$) выходы интерфейса *JTAG_A* ($PA[4:0]$) используются как часть шины данных $D[46:42]$, поэтому интерфейс *JTAG_A* становится недоступным. Чтобы отладка не была полностью отключена, загрузочная программа принудительно устанавливает бит $MODE[0]$ в регистрах ВКР REG_60_TMRx , изменяя активный интерфейс отладки с *JTAG_A* на *JTAG_B*.

Условия и причина

Выбор 64-разрядной шины данных ($CFG0 = 4$) для режима *EXTBUS_CFG+JA* ($MODE[7:0] = 0110\ 0110$), из-за чего интерфейс *JTAG_A* становится недоступен.

Последствия

В режиме *EXTBUS_CFG+JA* ($MODE[7:0] = 0110\ 0110$) с использованием 64-разрядной шины данных ($CFG0 = 4$) в регистрах ВКР REG_60_TMRx устанавливается бит $MODE[0]$ и активируется интерфейс отладки *JTAG_B*.

Рекомендации и способы обхода

Учитывать при разработке.

0082 Загрузчик отключает интерфейс *JTAG_B* при выборе 64-разрядной шины данных для режима *EXTBUS_CFG+JB*

Статус

Ошибка присутствует в ревизии 2.

Описание

При выборе 64-разрядной шины данных ($CFG0 = 4$) с параллельной организацией ECC ($CFG1 = 3$) для режима *EXTBUS_CFG+JB* ($MODE[7:0] = 1010\ 0101$) выходы интерфейса *JTAG_B* ($PB[8:4]$) используются как часть шины ECC $D[78:74]$, поэтому интерфейс *JTAG_B* становится недоступным.

При других допустимых значениях $CFG0$ и $CFG1$ для режима *EXTBUS_CFG+JB* интерфейс *JTAG_B* доступен. Однако, при использовании 64-разрядной шины данных ($CFG0 = 4$) загрузочная программа отключает интерфейс *JTAG_B* вне зависимости от выбранного режима ECC.

Условия и причина

Выбор 64-разрядной шины данных ($CFG0 = 4$) для режима *EXTBUS_CFG+JB* ($MODE[7:0] = 1010\ 0101$).

Последствия

В режиме EXTBUS_CFG+JB (MODE[7:0] = 1010 0101) с использованием 64-разрядной шины данных (CFG0 = 4) интерфейс отладки JTAG_V не доступен.

Рекомендации и способы обхода

Если при выборе 64-разрядной шины данных (CFG0 = 4) не используется параллельная организация ECC, то интерфейс JTAG_V может быть включён в пользовательской программе путём сброса бита DISABLE_JTAG в регистрах BKP REG_60_TMRx.

0083 Таймер SysTick может считать некорректно в режиме с внешним источником тактирования**Статус**

Ошибка исправлена в ревизии 2.

Описание

При конфигурировании таймера SysTick для счёта от внешней опорной частоты счёт таймера SysTick происходит немонотонно или отсутствует при отключённом генераторе LSE.

Условия и причина

Из-за ошибки схемы выделения фронта для сигнала разрешения счёта таймер SysTick в режиме с внешним источником тактирования считает половину периода генератора LSE, а другую половину периода не считает. Если генератор LSE выключен, счётчик постоянно считает на внутренней частоте из-за ошибки 0076.

Последствия

Немонотонный и несоответствующий калибровочным константам счёт таймера SysTick в режиме с внешним источником тактирования.

Рекомендации и способы обхода

Задавать только внутренний источник тактирования для таймера SysTick. Со 2-й ревизии внешний источник тактирования выбрать невозможно.

0084 Выбор источника MAX_CLK осуществляется без ожидания выключения предыдущего выбранного источника тактирования**Статус**

Учитывать при разработке.

Описание

В блоке управления тактовыми частотами в схемах переключения частот выбор частоты MAX_CLK осуществляется без контроля паузы между выключением предыдущего и включением следующего источника, которое необходимо для исключения возможности присутствия на выходе двух синхросигналов одновременно.

Условия и причина

В результате ошибки в схеме переключения частот сигнал разрешения частоты MAX_CLK идёт напрямую с декодера выбора источника частоты, минуя схему, гарантирующую присутствие только одного синхросигнала на выходе.

Последствия

При выборе MAX_CLK для блока в рабочем режиме на выходе схемы переключения частот возможно появление глитчей, приводящее к поведению блока, не соответствующему спецификации.

Рекомендации и способы обхода

При необходимости использования MAX_CLK для тактирования блока выбор данного источника необходимо осуществлять, когда блок выключен, либо после переключения частоты выключить блок и включить его повторно.

Лист регистрации изменений

Дата	Страница	Статус	ID	Категория	Описание
04.04.2017	-	Добавлены	-	-	Начальная версия документа
05.04.2017	-	Добавлены	52, 53, 54, 58, 62	3	Добавлены ошибки по результатам анализа RTL наследованного от MLDR85
18.04.2017	-	Добавлена	63	3	Добавлена ошибка по результатам тестирования образцов
28.04.2017	-	Добавлены	41, 42, 45, 46, 47, 49	3	Добавлены ошибки RTL наследованные от MLDR85
28.04.2017	-	Добавлена	64	3	Новая ошибка, обнаруженная при тестировании рев.4 MLDR85 и MLDR138
05.07.2017		Добавлена	65	3	Ошибка обнаружена при моделировании новой ревизии MLDR85
12.10.2017	-	Добавлена	66	3	Ошибка найдена пользователями
02.08.2018	5, 9	Добавлены	67, 68	2	Добавлены ошибки в блоке SPW
05.03.2019	5, 6, 10, 11, 20	Добавлены	69, 70, 71, 72	2, 2 3, 2	Добавлены ошибки
06.05.2019	21	Добавлена	73	3	Добавлена ошибка
14.08.2019		Добавлена	74		Добавлена ошибка в документации
14.08.2019	12	Добавлена	37		Ошибка частично исправлена в рев.2.
21.08.2019	9, 10, 13, 20, 22, 23	Обновлены	67 – 70, 45, 64, 73, 74	2, 3 3, 3, 3	Обновлены статусы ошибок в соответствии с рев.2
30.01.2020	5, 11	Добавлена	75	2	Добавлена ошибка
14.10.2020	5 – 7, 13, 25 – 29	Добавлены	76 – 82	2, 3	Добавлены ошибки
26.05.2021	30, 31	Добавлены	83, 84	3	Добавлены ошибки